

Lab3 Notes

zjx@ustc.edu.cn

2019.4.18

使用简单规范的描述

- 组合电路：使用**assign**, **always @***, “=” 赋值
- 时序电路：**always @(posedge clk, negedge rstn)**, “<=” 赋值 或者 **posedge rst**
 - 尽量使用统一时钟，若需要特定时钟，可以由统一时钟分频得到
 - 时钟信号仅出现在**always**语句变量敏感表中，不要出现在块内
 - 除时钟和复位信号外，不要使用其他边沿敏感信号
- 一个**always**块仅描述一个变量的行为
- 模块中所有的**assign**和**always**块都是并行执行的，不要在多个并行执行体中对同一变量赋值

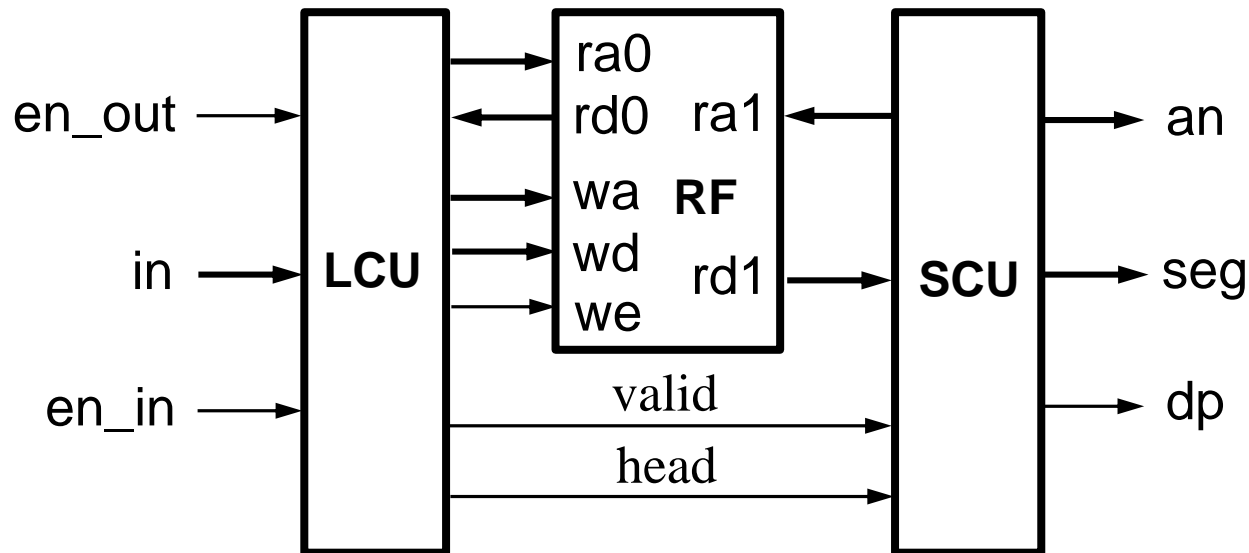
仿真时钟产生

```
initial begin
    clk = 0;
    // N, T: 时钟个数和周期
    repeat (2*N) 或者 forever
        #T/2 clk = ~ clk;
end
```

- **initial**和#仅用于仿真，不会产生实际硬件电路

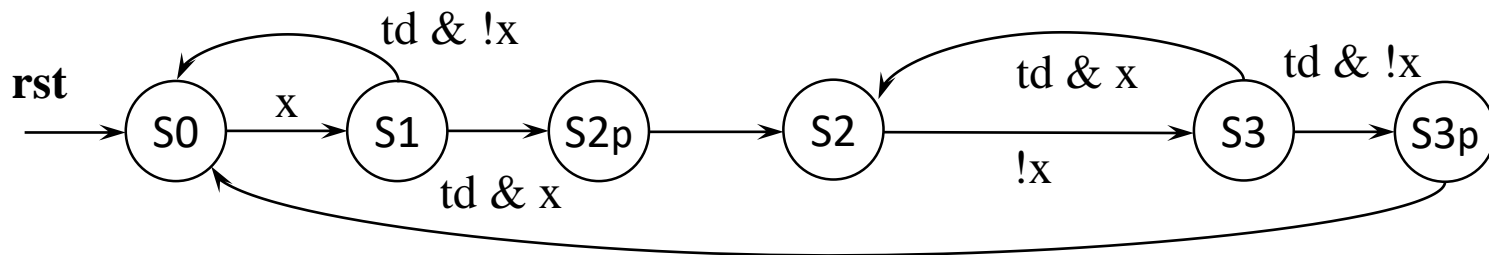
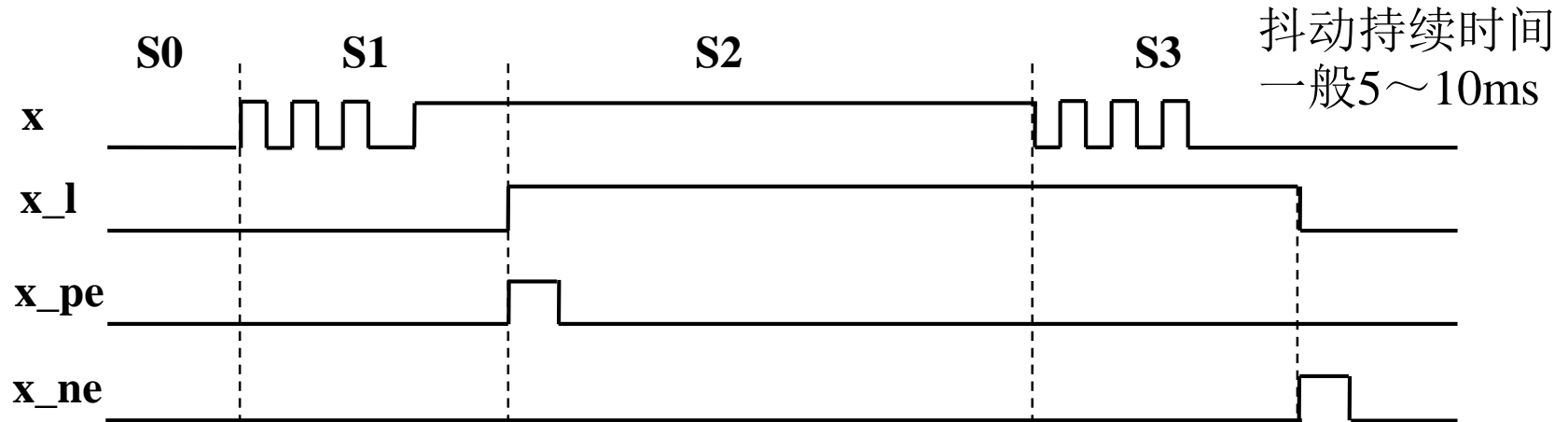
FIFO

- **LCU: List Control Unit**, 队列控制单元
- **SCU: Segment Control Unit**, 数码管控制单元



(图中省略clk和rst信号)

开关/按钮输入处理



```

always @(posedge clk) // 定时器
if (!ss) begin td <= 0; cnt <= M; end
else if (cnt == 0) td <= 1;
else cnt <= cnt-1;
    
```

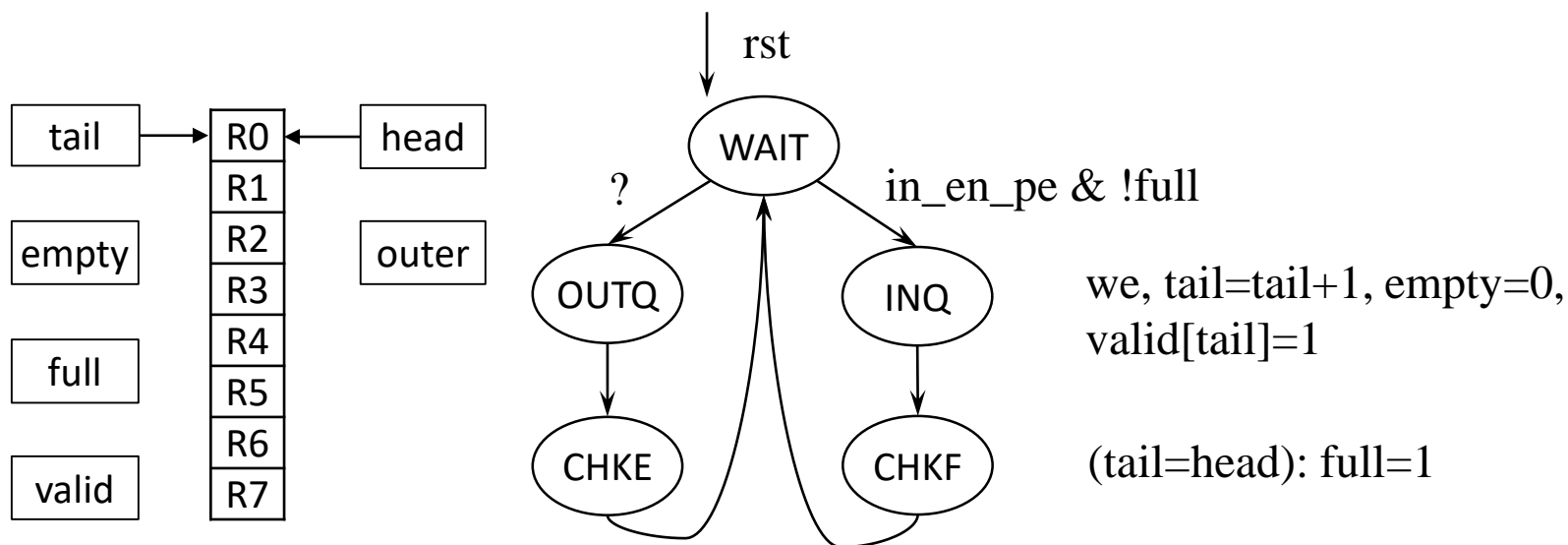
```

assign ss = (state == S1) &
(state == S3);
assign x_pe = (state==S2p);
.....
    
```

队列控制

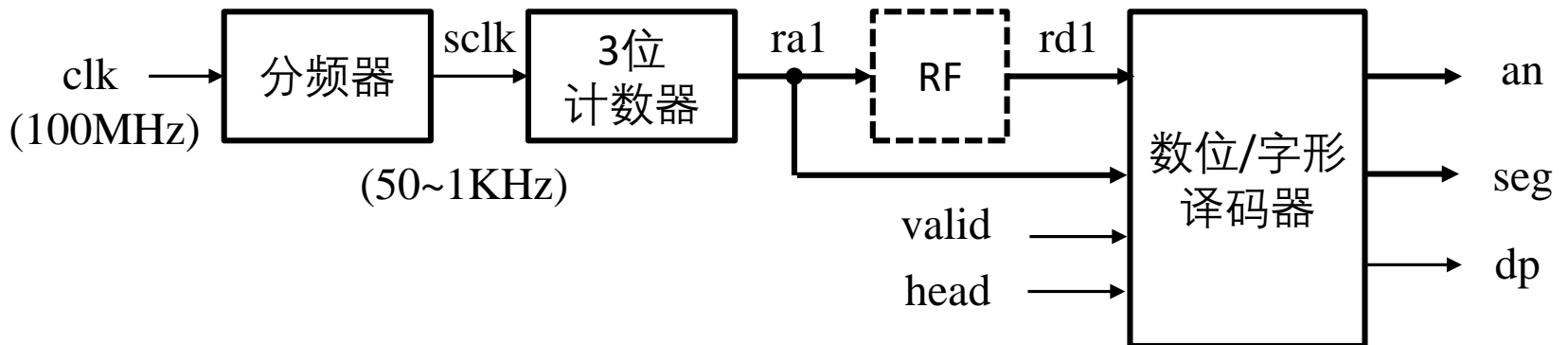
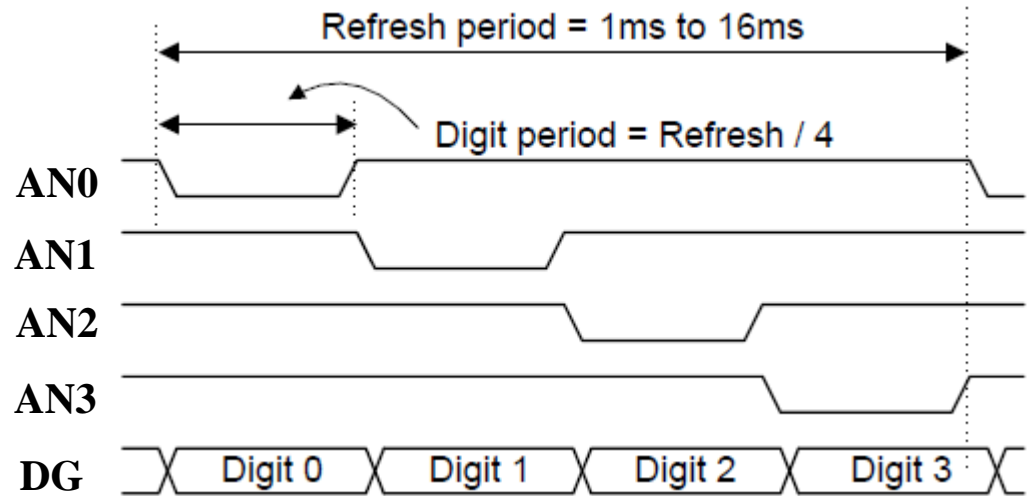
- **head**: 3位, 队头, 指向出队数据
- **tail**: 3位, 队尾, 指向入队位置
- **full, empty**: 各1位, 满和空标志
- **valid**: 8位, 有效标志, 第*i*位对应*R_i*状态
- **outer**: 4位, 出队列数据

full	empty	含义
0	0	不空不满
0	1	空
1	0	满
1	1	禁止出现



数码管显示控制

- **an**: 扫描到第几位, 由**rd1**决定
- **seg**: 显示字形, 由**valid**, **ra1**, **rd1**确定
- **dp**: 小数点, 由**head**决定



The End