

实验五 多周期MIPS-CPU

2019.4.25

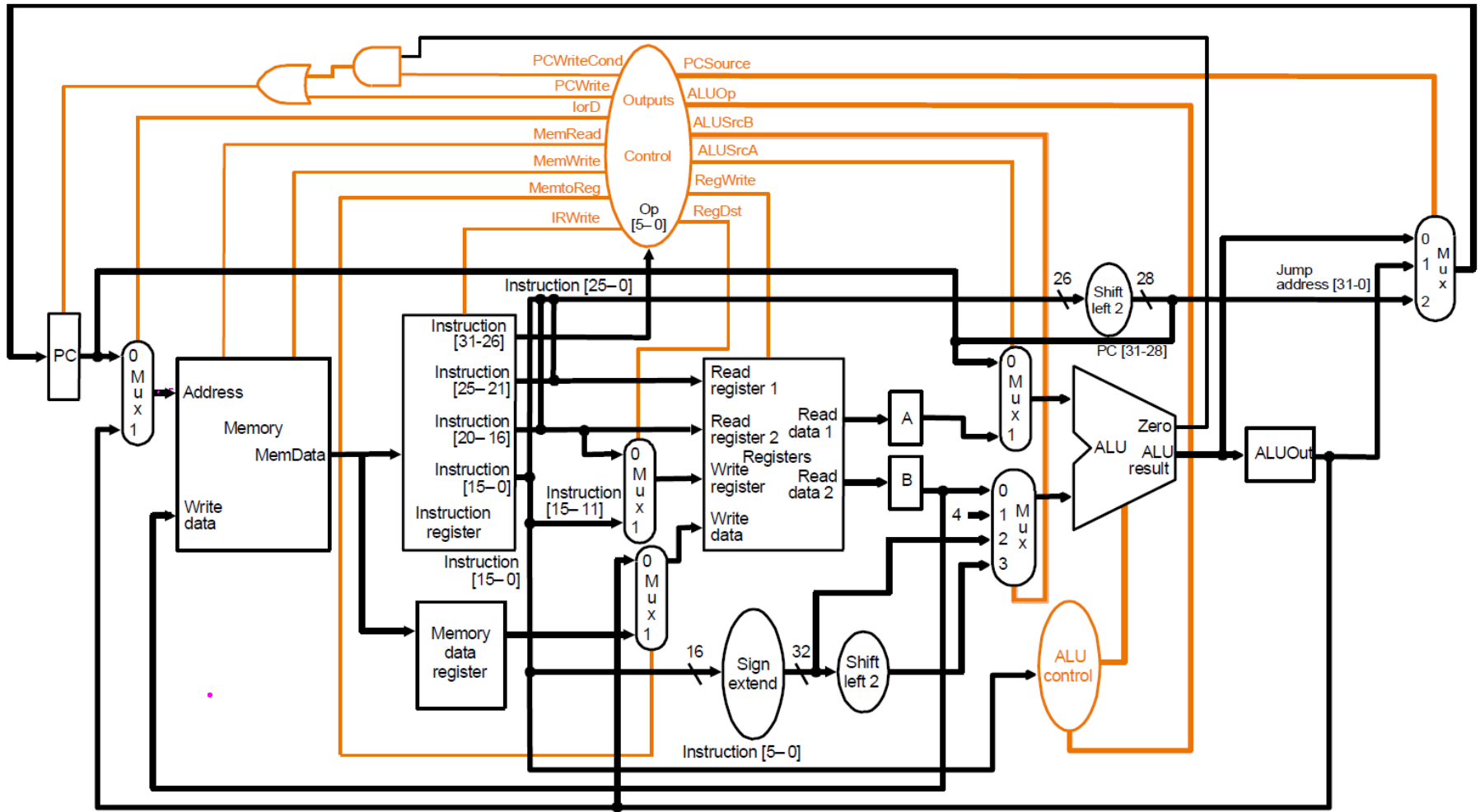
实验内容

1. 设计实现多周期MIPS-CPU，可执行如下指令：

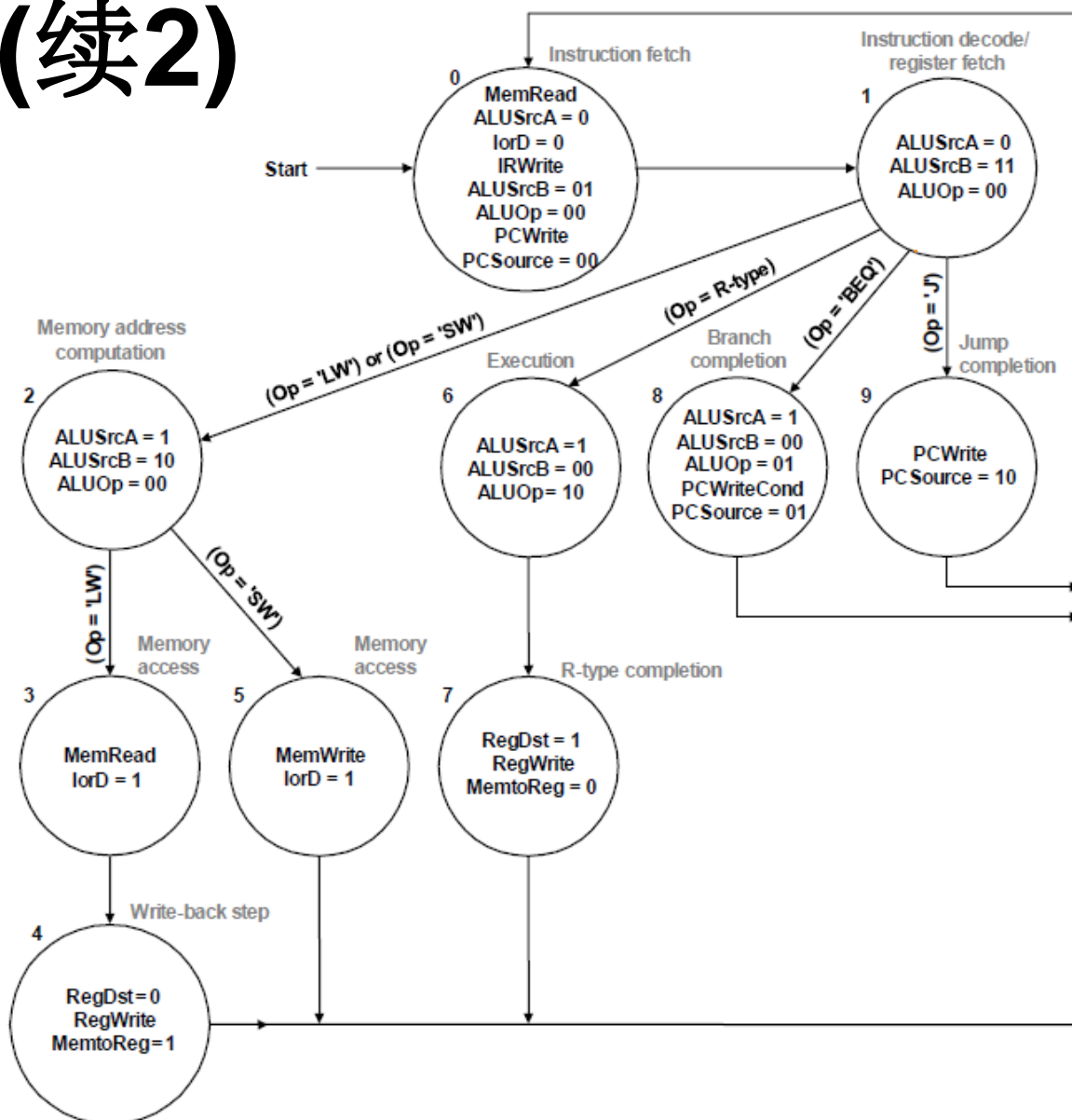
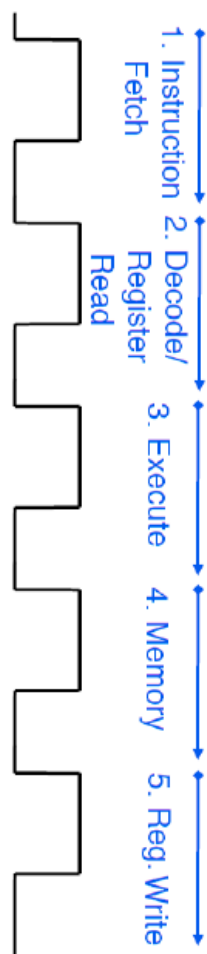
- add, sub, and, or, xor, nor, slt
- addi, andi, ori, xori, slti
- lw, sw
- beq, bne, j

数据通路和控制单元(状态图)参见后页，其中寄存器堆中R0内容恒定为0，存储器容量为256x32位

实验内容 (续1)



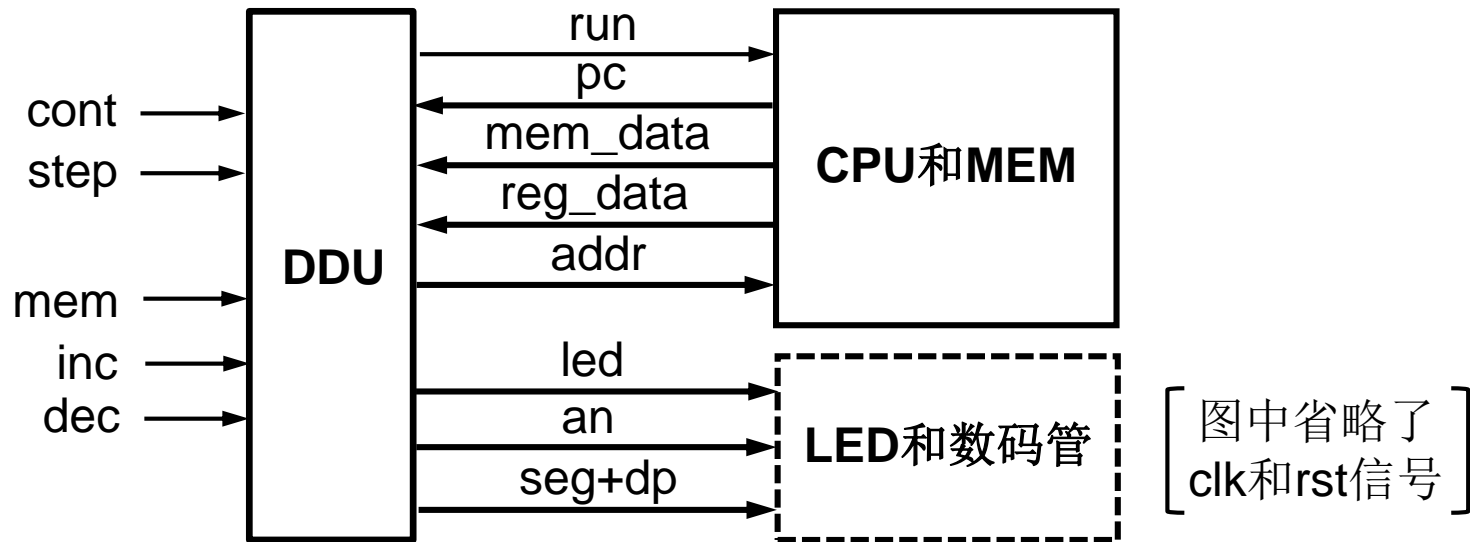
实验内容 (续2)



实验内容 (续3)

2. DDU: Debug and Display Unit, 调试和显示单元

- 下载测试时，用于控制**CPU**运行方式和显示运行结果
- 数据通路中寄存器堆和存储器均需要增加1个读端口，供**DDU**读取并显示其中内容



实验内容 (续4)

- 控制**CPU**运行方式
 - $\text{cont} = 1$: $\text{run} = 1$, 控制CPU连续执行指令
 - $\text{cont} = 0$: 每按动step一次, run输出维持一个时钟周期的脉冲, 控制CPU执行一条指令
- 查看**CPU**运行状态
 - mem: 1, 查看MEM; 0, 查看RF
 - inc/dec: 增加或减小待查看RF/MEM的地址addr
 - reg_data/mem_data: 从RF/MEM读取的数据
 - 8位数码管显示RF/MEM的一个32位数据
 - 16位LED指示RF/MEM的地址和PC的值

实验要求和检查

- 完成实验内容1和2的逻辑设计和下载测试
- 查看电路性能和资源使用情况
- 检查仿真结果是否正确
- 检查下载测试是否正确
- 检查代码设计，代码是否独立完成

实验报告

- 内容包括但不限于：逻辑设计、核心代码、仿真/下载结果、结果分析、实验总结、意见/建议等，附设计和仿真代码
- 实验检查截止后一周内提交实验报告
 - <ftp://202.38.79.134/> 相应文件夹
 - 文件名格式：Labn_学号_姓名_vi.pdf （其中，n表示第n次实验，vi表示第i版本，不满足该格式的视为未提交实验报告）
- 严禁抄袭，否则作零分处理

The End