

实验三 寄存器堆与计数器

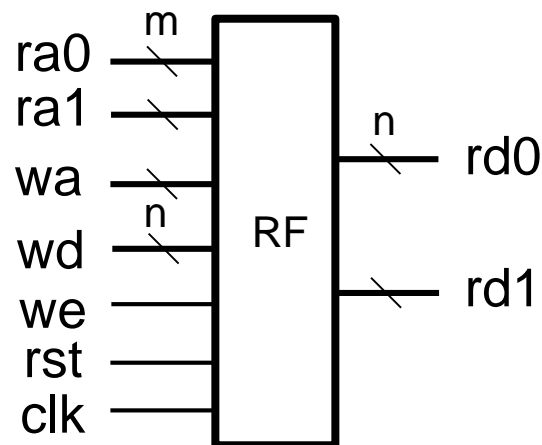
2019.4.11

实验内容

1. 寄存器堆 (Register File)

ra0, rd0; ra1, rd1: 2个异步读端口

wa, wd, we: 1个同步写端口

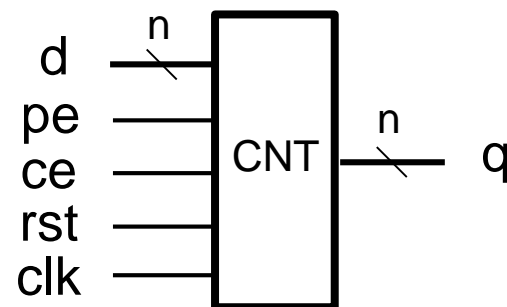


2. 计数器 (Counter)

ce: 计数使能, 1: $q=q+1$

pe: 同步装数使能, 1: $q=d$

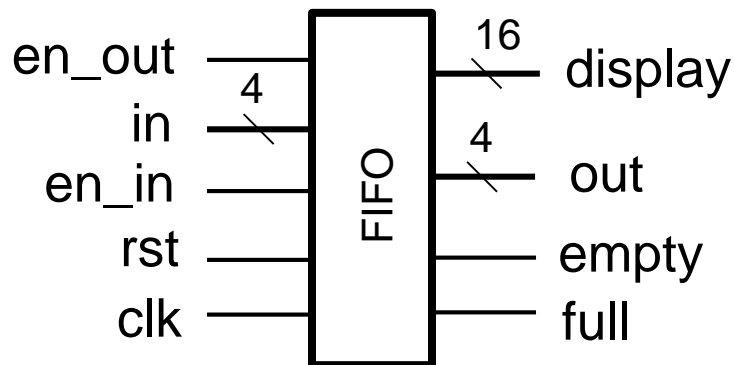
rst: 异步清零, 1: $q=0$



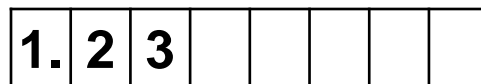
实验内容

3. 最大长度为8的FIFO循环队列：用寄存器堆和适当逻辑实现

- **en_out, en_in**: 出/入队列使能，一次有效仅允许操作一项数据
- **out, in**: 出/入队列数据
- **full, empty**: 队列空/满，空/满时忽略出/入队操作
- **display**: 8个数码管的控制信号，显示队列状态



复位



数据1, 2, 3
依次入队列



数据1出队列

实验要求和检查

- 完成1和3的的逻辑设计、仿真和下载测试
 - 逻辑设计采用模块化设计
 - 仿真3时忽略display
 - 下载测试时，时钟采用板载100MHz时钟，其他输入由拨动开关和按钮开关设置，结果输出至LED指示灯或7段数码管
- 查看1和2的电路性能和资源使用情况
- 检查仿真结果是否正确
- 检查下载测试是否正确
- 检查代码设计，代码是否独立完成

实验报告

- 内容包括但不限于：逻辑设计（数据通路和状态图）、核心代码、仿真/下载结果、结果分析、实验总结、意见/建议等，附设计和仿真代码
- 实验检查后一周内提交实验报告
 - <ftp://202.38.79.134/> 相应文件夹
 - 文件名格式：Labn_学号_姓名.pdf （其中n为第几次实验，不满足该格式的视为未提交实验报告）
- 严禁抄袭，否则作零分处理

The End