



图 4-40 SEQ+ 的硬件结构。将 PC 计算从时钟周期结束时移到了开始时，使之更适合于流水线

可以看到，PIPE—使用了与顺序设计 SEQ(图 4-40)几乎一样的硬件单元，但是有流水线寄存器分隔开这些阶段。两个系统中信号的不同之处在 4.5.3 节中讨论。

流水线寄存器按如下方式标号：

F 保存程序计数器的预测值，稍后讨论。

D 位于取指和译码阶段之间。它保存关于最新取出的指令的信息，即将由译码阶段进行处理。

E 位于译码和执行阶段之间。它保存关于最新译码的指令和从寄存器文件读出的值的信息，即将由执行阶段进行处理。