

图 4-57 PIPE 的 PC 选择和取指逻辑。在一个周期的时间限制内,处理器只能预测下一条指令的地址

PC 选择逻辑从三个程序计数器源中进行选择。当一条预测错误的分支进入访存阶段时,会从流水线寄存器 $M(信号\ M_valA)$ 中读出该指令 valP 的值(指明下一条指令的地址)。当 ret 指令进入写回阶段时,会从流水线寄存器 $W(信号\ W_valM)$ 中读出返回地址。其他情况会使用存放在流水线寄存器 $F(信号\ F\ predPC)$ 中的 PC 的预测值:

word f_pc = [

```
# Mispredicted branch. Fetch at incremented PC
M_icode == IJXX && !M_Cnd : M_valA;
# Completion of RET instruction
W_icode == IRET : W_valM;
# Default: Use predicted value of PC
1 : F_predPC;
];

当取出的指令为函数调用或跳转时, PC 预测逻辑会选择 valC, 否则就会选择 valP:
word f_predPC = [
f_icode in { IJXX, ICALL } : f_valC;
1 : f_valP;
];
```

标号为 "Instr valid"、"Need regids"和 "Need valC"的逻辑块和 SEQ 中的一样,使用了适当命名的源信号。

同 SEQ 中不一样,我们必须将指令状态的计算分成两个部分。在取指阶段,可以测试由于指令地址越界引起的内存错误,还可以发现非法指令或 halt 指令。必须推迟到访