

图 6-2 总结了 SRAM 和 DRAM 存储器的特性。只要有供电, SRAM 就会保持不变。与 DRAM 不同, 它不需要刷新。SRAM 的存取比 DRAM 快。SRAM 对诸如光和电噪声这样的干扰不敏感。代价是 SRAM 单元比 DRAM 单元使用更多的晶体管, 因而密集度低, 而且更贵, 功耗更大。

	每位晶体管数	相对访问时间	持续的?	敏感的?	相对花费	应用
SRAM	6	1×	是	否	1000×	高速缓存存储器
DRAM	1	10×	否	是	1×	主存, 帧缓冲区

图 6-2 DRAM 和 SRAM 存储器的特性

3. 传统的 DRAM

DRAM 芯片中的单元(位)被分成 d 个超单元(supercell), 每个超单元都由 w 个 DRAM 单元组成。一个 $d \times w$ 的 DRAM 总共存储了 dw 位信息。超单元被组织成一个 r 行 c 列的长方形阵列, 这里 $rc=d$ 。每个超单元有形如 (i, j) 的地址, 这里 i 表示行, 而 j 表示列。

例如, 图 6-3 展示的是一个 16×8 的 DRAM 芯片的组织, 有 $d=16$ 个超单元, 每个超单元有 $w=8$ 位, $r=4$ 行, $c=4$ 列。带阴影的方框表示地址 $(2, 1)$ 处的超单元。信息通过称为引脚(pin)的外部连接器流入和流出芯片。每个引脚携带一个 1 位的信号。图 6-3 给出了两组引脚: 8 个 data 引脚, 它们能传送一个字节到芯片或从芯片传出一个字节, 以及 2 个 addr 引脚, 它们携带 2 位的行和列超单元地址。其他携带控制信息的引脚没有显示出来。

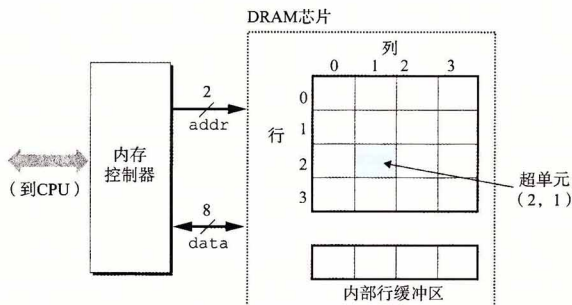


图 6-3 一个 128 位 16×8 的 DRAM 芯片的高级视图

旁注 关于术语的注释

存储领域从来没有为 DRAM 的阵列元素确定一个标准的名字。计算机架构师倾向于称之为“单元”, 使这个术语具有 DRAM 存储单元之意。电路设计者倾向于称之为“字”, 使之具有主存一个字之意。为了避免混淆, 我们采用了无歧义的术语“超单元”。

每个 DRAM 芯片被连接到某个称为内存控制器(memory controller)的电路, 这个电路可以一次传送 w 位到每个 DRAM 芯片或一次从每个 DRAM 芯片传出 w 位。为了读出超单元 (i, j) 的内容, 内存控制器将行地址 i 发送到 DRAM, 然后是列地址 j 。DRAM 把超单元 (i, j) 的内容发回给控制器作为响应。行地址 i 称为 RAS(Row Access Strobe, 行访问选通脉冲)请求。列地址 j 称为 CAS(Column Access Strobe, 列访问选通脉冲)请求。注意, RAS 和 CAS 请求共享相同的 DRAM 地址引脚。