Міністерство освіти і науки України

Національний технічний університет України

«Київський політехнічний інститут»

Кафедра КЕОА

**Лабораторна робота №1**

**з курсу: «Апаратні прискорювачі обчислень на мікросхемах програмованої логіки»**

Виконав:

студент ІII-го курсу ФЕЛ

група ДК-02

Швець О.В

25.10.2022

Київ-2022

**Хід роботи**

1. **В Simulink реалізувати підсистему, що розраховує функцію:**

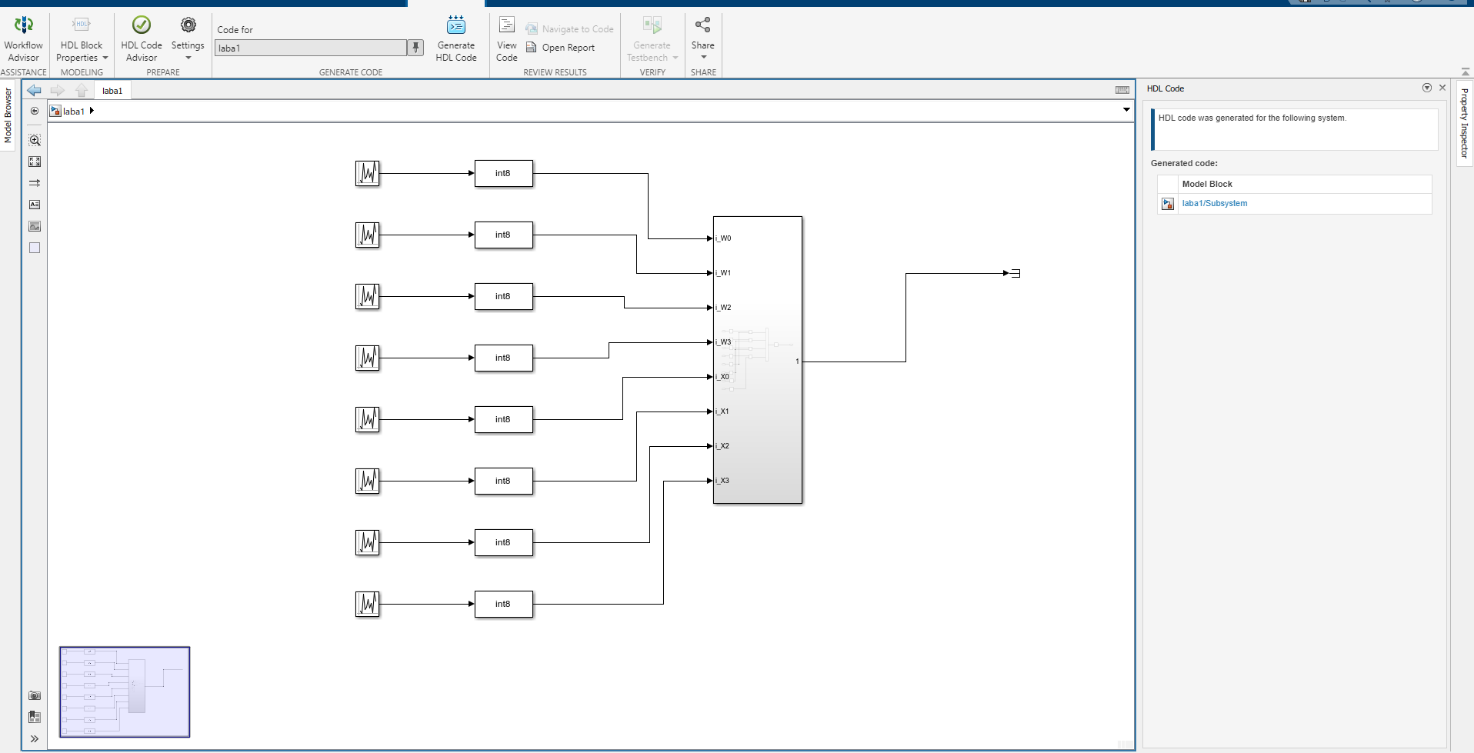
Y = W0\*X0 + W1\*X1 + W2\*X2 + W\*X3

Типи даних входів: int8

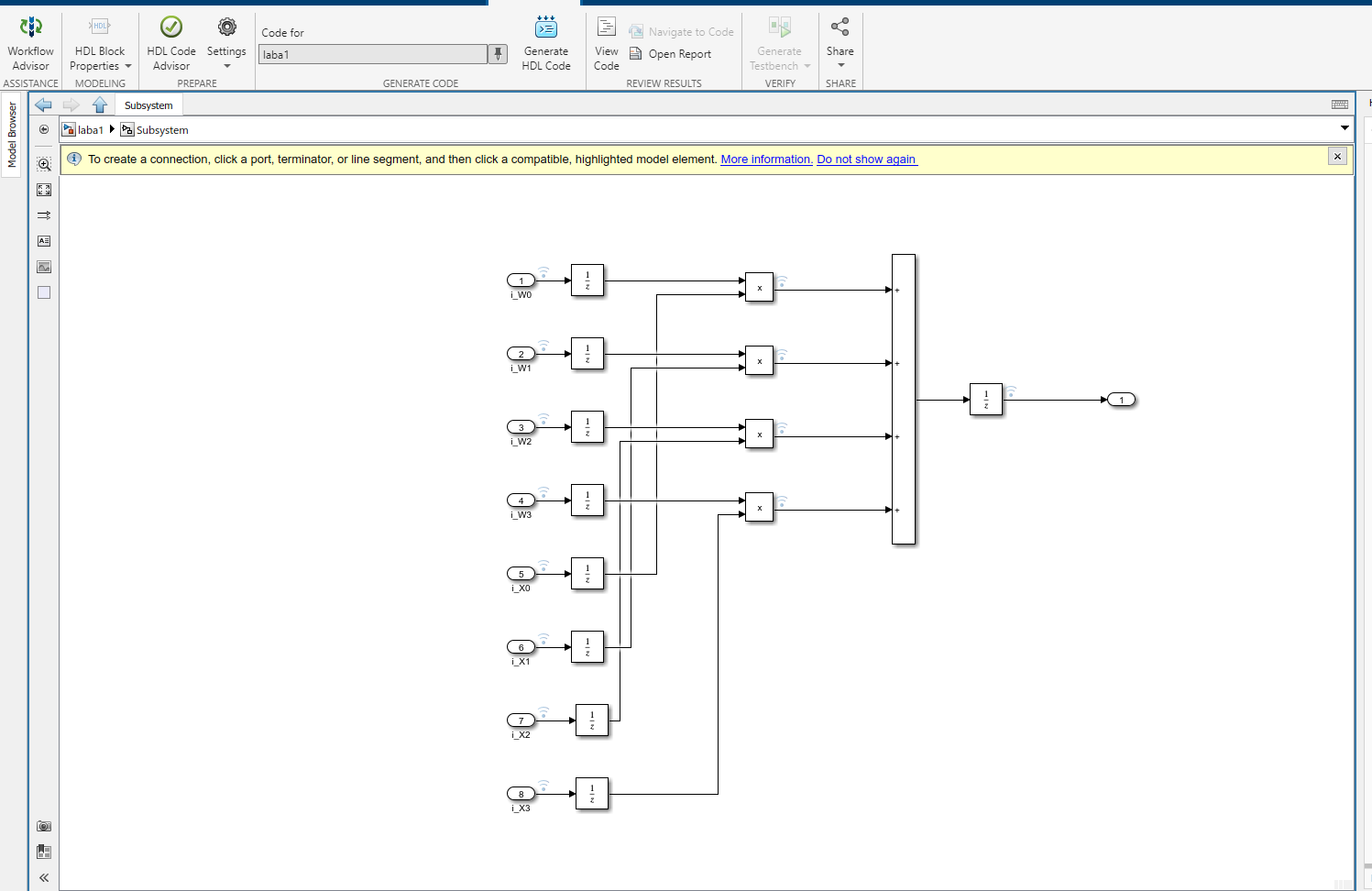
Тип даних виходу: int16

На входах і виході поставити регістри (блок затримки на 1 такт)

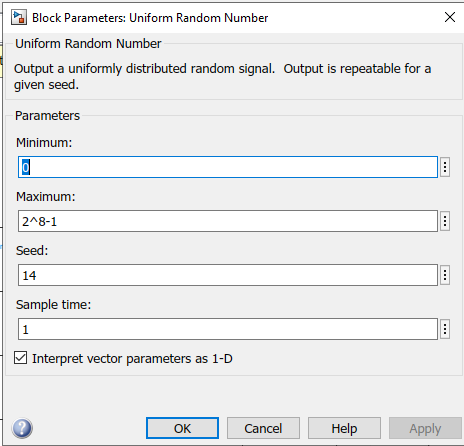
Схема має наступний вигляд:



Вигляд всередині блоку Subsystem:

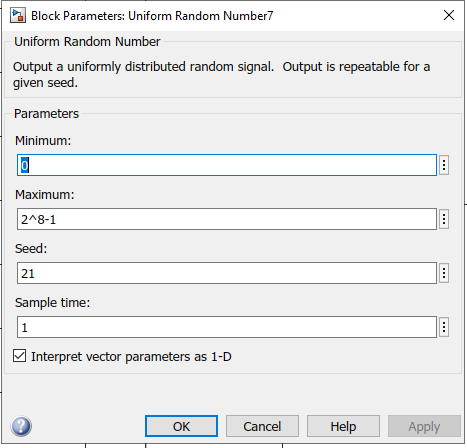


Налаштування першого Uniform Random number:



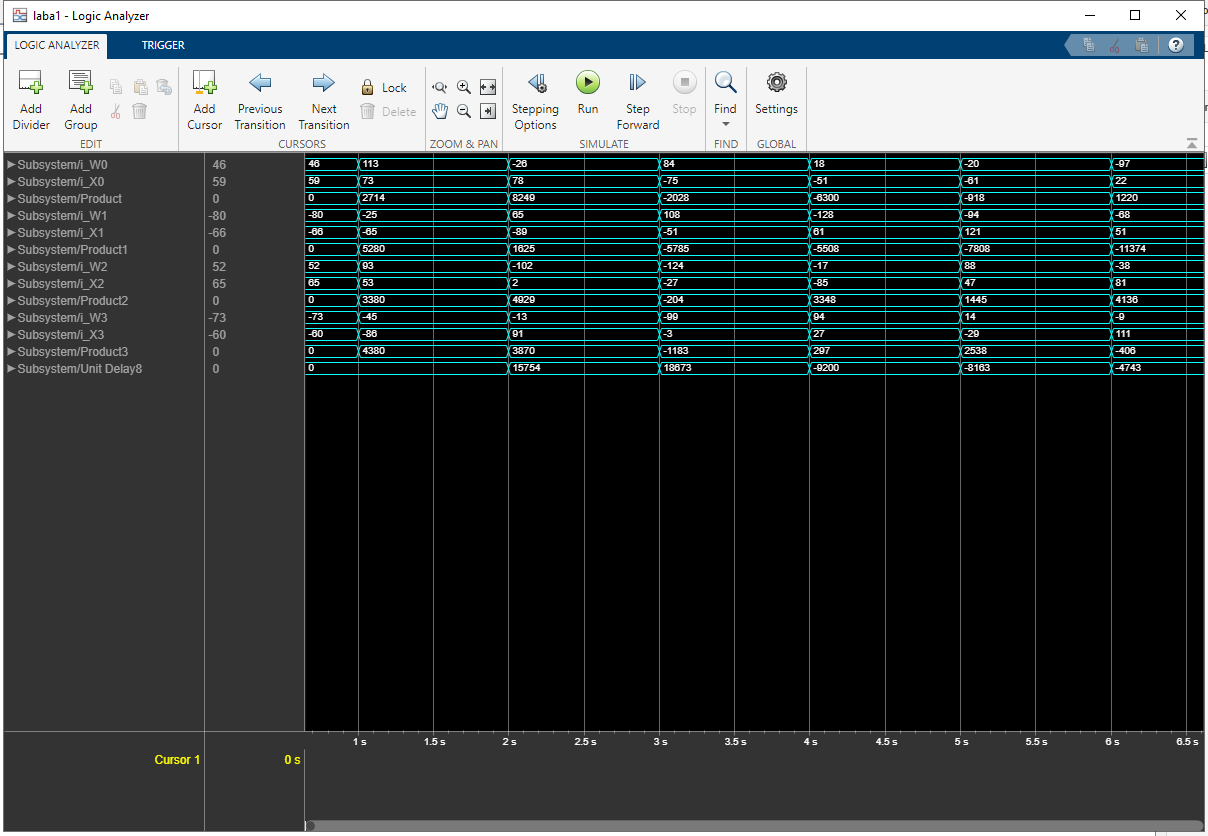
Як вказано у завданні ми збільшуємо значення Seed на 1при наступних Uniform Random number

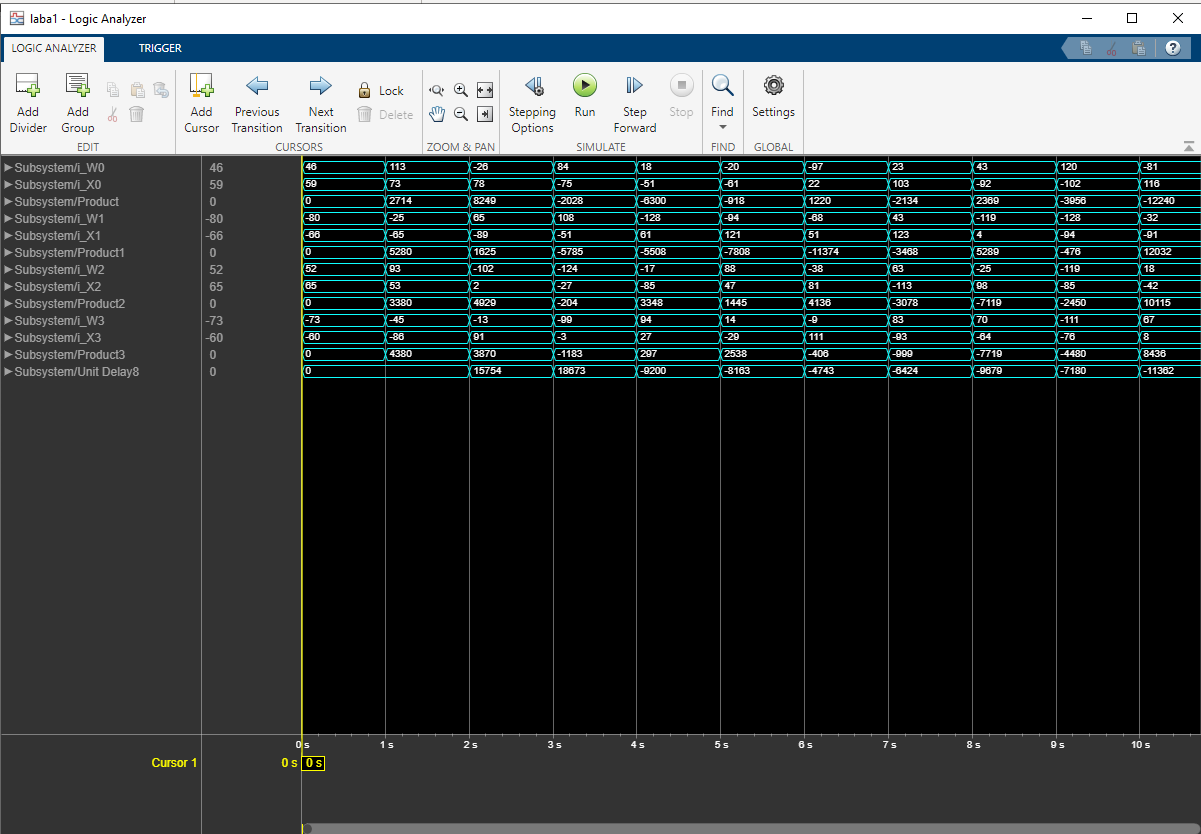
Налаштування останнього Uniform Random number:



Як можна побачити параметр seed починається з 14 і далі збільшується на 1.

**2. В логічному аналазаторі переглянути дані на входах і на виході створеної підсистеми у знаковому десятковому поданні (форматі).**

Результат виглядає наступним чином:  


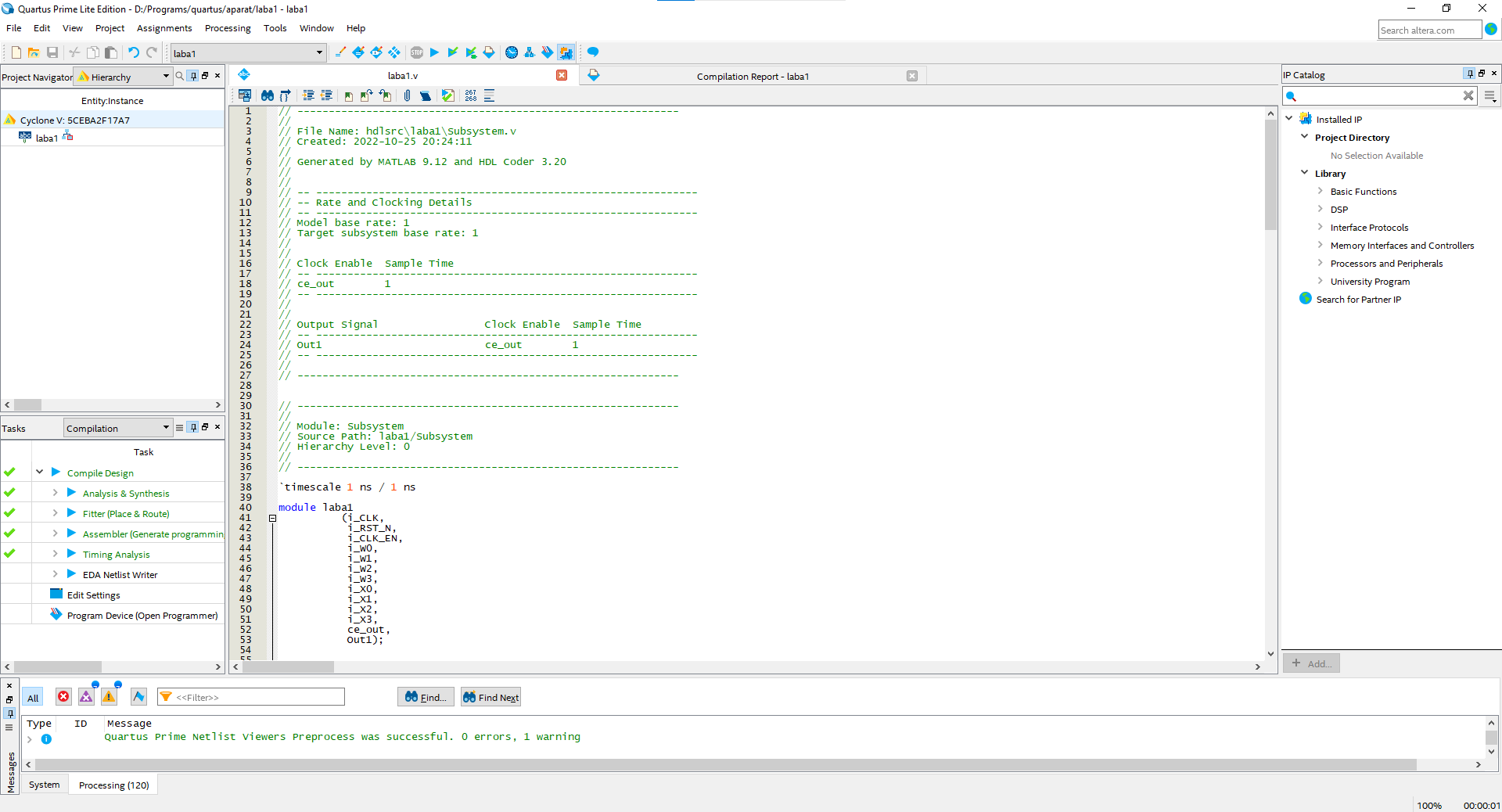


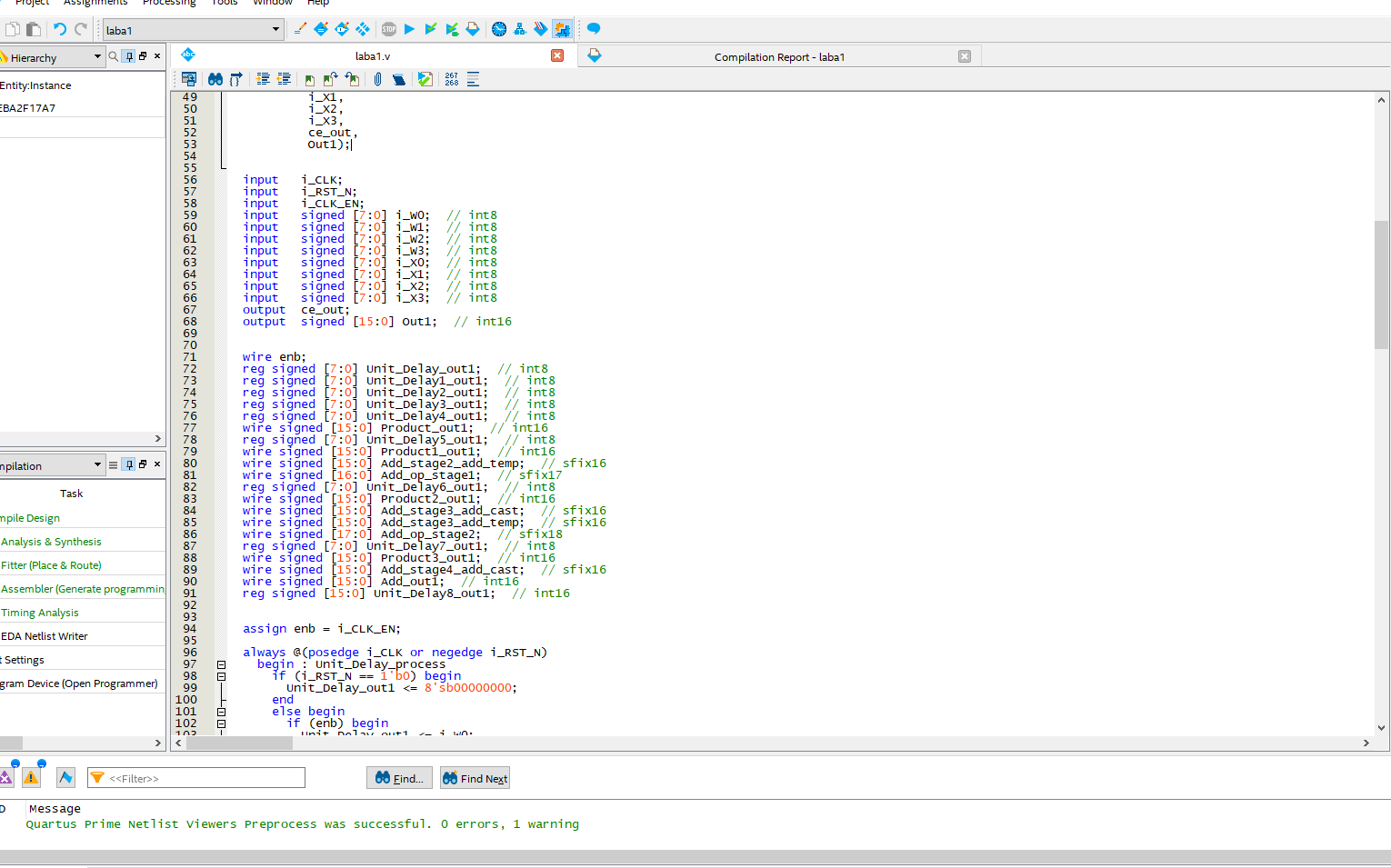
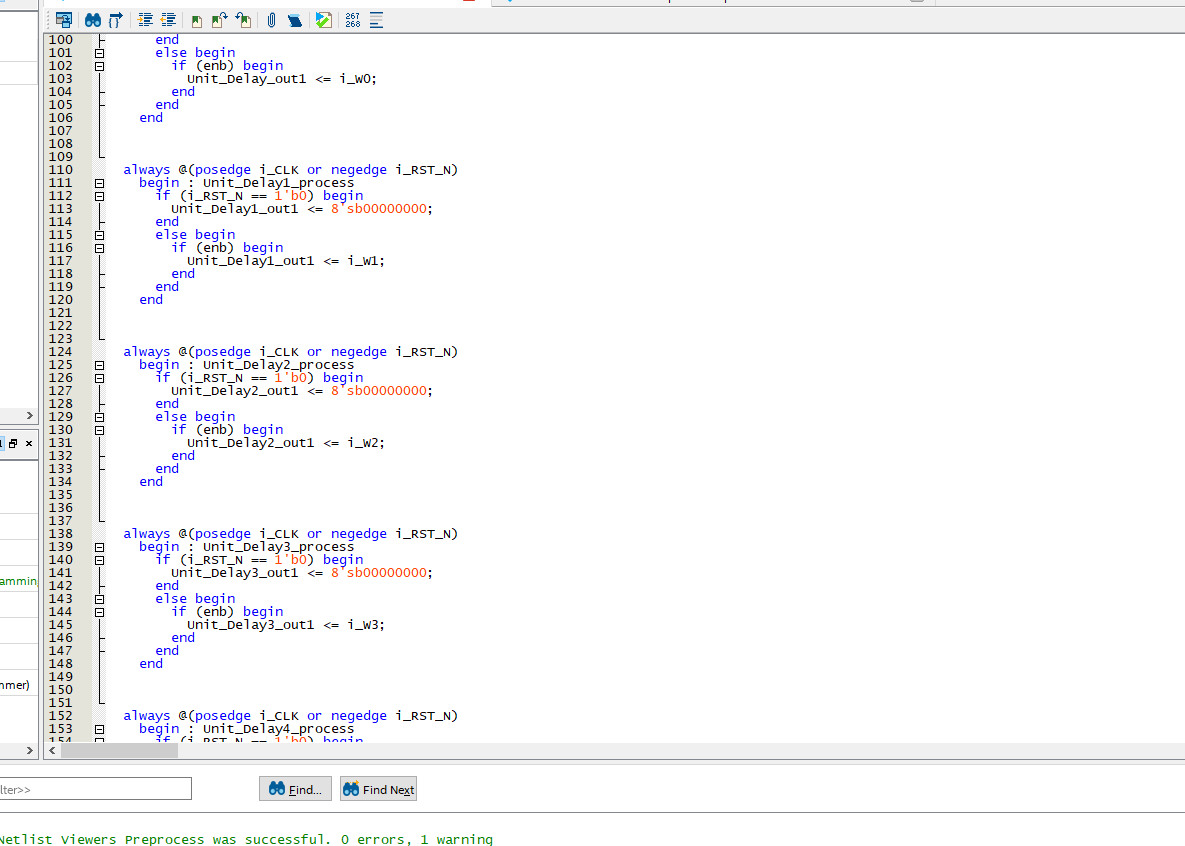
Зробимо перевірку:

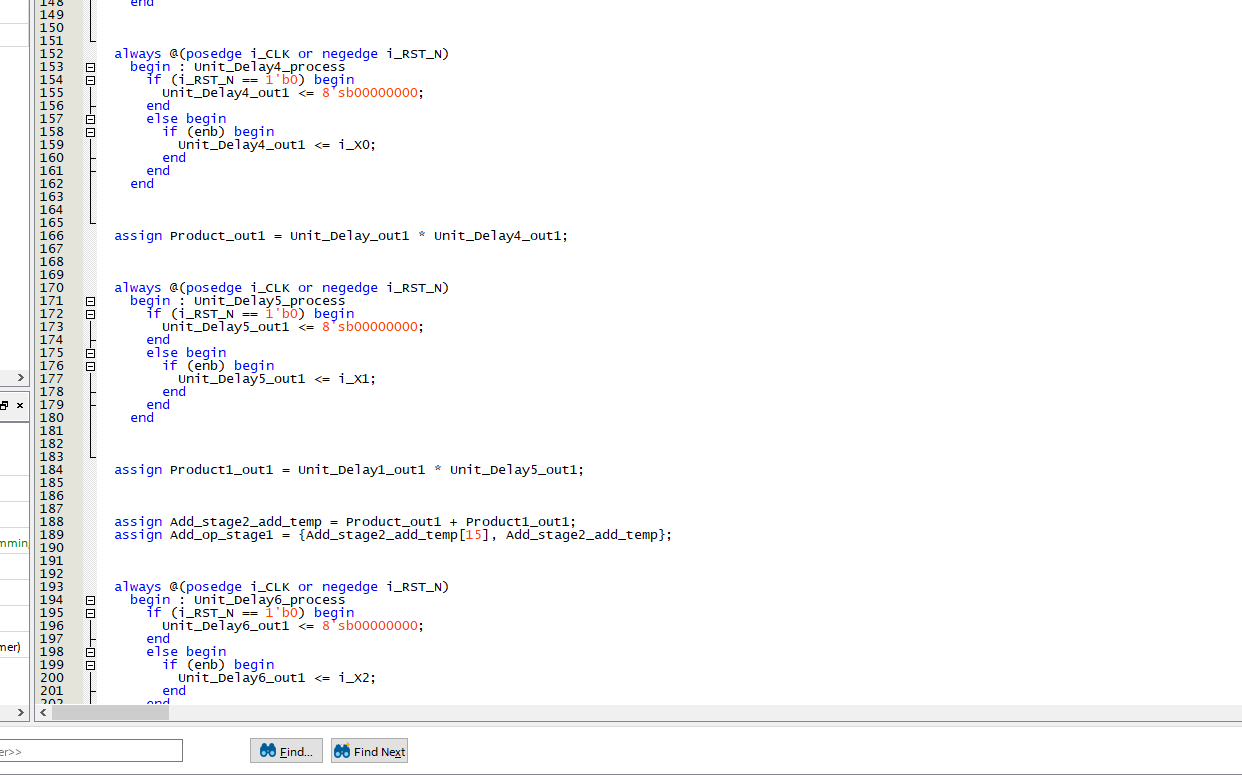
46\*59 + (-80)\*(-66) + 52\*65 + (-73)\*(-60) = 15 754

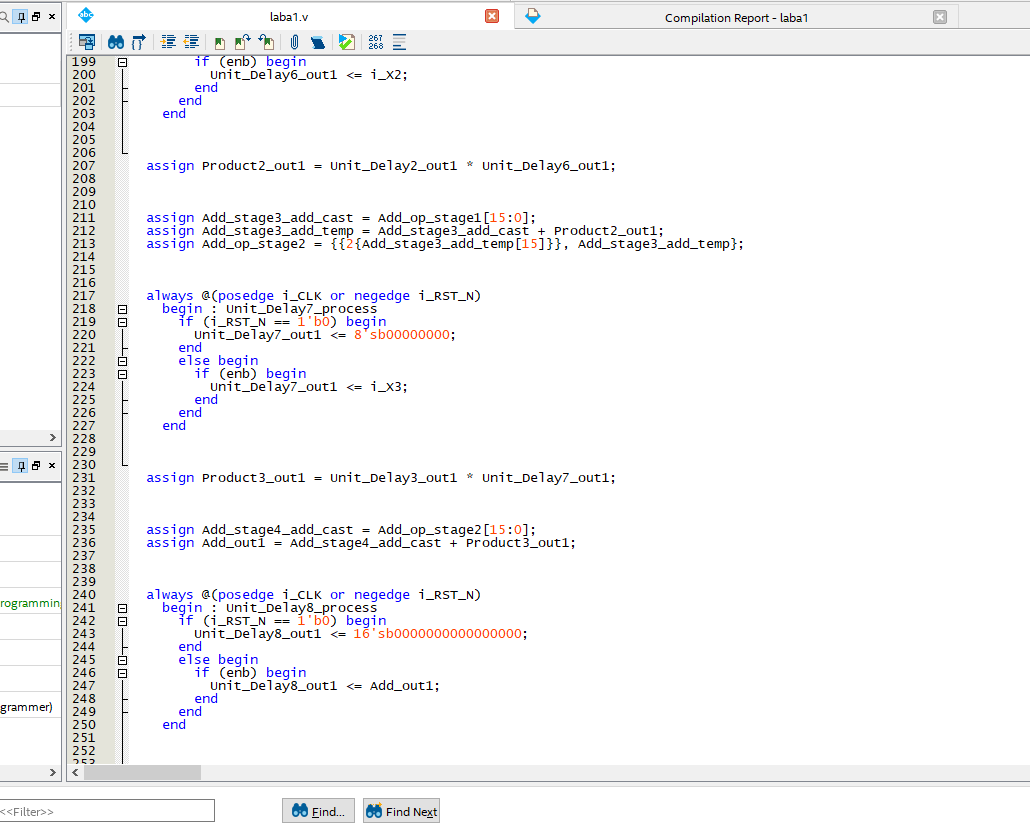
**3. Додати у звіт згенерований код на Verilog та результат синтезу згенерованого коду в Quartus для створеної підсистеми (звіт по апаратним витратам, результат виклику RTL Viewer).**

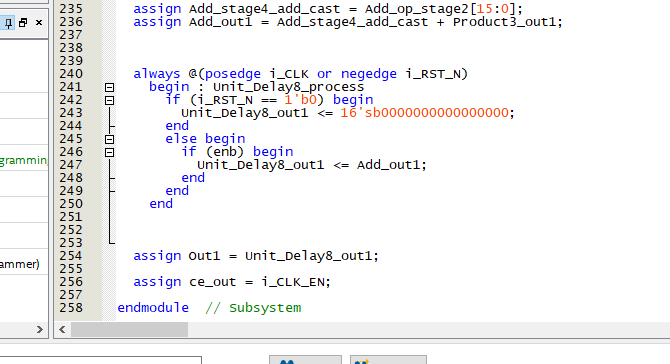
Згенерований Verilog код:



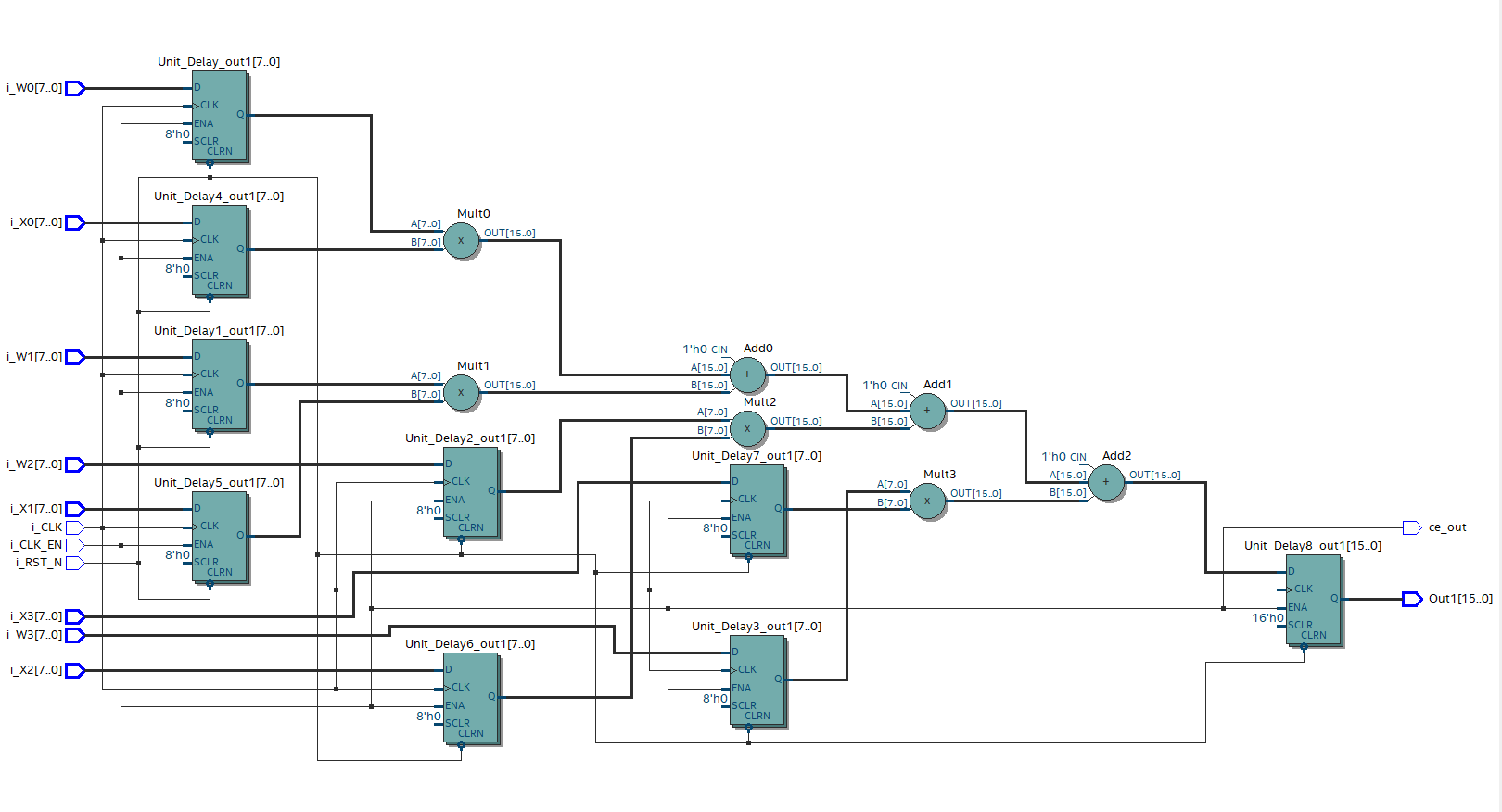
**  
**

****

****

****

Результат в RTL Viewer:



**Висновок:** під час виконання цієї лабораторної роботи я розробив підсистему і перевірив її роботу. Можна сказати, що симуляція в програмних забезпеченнях Matlab та синтез в Quartus мають задовільний результат.