

МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ
НАЦІОНАЛЬНИЙ УНІВЕРСИТЕТ "ЛЬВІВСЬКА ПОЛІТЕХНІКА"

Кафедра ЕОМ



Звіт

Лабораторна робота 1

з дисципліни «Моделювання комп'ютерних систем»

Варіант 20

Виконав:

ст.гр. КІ-202

Соніч О.В.

Прийняв:

Козак Н. Б.

Лабораторна робота №1

Тема роботи: Ознайомлення із середовищем Xilinx ISE. Ознайомлення із лабораторним стендом Elbert V2 – Spartan 3A FPGA.

Мета роботи: Використовуючи компоненти з бібліотеки, реалізувати дешифратор та просимулювати його роботу.

Варіант 17:

in_1	in_0	out_0	out_1	out_2	out_3
0	0	1	1	0	0
0	1	1	1	0	1
1	0	0	1	1	0
1	1	1	1	0	1

Виконання роботи

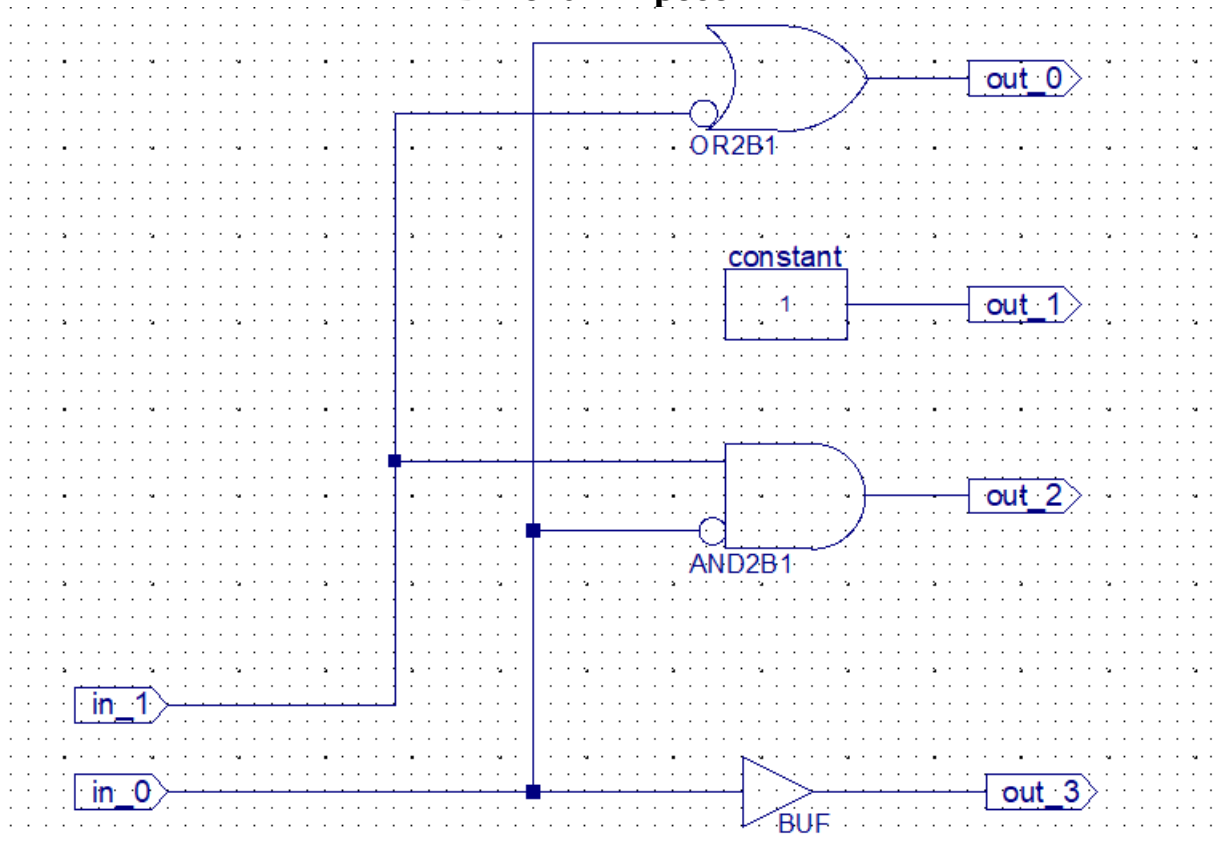


Рис.1. Реалізована схема згідно завдання.

Після цього створив файл з розширенням .ucf, в якому міститься даний код:

```
#####
#####
# This file is a .ucf for ElbertV2 Development Board                                     #
# To use it in your project :                                                            #
# * Remove or comment the lines corresponding to unused pins in the project              #
# * Rename the used signals according to the your project                               #
```

```

#+++++
+++++

#*****
*****#
#
UCF for ElbertV2 Development Board
#*****
*****#
CONFIG VCCAUX = "3.3" ;

# Clock 12 MHz
# NET "Clk"          LOC = P129 | IOSTANDARD = LVCMOS33 | PERIOD = 12MHz;

#####
#####
#
LED
#####
#####

NET "out_0"          LOC = P46 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
NET "out_1"          LOC = P47 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
NET "out_2"          LOC = P48 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
NET "out_3"          LOC = P49 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
#NET "LED[4]"         LOC = P50 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
#NET "LED[5]"         LOC = P51 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
#NET "LED[6]"         LOC = P54 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
#NET "LED[7]"         LOC = P55 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;

#####
#####
#
DP Switches
#####
#####

NET "in_0"           LOC = P70 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE =
12;
NET "in_1"           LOC = P69 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE =
12;
#NET "DPSwitch[2]"    LOC = P68 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW |
DRIVE = 12;
#NET "DPSwitch[3]"    LOC = P64 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW |
DRIVE = 12;
#NET "DPSwitch[4]"    LOC = P63 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW |
DRIVE = 12;
#NET "DPSwitch[5]"    LOC = P60 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW |
DRIVE = 12;
#NET "DPSwitch[6]"    LOC = P59 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW |
DRIVE = 12;
#NET "DPSwitch[7]"    LOC = P58 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW |
DRIVE = 12;

```

Після запуску в режимі симуляції ми отримали такий графік:



Рис.2. симуляції роботи схеми з встановленими вхідними значеннями протягом 1000 ns.

На ньому ми можемо побачити, що всі задані варіантом комбінації збігаються.

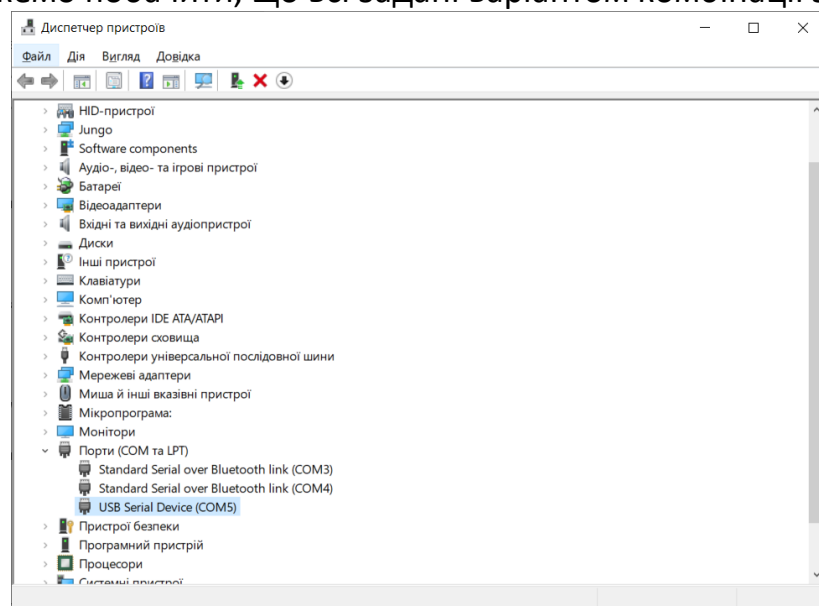
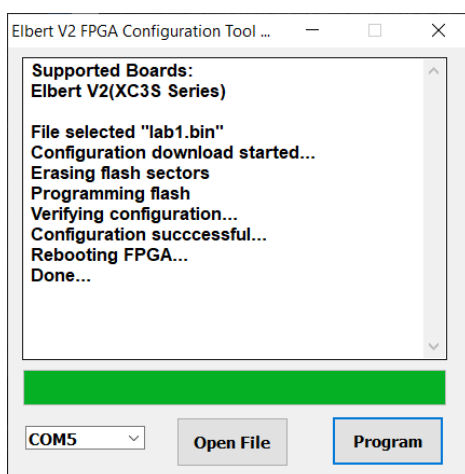


Рис.3. Під'єднання тестового стенда Elbert V2 – Spartan 3A FPGA.



Висновок: Я познайомився із середовищем Xilinx, змодельював схему згідно завдання та протестував її на тестовому стенді.