

La arquitectura del procesador Cell

Broadband Engine y su contexto histórico

Guido Menéndez, Juan Y. Pimenta, y Rafael Wu

Resumen—En el año 2000, una asociación entre Sony, Toshiba y IBM denominada STI comienzan el desarrollo del procesador Cell con la idea de diseñar una nueva arquitectura que permita suceder a las arquitecturas más utilizadas de ese momento. Daremos un repaso a su creación, diseño, importancia histórica y como finalmente cayó en desuso frente a otras arquitecturas.

Palabras clave—Arquitectura de procesador, historia de la computación, procesadores SIMD, sistemas heterogéneos

- G. Menéndez. E-mail: guidomenendez0@gmail.com
- J.Y. Pimenta. E-mail: jpimenta@fi.uba.ar
- R. Wu. E-mail: rwu@fi.uba.ar

1 INTRODUCCIÓN

Luego del lanzamiento de la PlayStation 2 en el año 2000, la desarrolladora Sony Computer Entertainment ya buscaba desarrollar su sucesora. En colaboración con IBM (Debido a su desarrollo de tecnología de punta) y Toshiba (Debido a su experiencia en desarrollo de hardware de forma masiva) formaron una alianza estratégica denominada STI para el desarrollo de un nuevo procesador para lo que se convertiría en la PlayStation 3. En primeras charlas, Sony buscaba un poder de procesamiento 1000 veces superior a su predecesor pero finalmente se encontró razonable que sea 100 veces mejor.[1]

Para lograr esto se debió comenzar un desarrollo de una nueva arquitectura, pues ya no bastaba para alcanzar el objetivo una arquitectura de un solo núcleo. En el año 2005 con el lanzamiento de la PlayStation 3 al mercado vemos disponible el primer dispositivo con procesador Cell. A continuación desarrollaremos sobre el contexto histórico, los detalles de esta nueva arquitectura, sus aplicaciones y cómo finalmente fue cayendo en desuso.

2 CONTEXTO HISTÓRICO

2.1 Arquitecturas de las computadoras personales

Desde el año 1945, cuando el matemático John Von Neumann propuso un modelo de arquitectura llamado "Arquitectura de Von Neumann" hasta principios de los 2000 la industria de la computación fue evolucionando en procesadores más rápidos y más pequeños gracias a la reducción del tamaño de los transistores, tal como lo predijo el ingeniero cofundador de Intel, Gordon E. Moore en su ley de Moore. Allí establece que el número de transistores por unidad de superficie en circuitos

integrados se duplica cada año y que la tendencia continuaría durante las siguientes dos décadas. Sin embargo a fines de los 90 se empezó a llegar a un límite físico donde no se puede crear un transistor más chico que un átomo, también crecen otros problemas como la disipación del calor.

Entre los años 2000 y 2005 (años de desarrollo del procesador Cell), en lo que se refiere al desarrollo de procesadores para computadoras personales, tenemos tres líderes del mercado, Intel, AMD y Centaur Technology. Todos los procesadores mencionados a continuación están basados en la arquitectura x86.

Intel durante estos años lanzaría el procesador Pentium 4, este sería su último procesador de un solo núcleo, sin embargo viene con una tecnología llamada Hyper-threading, esta sería la primera implementación comercial de multihilo simultáneo (SMT según sus siglas en inglés). Esta tecnología permite la abstracción de 2 hilos en un solo núcleo. [2,3] Luego, en mayo del 2005, lanzaría el procesador Pentium D, su arquitectura consiste de 2 núcleos físicos.

AMD por su parte también lanzaría días después el procesador AMD Athlon 64 X2, cual su nombre lo indica este también sería doble núcleo.

Por parte de Centaur Technology no entraría en el desarrollo de procesadores multinúcleo, enfocándose en el mercado de bajo consumo eléctrico y sistemas embebidos lanzando los procesadores VIA C3 y VIA C7.

2.2 Arquitecturas de las consolas de sexta y séptima generación

Dentro de la sexta generación de consolas, podemos considerar como líderes del mercado a Sony, Microsoft y Nintendo.

Sony lanzó para esta generación la consola PlayStation 2, su arquitectura está compuesta por el procesador Emotion Engine desarrollado por Toshiba y Sony, es un procesador RISC de un solo núcleo, basado en la arquitectura MIPS III (Aunque los registros fueron agrandados a 128 bits) e incluyendo parcialmente instrucciones del MIPS IV y a su vez incluye nuevas instrucciones SIMD de 128 bits diseñadas por SCE. Incluye dos VPU (Unidad de procesamiento vectorial) y un IPU (Unidad de procesamiento de imagen) utilizado principalmente para decoding de video MPEG-2. Cabe destacar que este procesador fue incluido en las primeras versiones de la PlayStation 3 para lograr retrocompatibilidad, aunque fue removido en versiones futuras para recortar costos de producción. [4]

Por parte de Microsoft lanzaría su primera consola en esta generación llamada XBOX, su procesador estaría basado en el procesador de sobremesa Intel Pentium 3 (Con diferencias en la distribución y cantidad de caché) de un solo núcleo. [5]

Nintendo lanzaría su consola GameCube, esta tiene un procesador llamado Gekko basado en la arquitectura PowerPC 750Cxe también de un solo núcleo. [6]

En resumen, durante la sexta generación de consolas todos los procesadores utilizados son de núcleo simple.

En la séptima generación de consolas, manteniendo a los mismos desarrolladores de consolas, podemos observar un cambio en las arquitecturas de los procesadores:

1. XBOX 360 de Microsoft: Esta consola incluye el procesador Xenon, su arquitectura consiste en 3 núcleos de proceso simétricos con dos hilos de proceso por hardware a una velocidad de reloj de 3.2 GHz. Fue diseñado por IBM. [7]
2. Wii de Nintendo: Nintendo decidió mantener un procesador de un sólo núcleo llamado Broadway desarrollado por IBM basado en la arquitectura PowerPC G3.

Podemos observar que IBM estuvo involucrado en el desarrollo de los 3 procesadores.

3 ARQUITECTURA CELL

La arquitectura del procesador Cell Broadband Engine fue desarrollada para realizar una familia de procesadores de forma escalable, un procesador de esta familia incluiría:

1. Al menos un PPE (PowerPC processor element).
2. Al menos un SPE (Synergistic processor element).
3. Un IIC (Internal interrupt controller)
4. Un EIB (Element interconnect bus) para conectar los elementos del procesador

Finalmente se usaría una única estructura, compuesta por un PPE y 8 SPE.

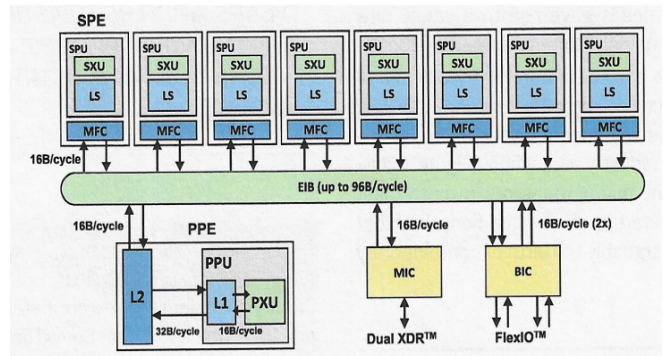


Figura 1. Cell Broadband engine Architecture (Fuente: IBM Corp.)

3.1.1 PowerPC processor element

Este elemento del procesador contiene un núcleo de 64 bits, doble hilo de arquitectura PowerPC RISC. Tiene 32 KB de caché L1 para instrucciones (2-way, asociativa) y otros 32 KB para datos, 4-way asociativa con un tamaño de línea de 128 bytes con política write-through/no-write-allocate. Su set de instrucciones es una versión extendida del PowerPC instruction set. Respecto a los registros incluye 32 de 64 bits para propósito general, 32 de 64 bits para datos de punto flotante y 32 registros de 128 bits para operaciones vectoriales.

3.1.2 Synergistic processor element

Los SPE son elementos de procesador de una sola instrucción y múltiples datos (SIMD) que son optimizados para operaciones principalmente vectoriales. Las instrucciones y datos son asignados por el PPE. Cada núcleo SPE es de arquitectura RISC, Contiene un load store de 256 KB controlado por software para instrucciones y datos unificado de 128 bits (Esta memoria intermedia no es una caché, puede leer directamente la memoria desde el puerto I/O y puede leer y ser leída desde el PPE y de otros SPE a través del controlador DMA - Direct Memory Access). Sus registros también son de 128 bits y contiene 128 de ellos.

Los SPE tienen un conjunto de instrucciones SIMD especial para administrar transferencias DMA, mensajería y control entre procesadores.

Es importante resaltar la ausencia de memoria caché en los SPEs. Esto se debe a dos motivos:

- Para empezar, al contar con load store de 256 KB, eso significa que la caché tendría que tener un tamaño de, como mínimo, el doble de ese número para tener sentido.
- Por otro lado, si uno analiza las operaciones que los SPEs ejecutan, se puede observar que realizan operaciones de "entrada y salida", donde no se aplican con tanta frecuencia los principios de localidad espacial y temporal. Esto hace que una memoria caché sea poco beneficiosa y aprovechable.

3.1.3 Internal interrupt controller

Los IIC generan, dirigen y mantienen la información de

interrupción para los subprocesos. El PPE cuenta con el apoyo de dos controladores de interrupciones internos (IIC), uno para cada hilo del PPE. Cada SPE tiene un conjunto de registros de interrupción para enmascarar las condiciones de interrupción, mantener el estado y enrutar las interrupciones.

3.1.4 Element interconnect bus

El Element Interconnect Bus es un bus de alta velocidad diseñado para facilitar la comunicación entre los diferentes procesadores. El EIB proporciona una interfaz de baja latencia y alta capacidad de ancho de banda, lo que permite una transferencia eficiente de datos y una coordinación efectiva entre los diferentes componentes del procesador Cell. Esto permite al procesador Cell aprovechar al máximo su potencial de procesamiento paralelo.

3.2 Principales diferencias con otros procesadores

A fines de los 90 y comienzos del 2000, los procesadores se centraban principalmente en aumentar la frecuencia de reloj para lograr mejoras en el rendimiento. Sin embargo, la arquitectura Cell se desvió de esta tendencia y propuso un enfoque alternativo:

- **Diseño multi-core:** La presencia de múltiples núcleos de procesamiento en la arquitectura Cell permitió ejecutar múltiples hilos de instrucciones simultáneamente, lo que resultó en un procesamiento más rápido de tareas paralelas. Esta estrategia demostró ser especialmente eficiente en aplicaciones multimedia y juegos.
- **Computación Heterogénea:** Este tipo de diseño consiste en el uso de diferentes tipos de unidades de procesamiento en un solo chip. En particular, el Power Processing Element (PPE), que era el núcleo de procesamiento central, y los Synergistic Processing Element (SPE), especializados en cálculos vectoriales.

4 APLICACIONES

A continuación veremos las aplicaciones tanto de este procesador como la revisión desarrollada por IBM en 2008 llamada PowerXCell 8i.

1. PlayStation 3: El procesador fue inicialmente diseñado para su uso exclusivo en la consola de Sony, lanzada el 11 de noviembre del 2006, está acompañado por el procesador gráfico RSX Reality Synthesizer, desarrollado en conjunto por Nvidia y Sony. Entre otras especificaciones de la consola incluye 256 mb de memoria XDR DRAM para el sistema y 256mb de memoria GDDR3 para video. Se han desarrollado distintos modelos con diferentes configuraciones de disco duro o incluso sin él. Hasta la versión CECHGxx,

el procesador es fabricado con la tecnología de proceso de 90nm para luego ser fabricado con 65nm hasta la versión CECH-20xx. Finalmente se reduciría a 45nm.

Su uso no es exclusivo a aplicaciones multimedia, hasta la versión del firmware 3.21 el usuario tenía la posibilidad de instalar un sistema operativo alternativo basado en Linux, también se han lanzado aplicaciones como Folding@Home, un proyecto de computación distribuida diseñado para usar los recursos de distintos sistemas computacionales para realizar simulaciones de plegamiento proteico relevantes a enfermedades y otras dinámicas moleculares, y para mejorar los métodos de ello. [9]

2. Namco System 357/359: Máquina de arcade basada en la PlayStation 3. Desarrollada en colaboración por Sony y Bandai Namco.
3. IBM Roadrunner: En 2002 IBM comenzaría a desarrollar esta supercomputadora. Debido a su complejo diseño fue diseñado en 3 fases donde recién en su segunda fase vería integrar los procesadores Cell. A partir de la tercera fase estos se verían reemplazados por una nueva versión llamada PowerXCell 8i, que son 5 veces más poderosos. En su fase final, su arquitectura estaría compuesta por 12.960 procesadores PowerXCell 8i y 6.480 AMD Opteron dual-core. 103.6 TiB de memoria ram y 1.000.000 TiB de almacenamiento. Está supercomputadora alcanzaría a realizar 1.042 petaFLOPS siendo la primera en superar esa marca, que mantendría hasta el año 2009. [10]
4. Televisores smart de alta definición diseñados por Toshiba: En 2010, Toshiba lanzó los televisores modelo ZX900 parte de la serie Genesis con procesador Cell. La incorporación del procesador permite la conversión del contenido 2D en 3D, reducción de ruido, un sistema patentado AutoView que ajusta automáticamente el nivel de brillo y contraste según un sensor de luz ambiental, modificar video SDTV y convertirlo en HDTV y también la capacidad de procesar varios vídeos de formato MPEG4-AVC, RealID entre otros.
5. IBM Blade Server QS20 y QS21: Servidores enfocados en renderizado gráfico, procesamiento de imágenes y de señales. Su arquitectura está compuesta por 2 procesadores Cell con 512 mb de memoria XDRAM para cada procesador.

5 DESUSO Y CAÍDA FRENTE OTRAS ARQUITECTURAS

Esta arquitectura de procesador, a pesar de ofrecer un gran poder de procesamiento, ha sido catalogada como "difícil de programar", especialmente por los desarrolladores que trabajaron con ella durante la vigencia de la consola PlayStation 3 en el mercado.

"Invertir en el procesador Cell, invertir en los SPE no te da ningún beneficio a largo plazo. No hay nada que puedas aplicar a otra cosa. No vas a ganar nada, salvo el odio a la arquitectura que han creado", declaró Gabe Newell (desarrollador de videojuegos y fundador de Valve Software) a la revista Edge en 2007.[12]

La dificultad radicaba en el hecho de que los programadores tenían que escribir y optimizar el código para ambos tipos de procesadores, teniendo en cuenta sus diferencias arquitectónicas y características específicas. Debían considerar y ajustar los algoritmos y el código para obtener un rendimiento óptimo tanto en el PPE como en los SPE.

Principales dificultades que tenían que enfrentar los desarrolladores al programar para la SPE:

- **Modelo de programación SIMD:** Los SPEs de la arquitectura Cell tenían una ISA de tipo SIMD, lo que significaba que cada instrucción del SPU operaba simultáneamente en múltiples datos (en paralelo). Esto requería que los programadores vectorizaran sus algoritmos y estructuras de datos para aprovechar al máximo el rendimiento de los SPEs.
- **Memoria local y comunicación:** Cada SPE tenía su propia Local Store (LS) como memoria. Esto requería una gestión cuidadosa de los datos y la comunicación entre los SPEs y la memoria principal. Los programadores debían realizar transferencias explícitas de datos entre la LS y la memoria principal a través del Power Processing Element (PPE) y el Element Interconnect Bus (EIB).

Una de las razones por las que este tipo de procesadores tiene semejante complejidad es debido a que el PPE y los SPEs comparten acceso a un espacio de direcciones común (que incluye la memoria principal, los almacenamientos locales de cada SPE, el registro de control y los dispositivos de entrada y salida). Esto pone la responsabilidad del manejo de los datos en el desarrollador.

A raíz de esto, hubo varios intentos de crear frameworks específicamente para simplificar el trabajar con procesadores Cell.

Es por esto que la investigación y el desarrollo de procesadores Cell está parada hace aproximadamente una década, y no parece que esto vaya a cambiar en el futuro.

6 CONCLUSIÓN

A modo de conclusión, la arquitectura Cell fue una arquitectura muy innovadora.

Abordó conceptos interesantes y poco explorados en su momento como la computación heterogénea, la utilización de múltiples núcleos donde cada uno está especializado y optimizado para realizar una serie de tareas altamente demandantes y la utilización de la arquitectura RISC.

A pesar de todo el potencial que Cell poseía, este no logró prosperar debido a la falta de herramientas para trabajar

con semejante poder de procesamiento.

REFERENCIAS

- [1] J. A. Kahle, M. N. Day, H. P. Hofstee, C. R. Johns, T. R. Maeurer, y D. Shippy "Introduction to the Cell multiprocessor" IBM <https://web.archive.org/web/20070228043339/http://researchweb.watson.ibm.com/journal/rd/494/kahle.html> (Copia guardada en WebArchive)
- [2] J. R. Bulpin, y I. A. Pratt "Multiprogramming Performance of the Pentium 4 with Hyper-Threading" Universidad de Cambridge <https://www.cl.cam.ac.uk/research/srg/netos/papers/2004-wddd-ht.pdf>
- [3] Fasiku A. I., Oyinloye O. E., Falaki S. O, and Adewale O. S. "Performance Evaluation of Multicore Processors" ResearchGate <https://www.researchgate.net/publication/350950064>
- [4] K. Diefendorff "Sony's Emotionally Charged Chip" Microprocessor Report volume 13, number 5 04/19/1999 [https://docencia.ac.upc.edu/ETSETB/SEGPAP/microprocessors/emotionengine%20\(mpr\).pdf](https://docencia.ac.upc.edu/ETSETB/SEGPAP/microprocessors/emotionengine%20(mpr).pdf)
- [5] Hardware Behind the Consoles - Part I: Microsoft's Xbox by A. L. Shimpi <https://web.archive.org/web/20160627015027/http://www.anandtech.com/80/show/853>
- [6] A PowerPC compatible processor supporting high performance 3-D graphics by P. Sandon IBM Microelectronics Processor Architect https://old.hotchips.org/wp-content/uploads/hc_archives/hc13/2_Mon/06ibm-gekko.pdf
- [7] Just like being there: Papers from the Fall Processor Forum 2005: Application-customized CPU design by J. Brown <https://web.archive.org/web/20071025035913/http://www.ibm.com/developerworks/power/library/pa-fpfxbox/>
- [8] PlayStation 3 Architecture: A practical analysis by Rodrigo Copetti <https://www.copetti.org/writings/consoles/playstation-3/>
- [9] Beberg, Adam & Ensign, Daniel & Jayachandran, Guha & Khaliq, Siraj & Pande, Vijay. (2009). Folding@home: Lessons from eight years of volunteer distributed computing. IEEE International Symposium on Parallel & Distributed Processing. 1-8. 10.1109/IPDPS.2009.5160922.
- [10] Barker, Kevin & Davis, Kei & Hoisie, Adolfo & Kerbyson, Darren & Lang, Michael & Pakin, Scott & Sancho, José. (2008). Entering the Petaflop Era: The Architecture and Performance of Roadrunner. 2008 SC - International Conference for High Performance Computing, Networking, Storage and Analysis, SC 2008. 1. 10.1109/SC.2008.5217926.
- [11] IBM Systems and Technology Group, Cell Broadband Engine Programming Handbook, IBM, 2006
- [12] Gabe Newell: PS3 "a waste of everybody's time" - Edge's interview <https://n4g.com/news/73704/gabe-newell-ps3-andquot-a-waste-of-everybodys-timeandquot-edges-interview>