



Arnau_FIB
www.wuolah.com/student/Arnau_FIB

★ 11184

EC-TEMES-678-RESUM.pdf

Resum



1º Estructura de Computadores



Grado en Ingeniería Informática



Facultad de Informática de Barcelona (FIB)
UPC - Universidad Politécnica de Catalunya

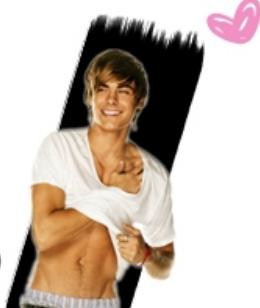


Regalamos una Play
para el más popular:

#LaPopuPlayDeWuolah

*sorteo válido hasta el viernes 26 (inclusive)

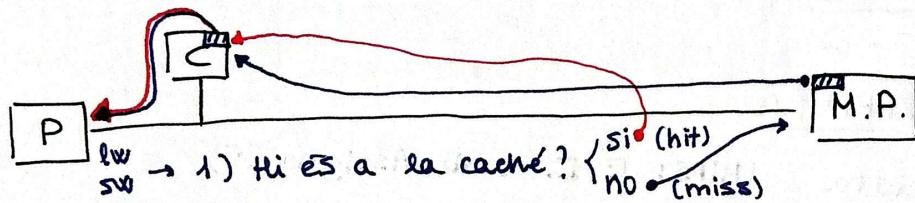
WUOLAH



TEMA 6 : MEMÒRIA CACHÉ

El cost d'accendir a la memòria és molt alt. Per això es molt útil la memòria caché, una memòria petita i molt ràpida que permet emmagatzemar una còpia d'una part de la mem. general perquè sigui de més fàcil accés. S'ha d'aprofitar:

- Localitat temporal: tornar a accedir a adreces de mem. (per ex: en bucles).
- Localitat espacial: accedir a adreces de memòria propers (p.e: les instruccions dels programes, dades de vectors)



Depén del tipus de M.C. en ferà còpia a la M.C. o no (en cas de miss)

$$\text{taxa d'ençert } h = \frac{\text{nº ençerts}}{\text{nº referències}}$$

$$\text{Taxa fallades } m = \frac{\text{nº fallades}}{\text{nº referències}}$$

$$\hookrightarrow t_h = \text{comprovar si està la dada} + \hookrightarrow t_m = t_h + t_{\text{penalitzacions}} \\ \text{returna la dada}$$

ALGORISMES D'EMPLAÇAMENT

1) correspondència directa

Cada bloc va a una única línia de la caché.

$$\text{index} = @\text{bloc} \% \text{ num_linies}$$

$$@ = \boxed{@\text{bloc} \mid \text{off}}_n \rightarrow \text{mida_bloc} = 2^n$$

$$@\text{bloc} = \boxed{\text{index}}_m \rightarrow \text{num_linies} = 2^m$$

Caldrà afegir un bit de validesa: (Ex: caché 4 blocs/linies)

nolíq v etiq		bloc	
0	0	-	-
1	1	1200	...
2	0	-	-
3	0	-	-

$$\left. \begin{array}{l} @ = \boxed{\text{etiq} \mid \text{index} \mid \text{offset}}_m \\ \text{index } n \end{array} \right\}$$

$$v = \begin{cases} 1 & \text{línia plena} \\ 0 & \text{línia buida} \end{cases}$$

2) Emplaçament Associatiu

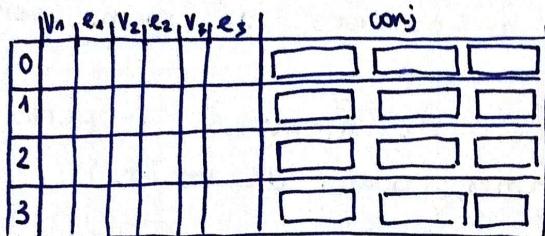
Un bloc es pot guardar a qualsevol línia. Hi ha algorismes com LRU (Least Recently Used) o Random que decideixen quin bloc substituir.

3) Emplaçament associatiu de grau A

La caché s'organitza amb conjunts, on cada conjunt té A blocs.

Index-conj = @ bloc % num-conjunts

És una caché barreja entre corr. directa i associativa



Cal afegir bits de validesa per cada bloc.

$$@ = \begin{array}{|c|c|c|} \hline \text{etiq} & \text{index} & \text{offset} \\ \hline m & n & \\ \hline \end{array}$$

$2^n = \text{mida-bloc}$
 $2^m = \text{num-conj}$

POLÍTIQUES D'ESCRIPCIÓ

1) Escriptura immediata (NIPS: E.I. amb Assignació)

En cas de hit, s'escriu tant a la M.P. com a la M.C.

En cas de miss, { Amb amig: Copia el bloc de MP a MC.
→ la següent consulta serà hit. Més lent.

Sense amig: No es fa la còpia a M.C.
→ la següent consulta serà miss. Més ràpid.

Problema: És molt lenta la escriptura. Solució: Introduir un Write-Buffer, on escriurem i el W.B. ja escriurà a M.P. quan pugui.

(A E.C. suposem un W.B. de cap infinita i que no provocarà errors)

2) Escriptura retardada

En cas de hit, s'escriu únicament a M.C.

En cas de miss, igual que amb E.I. Però, si s'ha escrit en el bloc que hem de reemplaçar, s'ha de portar aqueut bloc a memòria. Aquest se diu bit D (Dirty)

TEMPS D'ACCÈS A MEMÒRIA

$$t_{am} = t_h + m \cdot t_p$$

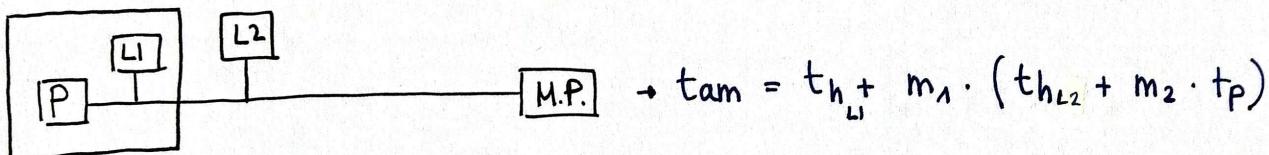
tp:	Escriptura immediata amb assig	Escriptura immediata sense amigau's	Retardada amig
miss lect.	tblock + th	tblock + th	$D=1 \rightarrow 2 \cdot tblock + th$ $D=0 \rightarrow tblock + th$
miss escrip.	tblock + th	0	$D=1 \rightarrow 2 \cdot tblock + th$ $D=0 \rightarrow tblock + th$

$$t_{\text{ejc}} = t_c \cdot (n_{\text{ins}} \cdot CPI_{\text{ideal}} + n_{\text{jumps}} \cdot t_p)$$

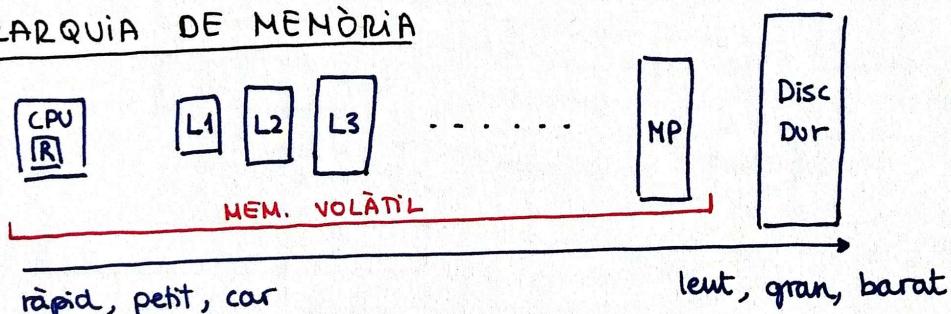
$$CPI_{real} = CPI_{ideal} + (n_{fails} \cdot t_p) / n_{ins}$$

$$teje = tc \cdot nins \cdot CPI_{real}$$

* Un pas més enllà és introduir dues cacte en lloc d'una, per reduir així la taxa de fallades:



JERARQUÍA DE MEMÒRIA



TIPOLOGIA DE FALLADES

- Cold-start: Degudet al primer accés a cada bloc
 - conflicte: Degudet al "mapeig" de dos blocs diferents a la mateixa línia de la caché (quan en vol accedir primer a un bloc i després al altre, i així continuament, es produeixen sempre misses). Es soluciona amb una associativitat suficient.
 - capacitat: Dades que ja han estat accedites un cop, es reemplacen degut que el "conjunt de treball" no hi cap a la caché. (El tamañ de bloc no és suficientment gran i en torna a produir error quan pones "d'un bloc a un altre")



Regalamos una Play para el más popular: #LaPopuPlayDeWuolah

*sorteo válido hasta el viernes 26 (inclusive)



WUOLAH

TEMA 7: MEMÒRIA VIRTUAL

Per evitar problemes durant l'execució de diferents programes en fa servir la memòria virtual, que permet que la memòria del computador sigui compartida per diferents programes, permet excedir la capacitat de la M.P. (RAM).

Direccions lògiques (virtuals): Els programes utilitzen un espai de direccions lògiques, exclusiu per a cada programa.

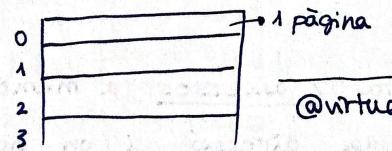
Direccions físiques: Direccions reals de la M.P. S'ha d'implementar un mode de passar d'adreces lògiques a físiques.

TRA DUCCIÓ D'ADRECES PER PÀGINACIÓ

La encarregada de passar de VPN (Virtual Page Number) a PPN (Physical Page Number) és la MMU (Memory Management Unit)

* Una pàgina és un espai de memòria, com si fos un bloc.

@lògiques



1 pàgina
@virtuaL

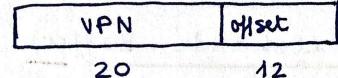
@físiques



@física

↳ Emplaçament totalment associatiu

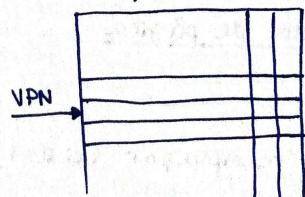
@V =



si mida-pàgina = 2^{12} bytes \rightarrow offset = 12 bits

Per saber a quina direcció de M.F. ha de correspondre les pàgines de la M.V. cada programa té una taula de pàgines

PPN PD



P { 1 → adreces vàlides i presents a M.F.

0 → adreces invàlides o no presents a M.F.

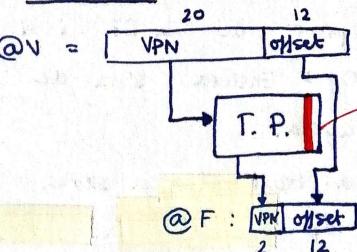
↓
Excepcions

↓
Fallada de pàgina

↓
Lectura al disc i reemplaçament

Traducció:

@V =



D { 1 → Pàgina modificada per algun store

0 → Pàgina consistent amb l'original del disc

Canvi de context: Passar d'executar les instruccions d'un programa a un altre. Caldrà salvar tots els registres i l'estat de la taula de pàgines.

I
LOVE
WUOLAH



POLÍTICA D'ESCRIPURA: Escriptura retardada amb assignació

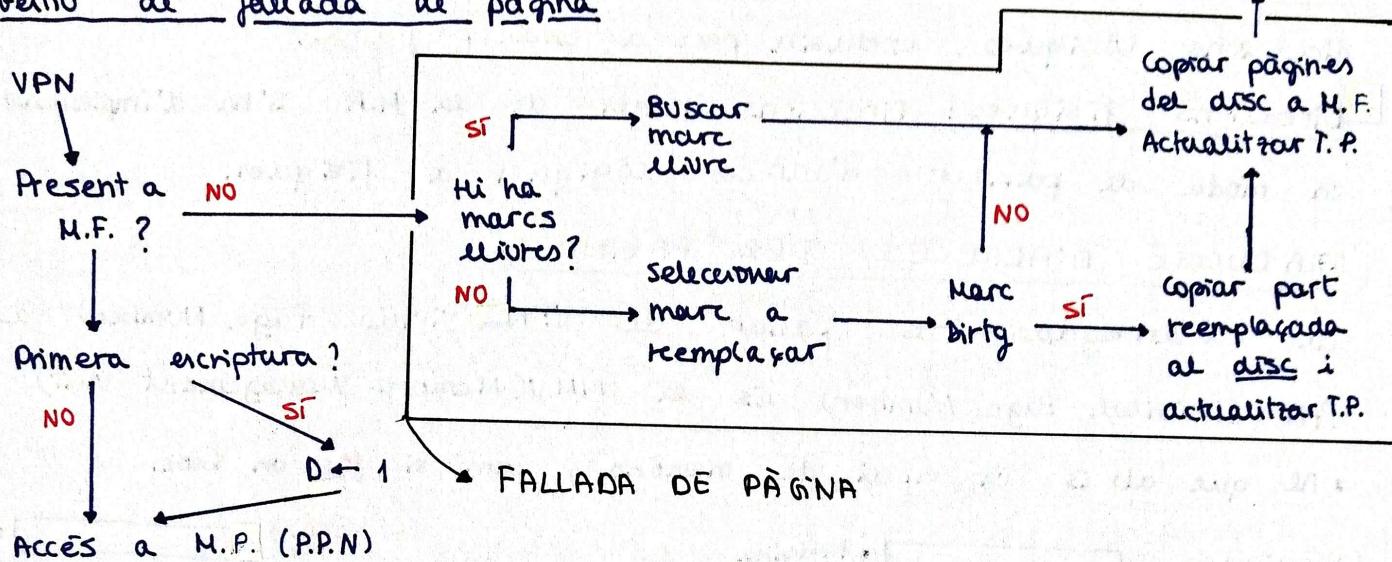
En cas de hit, s'escriu a la M.F.

En cas de miss, copiar la pàgina del disc a M.F.

Quan una pàgina sigui reemplaçada, s'haurà de portar a escriure al disc quan el bit dirty sigui 1.

Reexecutar instrucció

Gestió de fallada de pàgina



Problema! Cada load/store necessita 2 accessos a memòria, un a la T.P. per traduir la direcció i un per llegir/escrivir la dada. Sol? TLB

TRADUCCIÓ RÀPIDA AMB TLB (Translation-Lookaside Buffer)

El TLB és una caché de traduccions (guardar les més recentment accedides).

Es busca al TLB el VPN:

Si es troba, tenim hit de TLB $\begin{cases} V = 1 & \text{Perfecte} \\ V = 0 & \rightarrow \text{Fallada de pàgina} \end{cases}$

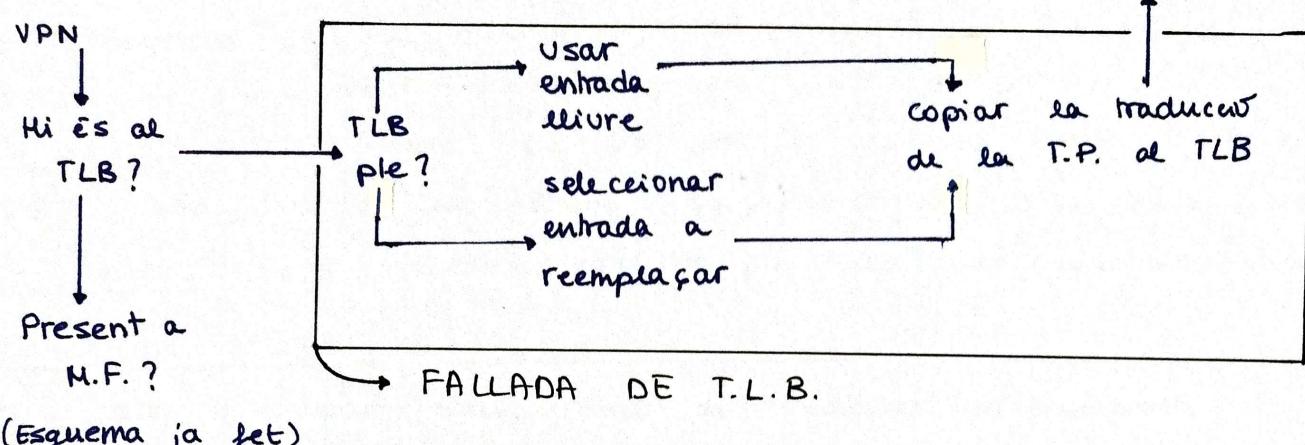
Si no, fallada de TLB:

- Copiar la taula de pàgines al TLB
- Si hi ha entrades, utilitzarà una. Si no, reemplaçar (si $D = 1$, caldrà fer còpia de la reemplaçada)
- Si el bit P de la T.P. és 0, el bit V del T.L.B serà 0

Bit $V = 0$	{ Entrada no inicialitzada Entrada acabada de copiar de la T.P. i el bit de presència era 0 → Encara s'ha de resoldre fallada de pàgina.
Bit $D = \begin{cases} 1 & \rightarrow \text{Quan el programa ha realitzat un store.} \\ 0 & \rightarrow \text{No s'ha realitzat cap store encara.} \end{cases}$	

Gestió de fallada de T.L.B.

Reintentar accés a mem



(Esquema ja fet)

PROTECCIÓ

Amb memòria virtual

- El mecanisme de traducció fa que sigui impossible que un procés accedeixi a pàgines fisiques d'un altre procés.
- Les taules de pàgines es guarden en un espai reservat al S.O.
Es crea un bit de mode d'usuari { Mode Sistema: Accés a dades i codi del S.O., a dispositius físics (M.F., MMU, E/S, etc.), i pot
- Només es podrà modificar la T.P en M. sistema. per executar instr. privilegiades.

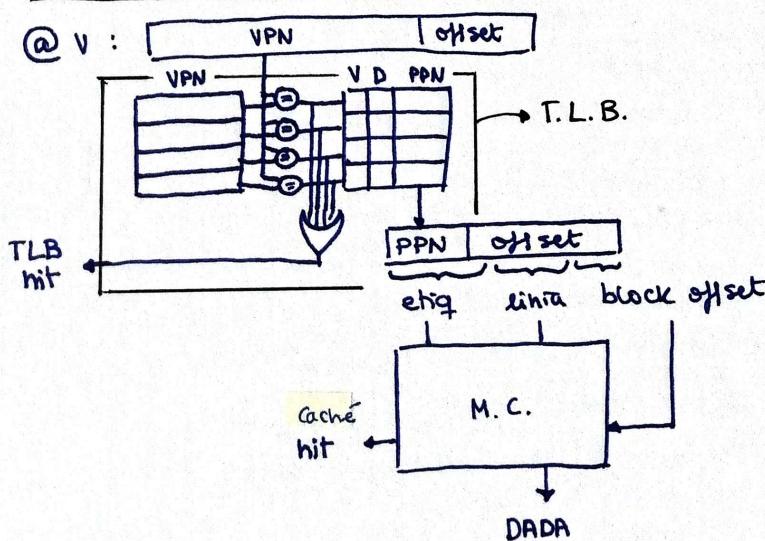
contra encriptura

És convenient prohibir la encriptura en certes pàgines de la T.P. Per això s'afegeix un bit de permís d'encriptura E en cada entrada de la T.P. i del TLB, i si $E = 0$ i s'intenta escriure, excepto!

COMPARTICIÓ

Assignar el mateix espai de M.F. a dos programes diferents per incrementar la eficiència mitjançant el paral·lelisme de tasques.

INTEGRACIÓ DE CÀCHÉ I TLB



Memòria càché física

És una solució simple però amb un temps d'accés elevat.

$t_h = \text{traduir} + \text{comprovar etiq} + \text{transfent dada.}$

TEMA 8: EXCEPCIONS I INTERRUPTIONS

Les excepcions i les interruptions són mecanismes del processador que alteren el flux normal d'un programa.

Excepcions: Events interns causats per la execució d'una instrucció, per exemple una fallada de pàgina, accés a memòria no alineat, etc.

Interrupcions: Events externs produïts per dispositius d'entrada/s sortida.

RUTINA DE SERVEI D'EXCEPCIONS (RSE)

Codi del S.O. que s'en carrega de gestionar les excepcions.

Tipus d'excepcions i interruptions:

- Excepcions produïda per una instrucció que viola alguna restricció:
 - L'instr. s'interrump sense escriure en registres ni en memòria.
 - Normalment s'aborta el programa, tot i que hi ha casos on es soluciona.
- Excepcions de fallo de pàgina i de TLB:
 - Si es fallo de TLB: RSE copia la entrada de la T.P. a la TLB.
 - Si es fallo de pàgina: RSE copia la pàgina del disc a un marc de pàgina lliure i s'actualitzen T.P. i el TLB.
 - La RSE acaba saltant a la instrucció que causa l'excepcions.
- Interrupcions: (causades per dispositius E/S)
 - No s'atenen immediatament
 - La RSE sol transferir els dades entre la CPU i el dispositiu E/S
 - La RSE salta a la següent instrucció del programa interruptut.

COPROCESSADOR DEL SISTEMA (CPO)

Banc de Registres específic

mfc0 rt, co_rd rt+co_rd
mtc0 rt, co_rd co_rd+rt

Registre EPC (Exception Program Counter, \$14)

Serveix per guardar el PC (el de la inst. actual o el de la següent)

Registre Status (\$12)

- Bit EXL (Exception Level) { 0 → Mode User
1 → Mode Sistema → Interrupcions desabilitades
- 8 bits de IM (Interrupt Mask): 1 bit per cada tipus d'interrupció,
si el bit està a 1 → Interrupció habilitada

Registre Cause (\$13)

- 5 bits de Ex Code: processador guarda aquí la causa de la Ex.
- 8 bits de IPC (Interrupt Pending): només lectura, per cada tipus d'interrupció. Si un bit val 1, vol dir que un dispositiu d'entrada/s sortida solicita l'interrupció.



Regalamos una Play para el más popular: #LaPopuPlayDeWuolah

*sorteo válido hasta el viernes 26 (inclusive)

WUOLAH



ACCIONS DE HARDWARE EN CAS D'EXCEPCIÓ / INTERRUPCIÓ

Excepció → S'aborta instr. i no s'escriu ni es registra ni en memòria.

Interrupció → Es finalitza instr., es comprova que l'E/S sigui habilitada
($IP_i = 1$ i $EXL = 0$ $IM_i = 1$)

Es guarda el PC a EPC

S'escriu la causa de l'excepció al camp ExCode

Es posa a 1 el bit EXL del Status

El processador escriu al PC la direcció base de RSE

RSE (genèric) = 0x 8000 0180 } Estan al espai de

TLB miss (fallos TLB) = 0x 8000 0000 } mem reservat al S.O.

FALLADA DE PÀGINA

Rutina especial TLBmiss. Utilitza dos registres \$K0, \$K1

context:

@P.T.E.			
---------	--	--	--

TLBmiss: mfco \$K1, \$4 (context)

Entrylo:

VPN			
81	12		

lw \$K1, 0 (\$K1)

Salvar PC: EPC ← PC

mtco \$K1, \$2 (Entryhi)

Activar EXL: EXL ← 1

tlbwr (write to TLB random)

Saltar a @TLBmiss: PC ← 0x 8000 0000

eret (PC ← EPC, EXL ← 0)

Entryhi:

PPN			
29	6	bit 1: Validesa	
bit 2: Dirty			

CANVI DE MODE

Els canvis de mode User a mode Sistema només es produeixen quan hi ha una excepció o amb la instrucció syscall.

La instrucció syscall es pot fer servir per utilitzar dispositius d'E/S.

Per exemple: "print_string"

.data

s: .ascii "Hola"

.text

.globl main

main:

...

move \$V0, 4

la \$a0, s

syscall

...

jr \$ra

} El codi 4 és el que permet imprimir un string. La adreça de la dada a imprimir es posa al \$a0. (El codi al \$V0)

I
LOVE
WUOLAH

