

32 位 ALU 设计文档

版本	日期	名称	作者
1.0	2020/04/11	32 位 ALU 模块文档	郑子安 朱廷渊 张鑫 杨宗强 刘波 李恩熠

一、设计简述

1. 项目环境与级别

设计语言：Verilog 硬件描述语言

仿真环境：Vivado

设计级别：RTL 级

2. 任务目标

使用 verilog 设计支持 14 条指令的 32 位 ALU，并在 vivado 上进行仿真和分析。

3. 实现情况

行为仿真:电路功能正常

电路类型：组合逻辑电路

时钟周期:1 (组合逻辑电路 该项无参考价值)

最大时延:11.634ns

二、设计规格

1. 模块明细表

模块名	描述	OP 码
SLL	逻辑左移（常量）	11'b00_0000
SRL	逻辑右移（常量）	11'b00_0010
SRA	算术左移（常量）	11'b00_0011
SLLV	算术右移（变量）	11'b00_0100
SRLV	逻辑左移（变量）	11'b00_0110
SRAV	逻辑右移（变量）	11'b00_0111
ADD	有符号加法	11'b10_0000
ADDU	无符号加法	11'b10_0001

SUB	有符号减法	11'b10_0010
SUBU	无符号减法	11'b10_0011
AND	与运算	11'b10_0100
OR	或运算	11'b10_0101
XOR	异或运算	11'b10_0110
NOR	或非运算	11'b10_0111
SLT	有符号小于置 1	11'b10_1010
SLTU	无符号小于置 1	11'b10_1011

2. 文件明细表

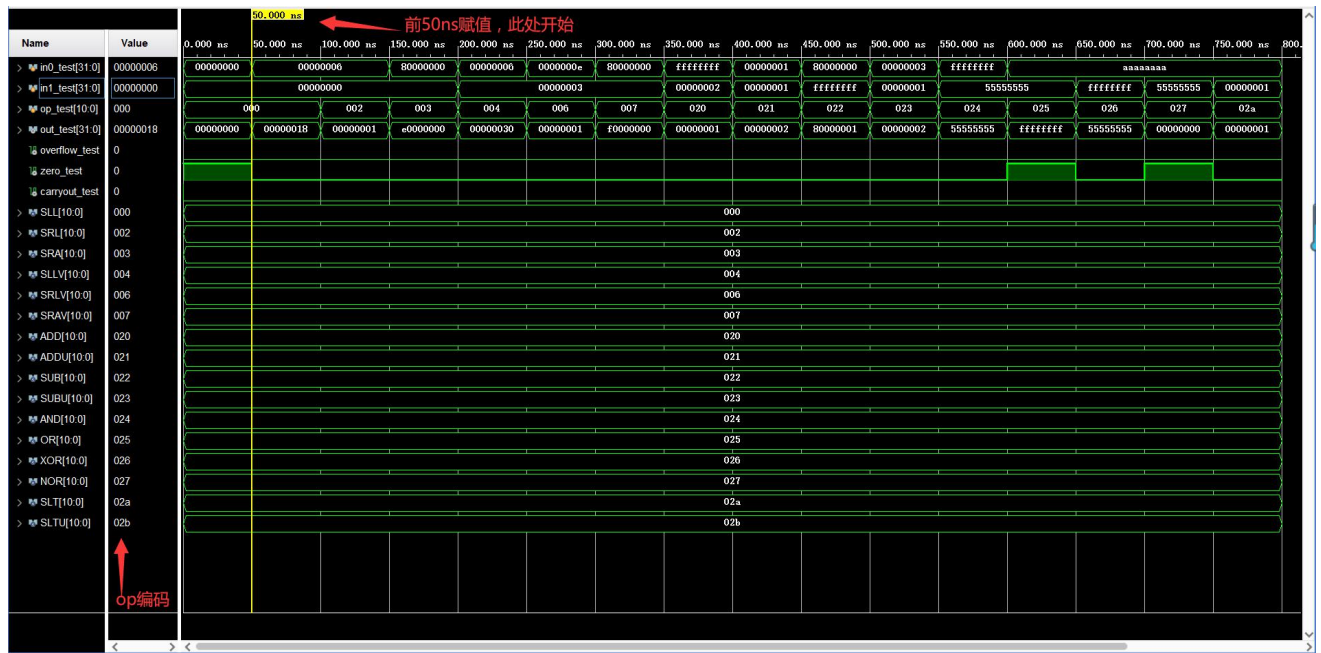
文件名	描述
alu_32.v	卷积器实现
Adder_detectedOverflow.v	加法器实现
TestFunction.v	仿真测试文件

3. 输入/输出

名称	类型	描述
in0	输入/wire	32bit/操作数 0
in1	输入/wire	32bit/操作数 1
op	输入/wire	11bit/操作数符合码
out	输出/reg	32bit/运算结果
overflow	输出/reg	1bit/溢出标志位
zero	输出/reg	1bit/置零标志位
carryout	输出/reg	1bit/进位标志位

三、仿真测试

编写行为仿真测试文件后，分别以 50ns 延迟测试各功能模块，所用 op 编码如下图所示：



四、电路图

- (1) 全 ALU 电路图参见 pdf 文件 [schematic.pdf](#)
- (2) 加法器电路图参加 pdf 文件 [adder.pdf](#)

五、核心元件----加法器设计思路

详见“32 位超前进位加法器设计.pdf”

六、路径时延

在 vivado 中经过实现得到了时序分析报告, 其中共有 71 条路径, 包含了 35 条从输入端到输出端寄存器的路径(三个 1bit 标志位、一个 32bit 结果寄存器), 35 条从输出端寄存器到输出端线路的路径, 以及 1 条从输入端到 sub 寄存器的路径。其中延迟最高的为置零寄存器路线为(11.634ns)。按照路径延迟进行降序排列 如下图:

Name	Slack	Levels	Routes	High Fanout	From	To	Total Delay	Logic Delay	Net Delay	Requirement	Source Clock	Destination Clock
Path 1	∞	9	9	113	in1[20]	zero_reg/D	11.634	1.373	10.261	∞	input port clock	output port clock
Path 2	∞	9	9	126	in1[3]	out_reg125/D	11.132	1.134	9.998	∞	input port clock	output port clock
Path 3	∞	9	9	126	in1[3]	out_reg123/D	10.554	1.262	9.292	∞	input port clock	output port clock
Path 4	∞	8	8	113	in1[20]	out_reg12/D	10.463	1.193	9.270	∞	input port clock	output port clock
Path 5	∞	9	9	126	in1[3]	out_reg11/D	10.358	1.262	9.096	∞	input port clock	output port clock
Path 6	∞	9	9	126	in1[3]	out_reg22/D	10.337	1.262	9.074	∞	input port clock	output port clock
Path 7	∞	9	9	126	in1[3]	out_reg18/D	10.275	1.263	9.011	∞	input port clock	output port clock
Path 8	∞	9	9	126	in1[3]	out_reg1/D	10.209	1.255	8.954	∞	input port clock	output port clock
Path 9	∞	8	8	126	in1[3]	out_reg26/D	10.105	1.081	9.024	∞	input port clock	output port clock
Path 10	∞	8	8	113	in1[20]	out_reg3/D	10.104	1.193	8.911	∞	input port clock	output port clock
Path 11	∞	8	8	113	in1[20]	out_reg1/D	9.887	1.193	8.694	∞	input port clock	output port clock
Path 12	∞	8	7	113	in1[20]	out_reg11/D	9.873	1.377	8.496	∞	input port clock	output port clock
Path 13	∞	8	8	113	in1[20]	out_reg14/D	9.820	1.193	8.627	∞	input port clock	output port clock
Path 14	∞	8	8	126	in1[3]	out_reg7/D	9.737	1.081	8.655	∞	input port clock	output port clock
Path 15	∞	8	8	126	in1[3]	carryout_reg/D	9.728	1.218	8.510	∞	input port clock	output port clock
Path 16	∞	8	8	126	in1[3]	out_reg20/D	9.706	1.081	8.625	∞	input port clock	output port clock
Path 17	∞	7	7	113	in1[20]	out_reg1/D	9.690	1.140	8.550	∞	input port clock	output port clock
Path 18	∞	8	8	126	in1[3]	out_reg28/D	9.676	1.081	8.595	∞	input port clock	output port clock
Path 19	∞	8	8	113	in1[20]	out_reg6/D	9.648	1.193	8.455	∞	input port clock	output port clock
Path 20	∞	7	7	113	in1[20]	out_reg15/D	9.629	1.140	8.489	∞	input port clock	output port clock
Path 21	∞	9	9	113	in1[20]	out_reg13/D	9.593	1.246	8.347	∞	input port clock	output port clock
Path 22	∞	8	8	113	in1[20]	out_reg27/D	9.533	1.193	8.340	∞	input port clock	output port clock
Path 23	∞	8	8	126	in1[3]	out_reg124/D	9.530	1.081	8.448	∞	input port clock	output port clock
Path 24	∞	9	9	126	in1[3]	out_reg31/D	9.454	1.134	8.320	∞	input port clock	output port clock
Path 25	∞	6	6	113	in1[20]	out_reg19/D	9.441	1.087	8.354	∞	input port clock	output port clock
Path 26	∞	8	7	113	in1[20]	out_reg9/D	9.311	1.369	7.942	∞	input port clock	output port clock
Path 27	∞	8	7	94	in1[1]	out_reg5/D	9.256	1.519	7.737	∞	input port clock	output port clock
Path 28	∞	8	7	113	in1[20]	out_reg10/D	9.240	1.360	7.880	∞	input port clock	output port clock

Path 29	∞	8	8	126	in1[3]	out_reg[16]D	9.159	1.081	8.078	∞	input port clock
Path 30	∞	8	8	126	in1[3]	out_reg[30]D	9.116	1.081	8.035	∞	input port clock
Path 31	∞	8	7	126	in1[3]	out_reg[8]D	9.078	1.246	7.832	∞	input port clock
Path 32	∞	8	8	113	in1[20]	out_reg[12]D	8.999	1.193	7.806	∞	input port clock
Path 33	∞	8	8	126	in1[3]	out_reg[29]D	8.891	1.081	7.810	∞	input port clock
Path 34	∞	8	7	113	in1[20]	out_reg[4]D	8.818	1.369	7.449	∞	input port clock
Path 35	∞	7	7	126	in1[3]	overflow_regD	8.812	1.028	7.784	∞	input port clock
Path 36	∞	2	1	1	out_reg[17]G	out[17]	5.490	2.646	2.845	∞	
Path 37	∞	2	1	1	out_reg[5]G	out[5]	5.230	2.694	2.535	∞	
Path 38	∞	2	1	1	out_reg[29]G	out[29]	4.928	2.698	2.230	∞	
Path 39	∞	2	1	1	out_reg[27]G	out[27]	4.908	2.678	2.230	∞	
Path 40	∞	2	1	1	out_reg[2]G	out[2]	4.876	2.695	2.181	∞	
Path 41	∞	2	1	1	out_reg[3]G	out[3]	4.851	2.651	2.200	∞	
Path 42	∞	2	1	1	out_reg[9]G	out[9]	4.851	2.709	2.142	∞	
Path 43	∞	2	1	1	out_reg[4]G	out[4]	4.844	2.694	2.151	∞	
Path 44	∞	2	1	1	out_reg[7]G	out[7]	4.825	2.679	2.146	∞	
Path 45	∞	2	1	1	out_reg[6]G	out[6]	4.743	2.695	2.048	∞	
Path 46	∞	2	1	1	out_reg[11]G	out[11]	4.727	2.686	2.040	∞	
Path 47	∞	2	1	1	out_reg[12]G	out[12]	4.718	2.686	2.032	∞	
Path 48	∞	2	1	1	out_reg[10]G	out[10]	4.713	2.706	2.007	∞	
Path 49	∞	2	1	1	out_reg[1]G	out[1]	4.711	2.649	2.063	∞	
Path 50	∞	2	1	1	out_reg[0]G	out[0]	4.694	2.631	2.063	∞	
Path 51	∞	2	1	1	out_reg[16]G	out[16]	4.681	2.649	2.032	∞	
Path 52	∞	2	1	1	out_reg[21]G	out[21]	4.651	2.682	1.969	∞	
Path 53	∞	2	1	1	out_reg[19]G	out[19]	4.637	2.667	1.970	∞	
Path 54	∞	2	1	1	out_reg[18]G	out[18]	4.637	2.643	1.994	∞	
Path 55	∞	2	1	1	out_reg[31]G	out[31]	4.636	2.710	1.925	∞	
Path 56	∞	2	1	1	out_reg[14]G	out[14]	4.622	2.678	1.943	∞	
Path 57	∞	2	1	1	out_reg[15]G	out[15]	4.607	2.611	1.996	∞	
Path 58	∞	2	1	1	overflow_regG	overflow	4.598	2.699	1.899	∞	
Path 59	∞	2	1	1	out_reg[24]G	out[24]	4.593	2.684	1.909	∞	
Path 60	∞	2	1	1	out_reg[28]G	out[28]	4.576	2.721	1.855	∞	
Path 61	∞	2	1	1	out_reg[25]G	out[25]	4.572	2.696	1.876	∞	
Path 62	∞	2	1	1	out_reg[8]G	out[8]	4.566	2.682	1.884	∞	
Path 63	∞	2	1	1	out_reg[22]G	out[22]	4.558	2.682	1.876	∞	
Path 64	∞	2	1	1	out_reg[13]G	out[13]	4.554	2.670	1.884	∞	
Path 65	∞	2	1	1	out_reg[20]G	out[20]	4.552	2.670	1.882	∞	
Path 66	∞	2	1	1	out_reg[23]G	out[23]	4.549	2.683	1.866	∞	
Path 67	∞	2	1	1	out_reg[26]G	out[26]	4.468	2.696	1.772	∞	
Path 68	∞	2	1	1	out_reg[30]G	out[30]	4.377	2.657	1.720	∞	
Path 69	∞	2	1	1	carryout_regG	carryout	4.348	2.669	1.679	∞	
Path 70	∞	2	1	1	zero_regG	zero	4.305	2.698	1.607	∞	
Path 71	∞	1	1	59	op[1]	Sub_regD	2.611	0.785	1.825	∞	input port clock