**32位ALU设计文档**

|  |  |  |  |
| --- | --- | --- | --- |
| 版本 | 日期 | 名称 | 作者 |
| 1.0 | 2020/04/11 | 32位ALU模块文档 | 郑子安 朱廷渊 张鑫 杨宗强 刘波 李恩熠 |

1. **设计简述**
2. 项目环境与级别

设计语言：Verilog硬件描述语言

仿真环境：Vivado

设计级别： RTL级

1. 任务目标

使用verilog设计支持14条指令的32位ALU，并在vivado上进行仿真和分析。

1. 实现情况

行为仿真:电路功能正常

电路类型: 组合逻辑电路

时钟周期:1 (组合逻辑电路 该项无参考价值)

最大时延:11.634ns

1. **设计规格**
2. 模块明细表

|  |  |  |
| --- | --- | --- |
| 模块名 | 描述 | OP码 |
| SLL | 逻辑左移（常量） | 11'b00\_0000 |
| SRL | 逻辑右移（常量） | 11'b00\_0010 |
| SRA | 算术左移（常量） | 11'b00\_0011 |
| SLLV | 算术右移（变量） | 11'b00\_0100 |
| SRLV | 逻辑左移（变量） | 11'b00\_0110 |
| SRAV | 逻辑右移（变量） | 11'b00\_0111 |
| ADD | 有符号加法 | 11'b10\_0000 |
| ADDU | 无符号加法 | 11'b10\_0001 |
| SUB | 有符号减法 | 11'b10\_0010 |
| SUBU | 无符号减法 | 11'b10\_0011 |
| AND | 与运算 | 11'b10\_0100 |
| OR | 或运算 | 11'b10\_0101 |
| XOR | 异或运算 | 11'b10\_0110 |
| NOR | 或非运算 | 11'b10\_0111 |
| SLT | 有符号小于置1 | 11'b10\_1010 |
| SLTU | 无符号小于置1 | 11'b10\_1011 |

1. 文件明细表

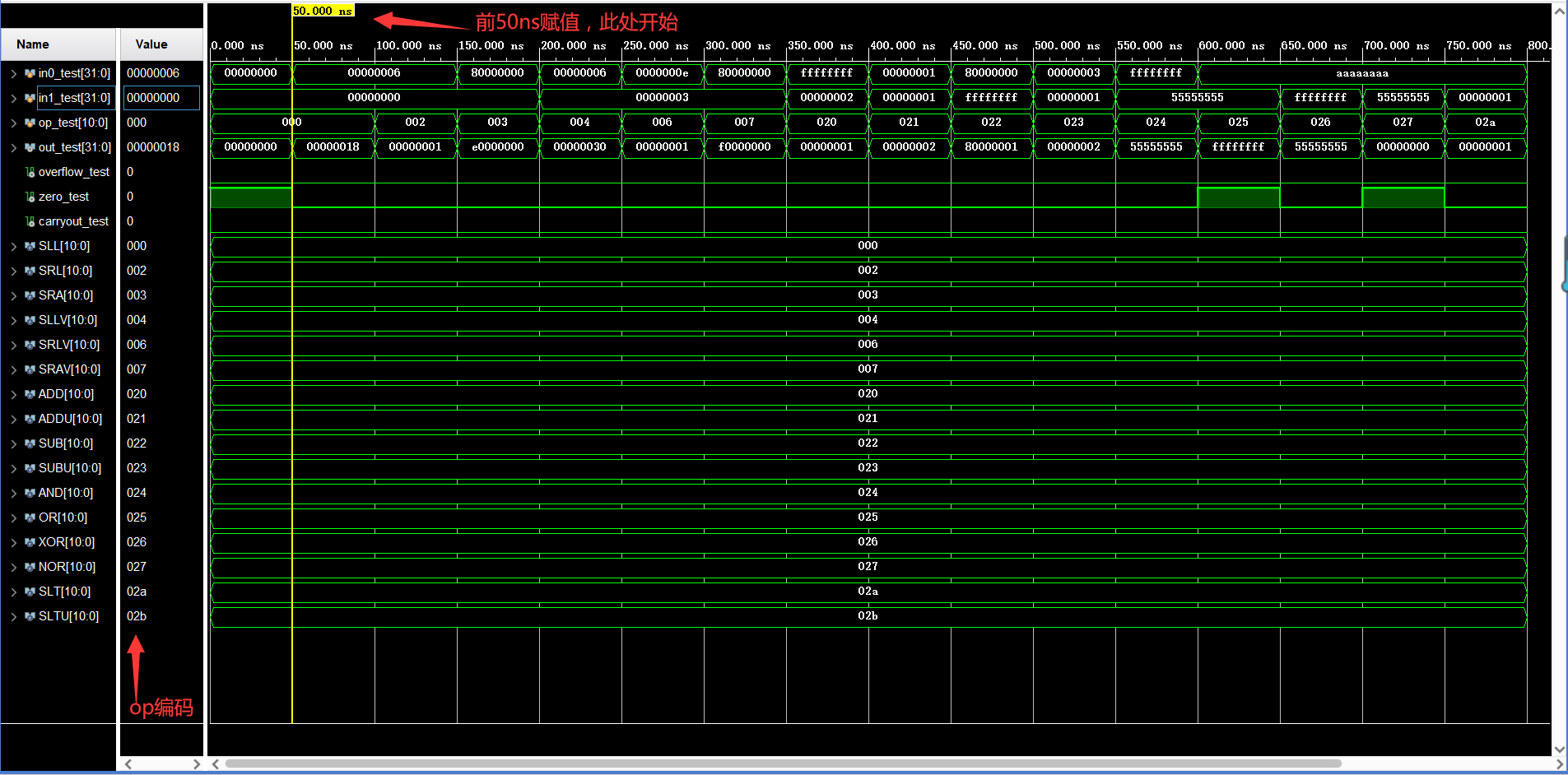
|  |  |
| --- | --- |
| 文件名 | 描述 |
| alu\_32.v | 卷积器实现 |
| Adder\_detectedOverflow.v | 加法器实现 |
| TestFunction.v | 仿真测试文件 |

3. 输入/输出

|  |  |  |
| --- | --- | --- |
| 名称 | 类型 | 描述 |
| in0 | 输入/wire | 32bit/操作数0 |
| in1 | 输入/wire | 32bit/操作数1 |
| op | 输入/wire | 11bit/操作数符合码 |
| out | 输出/reg | 32bit/运算结果 |
| overflow | 输出/reg | 1bit/溢出标志位 |
| zero | 输出/reg | 1bit/置零标志位 |
| carryout | 输出/reg | 1bit/进位标志位 |

1. **仿真测试**

编写行为仿真测试文件后，分别以50ns延迟测试各功能模块，所用op编码如下图示:



1. **电路图**
2. 全ALU电路图参见pdf文件 [schematic.pdf](file:///C:\Users\Administrator\Documents\Tencent%20Files\1175832366\FileRecv\schematic.pdf)
3. 加法器电路图参加pdf文件 [adder.pdf](file:///C:\Users\Administrator\Documents\Tencent%20Files\1175832366\FileRecv\adder.pdf)

**五、核心元件----加法器设计思路**

**六、路径时延**

在vivado中经过实现得到了时序分析报告，其中共有71条路径，包含了35条从输入端到输出端寄存器的路径(三个1bit标志位、一个32bit结果寄存器)，35条从输出端寄存器到输出端线路的路径，以及1条从输入端到sub寄存器的路径。其中延迟最高的为置零寄存器路线为(11.634ns)。按照路径延迟进行降序排列 如图下:

