

Hardware/Software Codesign 2018/2019

Michal Ormoš (xormos00@stud.fit.vutbr.cz)

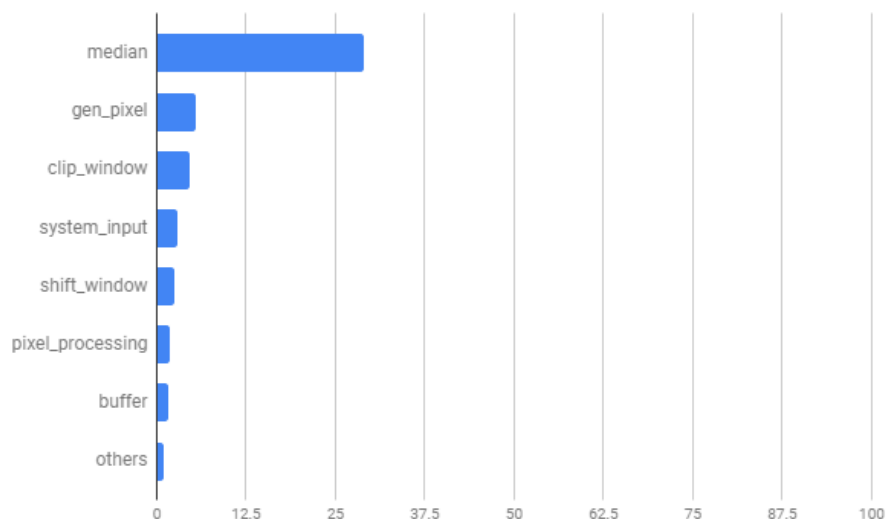
14. prosince 2018

Abstrakt

Táto krátka správa predstavuje dokumentáciu k projektu pre predmet HSC. V krátkosti predstavuje výsledky a riešenie daného problému.

1 Graf výsledkov analýzy algoritmu z programu gprof

Funkcia	%CPU
median()	28.9
gen_pixel()	5.5
clip_window	4.6
system_input()	2.9
shit_window()	2.5
pixel_processing()	1.8
buffer()	1.7
others	<1



2 Tabuľka zahrňujúca vlastnosti obvodu vnútri FPGA

Initialization Interval	4
Latency	4

Logic Utilization:

Number of Slice Flip Flops:	403 out of 1,536	26%
Number of 4 input LUTs:	1,165 out of 1,536	75%
Number of occupied Slices:	730 out of 768	95%

3 Tabuľka porovnávajúca vlastnosti SW a rozdeleného SW HW riešenia

	SW	SW+H
Priemerná dobu spracovania jedného pixelu μs	212	0,16
Počet bodov spracovaných za sekundu [pixel/s]	434	6250000
Hodnota zrýchlenia SW+HW oproti čistému SW	1x	1325

4 Zhrnutie

V tomto projekte sme si vyskúšali, že čisto softwerová implementácia je nedostačujúca, pretože nie v každom prípade dokážeme vygenerovať dostatočný počet snímok za sekundu pri rozlíšení 320x240 pixelov. Po našej implementácii rozdelenia medzi SW a HW sa podarilo zrýchliť aplikáciu o 1325x!. To znamená, že aplikácia dokáže vygenerovať 81 snímok za sekundu.

Aplikáciu je možné ďalej zrýchliť umiestnením všetkých funkcií do HW častí. Avšak toto urýchlenie by vyžadovalo viac priestoru v FPGA časti a z toho dôvodu by bolo ekonomicky náročnejšie. A v tomto prípade je potreba zvážiť, či sa takéto zrýchlenie naozaj vyplatí.