

Universidad de Costa Rica
Facultad de Ingeniería
Escuela de Ingeniería Eléctrica

IE-0323
Circuitos Digitales 2

Avance 1

Por:

Luis Alonso Rodríguez B76547, Jafet Gutiérrez B73558, Gabriel
Araya B80525, Andrés Arias B80661

Ciudad Universitaria Rodrigo Facio, Costa Rica

I ciclo, 2021

Índice

1. Plan de Trabajo	1
--------------------	---

1. Plan de Trabajo

Para esta primera entrega, al ser Muxes y Demuxes, se plantea el siguiente plan de trabajo:

- Se le dan 4 entradas de 8 bits al sistema de módulos de Mux con sus respectivos selectores.
- Se espera que el sistema tenga en la salida, después de pasar de los Demux, la salida que se recibe de 8 bits.

A continuación se muestra en una imagen el plan de pruebas utilizado. La lógica detrás consiste en que, si el sistema funciona adecuadamente, se debe recibir en la salida, las entradas otorgadas, pero con retraso impuesto por los flipflop.

Además se cuenta con 3 relojes distintos, para variar en distinto tiempo las señales. El Clk1 es el reloj más veloz con 1 unidad de tiempo, el reloj Clk2 es 2 veces más lento que el primero, y finalmente el Clk3 es 4 veces más lento que el primero. Se utilizan el 1 y el 2 para variar los selectores, y se utiliza el 3 para cambiar los valores de las entradas del mux L1.

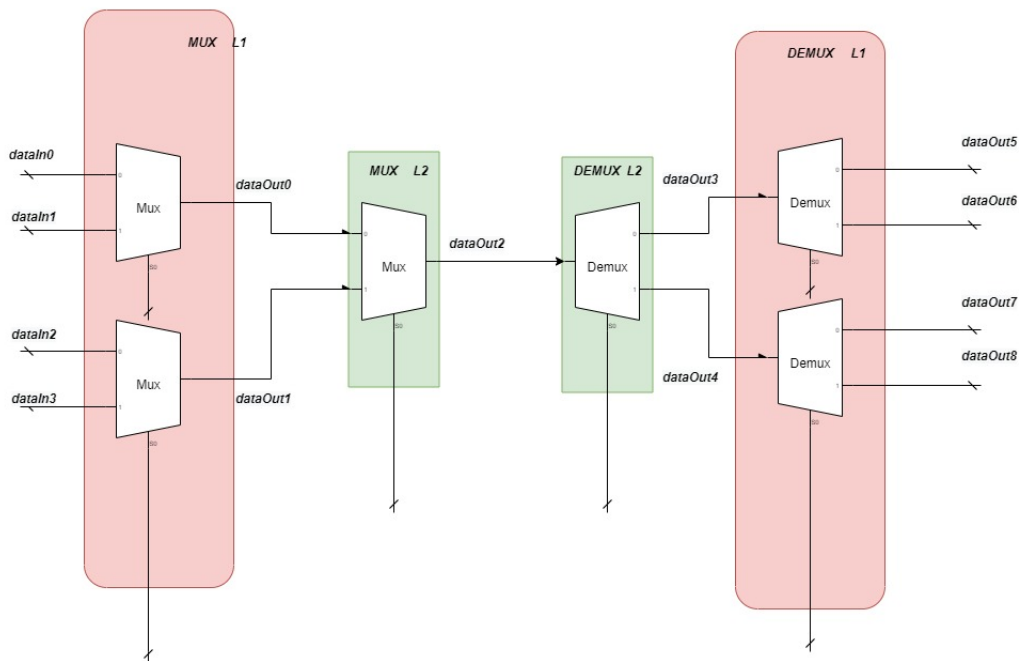


Figura 1: Diagrama del Plan de pruebas