

Universidad de Costa Rica
Facultad de Ingeniería
Escuela de Ingeniería Eléctrica

IE-0523
Circuitos Digitales II

Plan de Trabajo Final

Por:

Luis Alonso Rodríguez B76547
Jafet Gutiérrez B73558
Gabriel Araya B80525
Andrés Arias B80661

Ciudad Universitaria Rodrigo Facio, Costa Rica

I ciclo, 2021

Índice

1. Plan de Trabajo	1
1.1. Lógica de Muxes y Demuxes	1
1.2. Recirculación	2
1.3. Serial-Paralelo y Paralelo-Serial Transmisor	3
1.3.1. Paralelo-Serial	3
1.3.2. Serial-Paralelo	3
1.4. Serial-Paralelo y Paralelo-Serial Receptor	3
1.4.1. Paralelo-Serial	3
1.4.2. Serial-Paralelo	4
1.5. Sistema completo	4

1. Plan de Trabajo

Los roles respectivos para cada estudiante son los siguientes:

- Gabriel Araya Mora (B80525) → Lider
- Jafet Gutiérrez (B73558) → Verificador de modulos conductuales.
- Luis Alonso Rodríguez (B76547) → Verificador de modulos estructurales.
- Andrés Arias (B80661) → Constructor de bancos de prueba y gtk's para las diversas entregas.

1.1. Lógica de Muxes y Demuxes

- **Andrés Arias Campos (B80661)**: Se encarga de construir el módulo conductual para la lógica de muxes. (Tanto L_1 como L_2)
Además construyo el testbench capaz de probar estructural y conductual simultáneamente.
- **Gabriel Araya Mora (B80525)**: Se encarga de construir el módulo conductual para la lógica de Demuxes. (Tando L_1 como L_2)
Además hizo el probador y el plan de pruebas para ambos demuxes y muxes.
- **Luis Alonso Rodríguez (B76547)**: Se encarga de sintetizarlos cuatro módulos proporcionados en los pasos anteriores.

Para esta primera entrega, al ser Muxes y Demuxes, se plantea el siguiente plan de trabajo:

- Se le dan 4 entradas de 8 bits al sistema de módulos de Mux con sus respectivos selectores.
- Se espera que el sistema tenga en la salida, después de pasar de los Demux, la salida que se recibe de 8 bits.

A continuación se muestra en una imagen el plan de pruebas utilizado. La lógica detrás consiste en que, si el sistema funciona adecuadamente, se debe recibir en la salida, las entradas otorgadas, pero con retraso impuesto por los flipflop.

Además se cuenta con 3 relojes distintos, para variar en distinto tiempo las señales. El Clk1 es el reloj más veloz con 1 unidad de tiempo, el reloj Clk2 es 2 veces más lento que el primero, y finalmente el Clk3 es 4 veces más lento que el primero. Se utilizan el 1 y el 2 para variar los selectores, y se utiliza el 3 para cambiar los valores de las entradas del mux L1.

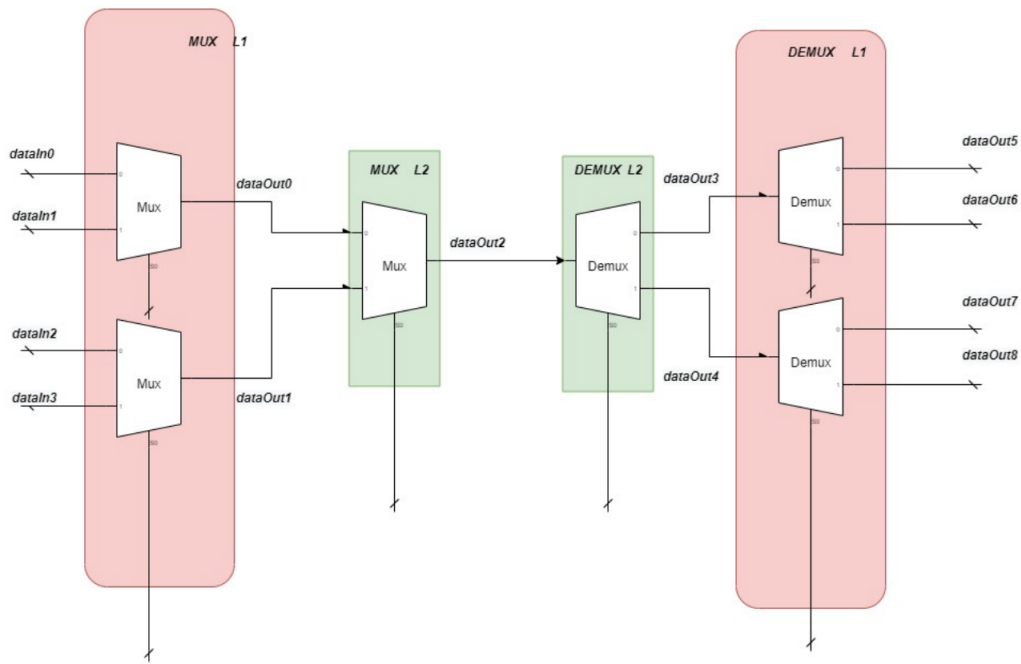


Figura 1: Diagrama del plan de pruebas para muxes y demuxes

1.2. Recirculación

- **Jafet Gutiérrez (B73558)**: Se encarga de la construcción conductual y estructural del recirculador así como del plan de pruebas, probador y testbench del mismo.

El bloque de recirculación opera fundamentalmente como un demultiplexor con una entrada y dos salidas, las tres conformadas a su vez por 4 buses de 8 bits. Adicionalmente cada uno de estos buses cuenta con un cable que lleva un bit de validación. Cuando la entrada de selección (*selector_IDLE*) se encuentre en estado bajo, los valores de las entradas irán a las salidas que vuelven al bloque del probador, y por otro lado, cuando *selector_IDLE* esté en estado alto los datos en las entradas seguirán al bloque de lógica de multiplexores. También cabe mencionar que este módulo opera de manera sincrónica con el reloj de frecuencia más alta del sistema. En la figura 2 se muestra un diagrama del bloque Recirculador, junto con sus entradas y salidas.

Para verificar la funcionalidad de este bloque se realiza una prueba, en la cual se le aplican 4 entradas de 8 bits que cambian de valor a través del tiempo. Con el propósito de comprobar el efecto del selector, la entrada *selector_IDLE* comenzará la prueba en 0 y cambiará de valor a 1 después de un pequeño periodo. Por lo que se espera que al principio de la prueba las salidas y bits de valid que van a la lógica de multiplexores mantengan un valor indefinido. Después del cambio del selector estas salidas deberían de empezar a cambiar conforme lo hacen las entradas, mientras que las salidas que van al probador tendrían que conservar su valor anterior.

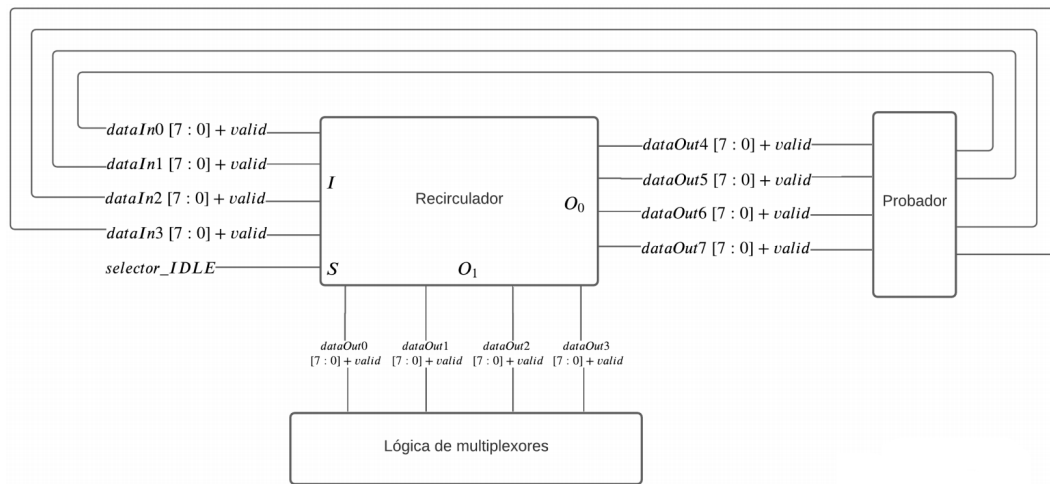


Figura 2: Diagrama de Recirculación

1.3. Serial-Paralelo y Paralelo-Serial Transmisor

1.3.1. Paralelo-Serial

- **Gabriel Araya Mora (B80525)**: Se encarga de construir el módulo conductual y estructural para el módulo que pasa de paralelo a serial en el **TX**, además diseña el plan de pruebas, y testbench para dicho módulo.

El bloque funciona utilizando el reloj clk_{32f} para pasar las entradas en paralelo a uno serial que cambia de valor con cada flanco creciente. También toma en cuenta el bit de valid, en el caso que sea 1 se obtendrá la salida serial del valor que venía del multiplexor L2; en el caso que sea 0 se obtendría que la salida va a ser el serial del número BC.

1.3.2. Serial-Paralelo

- **Jafet Gutiérrez (B73558)**: Se encarga de construir el módulo conductual y estructural para el módulo que pasa de serial a paralelo en el **TX** y hace recircular o no los datos, además diseña el plan de pruebas, y testbench para dicho módulo.

El bloque opera de forma que primero pasa la entrada de serial a paralelo para así trabajar luego directamente con el bus de datos. Luego se comprueba con un contador cuantas entradas han sido el número BC, esto para que cuando se cuenten 4 o más entonces se proceda a pasar el bit de active a 1. En la salida del IDLE out se aplica una lógica AND con el active que se calculó anteriormente y la entrada actual. Su la entrada IDLE in es 1 y se tiene el active arriba, entonces la salida IDLE out también sera 1. Luego se esto se envía la salida al recirculador para que este realice la acción de dejar pasar los siguientes datos o de repetir el proceso para evaluar el error en los datos.

1.4. Serial-Paralelo y Paralelo-Serial Receptor

1.4.1. Paralelo-Serial

- **Andrés Arias Campos (B80661)**: Se encarga de construir el módulo conductual y estructural para el módulo que pasa de paralelo a serial en el **RX**, además diseña el plan

de pruebas, y testbench para dicho módulo.

El paralelo a serial en el receptor detecta la señal de active, y dependiendo de este valor, se encarga de insertar 7C o BC en hexadecimal y pasar la señal a serial. Cuando el valor es inactivo, envía BC y cuando es activo, envía 7C.

1.4.2. Serial-Paralelo

- **Luis Alonso Rodríguez (B76547)**: Se encarga de construir el módulo conductual y estructural para el módulo que pasa de serial a paralelo en el **RX**, además diseña el plan de pruebas, y testbench para dicho módulo.

El bloque recibe primero la entrada en serial a una alta frecuencia, detectando valores de BC, cuando recibe 4 o más valores de BC pasa a active a 1, transformando los valores a paralelo para enviarlos, tanto a la lógica de demuxes que se encarga de pasarlo a la salida dataOut y validOut, como nuevamente a un paralelo serial en el receptor. El validOut se mantendrá arriba siempre que active esté arriba y no se tenga un BC en los datos.

A continuación el diagrama de esta etapa:

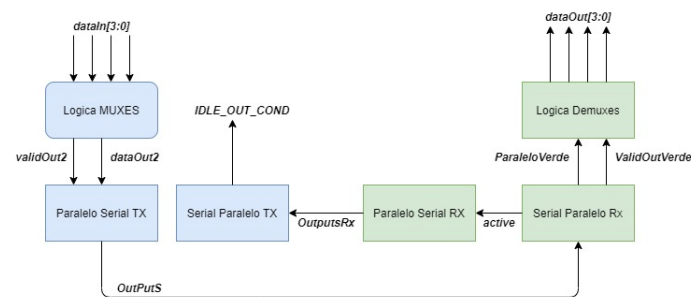


Figura 3: Diagrama interno para las pruebas de Serial Paralelo y Paralelo Serial

1.5. Sistema completo

Para esta tercera entrega se realiza un plan de trabajo similar a los previos. El enfoque principal de las pruebas consiste en alimentar el sistema con una entrada dataIn que recorrerá todos los módulos del sistema. Finalmente, debe entregar una salida dataOut que debe ser igual a data in simplemente atrasada ciertos ciclos de reloj debido a los flip flop que recorre. A continuación se muestran los diagramas que explican visualmente la información.

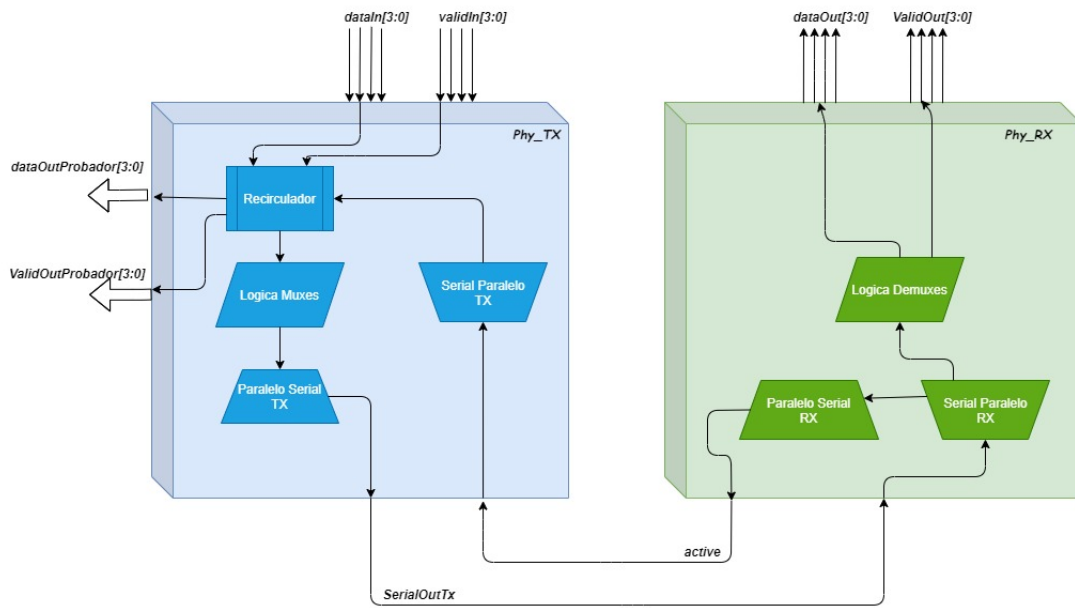


Figura 4: Conexión de PhyRX y PyTX con sus respectivas entradas y salidas

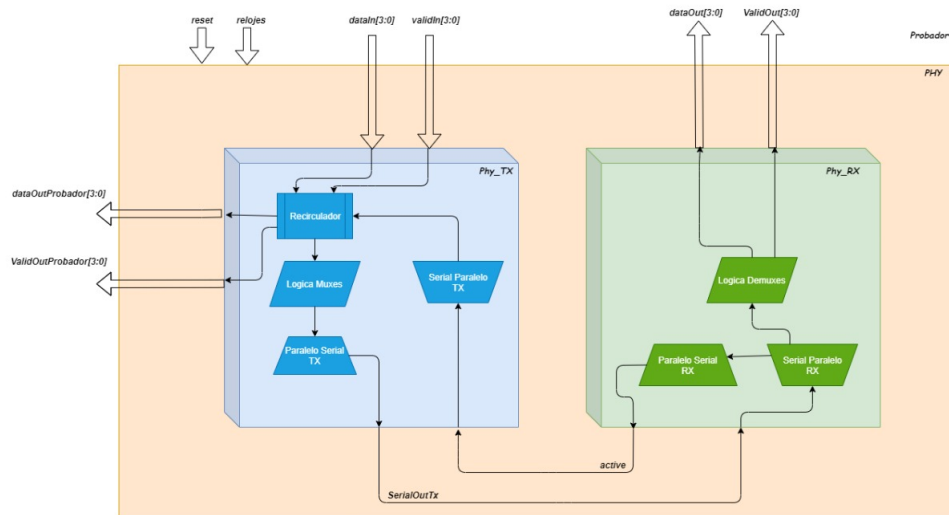


Figura 5: Conexión de Phy con sus respectivas entradas y salidas

Se puede observar en el diagrama de la figura 5 que consiste en el módulo completo, sintetizado, con todos sus elementos internos, y entradas, así como las salidas hacia el medio y hacia el probador. Además recibe la señal de reloj y reset que afectan con su valor todos los módulos internos. Tanto los módulos individuales de PhyRX y PhyTX como el sistema completo, otorgan a la salida el valor esperado, lo que implica que al recorrer el sistema, las transformaciones realizadas son correctas, y de esta manera se verifica el funcionamiento.

Para esta entrega tanto el funcionamiento conductual como el estructural de todo bloque individual y general, fueron probados y se verifica su respuesta ante los distintos estímulos de entrada como las correctas y deseadas.