Procesory

- Dodatkowe funkcje
 - Wielordzeniowość (multi-threading)
 - Pamięć podręczna (cache memory)
 - Dodatkowe rozkazy procesora (MMX, SSE3, 3DNow)
- Magistrale procesora
- Tryby pracy, wydajność procesora
- Typy obudów i gniazd
- Montaż

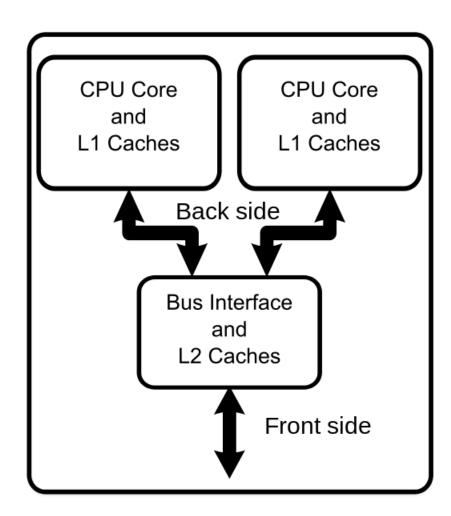


Multi-core processor

is a single computing component with two or more independent actual CPU's (called "cores"), which are the units that read and execute program instructions which are ordinary CPU instructions such as:

add, move data & branch

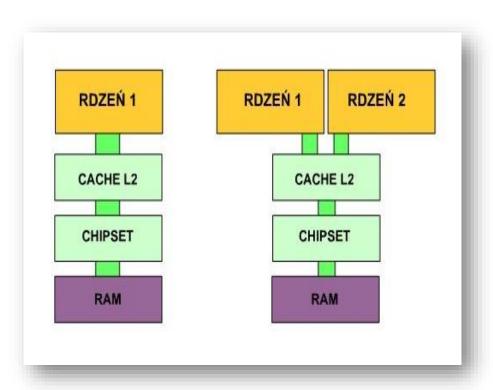
but the multiple cores can run multiple instructions at the same time, amenable to parallel computing. Manufacturers typically integrate the cores onto a single integrated circuit die.



Procesory wielordzeniowe

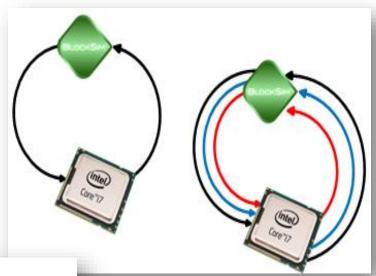
Procesory wielordzeniowe złożone są z dwu lub więcej rdzeni zamkniętych w jednej obudowie.

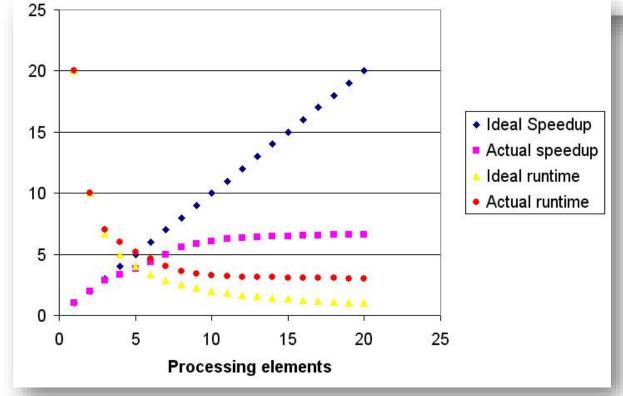
Architektura wielordzeniowa pozwala zwiększyć wydajność i szybkość przetwarzania, jednak



Na wzrost wydajności wpływa także oprogramowanie, które musi mieć zdolność obsługi przetwarzania równoległego.

How much faster is the multi-thread version?





Dodatkowe funkcje

Nowe architektury mają w dodatkowe funkcje zwiększające ich wydajność i możliwości:

- MMX opracowane przez Intel dodatkowe instrukcje stałoprzecinkowe wspomagające mikroprocesor w przetwarzaniu operacji typu: rendering grafiki 3D, de/kompresja strumienia MPEG ...
- SSE, SSE2, SSE3, SSE4 zestawy stało i zmiennoprzecinkowe. Instrukcje wpływają na przyśpieszenie takich operacji jak przetwarzanie grafiki 3D, przetwarzanie dźwięku i obrazu
- 3DNow, Enhanced 3DNow!, 3DNow! Professional opracowane dla procesorów K6 jako odpowiedź firmy AMD na rozszerzenia SSE.
- Hyper-Threading Technology opracowana prze Intel, technologia umożliwiająca wykonywanie przez jeden procesor dwóch niezależnych strumieni kodów programu w tym samym czasie.
- **Przetwarzanie dwurdzeniowe** zapewnia prawdziwie równoległe wykonywanie operacji obliczeniowych przez dwa niezależne rdzenie pracujące z tą samą częstotliwością. Każdy rdzeń może wykonywać do czterech pełnych instrukcji jednocześnie.
- **Dynamic Execution** zapewnie wykonywanie większej liczby instrukcji w jednym cyklu zegara.

SSE (Streaming SIMD Extensions)

jest nazwą **zestawu instrukcji** wprowadzonego w <u>1999</u> r. w procesorach <u>Pentium III</u>.

SSE daje przede wszystkim możliwość wykonywania działań zmiennoprzecinkowych na 4-elementowych wektorach liczb **pojedynczej precyzji** (48 rozkazów).

Ponadto wprowadzono 11 nowych rozkazów stałoprzecinkowych w zestawie MMX, a także dano możliwość wskazywania, które dane powinny znaleźć się w pamięci cache.

SIMD (**Single Instruction, Multiple Data**) – jeden z podstawowych rodzajów architektur komputerowych obejmujący systemy, w których przetwarzanych jest wiele strumieni danych w oparciu o pojedynczy strumień rozkazów.

Architektura SIMD jest charakterystyczna dla komputerów wektorowych.

SSE (Streaming SIMD Extensions)

SSE to również zmiany w architekturze procesora:

dodano 8 rejestrów XMM po 128 bitów oraz 32-bit rejestr kontrolny MXCSR;

w 64-bitowych wersjach procesorów (<u>AMD64</u>, <u>EM64T</u>) dostępne jest jeszcze 8 dodatkowych rejestrów XMM. Rejestry 128-bitowe, na zawartości których wykonywana jest większość rozkazów SSE (nazywane w asemblerze **xmm0**, **xmm1**, ..., **xmm15**), stanowią zupełnie odrębne komórki pamięci – w odróżnieniu od rejestrów MMX nie zostały zamapowane na inne rejestry.

CMPXCHG16b, PrefetchW & LAHF/SAHF *)

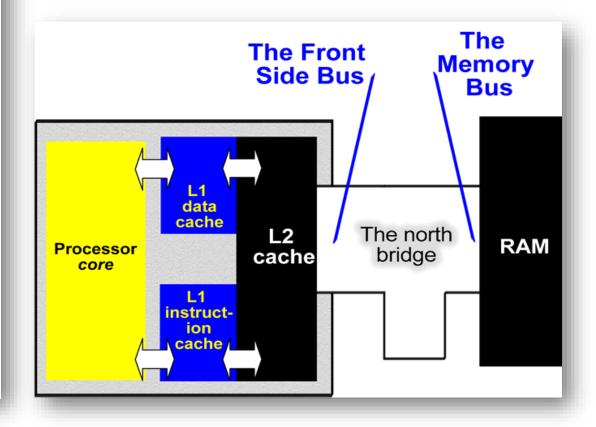
- **CMPXCHG16b** = Compare and Exchange Bytes. Also known as CX16. It is an extension of CMPXCHG8b or CX8.
- **PrefetchW** = Prefetch data into caches. It is the AMD equivalent to Intel's PREFETCHh instruction. It is used to provide a performance boost to instructions in 64-bit mode.
- **LAHF/SAHF** = Load Status Flags into Register AH/Store AH into Flags. These instructions allow compatibility and legacy mode execution in 64-bit mode. They are used in virtualization and floating-point condition handling in 64-bit mode.

Each of these improve speed of execution and add security features for elements of Windows and apps in 64-bit.

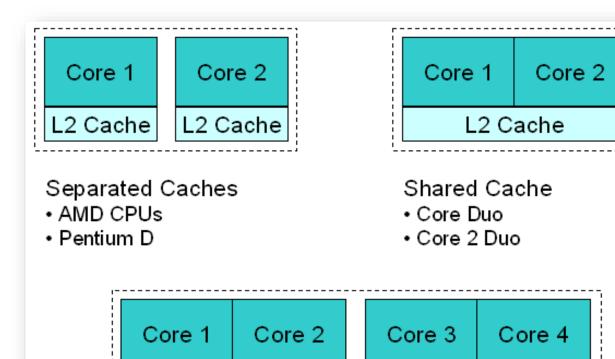
*) given as additional requirements for Win 10

RAM Memory L2 Memory Cache L1 Instruction Cache **Fetch Unit Decode Unit Execution Unit** L1 Data Cache

Pamięć Cache



Pamięć Cache



L2 Cache

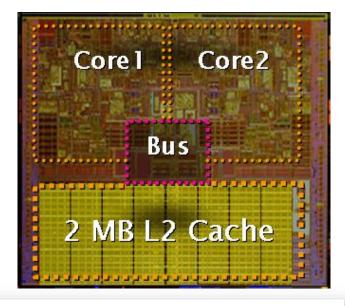
Current Intel Quad-Core CPUs

- Core 2 Quad
- Core 2 Extreme QX

L2 Cache

Pamięć Cache

Procesor ściśle współpracuje z pamięcią operacyjną, która znajduje się na płycie głównej i działa wolniej niż rdzeń procesora. W celu uniknięcia wolnych taktów procesora, przez które CPU czeka na dane z pamięci, wewnątrz rdzenia umieszcza się szybką pamięć podręczną – Cache



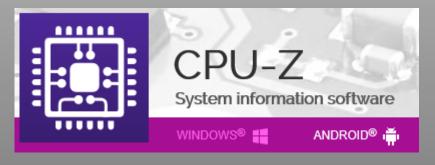
Feature	Dynamic RAM (DRAM)	Static RAM (SRAM)
Storage circuit	Capacitor	Flip-flop
Transfer speed	Slower than CPU	Same as CPU
Latency	High	Low
Density	High	Low
Power Consumption	Low	High
Cost	Cheap	Expensive

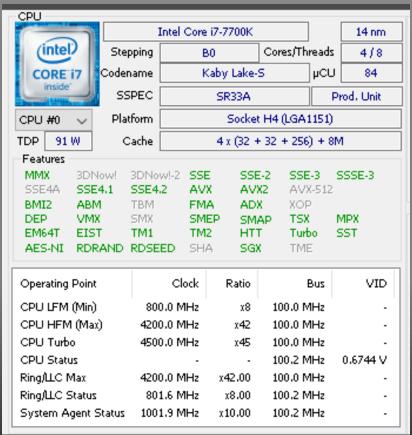
Level 3 (L3) – najczęściej montowany w procesorach do zastosowań serwerowych. Umieszczany na płycie głównej lub wewnątrz rdzenia procesora, zwiększa wydajność i trafność pobranych danych. Im większy rozmiar pamięci podręcznej Cache, tym szybsza praca procesora podczas odczytu danych z RAM. Przy dużej ilości Cache, procesor komunikuje się tylko z Cache.

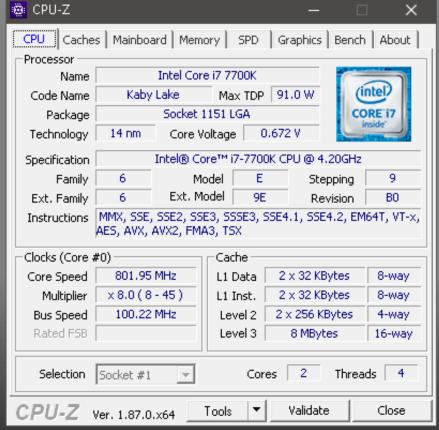
Pamięć cache

Level	Access Time ns	Typical Size	Technology	Managed by
Registers	1-3	?1 KB	CMOS	Compiler
Level 1 Cache (on-chip)	2-8	8 kB-128 KB	SRAM	Hardware
Level 2 Cache (off-chip)	5-12	0.5MB - 8 MB	SRAM	Hardware
Main Memory	10-60	64 MB - 1 GB	DRAM	Operating System
Hard Disk	3*10 ⁶ - 10 ⁷	20 - 100 GB	Magnetic	Operating Sys / User









Mikroprocesory Tryby pracy

Tryby pracy procesora

- Tryb rzeczywisty (ang. real mode)- w trybie rzeczywistym pracował procesor 8088, używał 16 bitowych rejestrów, posiadał 20 bitową magistralę adresową i komunikował się z pamięcią RAM o rozmiarze 1 MiB. W trybie rzeczywistym procował system operacyjny MS-DOS. Procesor 286 i kolejne wykonywały 16 bitowe instrukcje, ale znacznie szybciej od procesora 8088. W tym trybie można było uruchamiać tylko jeden program. Jeśli się uruchomiło więcej niż jedną aplikację mogło to spowodować zawieszenie się systemu MS-DOS.
- Tryb chroniony (ang. protected mode) to tryb pracy serii x86 wprowadzony w mikroprocesorze Intel 80286. Tryb chroniony umożliwia adresowanie pamięci w większym zakresie niż 1MB (tryb rzeczywisty), wprowadza udogodnienia wspierających wielozadaniowość, takich jak: sprzętowa ochrona pamięci (układ MMU), wsparcie przełączania kontekstu procesora i wiele innych. Nowsze systemy operacyjne (Linux, Windows w wersji 3.0+, systemy BSD) wykorzystują procesory serii x86 w trybie chronionym.
- Tryb Wirtualny (ang. virtual mode)- W Trybie wirtualnym uruchamiało się systemy i programy 32 bitowe ale można było również uruchamiać programy z trybu rzeczywistego (16 bitowe).

Mikroprocesory Magistrale

Magistrale mikroprocesora

Magistrala (ang. Bus) to zestaw ścieżek, które łączą jednocześnie kilka komponentów i pozwala na ich komunikację.

W zależności od:

użytej technologii magistrala pozwala na przesyłanie informacji w sposób

równoległy

szeregowy

w zależności od zastosowania sposobu kontroli przepływu danych może być

asynchroniczna

synchroniczna.

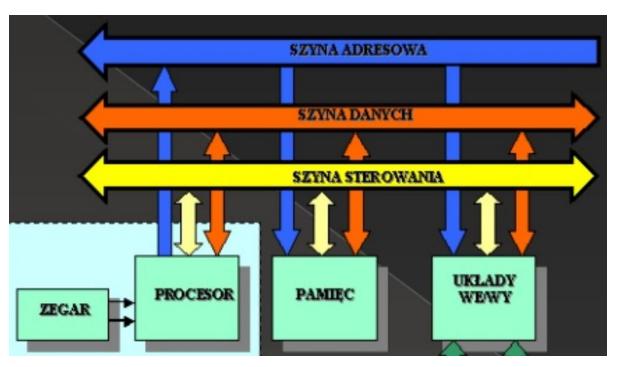
Magistrale można scharakteryzować za pomocą dwóch parametrów:

szerokości (liczbę jednocześnie wysyłanych bitów w jednostce czasu) **szybkości** (wyrażana w hercach Hz).

Magistrale mikroprocesora

Do grupy magistral, które umożliwiają komunikację CPU z pozostałymi komponentami komputera należą:

magistrala danych, magistrala adresowa, magistrala pamięci, magistrala sterująca.



Magistrala danych

(ang. data bus) umożliwia wymianę danych między procesorem a chipsetem znajdującym się na płycie głównej. Jest uznawana za najważniejszą magistralę w systemie.

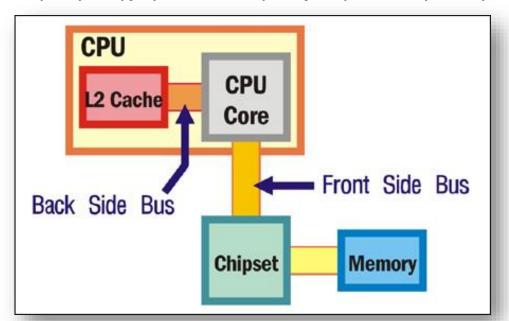
W komputerach PC spotyka się 4 rozwiązania:

magistralę FSB, magistralę Hyper Transport, magistralę QPI, magistralę DMI.

Magistrala FSB

FSB (Front Side Bus) – szyna danych, poprzez którą odbywa się komunikacja między chipsetem, procesorem a pamięcią RAM. Od jej taktowania zależy szybkość i efektywność przekazywania danych między procesorem a pamięcią.

BSB (ang. Back Side Bus) - połączenie wewnątrz procesora służące do przesyłania danych pomiędzy procesorem, a jego pamięcią podręczna (cache level 2). Znacznie szybsze od szyny procesora (FSB) i szyny dla urządzeń peryferyjnych - zazwyczaj w pełni wykorzystuje szybkość procesora.



A front-side bus (**FSB**) is a computer communication interface (bus) that was used in Intel-chip-based computers during the 1990s & 2000s.

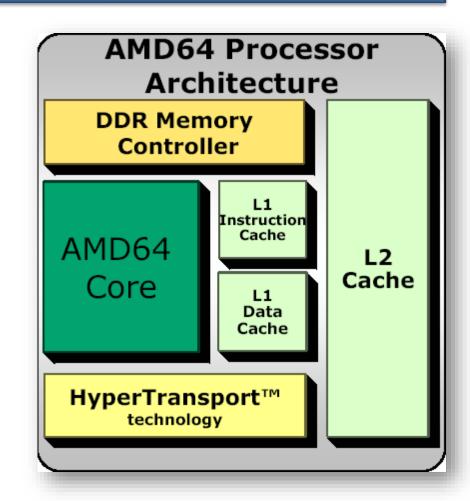
The competing **EV6** bus served the same function for AMD CPUs.

Both typically carry data between the CPU & MCH (northbridge).

Magistrala Hyper Transport (AMD)

 łącze typu punkt-punkt umożliwiające połączenie ze sobą dwóch urządzeń, opracowane przez
 HyperTransport Consortium.

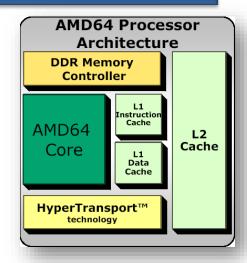
Sieć łączy HT wykorzystywana jest do szybkiej transmisji danych z niskimi opóźnieniami.



Magistrala Hyper Transport (AMD)

Stosowane w procesorach między:

- rdzeniami i koprocesorami
- procesorami w wieloprocesorowych komputerach, procesorami a innymi urządzeniami obsługującymi technologię HT
- urządzeniami HT a kartami HT oraz do łączenia komputerów w wielokomputerowe klastry.



Złącza kart HT są nieco podobne do liniowego 16xPCIE z 1x PCIE. Szybkość przesyłania danych do kart HTX3 wynosi 20 GB/s, czyli więcej niż PCI Expressx16 3.0 przy mniejszych opóźnieniach.

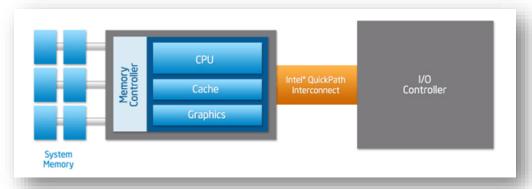
Nazwa HyperTransport promowana była jako Lightning Data Transport (LDT)

Magistrala QuickPath Interconnect

Intel QPI – magistrala (odpowiednik HyperTransport procesorów AMD) jest następcą FSB dla platform Core i3, i5, i7 i Xeon.

Magistrala QuickPath zawiera:

- zintegrowany kontroler pamięci
- ulepszone łącza komunikacyjne między elementami systemu co zwiększa ogólną wydajność.



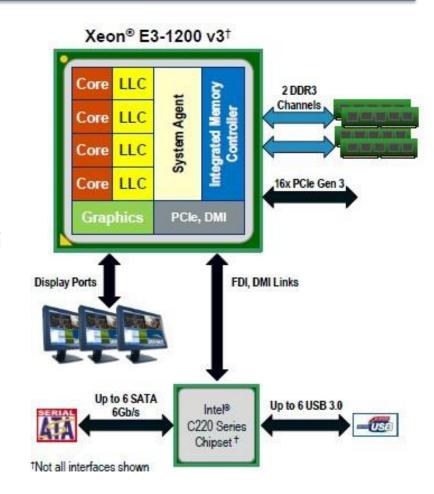
QuickPath to połączenie typu punkt-punkt, wykorzystują je procesory Nehalem (Xeon) i Core i7. Szyna QuickPath umożliwia osiągnięcie przepustowości do 25,6 GB/s.

Magistrala DMI/FDI (Intel)

Direct Media Interface – szyna służąca do komunikacji pomiędzy mostkiem północnym a południowym chipsetu.

DMI zaprezentowana została w 2004 r. w postaci chipsetu 915 oraz mostka południowego <u>ICH6</u>.

Przepustowość DMI wynosiła 2GB/s
Magistrala DMI jest zmodyfikowaną wersją PCI-E
x4 v1.1. W niektórych mobilnych wersjach
mostków północnych (915GMS,
945GMS/GSE/GU) użyto modyfikowanego PCI-E
x2, co skutkowało obniżeniem przepustowości o
połowę (do 1GB/s).



Magistrala DMI/FDI (Intel)

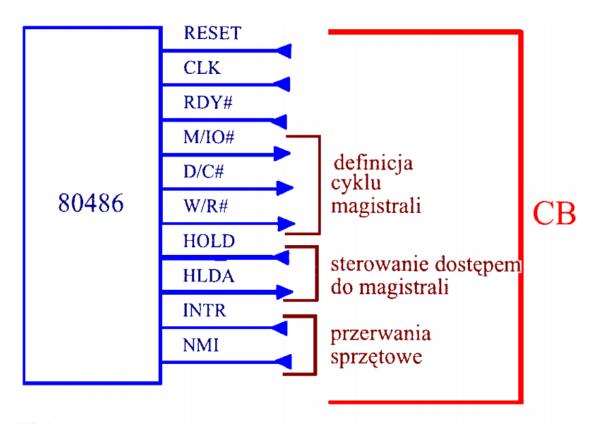
Wszystkie chipsety produkowane w latach 2004–2008, począwszy od ICH6, korzystały z modyfikowanych wersji tego interfejsu występującego pod wspólną nazwą DMI (chipset = mostek północny + mostek południowy).

W 2009 roku Intel zaimplementował interfejs DMI bezpośrednio w procesorach (rodzina <u>Core i5</u>). Pierwszą platformą reprezentującą nowe rozwiązanie był procesor i5-750 w połączeniu z chipsetem P55 (jedna z odmian architektury <u>Nehalem</u>). Zrezygnowano całkowicie z mostka północnego, likwidując wąskie gardło w postaci <u>FSB</u> i przenosząc kontrolery <u>PCI Express</u> i pamięci <u>RAM DDR3</u> oraz interfejs DMI do procesora (podobnie jak w <u>QPI</u>).

Zadaniem DMI jest komunikacja z urządzeniami interfejsu <u>SATA</u> lub portami <u>PCI</u>. Przepustowość DMI procesora i5-750 oraz i7-860 i i7-870 wynosi 2,5 Gb/s.

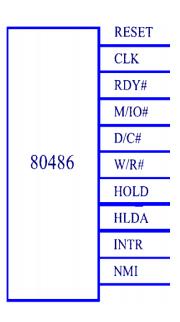
ET)

Magistrale i sygnały sterujące mikroprocesora



Wybrane sygnały sterujące mikroprocesora 80486

Zadania poszczególnych sygnałów



RESET – restart mikroprocesora (wpis do rejestrów procesora wartości początkowych i rozpoczęcie nowego cyklu rozkazowego)

CLK – (clock)przebieg taktujący (zegar) pracę procesora

RDY# - (ready) sygnał gotowości układów współpracujących z procesorem (zwykle pamięci). Znak # oznacza, że sygnałem aktywnym (gotowości) jest **0** (poziom niski)

M/IO# - (memory/input/output) sygnał oznaczający operację dotyczącą pamięci (1) lub układów wej/wyj (0)

D/C# - (data/code) sygnał oznaczający obecność na magistrali danych danej (1) lub kodu rozkazu (0)

W/R# - (write/read) sygnał oznaczający operacje zapisu (1) lub odczytu (0)

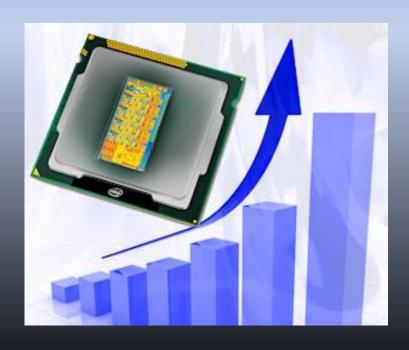
HOLD – sygnał żądania przejścia procesora w stan zawieszenia (czyli przełączenia wejść i wyjść magistral w stan wysokiej impedancji).

HLDA - (hold acknowledge) sygnał potwierdzenia przejścia procesora w stan zawieszenia.

INTR - (interrupt request) sygnał żądania (zgłoszenia) przerwania maskowanego.

NMI - (non-maskable interrupt) sygnał zgłoszenia przerwania niemaskowalnego.

Wydajność procesora



Na ogólną wydajność procesora

wpływają następujące czynniki:

Wewnętrzna Architektura procesora – są to szerokość magistrali, rejestrów i jednostek ALU oraz sposób współpracy procesora z pamięcią operacyjną i urządzeniami I/O. W procesorach wielordzeniowych ważny jest mechanizm zarządzania zadaniami rozdzielanymi między rdzenie.

Szybkość zegara pracy – Im wyższa częstotliwość wyrażana w hercach Hz, tym szybciej procesor może wykonywać operację

Wielkość pamięci Cache – Najnowsze procesory mają po kilka MB pamięci podręcznej Cache. Podzielone są na trzy poziomy L1, L2, L3. Zwiększenie ilości pamięci Cache pozwala przyśpieszyć pracę procesora bez konieczności modyfikowania wewnętrznej struktury

Dodatkowe funkcje – mają one za zadanie poprawiać możliwości CPU.

Mikroprocesory Typy obudów i gniazd

Typy obudów i gniazd



Mikroprocesor - krzemowa płytka wielkości ~1 cm² umieszczona w ochronnej powłoce:

ceramicznej, plastikowej lub metalowej (rys):



Size

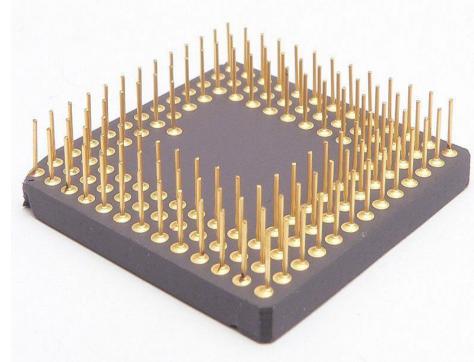
A typical **microprocessor** has width, length & height dimensions of about **30x30x3 mm** and a typical **microcontroller** has dimensions of about **7x7x3 mm**.

Obudowa mikroprocesora ma wyprowadzenia (nóżki, piny) umożliwiające przepływ informacji w postaci impulsów elektrycznych po zamontowaniu w gnieździe płyty głównej.

PGA (Pin Grid Array) -

typ obudowy układów scalonych stosowany powszechnie w procesorach.

W obudowach tego typu wyprowadzenia w postaci szpilek, czyli tzw. pinów znajdują się na całej (bądź znacznej części) powierzchni spodniej strony układu. Wyprowadzenia te łączy się z obwodem drukowanym przy pomocy specjalnego gniazda (procesora).



Mamy różne typy obudów mikroprocesorów:

- 1. PGA (ang. *Pin Grid Array*) popularny standard obudów z nóżkami w kształcie symetrycznej siatki. Odmiany PGA:
 - a. **PPGA** (*Plastic PGA*) obudowa , w której do osłony rdzenia wykorzystano **plastikową** powłokę.
 - b. **CPGA** (*Ceramic* PGA) obudowa , w której do osłony rdzenia wykorzystano **ceramiczną** powłokę.
 - c. **FC-PGA** (*Flip Chip PGA*) obudowa , w której rdzeń został przeniesiony na górną część obudowy w celu lepszego odprowadzenia ciepła i zatopiony w plastikowej osłonie.
 - d. **FC-PGA2** (*Flip Chip PGA2*) obudowa podobna do FC-PGA, w której rdzeń w plastikowej osłonie dodatkowo ukryty został pod stalową blaszką.
- 2. **SPGA** (*Staggered PGA*) odmiana PGA, w której rozmieszczenie nóżek w rzędach i kolumnach jest niesymetryczne.



3. **SECC** (Single Edge Contact Cartridge) –

typ obudowy pochodzący z czasów, gdy nie potrafiono umieścić pamięci Cache poziomu 2 w strukturze rdzenia mikroprocesora (Pentium II i III, Athlon). Mikroprocesor przylutowany jest do płytki drukowanej wraz z pamięcią Cache L2, a całość umieszczona jest w plastikowej obudowie w postaci kartridża.

4. SEPP (Single Edge Processor Package) —

podobna do SECC z tą różnicą, że nie ma plastikowej osłony. Była stosowana w tańszych wersjach procesorów typu Celeron i Duron.



Slot - typ gniazda opracowany dla procesorów w obudowach typu SECC i SEPP:

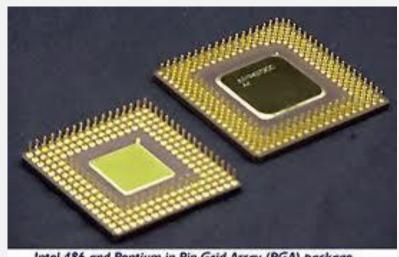
- Slot 1 dla procesorów Intel Pentium (Celeron) II i III.
- Slot A dla procesorów AMD Athlon (Duron) K7.
- Slot 2 dla procesorów serwerowych Intel Pentium II, III Xeon.



Gniazda typu (od lewej): Slot 1, Slot A.

PGA

SECC (SEPP)



Intel 486 and Pentium in Pin Grid Array (PGA) package





Typy gniazd mikroprocesorów

Mikroprocesor musi zostać zamontowany w specjalnie przystosowanym gnieździe umieszczonym na płycie głównej.

Do wymiany informacji między pamięcią operacyjną i chipsetem służą procesorowi wyprowadzenia w postaci nóżek lub pinów, które fizycznie muszą zostać połączone z końcówkami magistrali pamięci i danych.



Typy gniazd mikroprocesorów

Każdy typ obudowy mikroprocesora wymaga zastosowania odpowiedniego gniazda. Powstało kilka odmian gniazd w zależności od kształtu obudowy i liczby pinów mikroprocesora:

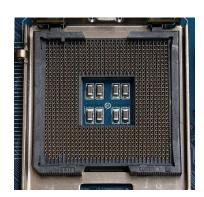
Socket — gniazda przeznaczone dla obudów mikroprocesorów typu PGA.

> Kolejne mikroprocesory wyposażane były w większą liczbę nóżek, co wymuszało opracowywanie kolejnych gniazd.

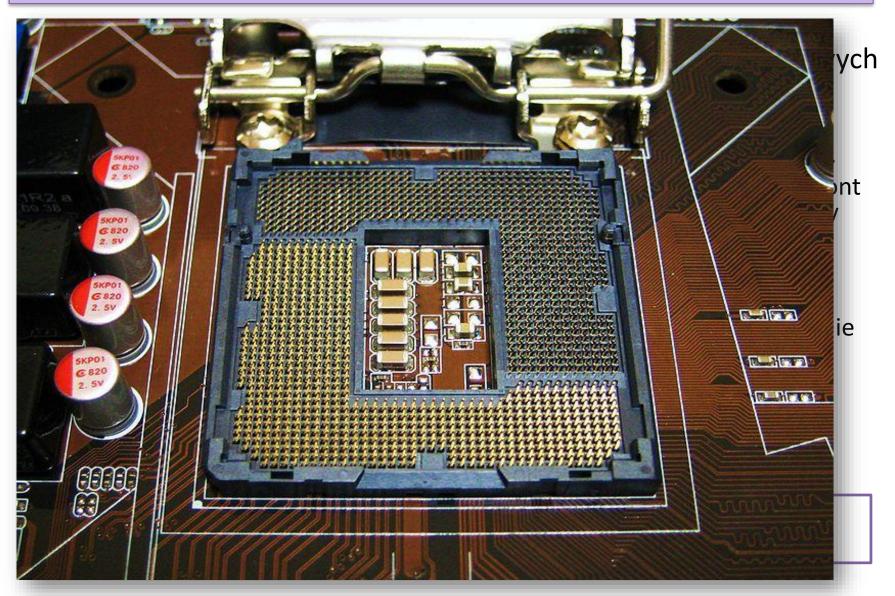
Slot **LGA**

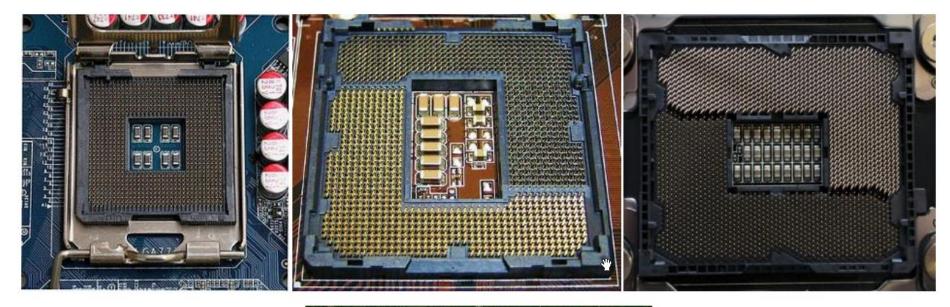
gniazda opracowane dla obudów typu SECC i SEPP

 specjalna odmiana gniazd przeznaczonych dla procesorów w obudowach typu LGA bez nóżek



LGA 1156 (Socket H)





Socket F:



Gniazda typu (od lewej, góra): LGA 775, LGA 1156, LGA 2011/Socket R.

Typy gniazd mikroprocesorów

Socket - g

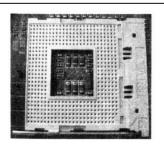
- 1.1. Socket I, 2, 3, 6 -
- 1.2. Socket 4, 5, 7, 8 -
- 1.2. **Socket 370** dla
- 1.4.**Socket 423** dla
- 1.5. **Socket 462/A** —
- 1.6. Socket 478/N -
- 1.7. **Socket 495** dla
- 1.8. Socket 603, 604
- 1.9. Socket 754, 939,
- 1.10. Socket PAC 418,
- 1.11. **Socket M** dla
- 1.12. **Socket AM2** d
- 1.13. **Socket AM2+** —
- 1.14. **Socket P** dla p
- 1.15. **Socket AM3** d

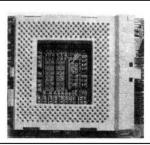
Slot — gniazda opracov

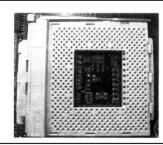
- 2.1. Slot I dla mikro
- 2.2. Slot A dla mikrd
- 2.3. **Slot** 2 dla mikrd

LGA — specjalna odmi

- 3.1. LGA 771/Socket /
- 3.2. LGA 775/Socket T



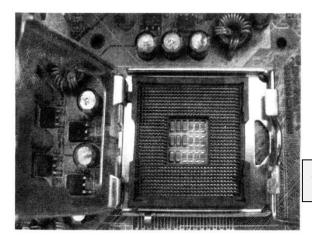


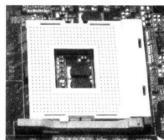


SOCKET 478

SOCKET 370

SOCKET 462





SOCKET 738

SOCKET 775

SLOT 1

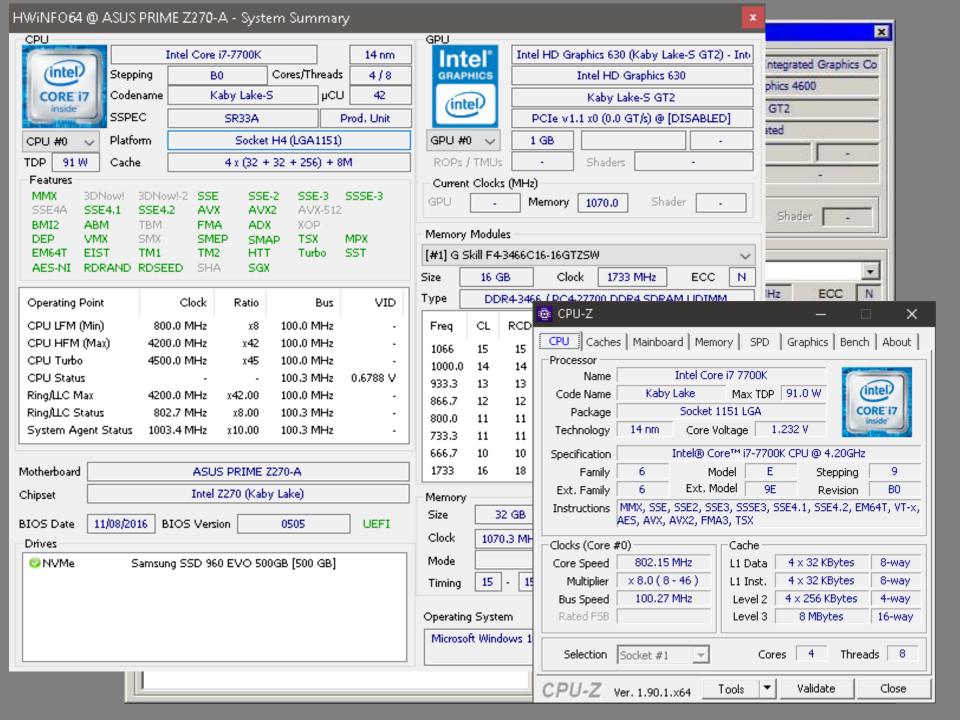
Extreme, Celeron, Xeon, Córe 2 Quad

- 3.3. **Socket 1207/Socket F** dla procesorów AMD Opteron.
- 3.4. **LGA 1155** dla mikroprocesorów Intel Córe i5.
- 3.5. **LGA 1156** dla mikroprocesorów Intel Córe i3, i5, i7.
- 3.6. **LGA 1366/Socket B** dla mikroprocesorów Intel Córę i7, i9.

Montaż

Ze względu na sposób montażu, gniazda Socket można podzielić na:

- **1. LIF** (*Low Insertion Force*) w celu zamontowania mikroprocesora trzeba było użyć nacisku ponad 20 kg. Używanie dużej siły może spowodować uszkodzenie układu, dlatego rozwiązanie to nie jest już stosowane do montażu mikroprocesorów w komputerach klasy PC
- **2. ZIF** (*Zero Insertion Force*) gniazdo, które podczas montażu mikroprocesora nie wymaga użycia nacisku. Po wsunięciu się nóżek do gniazda specjalna dźwignia umożliwia zabezpieczenie mikroprocesora przed samoczynnym rozłączeniem.



Polecenia systemu (CMD, GUI, PS)

> Systeminfo

System Type: x64-based PC

Processor(s): 1 Processor(s) Installed.

[01]: Intel64 Family 6 Model 158 Stepping 9 GenuineIntel ~4200 Mhz

> Msinfo32

Typ systemu x64-based PC

Jednostka magazynowa systemu SKU

Procesor Intel(R) Core(TM) i7-7700K CPU @ 4.20GHz, 4200 MHz, Rdzenie: 2, Procesory logiczne: 4

PowerShell:

```
PS A:\> <mark>Get-WmiObject</mark> -class win32_processor | <mark>Select</mark> Description, NumberOfCores, NumberOfLogicalProcessors,
Name, Manufacturer
```

Description : Intel64 Family 6 Model 158 Stepping 9

NumberOfCores : 2 NumberOfLogicalProcessors : 4

Name : Intel(R) Core(TM) i7-7700K CPU @ 4.20GHz

Manufacturer : GenuineIntel

Processor Core Stepping

The first version of a new microprocessor product is the A-O core step. As we make functional fixes or manufacturing improvements, the core stepping letter and/or number is incremented. Minor changes result in an increased number (for example, A-3 to A-4), while more complex changes result in the letter being changed (for example, A-3 to B-0). B-O core stepping is more recent than an A-4 core stepping.

General Information		
Processor Name:	Intel Core i7-4771	
⊖ Original Processor Frequency:	3500.0 MHz	
~ CPU ID:	000306C3	
CPU Brand Name:	Intel(R) Core(TM) i7-4771 CPU @ 3.50GHz	
CPU Vendor:	GenuineIntel	
CPU Stepping:	CO CO	
~ CPU Code Name:	Haswell-DT	
CPU S-Spec:	SR1BW	
CPU Thermal Design Power (TDP):	84.0 W	
F CPU Thermal Design Current (TDC):	95.0 A	
F CPU Power Limits (Max):	Power = Unlimited, Time = Unlimited	
CPU Power Limit 1 - Long Duration:	Power = 84.00 W, Time = 8.00 sec [Unlocked]	
CPU Power Limit 2 - Short Duration:	Power = 105.00 W, Time = 2.44 ms [Unlocked]	
~ CPU Type:	Production Unit	
CPU Platform:	Socket H3 (LGA1150)	
Microcode Update Revision:	19	
- Number of CPU Cores:	4	
Number of Logical CPUs:	8	