



Universidade Federal de Roraima  
Centro de Ciência e Tecnologia  
Departamento de Ciências da Computação

# Processador GDZ

ALUNOS: PEDRO VINÍCIUS DA SILVA RIBEIRO, OZÉIAS SOUZA

# Informações

- ▶ **Disciplina:** Arquitetura e Organização de Computadores (DCC 301)
- ▶ **Professor:** Herbert Oliveira Rocha

Boa Vista - Roraima

Semestre 2020.2

# Detalhes do Processador

- ▶ Arquitetura de 8 bits, feito com base no processador MIPS e todas suas operações são realizadas utilizando números inteiros.

# Formato das Instruções

Instrução do tipo R		
OPCODE	rs	rt
4bits	2bits	2bits
7-4	3-2	1-0

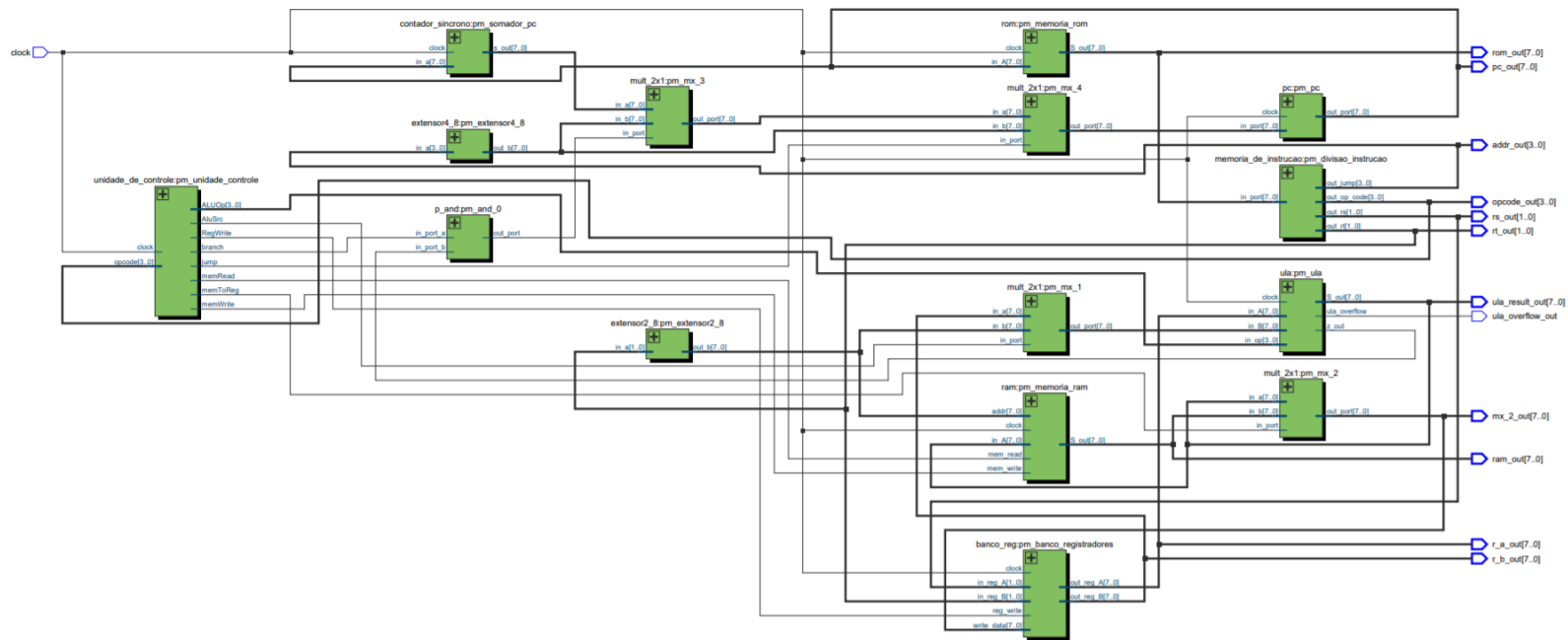
Instrução do tipo I		
OPCODE	rs	Imediato
4bits	2bits	2bits
7-4	3-2	1-0

Instrução do tipo J	
OPCODE	Endereço
4bits	4bits
7-4	3-0

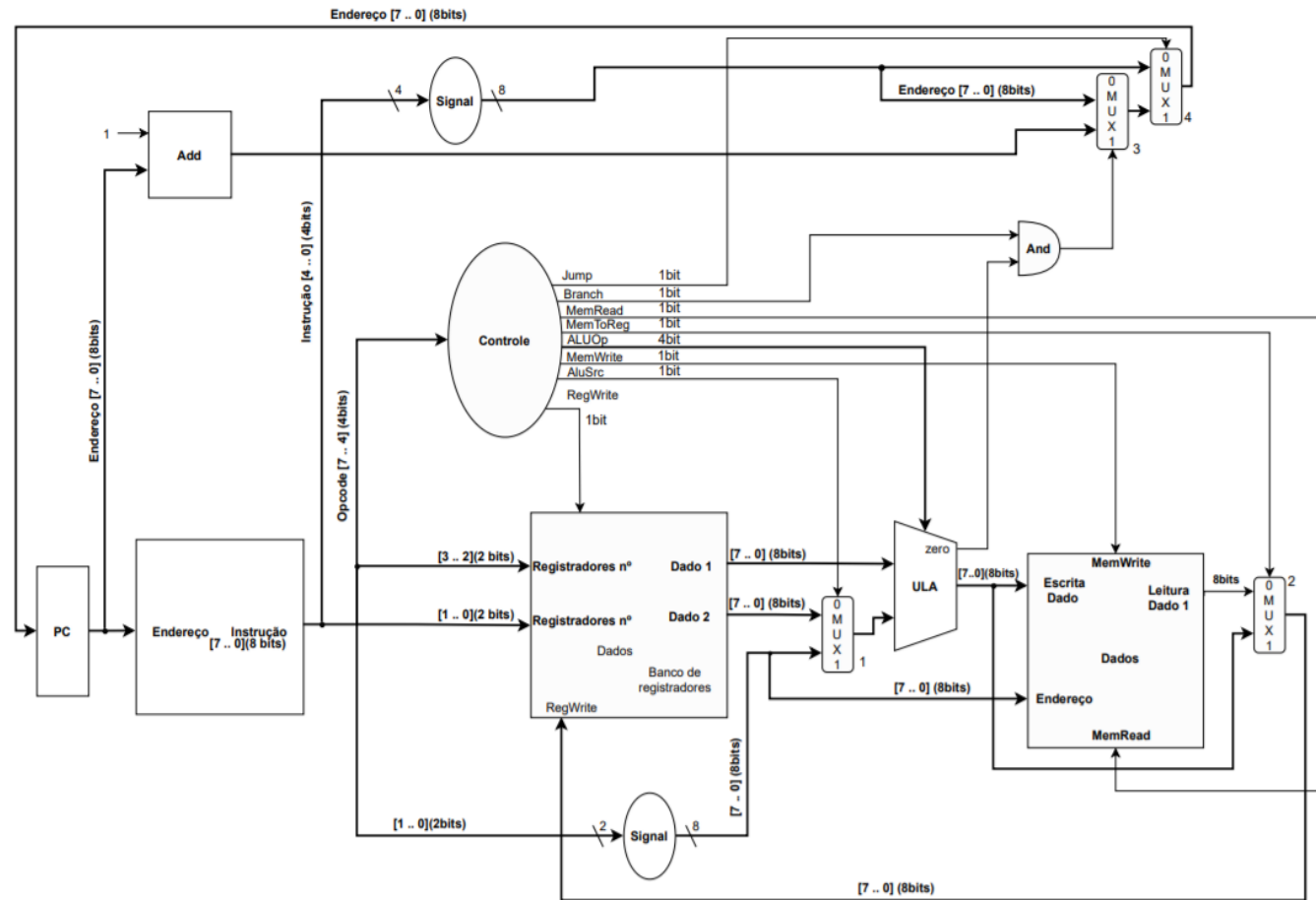
# Lista de opcodes

OPCODES	Significado	Sintaxe	Exemplos
0000	Soma	add	add \$s0, \$s1
0001	Soma Imediata	addi	addi \$s0, \$s1
0010	Subtração	sub	sub \$s0, \$s1
0011	Subtração Imediata	subi	subi \$s0, \$s1
0100	Multiplicação	mul	mul \$s0, \$s1
0101	Load Word	lw	lw \$s0 memoria (00)
0110	Store Word	sw	sw \$s0 memoria (00)
0111	Load Imediato	li	li \$s0 2
1000	Desvio Condicional	beq	beq endereço
1001	Desvio Condicional	bne	bne endereço
1010	Desvio Incondicional	j	J endereço (0000)
1011	Desvio Condicional (IF)	if	if \$s0 \$s1

# RTL Viewer do Processador GDZ



# Datapath do Processador GDZ



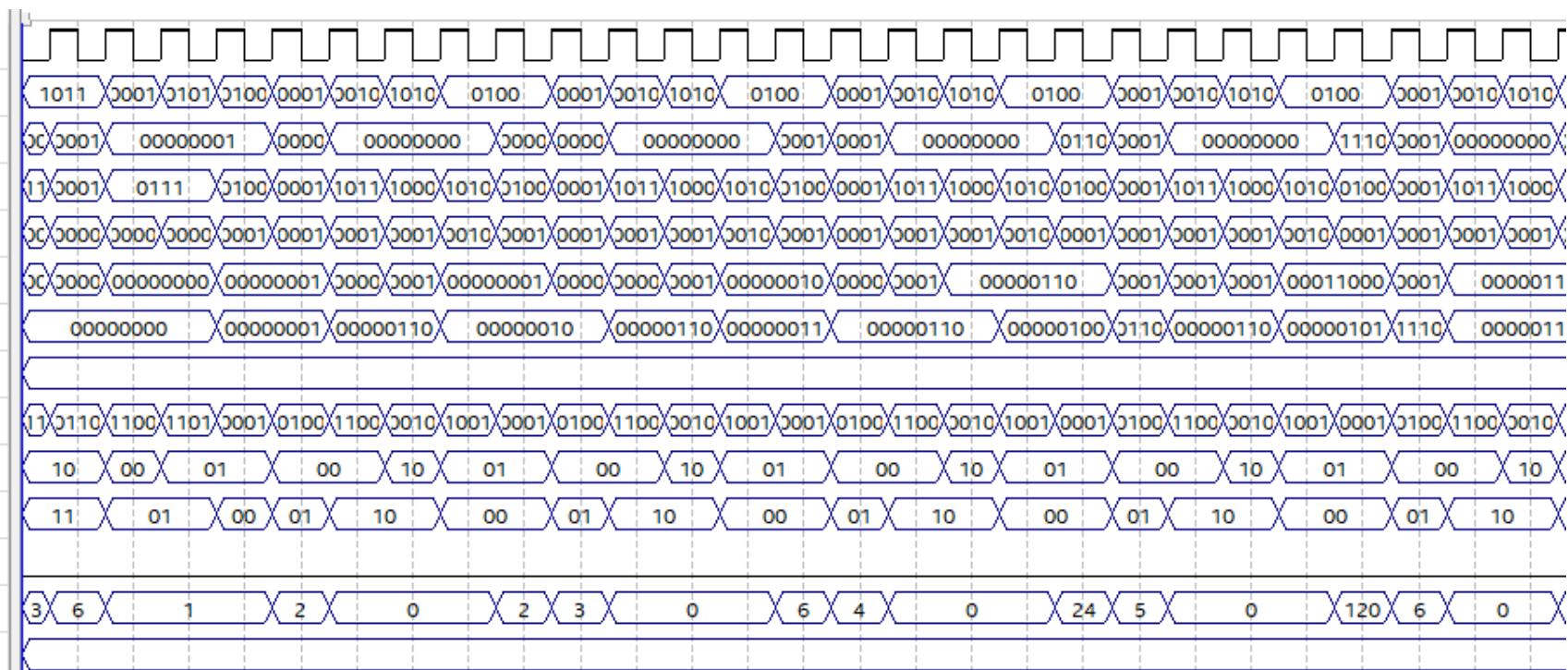
# Código do Fatorial

Código detalhado em GDZ para a realização do Fatorial				
Endereço	Sintaxe	instrução		
		Opcode	Rt	rs
0	li \$2 3	0111	10	11
1	addi \$2 3	0001	10	11
2	li \$0 1	0111	00	01
3	li \$1 1	0111	01	01
4	mul \$1 \$0	0100	01	00
5	addi \$0 1	0001	00	01
6	if \$0 \$2	1011	00	10
7	beq 1010	1000	1010	
8	j 0100	1010	0100	

Código em binário para a realização do Fatorial	
01111011	li \$2 3
00011010	addi \$2 3
01110001	li \$0 1
01110101	li \$1 1
01000100	mul \$1 \$0
00010001	addi \$0 1
10110010	if \$0 \$2
10010101	beq 1010
10100100	j 0100



100



# Código de Fibonacci

Código detalhado em GDZ para a realização do Fibonacci

Endereço	Sintaxe	Instrução		
		Opcode	Rt	Rs
0	sw \$s0 00	0110	00	00
1	li \$s0 1	0111	00	01
2	li \$s1 1	0111	01	01
3	lw \$s2 00	0101	10	00
4	add \$s2 \$s1	0000	10	01
5	add \$s1 \$s0	0000	01	00
6	lw \$s0 00	0101	00	00
7	add \$s0 \$s2	0000	00	10
8	j 0011	1010	0011	

Código em binário para a realização do Fibonacci

01100000	sw \$s0 00
01110001	li \$s0 1
01110101	li \$s1 1
01011000	lw \$s2 00
00001001	add \$s2 \$s1
00000100	add \$s1 \$s0
01010000	lw \$s0 00
00000010	add \$s0 \$s2
10100011	j 0011

# Limitações

- ▶ Devido algumas decisões de projeto, nosso processador não possui algumas operações, um exemplo é a operação **move**, esse que conseguimos simular através de um **sw** e **lw**.
- ▶ Outro fato limitante em nossa arquitetura são as operações de desvio condicionais e incondicionais, onde somente podemos saltar 15 endereços (de 0000 a 1111).

# Referências Bibliográficas

- ▶ PATTERSON, D.; HENESSY, J. L. Organização e projeto de computadores: a interface hardware/software. 3ª Edição. São Paulo: Elsevier, 2005, 484 p.