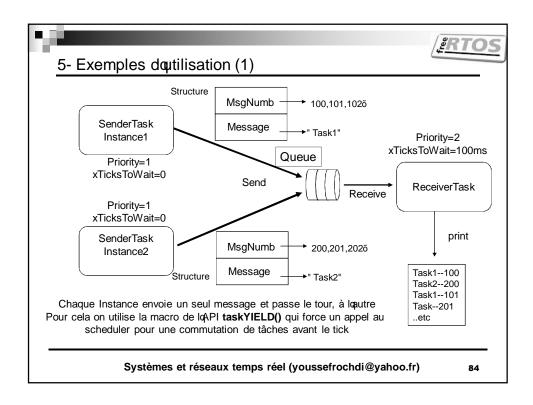
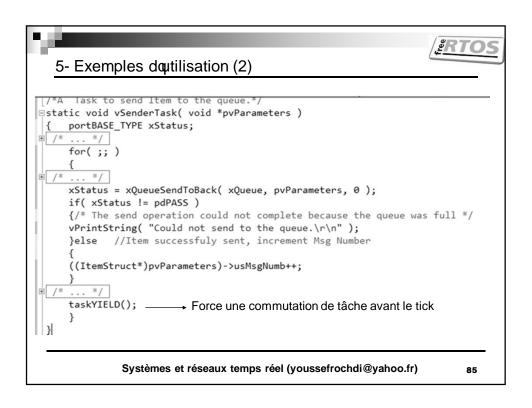




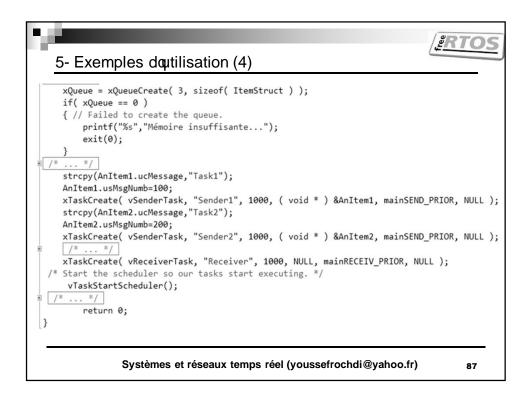
- Si plusieurs tâches bloquées, en attente done lecture sur une même queue vide, la plus prioritaire parmi ces tâches se débloque au moment où un élément est écrit dans la Queue par une autre tâche (Déblocage asynchrone).
- Si plusieurs tâches bloquées, en attente done écriture dans une même queue pleine, la plus prioritaire parmi ces tâches se débloque au moment où un élement est lu de la Queue par une autre tâche(Déblocage asynchrone).
- Si ces tâches ont même priorités, elles se débloquent à tour de rôle (Tourniquet) → file dattente FIFO des tâches bloquées de même prioririté en attente de la disponibilité de la Queue.

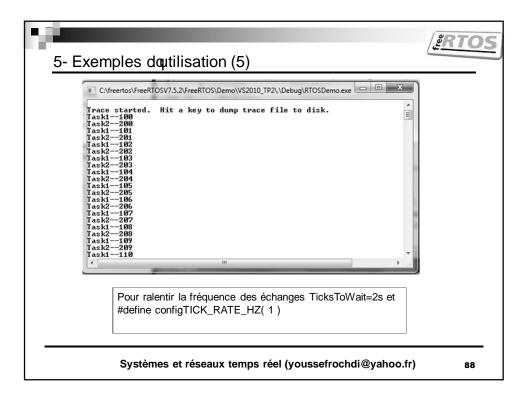
Systèmes et réseaux temps réel (youssefrochdi@yahoo.fr)

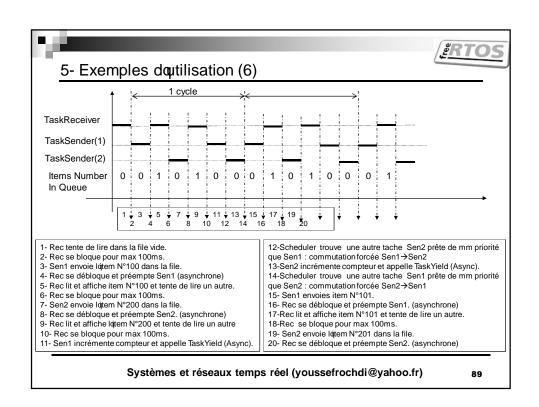




```
5- Exemples doutilisation (3)
∃ static void vReceiverTask( void *pvParameters )
 /st Declare the variable that will hold the values received from the queue. st/
    ItemStruct AnItem;
    portBASE_TYPE xStatus;
 /*Define de Number of Ticks to wait in blocked state : 100 ms*/
    const portTickType xTicksToWait = 100 / portTICK_RATE_MS;
   This task is also defined within an infinite loop. */
     for(;;)
     if( uxQueueMessagesWaiting( xQueue ) != 0 )
         vPrintString( "Queue should have been empty!\r\n" );
     xStatus = xQueueReceive( xQueue, &AnItem, xTicksToWait );
     if( xStatus == pdPASS )
     { /* ... */
     vPrintStringAndNumber( AnItem.ucMessage, AnItem.usMsgNumb );
           { /*
    }else {\begin{bmatrix} \frac{* \ldots */}{\text{could not receive from the queue.\r\n" };}}
             Systèmes et réseaux temps réel (youssefrochdi@yahoo.fr)
                                                                               86
```





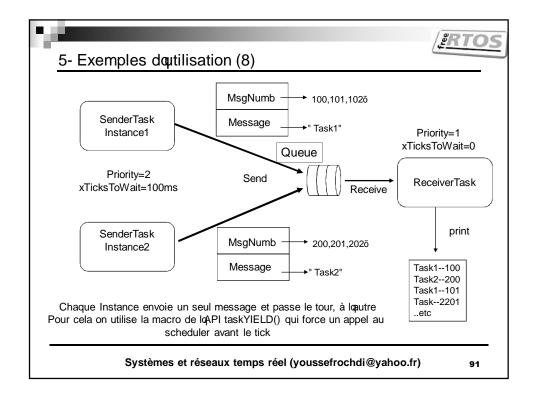


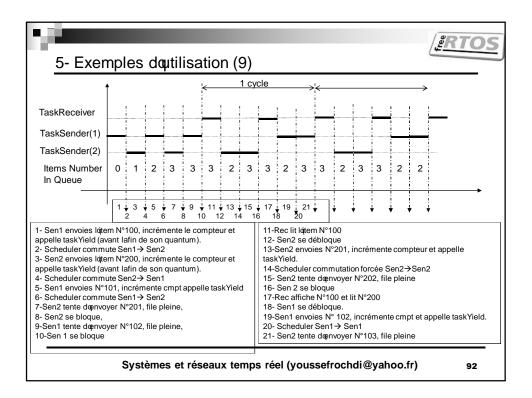
# 5- Exemples doutilisation (7)

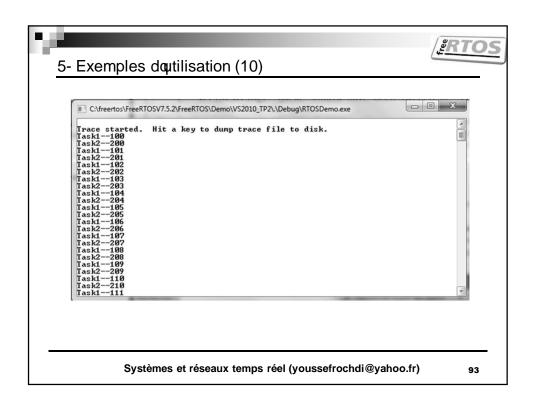
### ■ Conclusions:

- □ La file ne se remplie jamais (au plus elle contient 1 item): dès quœun sender envoies le receiver, plus prioritaire, se débloque et lit et affiche.
- □ Lappel à taskYield() (commutation forcée avant le tick) ne sert à rien dans ce cas on peut laprilever lapfichage obtenu reste le même.
- □ NB: la préemption des senders par le receiver se fait de manière asynchrone.

Systèmes et réseaux temps réel (youssefrochdi@yahoo.fr)









# 5- Exemples doutilisation (11)

### ■ Conclusions:

- □ La file est presque toujours pleine (au min elle contient 2 item): dès que Receiver lit un item, un sender, plus prioritaire, se débloque et envoies un item pour remplir à nouveau la file.
- □ Lappel à taskYield() (commutation forcée avant le tick) sert au début pour permettre aux Senders dænvoyer chacun un item alternativement. Après elle ne sert plus à rien.
- ☐ Si taskYield est enlevée et si le quantum est suffisamment élevé læffichage sera:

Task1 . 100

Task1 . 101

Task1 . 102

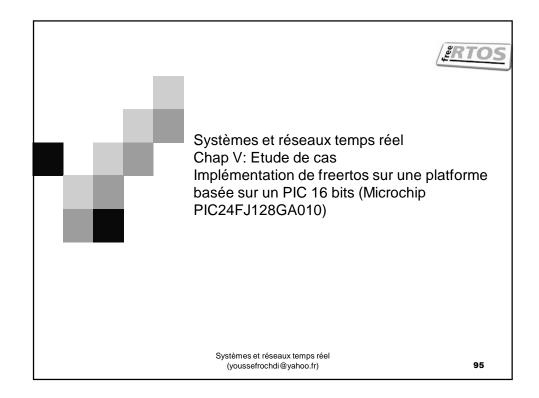
Task2 . 200

Task1 . 103

Task2 . 201

Task1 . 104

Systèmes et réseaux temps réel (youssefrochdi@yahoo.fr)







- Comprendre le principe de portabilité de freertos en étudiant une implémentation particulière.
- Se famimliariser avec les outils de développements et de debuggage dapplications pour PIC.
- Développer et Tester des petites applications multitâches sur une platforme basée sur un PIC 16bits.
- Vérifier les concepts de base étudiés jusqua maintenant.

Systèmes et réseaux temps réel (youssefrochdi@yahoo.fr)

96

<u> RTOS</u>



# 1- Caractéristiques du PIC24FJ128GA010

### **High-Performance CPU:**

- · Modified Harvard Architecture
- Up to 16 MIPS Operation @ 32 MHz
- · 8 MHz Internal Oscillator with 4x PLL Option and Multiple Divide Options
- 17-Bit x 17-Bit Single-Cycle Hardware Multiplier
- 32-Bit by 16-Bit Hardware Divider
  16 x 16-Bit Working Register Array
- C Compiler Optimized Instruction Set Architecture:
  - 76 base instructions
- Flexible addressing modes
   Two Address Generation Units for Separate Read and Write Addressing of Data Memory

### **Peripheral Features:**

- Two 3-Wire/4-Wire SPI modules, Supporting 4 Frame modes with 8-Level FIFO Buffer Two  $I^2C^{\text{TM}}$  modules Support Multi-Master/Slave
- mode and 7-Bit/10-Bit Addressing
- Two UART modules:
- Supports RS-232, RS-485 and LIN/J2602
- On-chip hardware encoder/decoder for IrDA®
- Auto-wake-up on Start bit
- Auto-Baud Detect 4-level FIFO buffer
- Parallel Master Slave Port (PMP/PSP):
- Supports 8-bit or 16-bit data

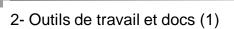
- Hardware Real-Time Clock/Calendar (RTCC):
- Provides clock, calendar and alarm functions Programmable Cyclic Redundancy Check (CRC)
- User-programmable polynomial 8/16-level FIFO buffer
- · Five 16-Bit Timers/Counters with Programmable Prescaler
- · Five 16-Bit Capture Inputs
- · Five 16-Bit Compare/PWM Outputs
- · High-Current Sink/Source (18 mA/18 mA) on All I/O Pins
- Configurable, Open-Drain Output on Digital I/O Pins · Up to 5 External Interrupt Sources
- 5.5V Tolerant Input (digital pins only)

### **Analog Features:**

- · 10-Bit, Up to 16-Channel Analog-to-Digital Converter
  - 500 ksps conversion rate
- Conversion available during Sleep and Idle Dual Analog Comparators with Programmable
- Input/Output Configuration

Datasheet disponible sur le Web A télécharger

Supports 16 address lines Systèmes et réseaux temps réel (youssefrochdi@yahoo.fr)

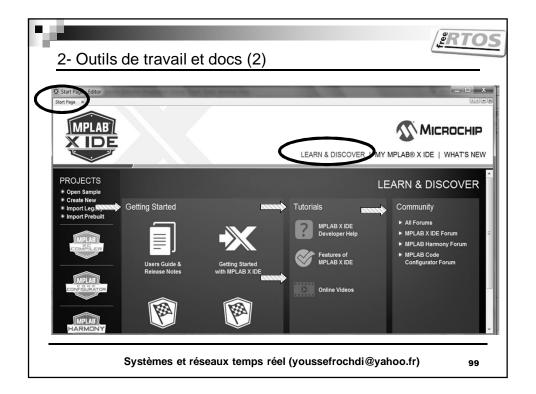


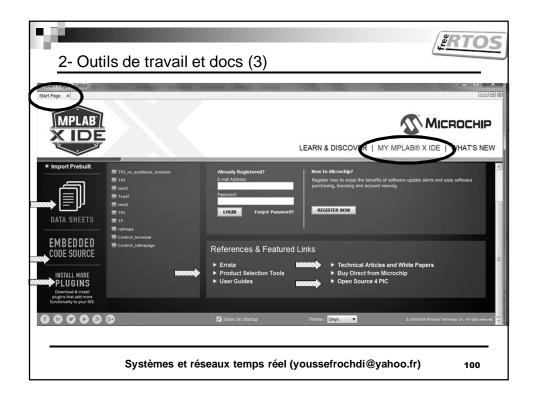


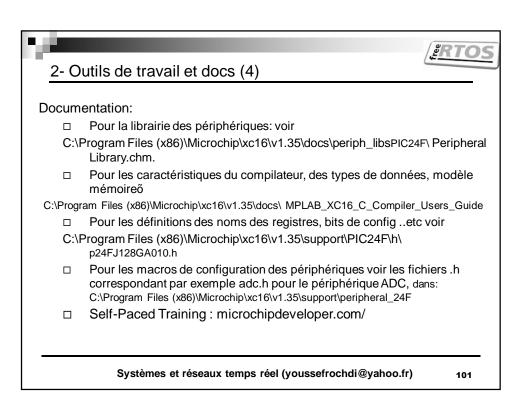
- Datasheet détaillé par section :
  - https://www.microchip.com/wwwproducts/en/PIC24FJ128GA010
- Environnement de développement intégré IDE: MplabX.
- Compilateurs: C30 ou X16 (version Lite optimisation niveau 1).
- Simulateurs : Intégré à MPLABX, Proteus Spice , Matlab
- Carte de prototypage par exemple « The Explorer 16 Development Board » conçue et vendue par microchip:

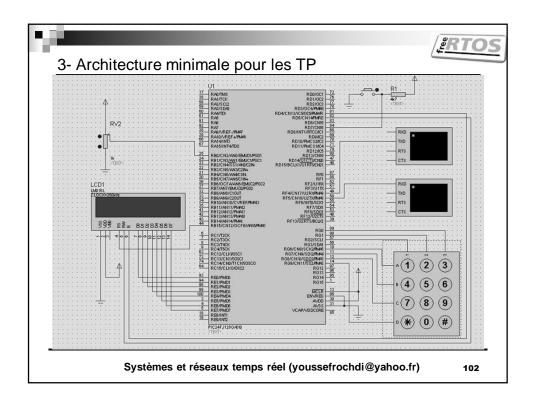
http://ww1.microchip.com/downloads/en/DeviceDoc/50001589b.pdf

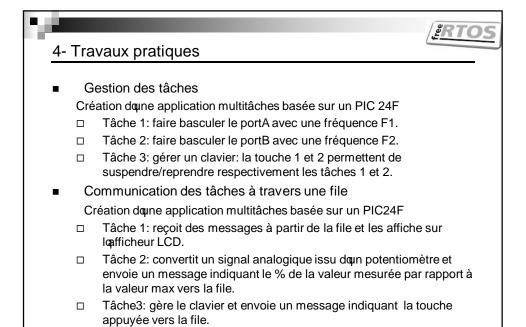
Systèmes et réseaux temps réel (youssefrochdi@yahoo.fr)











Systèmes et réseaux temps réel (youssefrochdi@yahoo.fr)

