

La física de transistores de película delgada con silicio amorfo

1stMARTIN J. POWELL

dept. name of organization (of Aff.)

name of organization (of Aff.)

City, Country

email address or ORCID

Abstract—Los transistores de película delgada de silicio amorfo son importantes dispositivos electrónicos que son usados en un amplio rango de aplicaciones en el área de electrónica. La física básica subyacente a su funcionamiento y los problemas clave de rendimiento se analizan aquí. Las características estáticas de los transistores son determinadas por la localización de estados electrónicos que ocurren en el bandgap de silicio amorfo. Los estados profundos, consisten principalmente en enlaces sueltos de Si, esto sirve para determinar el voltaje de umbral y determinar los estados de cola del bandgap en la banda de conducción y determinar la movilidad de efecto de campo. Los tiempos finitos de captura y emisión de los estados localizados profundos conducen a una característica dinámica del transistor que puede describirse mediante un voltaje de umbral dependiente del tiempo.

Los transistores también muestran cambios de voltaje de umbral con respecto a tiempo más largos debido a otros dos mecanismos distintos; a saber, la captura de carga en el aislante de compuerta de nitruro de silicio y la creación de estados de enlaces colgantes metaestables en el silicio amorfo. Estos dos mecanismos muestran características diferentes por polarización, temperatura, y las dependencia del cambio de voltaje de umbral. La iluminación de los TFT's causa una generación de pares electron-hueco, en la región de carga espacial lo que lleva a un flujo igual de estados estacionarios de electrones, huecos y una reducción en la flexión de la banda. En la mayoría de aplicaciones, la foto-sensibilidad podría ser minimizada.

Esto se puede hacer disminuyendo el grosor de la capa-*i*, que es más eficaz en los TFT's que utilizan un aislante superior de nitruro de silicio adicional. La interfaz superior tiene una alta densidad de centros de recombinación, los cuales matan la foto-sensibilidad con una degradación mínima de las características de transferencia. Las capas de pasivación depositadas sobre los TFT's pueden afectar las características del transistor, si la capa de pasivación está en contacto directo con la capa de silicio amorfo. El efecto consecuente sobre las características de transistores depende sobre el grosor de las capas. La uniformidad de arreglos grandes de transistores para aplicaciones de pantalla es excelente, con variaciones en el voltaje de umbral de 0.5 to 1.0V. El rendimiento de los dispositivos también es bueno, pero se necesitan más mejoras para la reducción de costes y las aplicaciones de mayor tamaño.

Index Terms—component, formatting, style, styling, insert

I. INTRODUCCIÓN

Transistores de película delgada de silicio amorfo fueron propuestos como dispositivos aplicables por LeComber et al. [1] en 1979. Desde entonces, ha habido una enorme actividad, en todo el mundo, que ha dado lugar a la utilización de estos dispositivos en una variedad de aplicaciones. Quizás

el mejor ejemplo es la matriz activa dirigido a pantallas de cristal líquido, El cual ha sido propuesto por más de 20 compañías y ha liderado, en algunos casos, productos comerciales (para un resumen de estas actividades se pueden ver [2]). Otras aplicaciones importantes incluidas de arreglos lineales de sensores de imagen para lectores de caras y arreglos lineales para el manejo nuevas impresoras de página amplia [4]. En todas estas aplicaciones, un minucioso entendimiento de la física básica subyacente la operación y el desempeño de los transistores de película delgada es esencial, y esto es el objetivo de este artículo. En artículos previos [5], el autor describe la relación del desempeño de las propiedades básicas de los materiales. Este artículo cubre terreno similar, concentrándose en los temas en los que se han producido avances desde 1984.

II. TECNOLOGÍAS TFT

Los transistores de película delgada de silicio amorfo puede ser hechos con una amplia variedad de estructuras y materiales. Básicamente, existen cuatro tipos de TFT's, Estos definidos por el orden del depósito de las capas, tales como el semiconductor, aislante de compuerta, contactos drenaje-fuente, y el electrodo de compuerta. Las estructuras escalonadas de los TFT's tienen los contactos de fuente y drenaje sobre un lado del semiconductor y del electrodo de contacto sobre el lado opuesto, mientras las estructuras coplanar tienen los tres electrodos sobre el mismo lado de la película semiconductor. En la estructura "invertida" el electrodo de compuerta es la primera capa depositada sobre sustrato de vidrio. Los transistores de película delgada de silicio amorfo han realizado con cuatro estructuras, pero para todos los datos de los dispositivos usados en aplicaciones prácticas usan una estructura escalonada. Este contraste para los TFT's de silicio policristalino, los cuales son usualmente una estructura coplanar, que es el análogo a transistores MOS de silicio cristalino.

Para TFT de silicio amorfo, la estructura más popular y una de las más responsables para el estado del arte con respecto al desempeño, es el escalonado invertido, el cual usa nitruro de silicio como aislante de compuerta [7]. En este artículo, nos concentramos sobre este tipo de TFT, todos los resultados obtenidos y discutidos sobre este tipo de transistor. Además, la física de algunos tópicos es generalmente aplicable para algún tipo de TFT de silicio amorfo.

Incluso limitándonos al TFT de escalonamiento invertido, hay muchas tecnologías de TFT's diferentes. La figura 2, muestra dos tipos de estructuras de TFT's escalonadas invertidas para silicio amorfo el cual ha sido investigado en nuestro laboratorio [8]. Las características más comunes de estos TFT's son el uso de Cr como metal para el electrodo de compuerta, como aislante de compuerta nitruro de silicio, y la doble capa de metalización Cr/Al para los contactos fuente drenaje. La diferencia esencial es el orden de deposito de otras capas. En el tipo A existen TFT's de un deposito consecutivo de nitruro de compuerta, silicio amorfo intrínseco, silicio amorfo n^+ en un solo paso de crecimiento. El n^+ se graba en la región del canal del transistor. En el caso del TFT de tipo B, existe un deposito consecutivo de nitruro para la compuerta, silicio amorfo intrínseco, y después la segunda capa de nitruro de silicio. El nitruro encima es grabado desde las regiones de contacto, antes de depositar la capa de n^+ . Estos tipos de TFT's han sido investigados por numerosos grupos. Además, todavía hay diferencias en los detalles de la tecnología utilizada por cada grupo. Las variaciones incluyen diferentes esquemas de metalización, la posición de electrodo transparente, y la adición de una capa de protección ligera o un condensador de almacenamiento. El tipo de TFT B requiere un mínimo de tres pasos de mascara y el tipo B un mínimo de cuatro pasos de mascarar, pero algunas variaciones anteriores pueden aumentar la complejidad del proceso a seis o incluso ocho pasos de mascarar.



Fig. 1. Example of a figure caption.

REFERENCES

- [1] G. Eason, B. Noble, and I. N. Sneddon, "On certain integrals of Lipschitz-Hankel type involving products of Bessel functions," *Phil. Trans. Roy. Soc. London*, vol. A247, pp. 529–551, April 1955.
- [2] J. Clerk Maxwell, *A Treatise on Electricity and Magnetism*, 3rd ed., vol. 2. Oxford: Clarendon, 1892, pp.68–73.
- [3] I. S. Jacobs and C. P. Bean, "Fine particles, thin films and exchange anisotropy," in *Magnetism*, vol. III, G. T. Rado and H. Suhl, Eds. New York: Academic, 1963, pp. 271–350.
- [4] K. Elissa, "Title of paper if known," unpublished.
- [5] R. Nicole, "Title of paper with only first word capitalized," *J. Name Stand. Abbrev.*, in press.
- [6] Y. Yoroazu, M. Hirano, K. Oka, and Y. Tagawa, "Electron spectroscopy studies on magneto-optical media and plastic substrate interface," *IEEE Transl. J. Magn. Japan*, vol. 2, pp. 740–741, August 1987 [Digests 9th Annual Conf. Magnetism Japan, p. 301, 1982].
- [7] M. Young, *The Technical Writer's Handbook*. Mill Valley, CA: University Science, 1989.

IEEE conference templates contain guidance text for composing and formatting conference papers. Please ensure that all template text is removed from your conference paper prior to