南京邮电大学

毕 业 设 计（论 文）

|  |  |
| --- | --- |
| 题 目 | 基于FPGA的DDS信号源设计与实现 |
| 专 业 | 自动化 |
| 学生姓名 | 施海謇 |
| 班级学号 | B12050326 |
| 指导教师 | 王冬生 张健 |
| 指导单位 | 自动化学院 |

日期：2016年 3 月 14 日至 2016 年 6 月 17 日

毕业设计（论文）原创性声明

本人郑重声明：所提交的毕业设计（论文），是本人在导师指导下，独立进行研究工作所取得的成果。除文中已注明引用的内容外，本毕业设计（论文）不包含任何其他个人或集体已经发表或撰写过的作品成果。对本研究做出过重要贡献的个人和集体，均已在文中以明确方式标明并表示了谢意。

论文作者签名：

日期： 年 月 日

摘 要

在研究和生活中，常常需要用到不同频率和波形的信号。现代工业对于信号发生器的灵活性和精确性的要求也越来越高。传统的信号发生器常常会达不到工作测试中的具体要求。在此背景下，直接数字频率合成技术(Direct Digital Synthesizer,DDS）作为一种灵活的信号产生技术逐渐发展起来。这种DDS技术可以实现较大的频谱跨度，可以产生稳定的、相位连续的波形信号，很大程度上满足生活工作需要。

目前比较常用的三种频率合成技术，第一种是类似于晶振的直接频率合成技术；第二种是PLL锁相环间接频率合成技术；第三种是直接数字频率合成技术(DDS）。

本文着重介绍了基于FPGA的DDS信号发生器的实现原理，一个典型的DDS系统应该包括：相位累加器，可以根据地址位读取数据的ROM核，DA转化电路。本设计可以通过频率控制字*K*和相位控制字*P*来调节实际信号的发生频率和相位，同时可以把信号发生频率的精确度、稳定性提高到和时钟频率相同的水准，信号发生的频率可以在1Hz的低频到1MHz的高频之间变化。经过误差分析，理论值和实际测到的波形频率之间的误差几乎不存在，在精确度和灵活性上相较于传统的信号发生器有很大的优势，更适合用户的使用。

关键词：FPGA；DDS数字信号；Verilog HDL；数码管；LCD显示；DA滤波电路

**ABSTRACT**

The signals of different frequency and waveform are needed in our research and life. The requirement of the flexibility and accuracy of signal generator is becoming more and more high. Traditional signal generator often can not meet the specific requirements of the work .Under this background, direct digital frequency synthesis technology is developed as a flexible signal technology. The DDS technology can realize larger span the spectrum and produce a stable, phase-continuous wave signal.

To date, three kinds of frequency synthesis technology are commonly used. The first is direct frequency synthesis. The second is indirect PLL phase-locked loop frequency synthesis technology. The third is direct digital frequency synthesis technology.

This thesis introduces the principle of DDS signal generator based on FPGA. A typical DDS system includes phase accumulator, ROM and DA conversion circuit. The adjustment of frequency and phase of the actual signal can be achieved by changing frequency control word K and phase control word P. At the same time, it can improve the accuracy and the stability of signal frequency at the same level of clock frequency. The frequency of the signal can change between low frequency of 1 Hz and the high frequency of 1 MHz in this design. Compared with traditional signal generator, it has a great advantage in terms of accuracy and flexibility.

**Key words**: FPGA; DDS digital signal; Verilog HDL; Digital tube; LCD display; DA filter circuit.

目 录

[第一章 绪 论 1](#_Toc453787822)

[1.1 课题背景和意义 1](#_Toc453787823)

[1.1.1 课题的背景 1](#_Toc453787824)

[1.1.2 课题意义 2](#_Toc453787825)

[1.2 DDS信号发生器的国内外研究现状及发展趋势 3](#_Toc453787826)

[1.3 课题研究的主要内容 4](#_Toc453787827)

[第二章 系统硬件设计 5](#_Toc453787828)

[2.1 系统硬件的总体方案 5](#_Toc453787829)

[2.2 主控制芯片介绍 5](#_Toc453787830)

[2.2.1 FPGA Altera Cyclone IV芯片简介 5](#_Toc453787831)

[2.2.2 引脚分配 6](#_Toc453787832)

[2.3 硬件模块设计 7](#_Toc453787833)

[2.3.1 按键模块 7](#_Toc453787834)

[2.3.2 电源电路 8](#_Toc453787835)

[2.3.3 晶振电路 9](#_Toc453787836)

[2.3.4 JTAG下载电路 9](#_Toc453787837)

[2.3.5 数码管电路 10](#_Toc453787838)

[2.3.6 DA滤波电路 11](#_Toc453787839)

[2.3.7 LCD显示模块 12](#_Toc453787840)

[本章小结 13](#_Toc453787841)

[第三章 系统软件设计 14](#_Toc453787842)

[3.1 系统软件的总体方案 14](#_Toc453787843)

[3.2 PLL时钟模块 15](#_Toc453787844)

[3.3 DDS模块 16](#_Toc453787845)

[3.4 ROM模块 17](#_Toc453787846)

[3.5 数码管模块 18](#_Toc453787847)

[3.6 LCD显示模块 19](#_Toc453787848)

[3.7 按键模块 21](#_Toc453787849)

[3.8 测试程序testbench的编写 22](#_Toc453787850)

[3.9 各子模块介绍 22](#_Toc453787851)

[本章小结 23](#_Toc453787852)

[第四章 系统测试与实验结果 24](#_Toc453787853)

[4.1 软件测试工具的介绍 24](#_Toc453787854)

[4.2 FPGA的仿真 26](#_Toc453787855)

[4.3 DDS测试与结果分析 27](#_Toc453787856)

[本章小结 31](#_Toc453787857)

[结束语 32](#_Toc453787858)

[致 谢 33](#_Toc453787859)

[参考文献 34](#_Toc453787860)

[附录A 原理图 36](#_Toc453787861)

[附录B DDSfinal.V 38](#_Toc453787862)

[附录C DDS.V 41](#_Toc453787862)

第一章 绪 论

## 1.1 课题背景和意义

### 1.1.1 课题的背景

早在上世纪的30年代，就已经出现频率合成技术，当时使用一个或者多个不同频率的晶体振荡器作为基准，通过分频、混频、倍频这三种主要的频率变化方式来实现信号发生器，这就是最早的直接式频率合成器。后来又出现的PLL锁相环技术，也就是人们常称的间接式频率合成技术。直到上世纪的70年代，由于数字技术的高速发展，美国学者又提出一种全新的频率合成技术—DDS。但是由于当时技术的限制，这种技术在价格和性能上都不能和当时已经成熟的直接式和间接式相比较，所以一开始并没有受到重视。但是随着电子集成技术的发展，DDS得到了飞速发发展，这第三代频率合成技术因为它的工作频率宽、转化速度快、频率分辨率高、相位变化连续等优势，远超传统的信号发生器。

现代的各行各业对于信号发生器的需求一直稳高不下，尤其是工业、航空业、通讯行业。但是这些行业对于信号的要求往往很高，通常需要频率可调、幅度可调、相位可调，具体的需求非常灵活多变，调节的跨度也非常大。对于这种灵活多变的要求，现在市面上的信号发生芯片虽然可以实现频率和幅度的调节，但是这类芯片的调节大多都是离散的，而且通常需要外接电阻和切换开关等器件。就电路设计而言，常常会有些复杂，使用起来也不太方便。所以直接数字频率合成技术（DDS）近些年得到了发展。在实际工程设计中，实现DDS技术的方式主要有2种，第一种是使用专门的DDS芯片，另外一种是通过FPGA实现。而FPGA作为一种可编辑门电路，具有丰富的内部资源，可以实现DDS的逻辑，同时外接AD/DA转换电路就可以产生不同的信号波形，可以产生正弦波、方波、三角波、PWM波等多种不同的波形，发生信号的频率和相位也可以实现快速变换[1]。相较于DDS芯片只能产生正弦波、方波、三角波等有限的波形，通过FPGA实现的DDS甚至可以实现任意波形。

基于FPGA的DDS信号发生器主要功能就是产生不同的信号波形，产生频率跨度比较大的频率变换，实现相位的连续变化[1]。信号发生器的输出可以用来检测各种设备的故障，或者作为一个电压源或者是电流源驱动不同的仪器设备。通过调节频率控制字和相位控制字，就可以让一台设备产生不同要求的波形，使得信号的产生变得快捷方便。而且DDS信号发生器的显著优点就是频率变化范围非常广，频率转换的速度相当快，频率的分辨度极高，相位的变化也具有连续性，这是传统的信号发生器目前达不到的优点[2]。

随着FPGA的集成化程度的提高，FPGA的性价比开始上升，FPGA在电子电路设计使用中愈发广泛。而它在高频方向的各种应用也越来越多，DDS信号发生器就属于其中之一。本设计的核心是CYCLONE 四代的FPGA芯片和AD/DA转换模拟电路。这种型号的FPGA拥有256个管脚，可以接入多种外设。AD/DA转换模拟电路主要是把8位的数字量转换成模拟量，让其作为输出。信号发生器整体的设计主要要求保证波形的稳定性和准确性，尽量通过硬件电路减少信号里的毛刺、削顶等失真不稳定的情况。在保证波形输出完全符合要求的情况下，频率、相位、幅度的切换可以做到快速准确。

### 1.1.2 课题意义

DDS信号发生器由于频谱宽度宽、频率相位切换快等优势而成为工业、航空业等产业的宠儿。而直接数字频率合成技术(DDS)的概念最早在1971年被美国学者J. Tierney，C. M.Rader 和B. Gold三人共同提出，DDS的概念把数字信号和数字电路作为基础，利用相位累加器的概念生成一种全新的全数字频率合成技术[3]。经过40多年的发展和实践，DDS技术的高频特性和频率变化快的优势愈发的明显，也越来越被广泛地应用在各种各样的场合。尽管现在市面已经存在很多种类DDS信号发生器芯片，如比较常用的AD9851，AD9835系列。但是这些芯片可以调节的频率范围是一定的，特性是一定的，所以灵活性受到了一定的限制。

传统的信号发生器又称信号源或振荡器，在生产实践和科技领域中有着广泛的应用，各种波形曲线均可以用三角函数方程式来表示[4]。传统的信号发生器也主要分为3种。第一种是由分立元件组成的函数发生器，相较于基于FPGA的DDS信号发生器，它产生的信号是非常单一的，而且信号频率非常低，最大也只能是以KHz为单位的信号，而且它的工作状态极为不稳定，调试起来也不方便。第二种的主体是模拟电路，主要包含晶体管和运放等常用的电子器件，或者是由专门的函数信号发生器构成的电路。函数信号发生器IC最早的时候主要是L8038、BA205、XR2207/2209等型号，这些型号的功能很少，精度较低，最高频率只能达到300kHz，无法产生更高频率的信号，调节方式也不够灵活，频率和占空比的调节会相互影响，不能够单独的调节[5]。第三种是由专门的信号发生器芯片构成的函数发生器，这种芯片非常的高度集成化。美国一家公司最新研发的一款函数信号发生器芯片，它克服了第二类芯片的缺点，可以达到更高的技术指标。这种芯片可以产生多种波形，产生的波形可以达到更高频率，达到MHz的程度。但是这种芯片单位成本较高，如果只是小规模的生产，就性价比来说不是很值。

但是如果把FPGA芯片和AD/DA模拟电路组合起来就可以大大增加了频谱的宽度，可以使得调节频率的步进变化变得很小，20位的频率控制字就可以实现1Hz的变化步进[5]。而且一旦频率控制字和相位控制字发生变化，波形就会立即发生变化，即变化过渡非常平稳，不会出现很大的抖动。除此之外设计者可以随时根据具体的要求，通过向FPGA里烧录不同的程序，修改函数发生器的具体功能，灵活性大大提高。这样设计者可以通过一套组件实现多种要求。而且相较于大多数的传统信号发生器电路和市面上常用的信号发生器芯片，这种以FPGA为核心的DDS信号发生器频率稳定性更高。作为实用为主的DDS发生器，不存在或者尽可能少的削顶、毛刺的波形失真，才是更好的优势所在。

相比较于更加常用的单片机或者是DSP，FPGA更加的擅长逻辑运算，并且它的运算速度更快，它的编程语言VHDL和Verilog HDL更是以并行硬件语言著称的。何为并行，就是各个模块，各个always模块是同时发生的，并不会因为其中的某一个块发生阻塞，或者发生其他某些未知的异常，从而干扰其他部分的运行[6-7]。这种语言特性把FPGA的高速特性发挥的淋漓尽致。除此之外，这些年的半导体技术发展相当迅速，FPGA的集成度越来越高，FPGA可以利用的资源也原来越多，FPGA的制造成本也大大下降，虽然它的成本还没达到单片机这种程度，但是单价的下降导致FPGA的性价比大大上升，利用FPGA制作DDS信号发生器的可行性也被人们所认可。并且和专用集成电路相比，FPGA具有更短的开发周期，也就是说如果是小批量的生产，用FPGA开发的性价比更高，具有低成本的优势。

所以说基于FPGA的DDS信号发生器的发展前景相当不错，很有研究的价值。

## 1.2 DDS信号发生器的国内外研究现状及发展趋势

信号发生器由于能够产生不同幅度、频率、波形的信号，在电子电路的设计、测量、维护和维修中得到了广泛的运用。直接数字频率合成技术在低频信号和高频信号产生方面得到很大的肯定，尤其是在高频方面相较于其他传统的信号发生器优势更加明显，可以达到MHz的数量级，并且通过设置相位寄存器的位数甚至可以达到1Hz到0.001Hz频率步进[8]。

经过40年的发展，直接数字频率合成器（DDS）在结构上已经出现了三种主流的种类。第一种是此次设计采用的基于曲线值的查表法，通过取64个或者是256个采样点，然后通过AD/DA转换成模拟信号输出的方法。第二种是泰勒展开的方式，这种方法相较于第一种方法来说比较复杂，实现起来更为复杂，目的是为了提高输出信号的动态范围。第三种是CORDIC算法， 算法以其算法简单，易于硬件实现而在很多方面得到了应用[9]。

目前以FPGA为平台的设计主要趋向以下几个方面：向高度集成化的方向发展；向低成本的高性价比方向发展；向环境友好的方向发展；结构化方向发展；动态可编程方向发展。这些年FPGA的仿真软件越来越人性化，大大节省了软硬件设计成本，开发设计成本。

国内外的DDS芯片组成的信号发生器，小批量生成的成本较高，不适用于设计灵活的信号发生器。FPGA的发展必将使得DDS信号发生器的灵活性、性价比上升到新的高度。

## 1.3 课题研究的主要内容

本课题的研究是基于FPGA的DDS信号发生器的设计，主要要求是设计以FPGA为数字平台，采用Verilog语言设计实现高精度、高频率的多通道信号源的，本信号发生器频率及相位可灵活调整且分辨率高，能够实现频率及相位的快速切换，并将其封装成IP核。整个系统可以实现1 Hz~10 MHz的正弦波、三角波、方波、PWM波的输出，其最小步进频率可以达到1 Hz。波形信息显示在LCD液晶显示屏上。

为了实现波形的不失真，还要考虑所采用的晶振是50 MHz的问题，两者综合考虑，最终采取256个采样点。由于要达到1 Hz的步进频率改变，最终选择20位的相位控制字。具体的显示模块选择数码管辅助显示，LCD动态显示。

这次用的FPGA芯片是EP4CE6F17C8，拥有256个管脚。主要运用的外设有4个按键、晶振电路、1个LCD显示屏、6位的数码管、AD/DA模块、低通滤波电路。

这次设计模块主要是DDS模块，按键模块，ROM核，数码管模块，AD/DA模块，低通滤波模块，LCD模块。主要是通过DDS模块产生一个新的时钟信号，这个时钟信号由于整体的时钟频率是固定的，所以新的时钟信号频率完全是由频率控制字K决定的。然后通过新的时钟频率来读取ROM里存储的采样点的值，然后通过读取ROM里的256个值组成一个希望的波形。本设计的主要部分是DDS模块，这部分是改变信号频率、相位的核心。本设计在信号输出的方面还涉及到了数字信号与模拟信号的转换，通过不同的地址位从ROM核里读取出来的是8位数字信号，并不能直接作为输出，而是需要一个AD/DA转换电路把ROM里输出的数字量转换成模拟量。最后通过LCD模块显示出需要显示的波形信息。

第二章 系统硬件设计

2.1 系统硬件的总体方案

该设计的要求是实现4种波形正弦波，方波，三角波，PWM波的快速切换，在频率上要求实现1 Hz到10 MHz的频域带宽，步进频率要求是1 Hz。在硬件设计选择的总体方案是：通过一个50 MHz的晶振电路产生50 MHz的时钟频率，然后通过FPGA的分频，通过DDS模块生成新的时钟频率，然后由FPGA的8个管脚输出8位的数字量，最后通过8位的AD/DA转换电路把FPGA产生的8位数字量转化成模拟量输出。256个连续变化的模拟量可以构成了一个周期预定的波形。最终可以通过LCD显示出具体的波形信息。可以通过各自对应的按键模块改变具体的频率控制字和相位控制字。

系统的总体设计如下图2.1。



图2.1 硬件设计的总体方案

根据AD/DA的原理，AD/DA模拟电路可以把8位的数字量转换成对应的模拟量，也就是说对应于8位的2进制值1111\_1111，它相应的模拟量是255，这也就是最高值，而对于8位的2进制值0000\_0000，它相应的模拟量是0，这就是最小值。最后实际输出的电压大小就是根据实际的模拟量占最高值255的比例所计算出的电压值，连续的电压变化就可以实现自己想要的波形。具体的最大电压值的调节可以综合到AD/DA模拟电路中实现，最简单可以通过分压的方式实现最大电压值的改变。

最后本设计选择使用的核心AD/DA芯片是8位DA转换芯片AD9708，这款转换AD芯片可以实现125MSPS转换速率，可以实现差分电流输出。

2.2 主控制芯片介绍

2.2.1 FPGA Altera Cyclone IV芯片简介

本次设计采用的是ALTERA公司生产的第四代CYCLONE，型号是EP4CE6F17C8，这款型号的FPGA采用的是BGA封装，拥有256个管脚，相较于那些非BGA封装的FPGA，这种型号的FPGA的管脚名称不在采用单纯的数字命名的方式，而是采用英文+数字组合命名的方法，比如说是E2，H2等等方式，在识别和了解引脚的具体功能上有更直观的认识。该型号的FPGA拥有6272个逻辑单元，392个乘法器，更有192个可用的IO口，并且自带276480bit的RAM，在使用上完全可以满足设计上的硬件需求。EP4CE6F17C8的管脚图如图2.2所示。



图2.2 FPGA芯片管脚图

这款型号的FPGA在各方面都性能都非常优秀，而且属于比较新的芯片型号。除此之外，相较于上一代的第三代的CYCLONE，它需要的功耗会更加低，大概只有原来的四分之三。但是性能更加好，完全满足开发要求的，因此最终选择了这款型号的FPGA。

2.2.2 引脚分配

本次设计运用到的外设比较多，所以需要较多的FPGA管脚进行控制。有34位的AD/DA模块控制，20位的LCD12684模块控制，数码管的位选和段选控制等等。主要的管脚分配见图2.3。

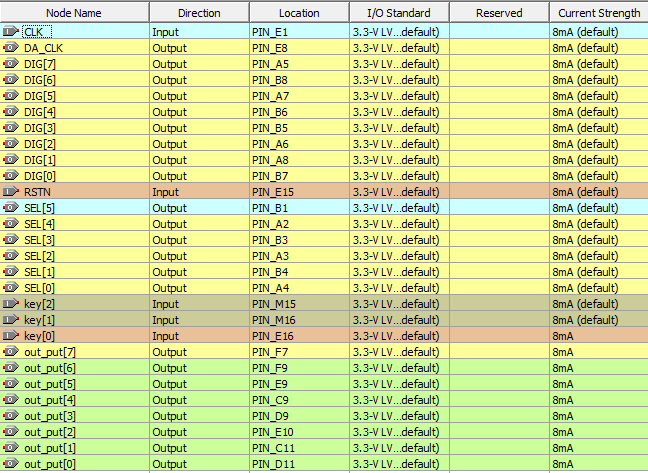


图2.3 管脚分配图

2.3硬件模块设计

2.3.1 按键模块

本设计选择是4位独立轻触按键，具体的按键类型是输入机械式弹性开关，当机械触点断开闭合时，由于机械触点的弹性作用，按键在按下的时候并不会迅速稳定的接通，在松开的时候也不会一立即断开，按键在这两个的过程中会出现一连串的抖动[10]，如果不进行有效的处理，将会出现很多无效的按键波动，会严重影响按键的使用。常用的按键电路见图2.4。

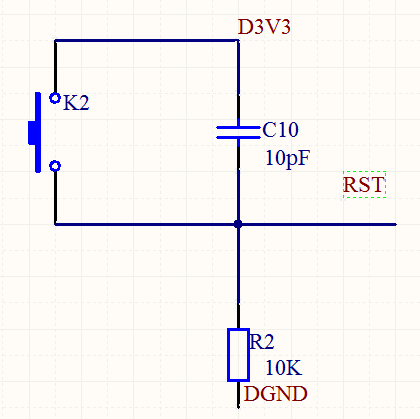


图2.4 常见按键电路图

在设计中常用的按键消抖主要可以分为硬件消抖和软件消抖两种方式。在硬件设计方面，本次设计主要采用了电容充放电消抖动方式。电容的充放电特性决定了它能减缓噪声、滤除波纹，甚至是消除抖动[10]。原理图如图2.5所示，图中的C10电容就起到了消除抖动的作用。

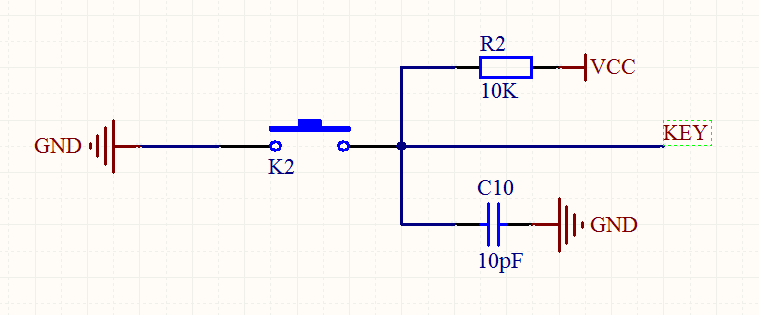


图2.5 电容充放电消抖电路图

在选择具体的电容时必须找到合适的电容。当电容过小时，充放电不足以消除抖动；当电容过大时，短暂抖动没有影响，处理器会检测不到按键作用。具体的电容大小具体计算。本次设计选择了比较常规的10uF的容值。

2.3.2 电源电路

FPGA芯片的供电方式，可以选择通过USB供电方式。如图2.6所示， J1为USB供电接口，SW1为按键开关，F1为自恢复保险丝。



图2.6 USB供电电源电路

本次设计主要采用3.3V的电源设计，所采用的电源芯片是LDO电源芯片，可提供稳定可靠的电源。除此之外，在设计中采取增加电容的方式进行滤波，滤波过后的电源的稳定性和可靠性得到提高[11]。和电源电路相对应的，在FPGA的管脚设置的选项中，大都选择是3.3V的输出。但是输出电压的选择是相对应的，设计时也可以选择2.5V的管脚输出。考虑到具体的波形输出功率，最终选择了较大的3.3V 的电源设计。3.3V电源供电电路如图2.7所示。



图2.7 3.3V供电电路

2.3.3 晶振电路

本次设计选择50 MHz的晶振。因为FPGA以高速的逻辑运算著称，所以相比于单片机常用的12 MHz的晶振，本次设计选择50 MHz的晶振。50 MHz的晶振选择可以使得输出波形到达MHz的量级[12]。而且FPGA的硬件条件允许，完全可以使用频率更高的晶振，如100MHz，等等。但是考虑到性价比，芯片推荐使用的晶振频率因素，最终选择50M的晶振。晶振电路图见图2.8.



图2.8 晶振电路

2.3.4 JTAG下载电路

FPGA一般有2种方式下载方式，本次设计采用JTAG口下载的方式，JTAG口下载就是把已经编译好的FPGA文件(.sof)下载到芯片里，但是这种下载没有固化，在掉电以后ROM就会恢复初始化，并不能保存。

与外部数据相连的是JTAG接口部分，这部分主要涉及到四个信号：TCK,TDO,TMS,TDI这四个信号[13]。JTAG接口的原理图如图2.9所示。



图2.9 JTAG电路图

具体的存储位置主要涉及到配置芯片M25P16，这个芯片是串行FLASH芯片，它的容量是16 Mbit。就容量而言，单单是下载FPGA程序，是完全足够的。原理图如图2.10所示。



图2.10 EPCS芯片电路

2.3.5 数码管电路

数码管主要分为八段数码管和七段数码管，本次设计选择了多了一个“点”的8段数码管。一共使用了6位的数码管。为了方便起见，最终选择了6位一体的数码管。具体的数码管接法主要也分为2种：共阳和共阴[14]。本次设计选择共阳的接法，共阳极的数码管就是如火对应的管脚是低电平的话，对应的数码管的段位就会被点亮，如果是高电平的话就不会被点亮。数码管的原理图如图2.11所示。

六位一体的数码管就是把相同的段都连接在一起，一共是8个管脚，即DIG[7:0]。除此之外就主要是6位位选，哪一位是低电平就可以点亮该位数码管（即低电平有效），即图中的SEL[5:0],相当于使能端，如果使能段无效的话，段选是怎样都是没有用的，不会点亮的。



图2.11 6位一体数码管电路

2.3.6 DA滤波电路

DA电路由高速DA芯片、低通滤波电路、幅度调节电路和信号输出接口组成。其中电源模块延用2.3.5设计的3.3V电源模块，而不需要从新设计一个新的电源模块。

设计中选择的高速DA芯片是AD9708。这是一块8位的DA芯片，它具有125MSPS转换速率，可以快速实现数模转换的功能，除此之外，这块芯片已经内置了1.2V的电压，可以实现差分电流输出。DA设计流程图见图2.12。



图2.12 DA设计流程图

因为在DA转换过程中不可避免的会混入噪声，或者是其他干扰。本设计最终采用7阶巴特沃斯低通滤波电路进行低通滤波，7阶巴特沃斯低通滤波器的原理图如图2.13所示。滤波的带宽参数可以达到40MHz。

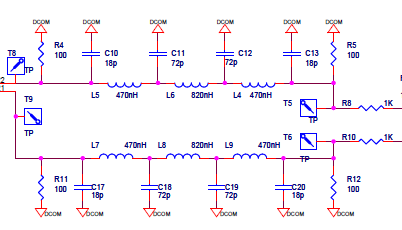


图2.13 7阶巴特沃斯低通滤波器的原理图

滤波器之后，通过2个运放设计一个幅度调节电路，幅度调节原理图如图2.14所示。其中采用的运放均是AD8065，通过2级运放串联的方式调节最终输出的DAC的值，这种2级运放串联的方式可以使得差分电路变成单端电路，大大提高电路的稳定性。主要通过调节电位器的电阻大小，来实现调节运放的放大倍数，在电路设计中采用了5K的电位器。通过这2个运放最终可以实现-5V~+5V的电压变化。

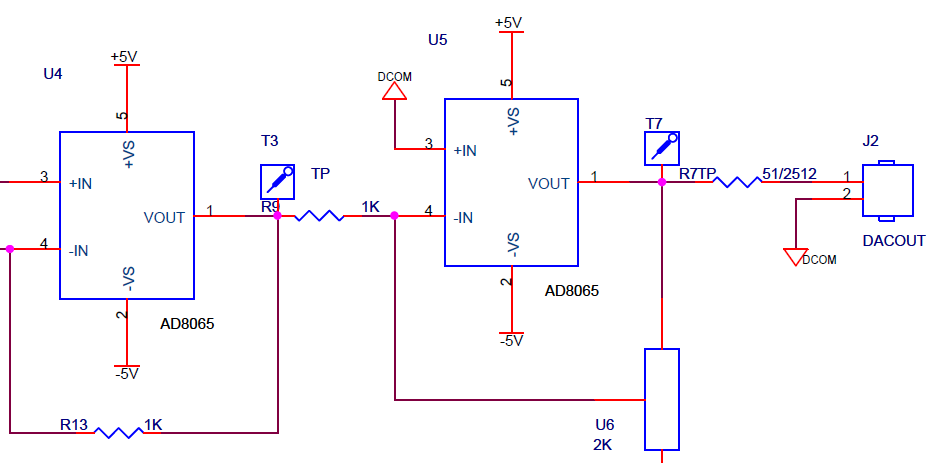


图2.14 幅度调节电路

2.3.7 LCD显示模块

在选择LCD显示功能的情况下，主要有三种可以进行选择。

第一种是LCD1602，这种显示屏可以显示2行的字符，每一行可以显示16个的字符，没有调用中文字库的话，只能单纯的显示英文字符。由于只有并行接口，没有串行接口，需要的控制管脚就会比较多需要16位。但是相对而言，程序设计起来就会比较容易。

第二种也是比较常用的LCD12864，这种LCD一般带有背光，一般相较于LCD1602，他会带有中文字库，在显示方面可以显示更多行的数据，相较于LCD1602，它不仅可以进行并行数据的传输，而且可以串行数据的传输，这样就可以大大减少管脚的数目可以，可以节省FPGA的管脚资源。在使用上，这种LCD会更加的普遍。

第三种是更加灵活的TFT，它可以实现的功能会更加的多，不仅可以显示更多的颜色，而且显示的功能更加丰富，甚至把设计中需要实现的波形表现在TFT上，动态显示起来也更优化。但是由于它的功能更加强大，涉及到的寄存器也更多，由于本身大多数的FPGA都是没有自带任何字库，TFT控制器也需要自己写，会更多的占用FPGA的自带的RAM，在程序编写上难度会更大一点。

三种LCD各有优缺点，所以本次设计分别为各自写一个最简单的驱动，显示简单的波形和频率。

## 本章小结

本章主要讲述了DDS的硬件部分设计，主要涉及到电源电路、按键模块、LCD显示、数码管电路和晶振电路等电路，为整体的DDS设计提供了硬件基础。

第三章 系统软件设计

3.1 系统软件的总体方案

基于FPGA的DDS信号发生器的软件设计主要涉及到按键控制、DDS模块、PLL时钟模块、ROM存储模块、数码管显示模块、LCD显示模块。本次设计首先通过按键控制调节频率控制字相位控制字，然后把具体的频率控制字和相位控制字输出给DDS模块，把选择控制字输出给选择模块。DDS模块在得到设定好的频率控制字以后，就可以开始进行相位累加，当相位累加到一定的程度以后，最高位就会溢出，这种最高位溢出的频率，就被我们称为新的时钟频率，之后的波形就是根据这种新的时钟频率产生的[16]。把相位累加器的高八位做为ROM的读取地址，之后ROM模块就可以根据地址里的数据输出8位数字量，连续的256个数字量经过AD/DA转换电路，经过数模转换滤波后就可以得到预设的模拟量。然后把频率控制字的最低8位，相位控制字的低8位，和选择控制字显示在数码管上，这样就可以快速判断按键是否有效，控制字是否改变，最右边的2位数码管可以辅助判断是哪一种波形。最后可以根据控制频率控制字*K*计算频率。

公式 (3-1)

算出新时钟频率，然后由于采样点的个数是256个，新的波形的频率就是原来的1/256，然后把计算出来的数据发送给已经初始化成功的LCD控制器数据传输位，在LCD上显示出来实时的波形频率。

具体的软件设计流程图如图3.1。



图3.1 软件设计流程图

3.2 PLL时钟模块

Altera 公司生产的第四代的Cyclone FPGA 芯片中已经嵌入PLL锁相环， PLL锁相环具有升频、降频、移相、调节占空比的功能，而本次设计中，我们主要运用到了倍频和分频2个功能，对于要求实现的波形频率比较高，而所采用时钟频率限于条件要求，采用的是50MHz的晶振，所以采用4倍频的方式，把输入DDS的时钟升高到200MHz，这样波形所能达到的最大频率就会大大提高，最高频率可以到达没有倍频以前的四倍。降频的频率主要是为了满足TFT的时钟频率，设计所采用的7寸TFT要求输入的时钟是25MHz，所以需要把时钟频率进行2分频。

图3.2 锁相环工作原理

锁相环不同于直接频率合成器，它的输出不是直接因为参考源的某些变化直接得来的，所以它又被成为间接频率合成器。主要是是通过压控振荡器间接产生需要的频率输出，这是一种基于晶振频率生成大量离散化频率的技术。锁相环工作原理见图3.2[18-19]，其中的PD是鉴相器，LF是环路滤波器，VCO是压控振荡器。。

FPGA里的自带的PLL模块，打开Quartus II编辑器里的tools工具箱，选择打开MegaWizard Plug—In Manager，选择打开I/O选项里ATLPLL，ALTERA公司的FPGA自带的一个PLL锁相环可以选择最多输出四种不同的频率，由于实际只需要2个时钟输出200MHz，和25MHz，所以最终实现了2个时钟。一个属于是4倍频，另外一个是2分频。PLL元件的生成样式如图3.3，c0口输出200MHz的频率，c1口输出25MHz。

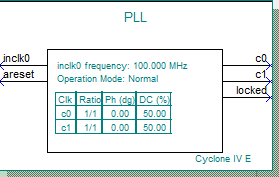


图3.3 PLL原理图

相比与自己编写的时钟分频模块，FPGA自带的PLL锁相环可以实现分频的同时，而且可以实现倍频。除此之外，我们在使用PLL锁相环时，可以不需要考虑时钟约束，因为PLL分频出来的时钟是独立于时钟，不会因为没有时钟约束而出现WARNING，新时钟不满足时序。使用内置的PLL锁相环可以节约FPGA的资源，而且PLL时钟相对来说更加稳定高效。但是PLL作为FPGA功能模块,并不可以串联，输入时钟必须是外部时钟输入，这就限制了PLL倍频的倍数上限，最大只能是26倍频。有一种常规的解决的方法就是把倍频的时钟从一个管脚里输出来，然后再作为输出[20]，这样就可以间接的实现PLL锁相环的串联。

3.3 DDS模块

DDS的工作过程是：DDS模块简而言之就是由2个加法器组成的。输入量主要是由2个，第1个是频率控制字*K*，第2个是相位控制字*P*。对于每一个输入时钟信号fc，相位累加器就会自增一个频率控制字K，累加到一定程度，相位累加器的最高位产生溢出信号。相位累加器存储的值就是对应一个周期相位的值，而且这个相位累加器的值是周期性变换，变化的范围从0到2N-1[15]。如果相位累加器位数为N，那么频率控制字K的选择一般也需要不大于N位，相位累加器的最大输出为2N-1。在本次设计中选择了相位累加器的高8位作为地址读取位，地址读取位的数目对应于ROM定制模块里存储的采样点的个数，由于选取了256个采样点，所以采取8位宽的地址位。

DDS模块的建模如图3.4，其中*F\_word*表示频率控制字，*P\_word*表示相位控制*K*,*n\_clk*表示新产生是时钟，*addr*表示8位地址读取位。



图3.4 DDS建模模块



图3.5 DDS的工作原理

在确定具体是相位累加器的位宽是主要根据公式，△ =FC／2N，由于在设计要求中需要达到1Hz的步进改变频率，而在时钟硬件设计中选择的是50MHz，PLL锁相环的升频作用实现到了200MHz，最终选择了21位的频率控制字K,理论上可以达到190.7348Hz的步进频率，然后经过256个采样点，就可以是实现0.375Hz的波形改变频率，可以基本达到需要的调频需求。相位控制字位数的选择取决于具体的ROM地址位位宽，因为本次设计在ROM里选择了256个点进行采样(即2的8次方)，所以相位控制字P的位宽确定是8位。

DDS模块的工作原理如图3.5所示。

一共是29位的寄存器，低21位是属于相位寄存器，高8位是计数器寄存器，可以作为后续的ROM表存储的地址，可以通过地址读取ROM里值。而相位寄存器里的最高位则作为新的时钟频率。

DDS的工作原理是：DDS模块可以接受到按键模块产生的频率控制字K，然后对相位寄存器进行初始化即初始值是0，然后进行累加，即每进来一个时钟，相位寄存器就增加一个K，然后进行慢慢的累加，到达一定的程度以后相位累加器的第21位就从0变成1，也就是最高位发生溢出，这样溢出的频率就可以作为一个新的时钟，然后计数器寄存器就开始从0x00开始进行计数到0xFF，ROM里的值也就会被按照新的时钟频率一个个读取出来，这是一个周期性的变化，当变成0xFF后又会自动从0x00开始计数。当然从0x00开始计数是假设相位控制字是0，并没有发生相位的偏移。如果相位控制字不是0的话，那么这高8位的计数器控制字就会每次都会增加P。例如的话，如果相位控制字是0x08的话，那么计数器寄存器就是从0x08开始计数到0xFF，然后到0x07的，然后再进入一个新的周期。这就是最基本的相位偏移的原理。由于一共是8位的相位控制字(即256)，那么把按键作为每次按键相位控制字增加1，对应说来每一次的按键偏移的相位就是360°/256，即相位偏移的步进增量是1.40625°。

3.4 ROM模块

在实现不同的波形的设计，本次设计需要通过ROM存储函数查找表（LUT）。在本次设计另外一个比较重要的部分——转换部分，就选择了ROM查找表法。在ROM里不同地址里存储着不同的相位值，DDS模块输出的高8位就可以当作ROM查找表的地址读取位。

本次设计选择ALTERA公司，Quartus II 开发环境自带MegaWizard Plug—In Manager，可以定制LPM\_ROM宏功能块，作为ROM查找表。生成的ROM模块见图3.6。

8位的地址输入address，每一个不同8位的地址都对应与一个位宽是8的相位值（即最大值是255），8位的地址可以存储256个采样点，256个采样点经过后续的数模转化和低通滤波后就可以得到一个完整周期的波形。

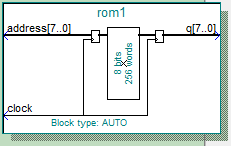


图3.6 ROM建模图

ALTERA公司的FPGA的ROM里可以存储2种格式的初始化函数数据，第一种是以hex为后缀的文件，另一种是以mif为后缀的文件。这两种格式的文件是相类似的，都可以通过Quartus II自带的编辑器编写，但是编写起来比较麻烦。最终选择Mif\_Maker2010.exe这款软件编写mif文件，通过这款软件可以快速的编写正弦波，方波，三角波这三种波形的mif文件。相较于.hex文件，.mif文件的ROM无法直接进行波形仿真，但是编写起来更加方便，胜在快捷。

具体mif的格式是DEPTH = 256;WIDTH = 8;ADDRESS\_RADIX= HEX;DATA\_RADIX = HEX。这四句讲明了这个mif文件的具体大小，和数据格式。DEPTH是表示存储数据的数目，2的8次方，这个数据确定了地址线的位数是8位，这个位宽对应于一个周期的波形取的采样点的个数，由于是256个采样点，所谓地址线的位宽是8位。WIDTH表示每一个地址里存储的值的位宽，本次设计中选择了8位的位宽，即可以输出的最大值是0xFF(255)，这里面的位宽决定了ROM功能块的输出的位数，由于在硬件中选择的DA芯片是AD9708，这是一块8位的AD芯片，所以需要设计的位宽最高不能超过8位，考虑到波形不失真的问题，最后选择数字量输出位数是8位。后两句的ADDRESS\_RADIX，DATA\_RADIX是设定里面地址和数据采用的格式，HEX表示是16进制，在选择上并不固定，但是需要和CONTENT内容的对应。从第六行开始，就可以开始按照一个地址一个数据的格式书写，类似于0x12：0xFF，冒号前面是地址，冒号后面是数据[21-22]。

3.5 数码管模块

数码管模块主要分为2个主要的部分，第一部分是数码管功能模块，另一个部分是数码管编码模块。

数码管功能模块，原理图见图3.7，该模块的作用就是具体定义哪个数码管亮，数码管究竟亮那个数。这部分的*idata*输入主要是24位，其中每四位数据分别对应是各自数码管的数据，例如说DIG[3:0]对应的是第一位数码管的数据。这部分的*odata*输出是10位，低6位对应的是位选，即具体点亮哪个数码管。而高4位就是显示的数字，但是这个数字并不是直接可以点亮数码管的，需要经过数码管编码模块，4位数据转换成对应的数码管8位段选信息。



图3.7 数码管功能模块

在这一部分中，还涉及到了数码管的动态显示。动态显示的工作原理，就是利用人眼的视觉暂留特性和发光管的余晖作用，虽然依是轮流向各位数码管送出段选和位选信息，但是由于时间很短，所以使人看起来6位数码管同时在显示。在程序中，设置的时间是100μs，即每100μs送一次段选和位选的数据，总共的一个完整的周期是600us，所有说时间很短。

第二部分是数码管编码部分，功能模块高4位虽然对应具体显示的数据，但是不能直接被用，需要通过转换，变成可以在数码管上显示相对应数字的8位编码，例如\_0 = 8'b1100\_0000，\_1 = 8'b1111\_1001。具体显示原理在硬件部分已经提及，由于是共阳极的接法，所以高电平1表示不亮，低电平0表示亮。编码模块原理见图3.8。其中*idata*表示4位输入，*odata*表示8位段选信息输出。



图3.8 数码管编码模块

3.6 LCD显示模块

设计中采用了3种的显示模式，LCD1602和LCD12684两种设计的模式较为相近，而7寸TFT设计设计到了寄存器的设置比较多，也需要自己设计字模来显示，显示起来更加的灵活，各有优缺点。

前2种的LCD液晶屏，都采用了并行操作。具体的时序，主要分为四种时序[23]。

读状态时，拉低数据命令选择端（RS）线，拉高读写选择端（R/W）线，拉高使能信号（E）线，输出的是8位状态字。

读数据时，拉高RS线，拉高R/W线，拉高EN线。

写指令时，拉低RS线，拉低R/W线，D0~D7并行传输指令码，拉高EN线。

写数据时，拉高RS线，拉低R/W线，D0~D7并行传输数据，拉高EN线。

在实际的LCD显示中主要涉及到后2中时序，主要是写数据和写指令，所以说R/W线常年拉高，使能线常年拉高。

初始化过程中主要涉及到了4个主要的指令，首先是0x30H，这主要设置了8位基本指令操作。其次是0x06H，该指令只要设置了DDRAM 的地址计数器(AC)自动增加。然后是0x01H，实现了对LCD进行清屏，防止出现残影。最后的是0x0CH,这是初始化的最后一步，打开显示，关闭游标。到此经过四步的初始化，LCD就可以正常进行读写了。

然后需要读数据时只需要拉高RS线，使能端使能即可。在显示过程中，用到的指令就是显示地址指令，就是设置DDRAM地址。LCD12864常用的2行，第一行的地址是从0x80H到0x87H的，第二行是从0x90H到0x97H的。例如0x80H就是具体的指令，代表着第一行的第一位。设置完以后，就可以实现从0x80H位开始显示，再加上初始化里0x06H设置，每次写完一次数据，地址位会实现自动加1。

在使用TFT设计时，涉及到很多的寄存器的初始化设置，有考虑清屏，亮度调节等等的初始化。在显示当中，主要涉及到3个寄存器，X位设置寄存器0x4E，Y位设置寄存器0x4F，颜色设置寄存器0x22，。这三个寄存器是通过字模显示，点阵实现的关键。

点阵的原理点亮的简单实现，就是把当前的点设置成背景色，或者是画笔色。但是这个液晶功能会更多一点，理论上可以实现65536种颜色，但是考虑到管脚的优化，颜色只需要8位即可。分别取红色和绿色的高3位，取蓝色的高2位。这样的8位的颜色位可以很好的完成基本的颜色，有效的节约了FPGA的管脚资源[24-25]。

由于设计中使用的TFT没有自带字模，需要设计到字模软件的字模提取，由于显示的功能比较简单，简单的提取了fre三个字母，和0~9的是个数字，由于涉及到的字模比较少，就没有采取ROM存储的方式，而是直接的把字模作为矩阵的形式存储，虽然这种方式会有些占FPGA的资源，但是在代码的观赏性上会有更直接方便。这次字模采取的方式是共阴方式、C51格式、逐行式的16\*16的字模。生成的字模见图3.9，在实际生成的过程中由于是2个字符占一个字。

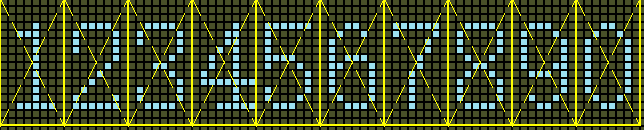


图3.9 字模



图3.10 TFT建模模块

由于这次的设计比较简单，只是单纯的显示，被没有涉及到触摸中断等问题，所以只需要单纯的从FPGA向TFT控制器SSD1289写数据即可。具体建模如图3.10。

图中RST是复位信号，用来复位TFT；RS是用来判断向TFT控制器输入指令还是数据；CS是使能信号，在传输数据时还会充当时钟信号，当高脉冲时传输数据；WR是写入有效信号；RD是读出有效信号；剩下DATA是16位，可以用来充当传送指令或者是数据。RST信号在设计中常年拉高，FPGA单方面的控制TFT，所以WR常年拉低，RD常年拉高。所以在设计中，涉及到的时序线也只有RS线、CS线和数据线。

3.7 按键模块

在设计按键模块是已经通过电容充放电设计硬件消抖模块了，除此之外我们还可以通过软件消抖的方式。最简单的可以仿照单片机延迟10ms再次进行检测是否是低电平，但是这种方式是不考虑时序的实现的，在FPGA这种非常注重时序的芯片中，容易错过一些黄金时期。

本设计中采取检测电平变化的方式进行消抖，这种方式需要借助2个寄存器来实现—F1,F2。F1负责记录当前时刻的电平，F2负责记录前一时刻的电平，我们可以通过这种检测前后电平判断是“按下事件”还是“松开事件”。常用机械按键的抖动也是100us之中，所以设计中进过100μs以后再进行具体的按键作用。按键建模图见图3.11.



图3.11 按键模块

在按键模块中，除开常用的RST复位按键，其他还有3个按键，第一个按键是负责控制波形选择，这个按键控制一个2位宽的寄存器。第二个按键负责频率控制字，这个按键控制一个20位宽的频率控制寄存器。第三个按键辅助相位相位控制字，这个按键负责一个8位宽的相位控制寄存器。

3.8 测试程序testbench的编写

由于涉及到后续的仿真测试，不可避免的需要用到testbench测试程序，这个脚本主要的作用是通过Verilog HDLS语言对需要测试的模块进行初始化，和对于输入信号的赋值，对于某些比较复杂的信号。如果选择手动添加的话，会增加较多的工程量。

在本次设计中主要涉及到了DDS的测试程序DDS\_TB.V的书写。这个程序主要针对DDS的输入进行初始化，DDS有4个输入，除开常用的时钟信号和复位信号，还有频率控制字和相位控制字的输入。测试程序首要涉及到的就是时序，在程序中设置成最小的时序是1 ns/1 ns。由于设计中运用到的晶振是50 MHz的，所以涉及到时钟是每10 ns电平翻转一次，这样就可以仿真50 MHz的时钟频率。复位信号由于用不到，所以拉低一次以后常年拉高，使之无效。然后再初始化里面，给频率控制字和相位控制字进行赋值初始化[26-27]。

3.9 各子模块介绍

为了方便实现Verilog HDL语言，除开最顶层的文件外，还需要设计各个子模块，这就类似于C语言的函数的功能，如此设计使得程序的可读性大大提升，在后期的查错方面也更加容易。具体的各个子模块如下：

Key.V—这个模块主要涉及DDS里频率控制字和相位控制字的输入，和选择模块的波形控制字。

DDS.V—这个模块主要通过2个加法器生成一个可调的新的时钟频率，和为ROM模块提供的地址位。

Zhengxiebo.qip、fangbo.qip、sanjiaobo.qip、PWM.V—这四个模块分别对应四种不同的波形，输出一个可以DA转换的8位数字量。

Choice.V—这个模块根据按键模块输出的波形控制字选择输出4种波形里的哪一个波形。

smg\_funcmod.V和smg\_encode\_immdmod.V—这2个模块为六位一体的数码管提供了位选和段选的信息。

PLL\_150M.qip—这模块通过ALTEA自带的功能实现PLL锁相环的倍频和分频功能，生成一个4倍频的200MHz的时钟和2分频的25MHz时钟。

tft\_funcmod.V和tft\_ctrlmod.V—这2个模块主要实现了TFT初始化和各个后期的寄存器的设定。

DDSfinal.V—这个模块属于顶层文件，通过实例化上述各个模块，再通过分配管脚就可以实现最终的功能。

## 本章小结

本章主要讲述了DDS设计的软件部分，核心部分DDS模块主要实现了新的时钟频率和8位地址读取线。其他例如(1)按键模块实现频率控制字和相位控制字的调节；(2)数码管模块控制数码管显示；(3)LCD模块控制显示波形信息。

第四章 系统测试与实验结果

4.1 软件测试工具的介绍

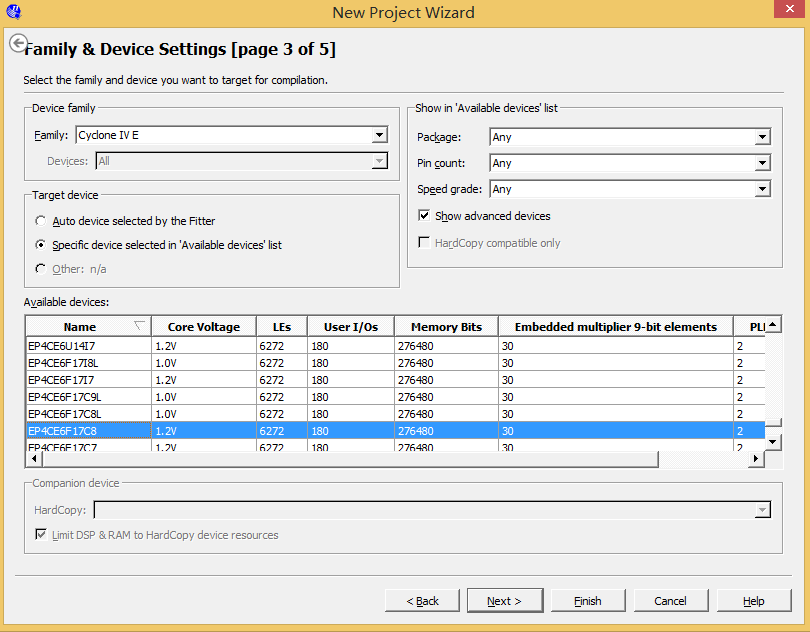


图4.1 芯片型号设置

然后需要设置仿真的软件Modelsim se，仿真软件Modelsim有2种，注意选择Modelsim，而不是Modelsim-Altera。具体设置见图4.2。

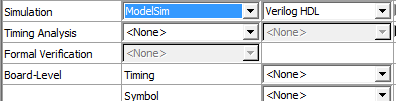


图4.2 仿真软件设置

主要的芯片和仿真软件设计完以后，就可以开始编写程序。编写程序完以后，就需要进行编译，编译按钮即，编译完成以后会提供一份编译报告，如果编译没有错误的话就生成2个编译文件，一个是以pof后缀的文件，另一个是以sof为后缀的文件。前者可以串口下载器固化到FPGA里去，但是本次设计采用的是JTAG下载模式，所以只需要用到以sof为后缀的文件。

2）程序的下载

Quartus II 开发工具已经综合了下载器部分，所以不需要额外的平台进行下载。需要下载.sof文件时，需要点开。点开后，就会出现图4.3。

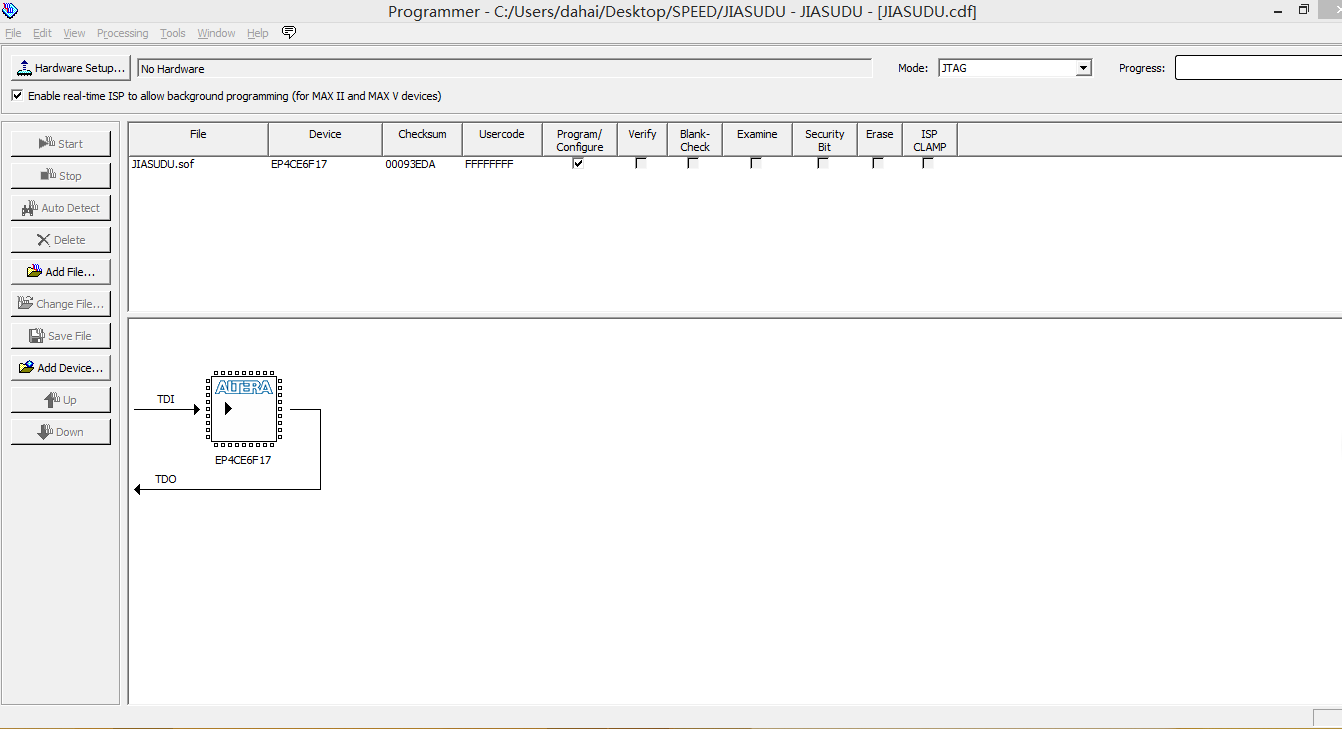
+

图4.3 未开始下载的界面

在下载以前需要需要安装JTAG下载器的驱动——usb -blaster驱动。安装完驱动以后，只需要选择需要下载文件，给FPGA通上电就可以进行下载了。下载成功以后，右上角就会显示successful，见图4.4。

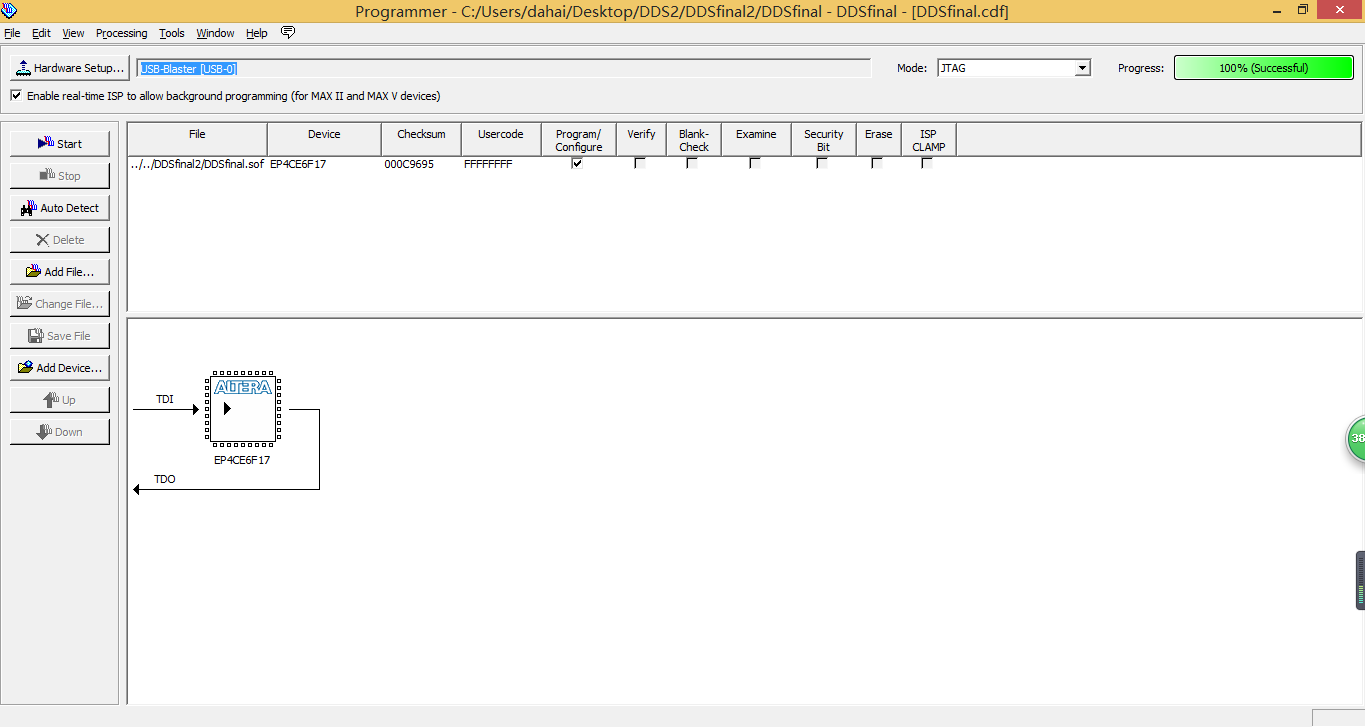


图4.4 下载成功的界面

4.2 FPGA的仿真

在Quartus II 9.1版本以前可以使用它内置的波形仿真软件，但是在此之后，就需要借助Modelsim仿真软件进行，Modelsim仿真软件不需要手动添加输入信号，在使用起来远远比内置的仿真功能要方便。设计中只需要编写一个testbench测试程序即可。

在设计中，本次主要涉及到了DDS模块的仿真。在新建完project，并且导入DDS模块和测试程序以后，就可以点开simulate下的start simulation开始仿真。起初的仿真界面如图4.5。

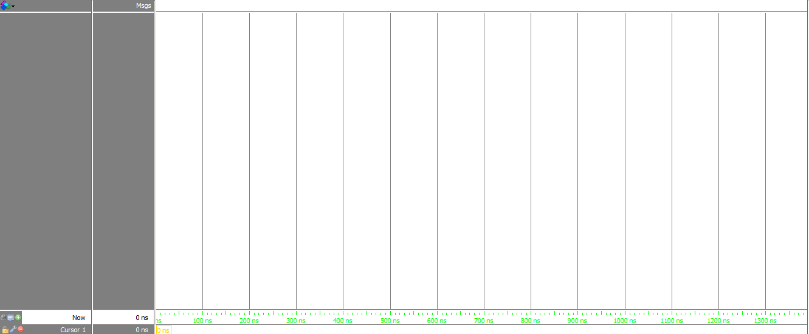


图4.5 仿真的初始界面

由于还没有开始设定仿真的具体时间和具体需要的仿真波形数目。所以暂时还没有波形出现。需要把左上角的需要显示的波形信号导入右边的框图，然后在最下面的脚本编辑器里面输入“run 10000ns”，这里面的10000ns就是表示仿真的时间。仿真的时间由波形的频率决定，频率低时仿真时间较长，频率高时仿真时间较短。当一切都已经设定完以后，就会出现图4.6。

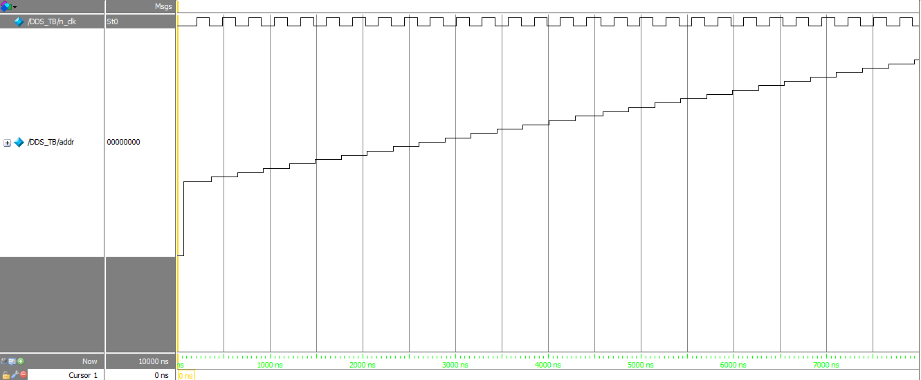


图4.6 DDS仿真波形

由于在测试程序里设定的相位控制字P是0x11，所以这次的计数是从0x11开始计数的，在仿真结果中可以看到，确实是从00010001开始计数的，这就相当于波形的相位发生了偏移，如果说相当于偏移了23.90625°的样子。而频率控制字初始设为0x123456，相当于1193046，由于这里程序选取的频率控制字是24位的，所以理论上的周期是281 ns，而输出的新的时钟周期是479-215=264ns，但是由于仿真的周期截断是手动完成的，误差在可允许的范围之内，所以时钟频率的设计经过仿真检验是正确的。除此以外，对于每一个新的时钟，都对应一个新的地址位。在仿真波形看来，每一个新的时钟的上升沿，都有且只对应一个新地址位，这就可以保证在一个周期里，256个采样点都可以取到。

DDS模块是整个设计的重中之重，通过仿真成功验证了DDS部分的逻辑和功能都没有出现问题，有效的提高了设计的效率。在仿真中，通过改变测试程序中的频率控制字和相位控制字的具体大小，可以明显的看出地址读取位的初始位发生改变，新的时钟频率发生改变，由此说明对于不同的频率控制字，新的时钟频率对应发生改变的功能是有效的。

除此之外，我们还可以对于其他类如按键，ROM模块，数码管模块，TFT模块进行仿真，但是这些仿真会涉及到具体的硬件，如果只是单纯的软件的仿真，只能看到时序的变化，具体的意义并不是很大，所以不在此赘述。除此之外，由于ROM模块里存储的数据格式是mif格式的，目前使用的Modelsim仿真软件并不支持这种格式的仿真，只能支持hex格式的数据。所以其他的具体调试选择在具体的硬件上跑。

4.3 DDS测试与结果分析

在测试过程中，主要通过示波器观察具体的波形。

通过按键1可以快速的实现波形的转换。具体波形如下图4.7，图4.8，图4.9，图4.10所示。

在实际切换过程中，一旦频率在KHz的级数上，完全可以做到快速无差的变换。但是在Hz的级数上，会出现波形明显改变的过程。原因是由于频率过低，地址读取的过程也在肉眼可是的范围，所以看上去变化过程可以被发现。

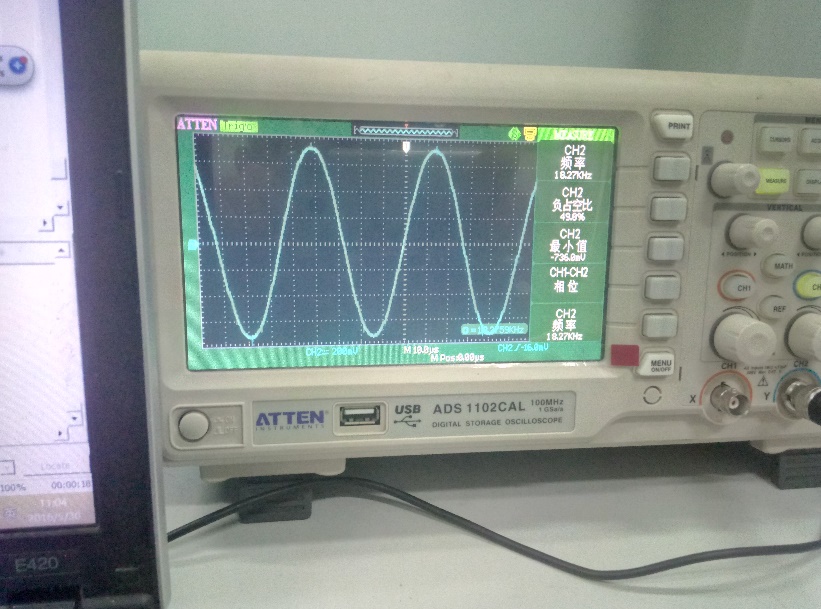


图4.7 正弦波的波形

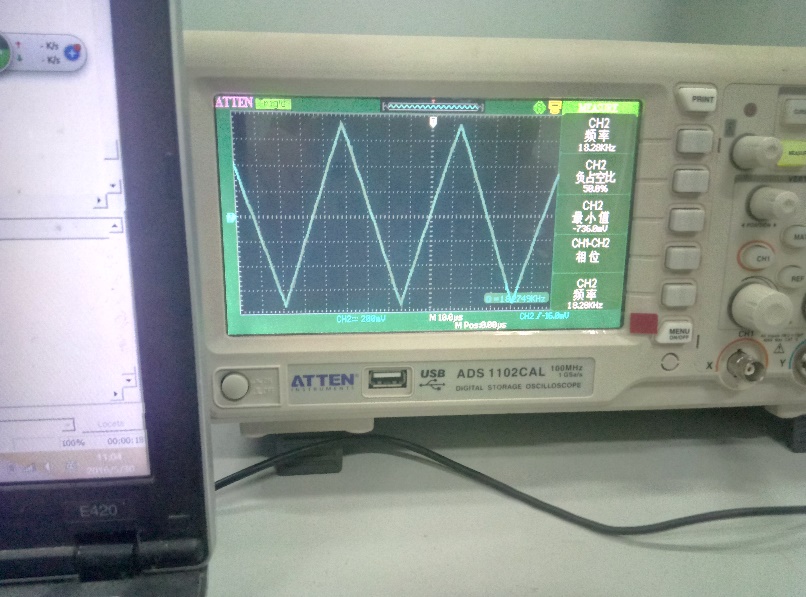


图4.8 三角波的波形

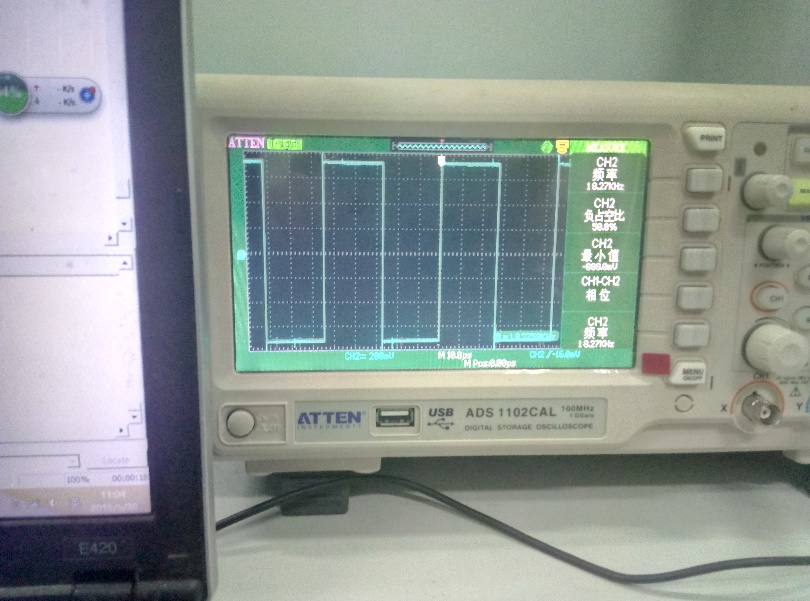


图4.9 方波的波形

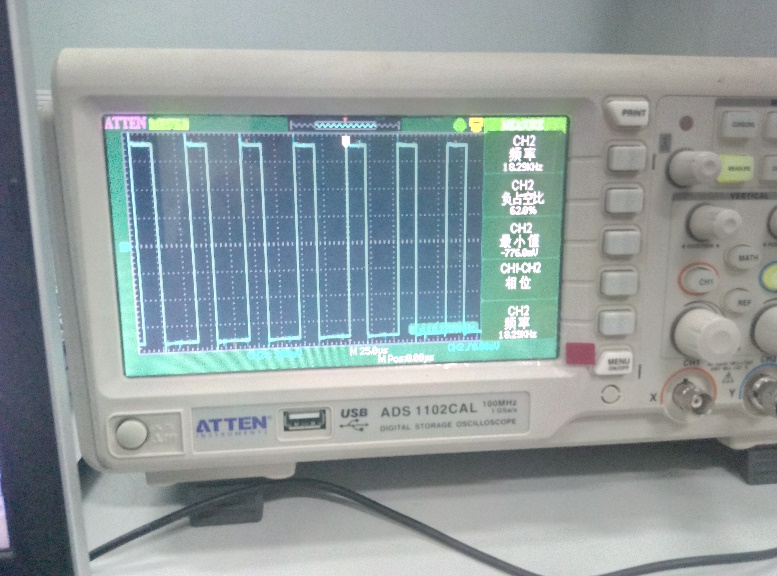


图4.10 PWM波的波形

按键2可以增加频率控制字，每次按键理论上都可以增加0.375Hz的频率，有存在了256位采样点的问题，实际频率达不到10MHz，实际最大的频率可以达到2MHz左右。实际波形见图4.11。

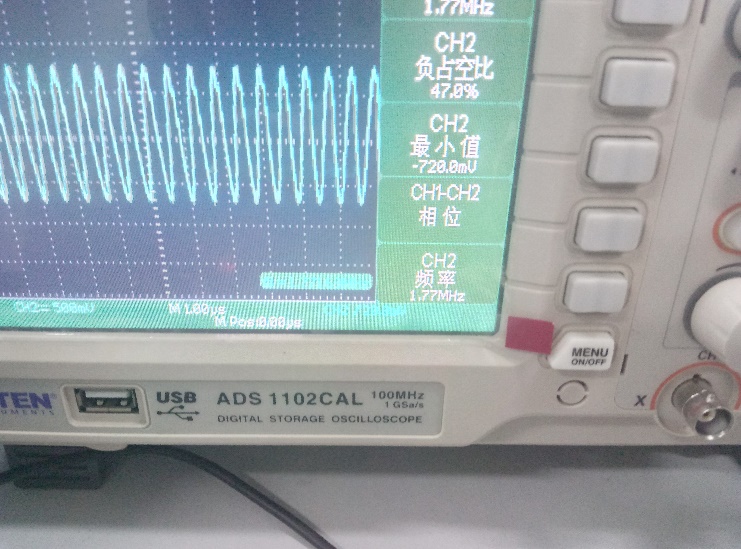


图4.11 实际最大频率的正弦波

经过升频以后的频率200Mhz，经过采样频率256分频，所以正常情况下正弦波最大频率只能达到0.78MHz。在实际测试的过程中，由于频率控制字过大，我在设计的过程中除开频率控制字位数外，还额外增加了8位作为地址位，所以这个频率控制字可能会大于21位设定值，这种情况出现导致的后果实际地址采样点可能会达不到256位，可能只有128位，或者是64位等等，当然可能不是正好是2的倍数。这种情况也不会无限制的小，当出现小于64位的采样点的时候，波形可能会出现不连续，或者是失真，亦或是直接变阶梯波的样子。

按键3可以增加相位控制字每次按键都会使相位控制字增加1，增加了256次以后就会相当于增加了一个周期，相位变化就类似于变化了0。因此相位控制字每增加1，对应相位360/256=1.40°的变化。



图4.12 未经按键的数码管显示

由于示波器上的频率变化不是很明显，在实际测试中，把每一次的按键作为增加0x1000，这样频率的变化会相对来说更加明显一点。为了辅助证明每次按键，确实让频率控制字增加了1，相位控制字增加1，设计中选择让数码管显示频率控制的低8位，和相位控制字，以及选择控制字。原始的图见图4.12，经过按键操作的数码管见图4.13。

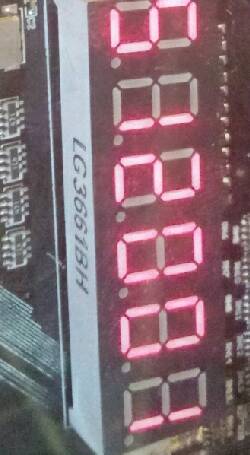


图4.13 经过按键操作的数码管

最后2位数码管也可以辅助帮助看具体的波形种类，00表示正弦波，01表示三角波，10表示方波，11表示PWM波。

4种波形中PWM 操作性会更高一点，除开可以调节PWM波的频率外，还可以调节PWM的占空比。在初始化程序中，设计了当计数小于95时，输出为低电平，否则就是高电平。这样设定后，PWM的占空比的理论值是1-95/256=62.89%，这个数据和实际示波器显示62.8%近似。这个95就是占空比的决定值，在设计中可以把这个参数变成一个可填调的变量。

表4.1 21位相位寄存器时的理论值和实际值

|  |  |  |
| --- | --- | --- |
| 相位控制字K | 理论频率 | 实际频率 |
| 0x01 | 0.3725Hz | 0.375Hz |
| 0x02 | 0.745Hz | 0.74Hz |
| 0x11 | 0.3325Hz | 6.33Hz |
| 0x12 | 6.705Hz | 6.71Hz |
| 0x21 | 12.2925Hz | 12.30Hz |
| 0x22 | 12.665Hz | 12.67Hz |
| 0x31 | 18.2525Hz | 18.26Hz |
| 0x32 | 18.625Hz | 18.63Hz |
| 0x41 | 24.2125Hz | 24.22Hz |
| 0xFFFF | 24413.31745Hz | 24.42KHz |
| 0xFFFFF | 390624.6275Hz | 390.6KHz |

具体的频率计算公式是FO = FCK/2N/256，其中的FC是经过倍频以后的200Mhz，K就是具体的频率控制字，N是累加器的位数，256是具体采样点的个数。当频率控制字K是1时，可以达到的理论值是0.375Hz。

采取21位的频率控制字时，理论值和实际值见表4.1。

从表格中看来，四倍频可以实现的最大的频率是是390.6KHz。在理论上说来，频率控制字K可以取到0x1FFFFF，这样得到的波形频率最大可以0.78MHz，但是涉及到噪声和杂散分量的影响，实际取的频率控制字最大不应该超过2N-2。经过256个采样点的分频。可以实现波形的最大频率也就只有400KHz，如果采用减少采样点的方法，把采样点减少到128个，或者是64个的话，就可以实现2Mhz的高频信号。

比较实际的频率值和理论值，抛开示波器自带的显示频率位数限制。两者大致无差，误差也在允许的范围之内，可见通过频率控制字K控制的波形频率的精确性相当高。但是高频方面由于晶振方面频率比较低，只选择了50MHz晶振，如果选择更高的100MHz的晶振。就会更加容易的达到高频的程度。

在PLL锁相环倍频最大的倍频数目是26倍频，这样以后就可以最大波形频率就可以是400KHz的6.5倍的频率，如果使用64个采样点以后最大就可以到达需要的10MHz。

## 本章小结

通过软件仿真和硬件实际波形观察，成功验证该信号发生器达到了大多数的技术指标。在实际的仿真和设计过程中，学会如何硬件和软件相互辅助调试，快速而有效的解决问题。

结束语

本文把FPGA作为开发平台，根据直接数字频率合成技术(DDS)为核心，设计了一款可以生成多种波形，频率变换范围从1 Hz到2 MHz变化的频率发生器。在Quartus II开发平台上使用Verilog HDL语言设计了DDS、按键、ROM核、PLL锁相环、LCD显示等多个模块。在设计的基础上，通过Modelsim仿真软件测试了具体模块的逻辑功能。

具体完成了如下工作：

(1)通过按键控制频率控制字K和相位控制字P，实现相位频率可以快速调节。

(2)通过读取不同ROM核，读取不同的.mif文件，产生不同的波形。

(3)确定相位控制字的位数N，实现步进频率为1 Hz。

(4)根据数码管辅助判断频率控制字和相位控制字以及波形，在LCD上显示具体波形信息。

本文实现的DDS信号发生器有待仍需完善：

(1)低频滤波和高频滤波采取的滤波方式是一样的，希望通过不同的滤波方式针对性的滤波。

(2)产生的方波和PWM波在示波器上观察会出现毛刺，在软件方向也可以做一些滤波功能。

致 谢

写到这里的时候，有些激动。这次的毕业设计也快要达到尾声了。学生对于FPGA和DDS原理都有了更加深入的了解。能够成功做出这次设计，让学生我对未来的生活和工作充满信心，让学生逐渐学会快速而准确地找到问题的答案。在学习的过程，越发的认识到自己的知识浅薄，学无止境，在未来的工作和学习中始终保持一颗学习的心，不断摸索前进，走上人生巅峰。

本论文是在王冬生老师的指导之下完成的。万分感谢王冬生的谆谆教诲，常常激励我，完成一次又一次的挑战。王老师积极向上的生活态度，严谨的治学作风深深的影响着我，希望我将来可以以此为榜样，甚至青出于蓝而胜于蓝，始终在工作中严谨专注，一丝不苟。在此向王老师献上我最真挚的感谢和最真诚的祝福。

感谢我的同学和朋友一路的陪伴，感谢生我养我的父母，谢谢你们。如果没有你们，可能今天我也不会站在这里。感谢你们在我困难的时候给予的帮助，为我出谋划策。愿我在往后的时光里，想起和我们一起的时光，依旧感激。

最后感谢各位评阅老师在百忙之中抽空查阅此文。

参考文献

[1] 王新浪.频率合成技术发展与应用[J].现代导航,2012(42):119-123.

[2] 颜景峰.智能仪表通用可扩展平台研究与开发[D].上海:复旦大学,2010.

[3] 郇昌红.基于TSMC 0.18 µm CMOS工艺的2.4GHz频率合成器的设计[D].杭州:中国计量学院,2013.

[4] 孙宇.基于Multisim的多功能信号发生器的设计与仿真[J].科技致富向导,2015(15):196-197.

[5] 郝小江,罗彪.基于FPGA的函数信号发生器[J].电测与仪表,2008,45(5):55-56.

[6] 雷发禹,宾淼林,李永枧,等.基于单片机的信号发生器设计与仿真[J].邵阳学院学报:自然科学版,2009,6(3):39-43.

[7] 张玉梅,阔永红,傅丰林.基于DSP和DDS的高精度频率信号源实现[J].电子工程师,2004, 30(1):43-45.

[8] 李康,刘斌,刘陈锋.基于 FPGA 的 DDS 信号源设计[J].中国科技博览,2013(36):555-556.

[9] 姚亚峰,付东兵,杨晓非.基于CORDIC改进算法的高速DDS电路设计[J].华中科技大学学报:自然科学版,2009(2):25-27.

[10] 杜振华,谌海云,赵松柏.基于FGPA的数字密码锁[J].电子技术,2012,39(6):32-34.

[11] 赵新宇,胡建成,杨九如.实用稳压电源电路设计[J].自动化技术与应用,2011,30(2):107-110.

[12] 程雯,戎蒙恬,李萍.用于实时时钟的32.768kHz晶振电路分析与设计[J].信息技术,2009,33(1):15-17.

[13] 何希顺,张跃,何荣森.嵌入式系统中的JTAG接口编程技术[J].电子技术应用,2001,27(12):9-12.

[14] 文雯,邬杨波.一种基于VHDL的7段LED数码管显示控制器[J].机电工程,2008,25(7):51-54.

[16] 余勇,郑小林.基于FPGA的DDS正弦信号发生器的设计和实现[J].電子器件,2005,28(3):596-599.

[17] 陈风波,冒燕,李海鸿.基于FPGA的直接数字频率合成器的设计[J].微计算机信息,2006,22(5):189-190.

[18] 王雅君, 吴玉广, 黎文福.基于FPGA的新的DDS+PLL时钟发生器[J].中国集成电路,2006, 15(8):27-29.

[19] 梁九鹏,李永亮,郑佳.FPGA器件中PLL的设计应用[J].无线电工程,2007,37(9):62-64.

[20] 张栗榕,张犁,石光明.基于FPGA的PLL动态配置设计与实现[J].电子科技,2008,21(5):37-41.

[21] 李素梅.基于FPGA的ROM设计问题[J].信息技术,2010(3):87-89.

[22] 谢亮.基于FPGA的ROM数据定制的几种方法[J].科技广场,2008(10):160-161.

[23] 江世明.12864图形液晶显示模块与51系列单片机接口技术[J].电子世界,2005(6):35-36.

[24] 程明,肖祖胜.基于FPGA的TFT-LCD显示驱动设计[J].液晶与显示,2009, 24(2):228-231.

[25] Xin Z, Caihua L I, Huang Y, et al. Mixed-clock third-order DDS applied in signal Doppler frequency shift simulation[J]. Guofang Keji Daxue Xuebao/journal of National University of Defense Technology, 2014, 36(2):134-139.

[26] Glowinski R, Lions J L, Trémolières R. Numerical Analysis of Variational Inequalities[J]. Mathematics of Computation, 1981, 39(39):95-98.

[27] Engestrom Y. Developmental studies of work as a testbench of activity theory: The case of primary care medical practice[J]. Understanding Practice Perspectives on Activity & Context, 1993(2):64-103.

[28] ZHENG Huang-ting, LAI Wan-chang, MAO Wei. Design of DDS signal generator based on FPGA[J]. Electronic Design Engineering, 2012(8):337-341.

附录A 原理图



# 附录B DDSfinal.V

module DDSfinal

(

input[2:0] key,

input CLK,

input RSTN,

output[7:0] DIG,

output[5:0] SEL,

output[7:0] out\_put,

output DA\_CLK

);

wire[7:0] addr;

wire [9:0]DataU1;

wire[32:0] f\_word;

wire[7:0] p\_word;

wire[1:0] b\_switch;

wire DDS\_CLK;

assign DA\_CLK=CLK;

PLL\_200MHz PLL\_200MHz\_u

(

.inclk0(CLK),

.areset(!RSTN),

.c0(DDS\_CLK),

.locked()

);

key key\_u

(

.CLOCK(DDS\_CLK),

.RESET(RSTN),

.key(key),

.f\_word(f\_word),

.p\_word(p\_word),

.b\_switch(b\_switch)

);

wire[7:0] addr1;

wire n\_clk1;

DDS DDS\_u

(

.CLK(DDS\_CLK),

.RSTN(RSTN),

.f\_word(f\_word),

.p\_word(p\_word),

.addr(addr1),

.n\_clk(n\_clk1)

);

wire[7:0] BO1;

zhengxiebo I\_ROM\_SINE

(

.address (addr1),

.clock(n\_clk1),

.q(BO1)

);

wire[7:0] BO2;

sanjiaobo I\_ROM\_sanjiao

(

.address (addr1),

.clock(n\_clk1),

.q(BO2)

);

wire[7:0] BO3;

fangbo I\_ROM\_fangbo

(

.address (addr1),

.clock(n\_clk1),

.q(BO3)

);

wire[7:0] BO4;

PWMBO PWMBO\_u

(

.CLK(n\_clk1),

.RSTN(RSTN),

.Cin(addr1),

.Cout(BO4)

);

//zhengxiebo I\_ROM\_SINE2

//(

// .address (addr1),

// .clock(n\_clk1),

// .q(BO4)

//);

choice choice\_u

(

.CLK(CLK),

.RSTN(RSTN),

.BO1(BO1),

.BO2(BO2),

.BO3(BO3),

.BO4(BO4),

.MODE(b\_switch),

.outputBO(out\_put)

);

smg\_funcmod U1

(

.CLOCK( CLK ),

.RESET( RSTN ),

.iData( {f\_word[7:0],p\_word,6'b0,b\_switch} ), // < top

// .iData( f\_word[20:0]),

.oData( DataU1 ) // > U2

);

smg\_encode\_immdmod U2

(

.iData( DataU1[9:6] ), // < U1

.oData( DIG ) // > top

);

assign SEL = DataU1[5:0];

endmodule

# 附录C DDS.V

module DDS

(

input CLK,

input RSTN,

input[32:0] f\_word,

input[7:0] p\_word,

output[7:0] addr,

output n\_clk

);

reg[32:0] r\_fword;

reg[7:0] r\_pword;

always@(posedge CLK or negedge RSTN)begin

if(!RSTN)

r\_fword<=33'h0000;

else

r\_fword<=f\_word;

end

always@(posedge CLK or negedge RSTN)begin

if(!RSTN)

r\_pword<=8'h00;

else

r\_pword<=p\_word;

end

reg[32:0] fre;

always@(posedge CLK or negedge RSTN)begin

if(!RSTN)

fre<=33'h0000;

else

fre<=fre+r\_fword;

end

reg[7:0] r\_addr;

always@(posedge CLK or negedge RSTN)begin

if(!RSTN)

r\_addr<=8'h00;

else

r\_addr<=fre[28:21]+r\_pword;

end

assign addr=r\_addr;

assign n\_clk=fre[20];//here should fre[23].If we chooce fre[24]，we can only catch 128 samples.

endmodule