



Universidade de Brasília – UnB
Faculdade UnB Gama – FGA
Engenharia Eletrônica

Estudo Comparativo da Implementação em Sistemas em Chip do Algoritmo de Treinamento LDA Aplicado em Interfaces Cérebro Máquina

Autores: Heleno da Silva Moraes, Oziel da Silva Santos
Orientador: Dr, Marcus Vinícius Chaffim Costa

Brasília, DF
2017



Heleno da Silva Moraes, Oziel da Silva Santos

Estudo Comparativo da Implementação em Sistemas em Chip do Algoritmo de Treinamento LDA Aplicado em Interfaces Cérebro Máquina

Monografia submetida ao curso de graduação em Engenharia Eletrônica da Universidade de Brasília, como requisito parcial para obtenção do Título de Bacharel em Engenharia Eletrônica.

Universidade de Brasília – UnB

Faculdade UnB Gama – FGA

Orientador: Dr, Marcus Vinícius Chaffim Costa

Coorientador: PhD, Daniel Mauricio Muñoz Arboleda

Brasília, DF

2017

Heleno da Silva Morais, Oziel da Silva Santos

Estudo Comparativo da Implementação em Sistemas em Chip do Algoritmo de Treinamento LDA Aplicado em Interfaces Cérebro Máquina/ Heleno da Silva Morais, Oziel da Silva Santos. – Brasília, DF, 2017-

53 p. : il. (algumas color.) ; 30 cm.

Orientador: Dr, Marcus Vinícius Chaffim Costa

Trabalho de Conclusão de Curso – Universidade de Brasília – UnB
Faculdade UnB Gama – FGA , 2017.

1. Sistemas em Chip. 2. BCI. I. Dr, Marcus Vinícius Chaffim Costa. II. Universidade de Brasília. III. Faculdade UnB Gama. IV. Estudo Comparativo da Implementação em Sistemas em Chip do Algoritmo de Treinamento LDA Aplicado em Interfaces Cérebro Máquina

CDU 02:141:005.6

Errata

Elemento opcional da ??, 4.2.1.2).

Heleno da Silva Moraes, Oziel da Silva Santos

Estudo Comparativo da Implementação em Sistemas em Chip do Algoritmo de Treinamento LDA Aplicado em Interfaces Cérebro Máquina

Monografia submetida ao curso de graduação em Engenharia Eletrônica da Universidade de Brasília, como requisito parcial para obtenção do Título de Bacharel em Engenharia Eletrônica.

Trabalho aprovado. Brasília, DF, 01 de junho de 2013 – Data da aprovação do trabalho:

Dr, Marcus Vinícius Chaffim Costa
Orientador

Titulação e Nome do Professor
Convidado 01
Convidado 1

Titulação e Nome do Professor
Convidado 02
Convidado 2

Brasília, DF
2017

**A dedicatória é opcional. Caso não deseje uma, deixar todo este arquivo em
branco.**

*Este trabalho é dedicado às crianças adultas que,
quando pequenas, sonharam em se tornar cientistas.*

Agradecimentos

A inclusão desta seção de agradecimentos é opcional, portanto, sua inclusão fica a critério do(s) autor(es), que caso deseje(em) fazê-lo deverá(ão) utilizar este espaço, seguindo a formatação de *espaço simples e fonte padrão do texto (sem negritos, aspas ou itálico)*.

Caso não deseje utilizar os agradecimentos, deixar toda este arquivo em branco.

A epígrafe é opcional. Caso não deseje uma, deixe todo este arquivo em
branco.

*“Não vos amoldeis às estruturas deste mundo,
mas transformai-vos pela renovação da mente,
a fim de distinguir qual é a vontade de Deus:
o que é bom, o que Lhe é agradável, o que é perfeito.
(Bíblia Sagrada, Romanos 12, 2)*

Resumo

Palavras-chaves: BCI; LDA; FPGA; SoC; Sistemas Embarcados.

Abstract

Key-words: BCI; LDA; FPGA; SoC; Embedded Systems.

Lista de ilustrações

| | |
|--|----|
| Figura 1 – Três principais áreas do cérebro (ALVAREZ; LEMOS, 2006) | 31 |
| Figura 2 – Estrutura de um neurônio (SIULY, 2012) | 32 |
| Figura 3 – Placa de Desenvolvimento Zybo-Board | 37 |

Lista de tabelas

| | |
|--|----|
| Tabela 1 – Número de tarefas rotuladas e não rotuladas por sujeito (BLANKERTZ et al., 2006). | 35 |
|--|----|

Lista de abreviaturas e siglas

| | |
|-------|--|
| BCI | <i>Brain Computer Interface</i> |
| EEG | Eletroencefalograma |
| SVM | <i>Support Vector Machine</i> |
| LDA | <i>Linear Discriminant Analysis</i> |
| SoC | <i>System on Chip</i> |
| FPGA | <i>Field Programmable Array</i> |
| SNC | Sistema Nervoso Central |
| VHDL | <i>VHISC Hardware Description Language</i> |
| VHISC | <i>Very High Speed Integrated Circuit</i> |
| LUT | <i>Look Up Table</i> |
| FF | Flip-Flop |
| DSP | <i>Digital Signal Processor</i> |
| RAM | <i>Random Access Memory</i> |
| MUX | Multiplexador |

Lista de símbolos

| | |
|-------|----------|
| \in | Pertence |
|-------|----------|

Sumário

| | | |
|------------|--|-----------|
| 1 | INTRODUÇÃO | 27 |
| 1.1 | Contextualização | 27 |
| 1.2 | Justificativa | 29 |
| 1.3 | Objetivos | 29 |
| 1.3.1 | Objetivos Gerais | 29 |
| 1.3.2 | Objetivos Específicos | 29 |
| 2 | REFERENCIAL TEÓRICO | 31 |
| 2.1 | O Cérebro | 31 |
| 2.2 | Eletroencefalografia | 33 |
| 2.3 | <i>Brain Computer Interface</i> | 34 |
| 2.4 | <i>BCI Competition</i> | 34 |
| 2.4.1 | <i>BCI Competition III</i> | 34 |
| 2.4.2 | <i>BCI Competition III - Dataset IVa</i> | 34 |
| 2.5 | <i>Linear Discriminant Analysis</i> | 35 |
| 2.6 | <i>System-on-Chip</i> | 36 |
| 2.6.1 | A arquitetura Simplificada de um SoC | 36 |
| 2.6.2 | <i>Zybo-Board</i> | 36 |
| 2.7 | Estado da Arte | 37 |
| 3 | PROPOSTA METODOLÓGICA | 39 |
| 3.1 | Implementação em hardware | 39 |
| 3.1.1 | Dispositivos e ferramentas | 39 |
| 3.1.2 | Metodologias de desenvolvimento | 39 |
| 3.2 | Implementação em software | 40 |
| 3.3 | Cronograma de Atividades | 40 |
| | REFERÊNCIAS | 41 |
| | APÊNDICES | 43 |
| | APÊNDICE A – PRIMEIRO APÊNDICE | 45 |
| | APÊNDICE B – SEGUNDO APÊNDICE | 47 |

| | |
|---|-----------|
| ANEXOS | 49 |
| ANEXO A – PRIMEIRO ANEXO | 51 |
| ANEXO B – SEGUNDO ANEXO | 53 |

1 Introdução

Este capítulo apresenta uma visão geral do projeto, apresentando sua contextualização, assim como a proposta do presente trabalho e seus objetivos a serem alcançados.

1.1 Contextualização

Através de uma rede de mais de 100 bilhões de células nervosas interconectadas, o cérebro realiza o controle de nossas ações, percepções, emoções e etc (KANDEL, 2013). Estas células são chamadas de *neurônios*, e neles são armazenados sinais elétricos, que representam todas as informações de controle (SIULY; LI; ZHANG, 2017). Estes sinais podem ser medidos pela eletroencefalografia (EEG), que é um sistema de medição de sinais elétricos produzidos pelo cérebro durante atividades cerebrais (LOTTE; GUAN, 2011). Segundo (SIULY, 2012), a EEG é uma das mais importantes ferramentas para diagnosticar doenças cerebrais.

Além do diagnóstico de doenças cerebrais uma outra aplicação para os sinais adquiridos pela EEG são as *Brain Computer Interfaces* (BCIs) (LOTTE; GUAN, 2011). Uma BCI é um sistema que realiza a comunicação entre o cérebro e um computador (SIULY; LI; ZHANG, 2017), onde sua principal função é a tradução dos sinais elétricos, obtidos através da EEG, em comandos de controle para qualquer dispositivo eletrônico (SIULY; LI; ZHANG, 2017).

A BCI realiza a tradução destes comandos através de seis passos: 1) medição dos sinais provenientes de atividades cerebrais através da EEG, 2) pré-processamento destes sinais, 3) extração de características, 4) classificação, 5) tradução dos sinais em comandos e 6) realimentação (MASON; BIRCH, 2003). Um dos principais passos para a implementação de uma BCI é a **classificação**, pois é após este passo que é realizada a tradução dos sinais provenientes da EEG em comandos de controle (MASON; BIRCH, 2003).

A classificação de um sinal é caracterizada, em aprendizado de máquina e em reconhecimento de padrões, como um algoritmo que atribui parte de um dado sinal de entrada a um dado número de classes ou categorias (BRUNELLI, 2009). Um exemplo é a classificação de um e-mail como "spam" ou "não-spam". Os algoritmos que realizam a classificação dos sinais de entrada são chamados de **classificadores** (SIULY; LI; ZHANG, 2017). De acordo com (LOTTE, 2008, p. 41), "estes classificadores são capazes de aprender como identificar um vetor de características, graças aos processos de treinamentos".

O algoritmo que realiza a classificação é caracterizado por uma função matemática

que mapeia um sinal de entrada em sua respectiva classe (LOTTE, 2008). Os classificadores preferidos pelos pesquisadores são os **classificadores supervisionados**, pois estes tipos de classificadores necessitam de um conjunto de dados de treinamento para realizar o processo de treinamento do classificado. O conjunto de dados para realização do processo de treinamento são formados por vetores de características previamente atribuídos às suas respectivas classes (LOTTE, 2008). Portanto os classificadores supervisionados são implementados a partir de dois processos: **treinamento** e **testes** (SIULY; LI; ZHANG, 2017). As *Support Vector Machines* (SVM), os *Linear Discriminant Analysis* (LDA), os filtros Kalman e as árvores de decisões são alguns exemplos mais conhecidos de classificadores do tipo supervisionados (SIULY; LI; ZHANG, 2017).

O LDA como dito anteriormente é um dos classificadores supervisionados e tem como principais vantagens a simplicidade e atratividade computacional, por se tratar de um classificador linear (THEODORIDIS; KOUTROUMBAS et al., 1999). O objetivo do LDA é usar uma transformação linear para encontrar um conjunto otimizado de vetores discriminantes e remapear o conjunto de características original, em um outro conjunto de dimensão inferior (SHASHOA et al., 2016).

A simplicidade e robustez do LDA possibilita sua implementação em um sistema embarcado, o que viabiliza sua acessibilidade a qualquer usuário, um exemplo de sistema a se embarcar este tipo de algoritmo são os *Systems on Chip* (SoC).

Um SoC é caracterizado pela implementação de todo um sistema computacional, tais como memórias, processadores, entradas e saídas, lógicas digitais, entre outros, em um único chip de silício (CROCKETT et al., 2014). Diferente dos computadores tradicionais, que possuem seu sistema implementado a partir de módulos isolados e combinados em uma placa de circuito impresso, ou placa-mãe, os SoCs possuem como principais características um baixo custo de implementação, além de baixo consumo de potência, menor tamanho físico, maior confiabilidade e maior velocidade do sistema geral, quando comparado com um computador tradicional (CROCKETT et al., 2014). Um exemplo de um SoC é a plataforma *Zynq* que combina em um único chip processadores *Advanced Risc Machine* (ARM) e *Field Programmable Gate Array* (FPGA), esse último utilizado para configurar todos os módulos de um computador tradicional (CROCKETT et al., 2014).

Tendo em vista a grande vantagem dos SoCs sobre os computadores tradicionais, onde são implementados e executados os algoritmos de classificação, este trabalho apresenta um estudo da viabilidade da implementação em hardware e em software embarcado, do algoritmo de treinamento do classificador LDA desenvolvido previamente por (LOTTE; GUAN, 2011) na plataforma *Matlab*, realizando a comparação de consumo computacional, processamento computacional (tempo de execução), entre as implementações em hardware e software, onde a implementação em hardware consiste no mapeamento do algoritmo na plataforma FPGA, afim de paralelizar seus processos e a implementação em

software consiste em executar o algoritmo em um sistema embarcado utilizando os cores ARM, ambos da plataforma Zynq, além da comparação com sua implementação inicial em *Matlab*.

1.2 Justificativa

As aplicações das BCIs apresentam um crescente desenvolvimento, graças ao aumento do interesse em pesquisas voltadas para o tema (BLANKERTZ et al., 2006). Por ser considerado o principal processo das BCIs, a classificação requer um cuidado especial (MASON; BIRCH, 2003). Como o LDA é um classificador supervisionado, a acurácia da classificação depende inteiramente de um bom treinamento (LOTTE; GUAN, 2011). Isso requer do algoritmo de treinamento um maior esforço computacional. Como os SoCs apresentam características de baixo consumo de potência, tamanho físico pequeno e possuir todos módulos de um sistema computacional em um único chip, a implementação de algoritmos de classificação em sistema deste porte podem tornar as BCIs mais acessíveis, tendo em vista que um algoritmo de treinamento embarcado em um SoC reduzirá a necessidade de um sistema computacional tradicional, além de um melhor processamento computacional, pois sua implementação em plataformas como FPGAs torna-se possível paralelizar seus processos de execução (CROCKETT et al., 2014).

1.3 Objetivos

Esta seção apresenta os objetivos gerais e específicos propostos a serem desenvolvidos neste presente trabalho.

1.3.1 Objetivos Gerais

- Implementar parte do algoritmo de treinamento de um classificador LDA em um sistema embarcado, utilizando um SoC na plataforma *Zynq* afim de otimizar o algoritmo, tanto em relação a tempo de execução, quanto o seu consumo de recursos.

1.3.2 Objetivos Específicos

- Explorar o algoritmo de treinamento do classificador LDA desenvolvido por (LOTTE; GUAN, 2011);
- Mapear parte deste algoritmo em arquiteturas paralelas (arquiteturas de hardware) utilizando a linguagem VHDL;

- Implementar em sistema embarcado o algoritmo de treinamento utilizando os cores ARM da *Zynq*;
- Realizar teste e validação das implementações utilizando as bases de dados do BCI Competition III, em específico o conjunto de dados BCI III *dataset* IVa.
- Realizar uma análise estatística do erro associado a ambas implementações, comparadas com a implementação na plataforma *Matlab* por (LOTTE; GUAN, 2011).

2 Referencial Teórico

Este capítulo apresenta os conceitos teóricos que abordam este trabalho, detalhando a estrutura cerebral responsável pela geração dos sinais de interesse na subseção 2.1, o sistema de captura dos sinais (a EEG) na subseção 2.2, o sistema que se refere às BCIs que realizam a tradução dos sinais em comandos para dispositivos na subseção 2.3, os detalhes técnicos a respeito dos sinais oferecidos pela base de dados *BCI Competition* na subseção 2.4, a estrutura geral de um classificador LDA na subseção 2.5, os conceitos de um SoC na subseção 2.6 e por fim o estado da arte das implementações de algoritmos de classificação na subseção 2.7.

2.1 O Cérebro

O Sistema Nervoso Central (SNC) é o responsável direto pelo comando do nosso comportamento geral (CLARK NASHAAT BOUTROS, 2005). Ele pode ser dividido em três principais áreas: tronco encefálico ou medula espinhal, o cérebro e o cerebelo (Figura 1) (ALVAREZ; LEMOS, 2006).

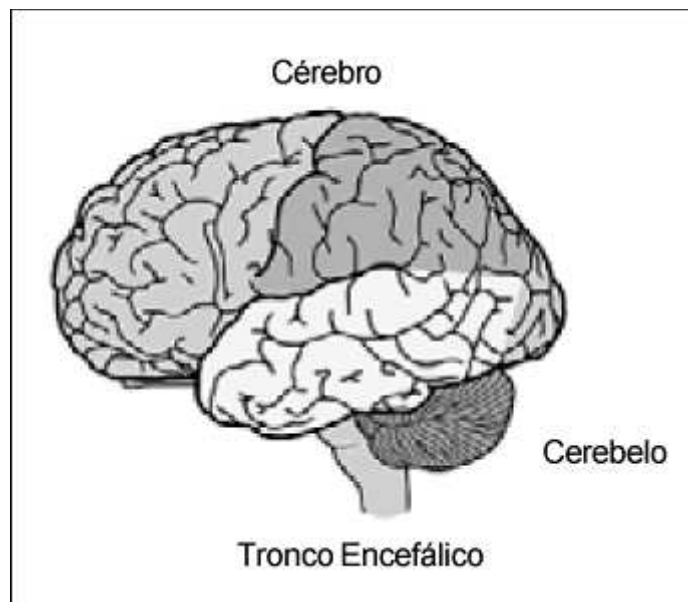


Figura 1 – Três principais áreas do cérebro (ALVAREZ; LEMOS, 2006)

O tronco encefálico, parte caudal do SNC recebe e processa todos os sinais dos sensores corporais, além de realizar o controle dos membros e do tronco humano (KANDEL, 2013).

O cérebro é o processador do SNC, nele são recebidos e processados os sinais da

medula espinhal, além de fornecer todos os sinais de controle para a própria medula, que por sua vez distribui os sinais para os membros e tronco (KANDEL, 2013).

O cerebelo é localizado logo atrás do tronco encefálico que se conectam através de fibras chamadas de pedúnculos (KANDEL, 2013), é a segunda maior estrutura do SNC contendo mais da metade dos neurônios cerebrais, (SIULY, 2012) é responsável pelo mapeamento em volta do indivíduo, ou seja, sua percepção (ALVAREZ; LEMOS, 2006), além do controle da região motora e a memória de movimentos (SIULY, 2012; ALVAREZ; LEMOS, 2006)

Os sinais de controle e de sensoriamento são sinais elétricos armazenados nos neurônios (KANDEL, 2013). Suas características eletroquímicas permitem que os neurônios armazenem e transmitam sinais elétricos para qualquer outra célula receptora mesmo que a longa distâncias (SIULY, 2012). Sua estrutura pode ser dividida em três principais partes: 1) Corpo da célula, 2) axônio e 3) dendrito, conforme apresentado na Figura(2).

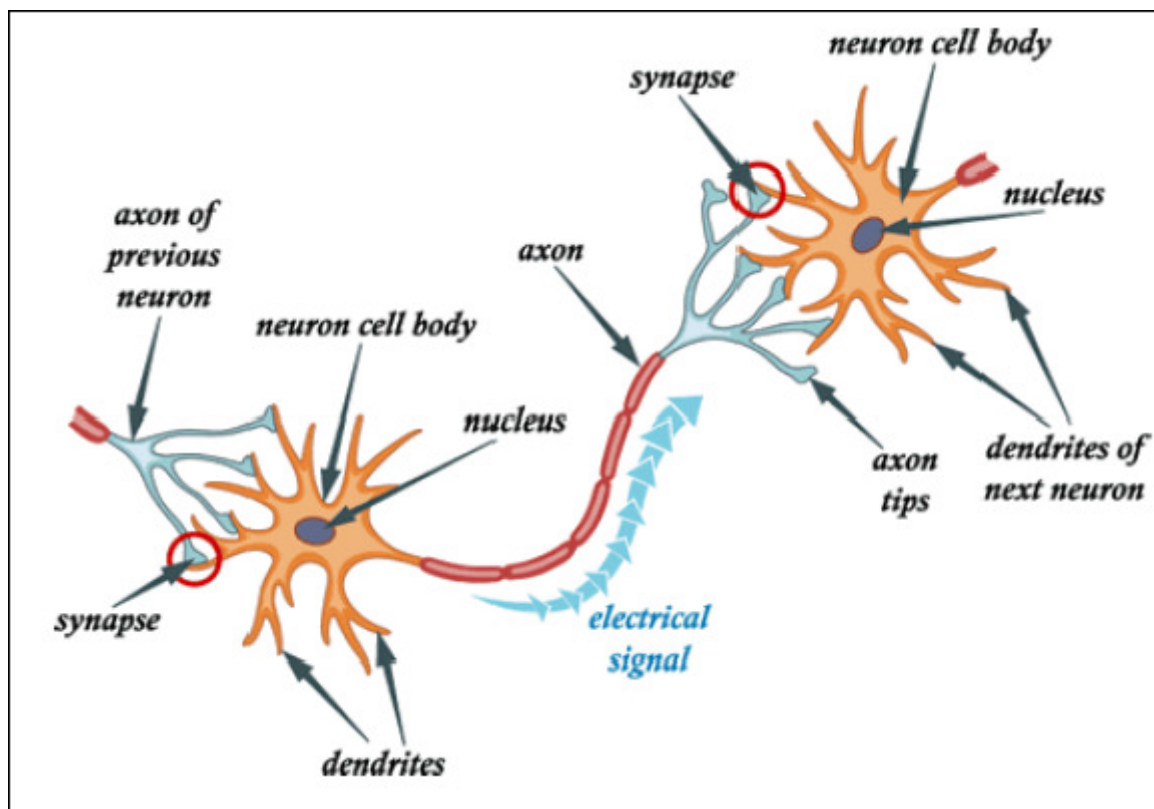


Figura 2 – Estrutura de um neurônio (SIULY, 2012)

A ativação dos neurônios é dada através de um gradiente de concentração eletroquímico, resultando na produção de uma corrente elétrica cerebral que flui através do axônio, o que torna possível a comunicação com outras células (SIULY, 2012). A corrente elétrica cerebral consiste comumente de íons de Na^+ , K^+ , Ca^{++} e Cl^- (TEPLAN et al., 2002).

As atividades elétricas cerebrais podem ser divididas em dois conjuntos: os potenciais de ação (AP) e os potenciais de sinapse (SP) (SIULY, 2012).

Sempre que um potencial de sinapse atinge o limite de condução, ou seja, se o potencial é carregado (estimulado por alguma atividade cerebral) até o ponto em que se é gerada uma corrente elétrica no axônio, um AP é iniciado (SIULY, 2012).

Como dito antes, o cerebelo é o responsável pelo controle da percepção e dos movimentos, além da memória de movimento, portanto a percepção, os movimentos e a imagética motora são os estímulos que iniciam uma AP na região do cerebelo (ALVAREZ; LEMOS, 2006).

2.2 Eletroencefalografia

A Eletroencefalografia (EEG) é um somatório de potenciais elétricos (na faixa de micro volt) representados graficamente em tempo real. [MONITORAMENTO DO CÉREBRO COM ELETROENCEFALOGRAFIA E O ÍNDICE BISPECTRAL DERIVADO DO ELETROENCEFALOGRAMA DURANTE A CIRURGIA CARDÍACA], esses potenciais refletem a atividade elétrica do cérebro humano. É muito usado por profissionais de saúde e cientistas para avaliar e estudar funções cerebrais e diagnosticar distúrbios neurológicos.[LIVRO BCI]

A técnica popular que registra sinais do cérebro usando eletrodos estrategicamente colocados sobre o couro cabeludo do paciente portanto, não invasiva, é muito importante nos diagnósticos de doenças neurológicas. Em um exame de EEG, dependendo da sua aplicação, podem ser usados de 1 a 256 eletrodos que iram captar os sinais de forma paralela, cada par de eletrodos é chamado de um canal, portanto com 256 eletrodos tem-se uma leitura de 128 canais, também conhecido como EEG multicanais, cada canal recebe um amplificador de instrumentação e a um equipamento de gravação do EEG.

Devido às diferentes camadas e tecidos interpostos entre a fonte do sinal (atividade neural no córtex) e os sensores colocados no couro cabeludo, tudo isso atuando como um filtro passa-baixa, faz com o que a resolução espacial do EEG seja ruim.[RAO R.P.N.-BRAIN-COMPUTER INTERFACING AN INTRODUCTION-CAMBRIDGE UNIVERSITY PRESS (2013)], em contra partida a resolução temporal é boa, na casa de miléssegundos.

Com a baixa amplitude desse tipo de sinal, ele pode sofrer facilmente atenuações, contaminações em seu espectro, como por exemplo interferência da rede elétrica de 60 Hz e seus harmônicos associados, e principalmente atividades musculares exercidas no ato da extração dos sinais. Portanto no momento do exame os pacientes são orientados a não realizar nenhum tipo de movimento. A instrumentação eletrônica faz um grande trabalho

ao usar filtros e algoritmos que proporcionam a visualização e leitura desses sinais por um especialista da área.

2.3 *Brain Computer Interface*

2.4 *BCI Competition*

A *BCI Competition* é uma competição que promove o desenvolvimento e melhoria da tecnologia voltada para as BCIs, onde são submetidas diferentes técnicas de análise de dados cerebrais (BLANKERTZ et al., 2006). Já foram realizadas quatro edições da competição, nos anos de 2001, 2002, 2004 e 2008 (BLANKERTZ et al., 2006). Em cada uma destas competições são fornecidos publicamente sinais cerebrais, adquiridos em laboratórios especializados (BLANKERTZ et al., 2006). Estes sinais são divididos em dois conjuntos de dados, os dados de treinamento e os dados de teste, que são utilizados para treinamento e teste dos algoritmos dos participantes (BLANKERTZ et al., 2006).

2.4.1 *BCI Competition III*

O objetivo do *BCI Competition III* é validar as metodologias de classificação e processamento de sinais cerebrais aplicados em BCIs desenvolvidas pelos participantes da competição (BLANKERTZ et al., 2005). Esta edição foi realizada entre Maio e Junho de 2004, onde foram disponibilizados 8 *datasets* (I, II, IIIa, IIIb, IVa, IVb, IVc e V), desenvolvidos com a participação de 49 laboratórios especializados (BLANKERTZ et al., 2006). Para cada um dos *datasets* foram realizadas diferentes tarefas que estimulam atividades cerebrais durante a aquisição dos sinais, configurando assim um objetivo específico para cada um dos *datasets* (BLANKERTZ et al., 2005).

2.4.2 *BCI Competition III - Dataset IVa*

O *dataset IVa* refere-se a um conjunto de dados adquiridos através da EEG, onde os sujeitos (indivíduos nos quais foram capturados os sinais) foram submetidos a estimular o cérebro por imagética motora, através de indicações visuais (BLANKERTZ et al., 2006). Os indivíduos foram submetidos a realizarem três tarefas, indicadas visualmente por 3.5s cada tarefa, sendo interrompidas em períodos aleatórios entre 1.75s e 2.25s, onde o sujeito era submetido a um período de relaxamento (BLANKERTZ et al., 2006). As três tarefas de imagéticas motoras foram: (L) mão esquerda, (R) mão direita e (F) pé direito (BLANKERTZ et al., 2006).

Foram adquiridos sinais de 5 sujeitos rotulados em *aa*, *al*, *av*, *aw* e *ay*, onde foram executadas no total 280 tarefas por cada sujeito, algumas previamente rotulada (dados de

treinamento) em cada instante de tempo onde a tarefa foi executada, outras não rotuladas (dados de teste) (BLANKERTZ et al., 2005). Estes sinais foram adquiridos, tratados e disponibilizados por *Fraunhofer FIRST, Intelligent Data Analysis Group (Head: Klaus-Robert Müller), and Charité University Medicine Berlin, Campus Benjamin Franklin, Department of Neurology, Neurophysics Group* (BLANKERTZ et al., 2006). A tabela 1 apresenta a quantidade de tarefas previamente classificadas (nomeados #tr) e a quantidade de tarefas não classificadas (nomeadas #te) para cada sujeito.

Tabela 1 – Número de tarefas rotuladas e não rotuladas por sujeito (BLANKERTZ et al., 2006).

| Sujeitos | #tr | #te |
|----------|-----|-----|
| aa | 168 | 112 |
| al | 224 | 56 |
| av | 84 | 196 |
| aw | 56 | 224 |
| ay | 28 | 252 |

2.5 Linear Discriminant Analysis

Supondo a existência de um conjunto de dados \vec{x} , com características multivariadas, e que cada dado seja conhecido devido ser proveniente de uma das classes y , tal que são predefinidas com características semelhantes aos dados. As classes podem ser exemplificadas como sendo: espécies de plantas, presença ou ausência de uma condição médica específica, diferentes tipos de tumores, tipos de veículos automotores entre outros. Para separar as classes conhecidas uma das outras, é atribuído um rótulo a cada classe, então os dados são representados como dados rotulados (IZENMAN, 2008).

Devido a indispensabilidade de diminuir as dimensões dos dados de um determinado conjunto, o objetivo do LDA é reduzir a dimensão do espaço de conjunto de dados, resolvendo o inconveniente da sobreposição (SINGH; PRAKASH; CHANDRASEKARAN, 2016).

No reconhecimento de padrões supervisionados, o classificador é desenvolvido explorando as informações já conhecidas e contidas num vetor de treinamento disponibilizado previamente (IZENMAN, 2008). O LDA tem a proposta de encontrar uma transformação ótima para maximizar a proporção de acordo com a equação 2.1.

$$J(W) = \frac{W^T S_B W}{W^T S_W W} \quad (2.1)$$

Onde S_B é a matriz de dispersão entre as classes e S_W a matriz de dispersão dentro das classes.

Quando o número de classes a serem separadas são apenas duas, assume-se que as funções de probabilidade são normalmente distribuídas

2.6 *System-on-Chip*

System-on-Chip (SoC), implica que todo sistema que contém funcionalidades implementadas em hardware e software se encontra em um único chip de silício, combinando processamento, lógica de alta velocidade, interface, memória entre outros componentes ao invés de uma implementação maior em vários chips físicos diferentes agrupados em uma placa de circuito impresso (CROCKETT et al., 2014).

São vários os argumentos a favor da escolha de um SoC a uma placa de circuito impresso, pode-se citar que a solução é de menor custo, viabiliza transferência de dados mais rápidas e seguras entre vários elementos do sistema, possui maior velocidade geral do sistema, menor consumo de energia entre vários outros elementos que fortalecem a escolha de um SoC em sistemas discretos com componentes equivalentes (CROCKETT et al., 2014).

2.6.1 Arquitetura Simplificada de um SoC

O conjunto da arquitetura pode se dividir em dois sistemas, sistema de hardware e sistema de software.

No **Sistema de Hardware** encontram-se todos os periféricos, memórias e processadores, para conecta-los existe um barramento de comunicação responsável por isso. Já no **Sistema de Software**, o software é do tipo stack, e funciona sobre o processador, que também sustenta os aplicativos que geralmente têm um Sistema Operacional (SO) para gerência, uma camada em um nível mais baixo faz a interface com o sistema de hardware (CROCKETT et al., 2014).

Diagrama

2.6.2 *Zybo-Board*

A Zybo é uma plataforma de desenvolvimento (figura 3), que é equipada com o Z-7010 este que é o menor integrante da família Xilinx Zynq-7000. Baseado na arquitetura Xilinx® *All-Programmable System-on-Chip* (AP SoC) o Z-7010 possui em seu encapsulamento um processador ARM Cortex-A9 de dois núcleos e um Xilinx 7-Series (FPGA), Esse chip combinado com memórias, entradas e saídas de áudio e vídeo, USB, Ethernet, slot SD entre outros periféricos e suportes proporciona um *kit* para desenvolvedores que procuram uma plataforma de baixo custo sem perder a capacidade de processamento do Zynq AP SoC. (store Digilent)

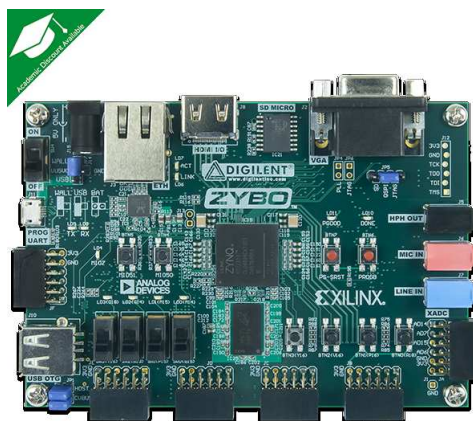


Figura 3 – Placa de Desenvolvimento Zybo-Board

2.7 Estado da Arte

3 Proposta Metodológica

Este capítulo apresenta os procedimentos e métodos a serem utilizados para desenvolvimento deste presente trabalho, detalhando as metodologias *Bottom-Up*, utilizadas nas implementações tanto em hardware quanto em software, além das linguagens de programação utilizadas nas implementações e suas respectivas ferramentas. Por fim é apresentado um cronograma de atividades.

3.1 Implementação em hardware

Esta seção apresenta os dispositivos e ferramentas a serem utilizados neste presente trabalho, além das metodologias a serem desenvolvidas, para implementação do algoritmo de treinamento do classificador LDA em Hardware.

3.1.1 Dispositivos e ferramentas

Visando as grandes vantagens de utilização dos SoCs, o algoritmo de treinamento do classificador LDA será implementado nas lógicas digitais da FPGA na plataforma Zynq da placa *Zybo-Board*, utilizando os *IP-Cores* e a linguagem de programação *VHSIC Hardware Description Language* (VHDL), a fim de paralelizar os processos do algoritmo. Para o mapeamento do algoritmo em VHDL será utilizado a plataforma *Vivado HLS*, que possui todas as ferramentas necessárias para descrição, simulação, implementação e mapeamento hardware que descreve o algoritmo na FPGA.

3.1.2 Metodologias de desenvolvimento

Para desenvolvimento do algoritmo será adotada a metodologia *bottom-up*, onde cada sub-bloco desenvolvido é testado antes de ser inserido ao bloco principal, bloco de integração de todos sub-blocos do projeto, também conhecido como *Top module*. Após a implementação e simulação do *Top module*, será utilizado para teste e validação do hardware o *dataset IVa* do *BCI Competition III*, além de uma análise estatística do erro apresentado quando comparado com o desenvolvimento na plataforma *Matlab* por (LOTTE; GUAN, 2011). Os dados foram adquiridos e armazenados utilizando amplificadores do tipo *BrainAmp* e uma capa de eletrodos de 128 canais. Foram utilizados 118 canais de EEG posicionados de acordo com o sistema 10/20. Cada um destes canais foram filtrados em banda passante, utilizando um filtro *butterworth* de quinta ordem entre as frequências de 0.05 e 200 Hz, posteriormente foram digitalizados com uma frequência de amostragem de 1 kHz com precisão de 16 bits, apresentando uma resolução de 0.1 μV , além disso

também foram disponibilizados os mesmos dados com uma frequência de amostragem de 100 Hz ([BLANKERTZ et al., 2005](#)).

Para validação da eficiência do SoC serão coletados os dados das seguintes características:

- Consumo de hardware: LUTs, FFs, blocos de DSP, blocos de memória RAM, I/O, MUX;

3.2 Implementação em software

3.3 Cronograma de Atividades

Referências

ALVAREZ, A.; LEMOS, I. d. C. Os neurobiomecanismos do aprender: a aplicação de novos conceitos no dia-a-dia escolar e terapêutico. *Revista Psicopedagogia*, Associação Brasileira de Psicopedagogia, v. 23, n. 71, p. 181–190, 2006. Citado 4 vezes nas páginas 17, 31, 32 e 33.

BLANKERTZ, B. et al. *BCI Competition III*. 2005. Disponível em: <http://www.bbc.de/competition/iii/desc_IVa.html>. Citado 3 vezes nas páginas 34, 35 e 40.

BLANKERTZ, B. et al. The bci competition iii: validating alternative approaches to actual bci problems. *IEEE Transactions on Neural Systems and Rehabilitation Engineering*, v. 14, n. 2, p. 153–159, June 2006. ISSN 1534-4320. Citado 4 vezes nas páginas 19, 29, 34 e 35.

BRUNELLI, R. *Template matching techniques in computer vision: theory and practice*. [S.l.]: John Wiley & Sons, 2009. Citado na página 27.

CLARK NASHAAT BOUTROS, M. M. D. *The Brain and Behavior: An Introduction to Behavioral Neuroanatomy*. 2. ed. Cambridge University Press, 2005. ISBN 0521840503,9780521840507. Disponível em: <<http://gen.lib.rus.ec/book/index.php?md5=D00D7BF8931D1C6313FA52A331272806>>. Citado na página 31.

CROCKETT, L. H. et al. *The Zynq Book: Embedded Processing with the Arm Cortex-A9 on the Xilinx Zynq-7000 All Programmable Soc*. [S.l.]: Strathclyde Academic Media, 2014. Citado 3 vezes nas páginas 28, 29 e 36.

IZENMAN, A. J. *Modern multivariate statistical techniques*. [S.l.]: Springer, 2008. v. 1. Citado na página 35.

KANDEL, e. a. E. R. *Principles of Neural Science*. 5. ed. The address: Mc Graw Hill, 2013. v. 2. An optional note. ISBN 978007181001-2. Citado 3 vezes nas páginas 27, 31 e 32.

LOTTE, F. *Study of electroencephalographic signal processing and classification techniques towards the use of brain-computer interfaces in virtual reality applications*. Tese (Doutorado) — INSA de Rennes, 2008. Citado 2 vezes nas páginas 27 e 28.

LOTTE, F.; GUAN, C. Regularizing common spatial patterns to improve bci designs: Unified theory and new algorithms. *IEEE Transactions on Biomedical Engineering*, v. 58, n. 2, p. 355–362, Feb 2011. ISSN 0018-9294. Citado 5 vezes nas páginas 27, 28, 29, 30 e 39.

MASON, S. G.; BIRCH, G. E. A general framework for brain-computer interface design. *IEEE Transactions on Neural Systems and Rehabilitation Engineering*, v. 11, n. 1, p. 70–85, March 2003. ISSN 1534-4320. Citado 2 vezes nas páginas 27 e 29.

SHASHOA, N. A. A. et al. Classification depend on linear discriminant analysis using desired outputs. In: IEEE. *Sciences and Techniques of Automatic Control and Computer*

Engineering (STA), 2016 17th International Conference on. [S.l.], 2016. p. 328–332. Citado na página 28.

SINGH, A.; PRAKASH, B. S.; CHANDRASEKARAN, K. A comparison of linear discriminant analysis and ridge classifier on twitter data. In: IEEE. *Computing, Communication and Automation (ICCCA), 2016 International Conference on*. [S.l.], 2016. p. 133–138. Citado na página 35.

SIULY, S. *Analysis and Classification of EEG Signals*. Dissertação (Mestrado) — University of Southern Queensland, <https://www.springer.com/gp/book/9783319476520>, 7 2012. Citado 4 vezes nas páginas 17, 27, 32 e 33.

SIULY, S.; LI, Y.; ZHANG, Y. *EEG Signal Analysis and Classification: Techniques and Applications*. [S.l.]: Springer, 2017. Citado 2 vezes nas páginas 27 e 28.

TEPLAN, M. et al. Fundamentals of eeg measurement. *Measurement science review*, v. 2, n. 2, p. 1–11, 2002. Citado na página 32.

THEODORIDIS, S.; KOUTROUMBAS, K. et al. *Pattern recognition*. [S.l.]: Academic press London, 1999. Citado na página 28.

Apêndices

APÊNDICE A – Primeiro Apêndice

Texto do primeiro apêndice.

APÊNDICE B – Segundo Apêndice

Texto do segundo apêndice.

Anexos

ANEXO A – Primeiro Anexo

Texto do primeiro anexo.

ANEXO B – Segundo Anexo

Texto do segundo anexo.