



Universidade de Brasília – UnB  
Faculdade UnB Gama – FGA  
Engenharia Eletrônica

**Estudo Comparativo da Implementação em  
Sistemas em Chip do Algoritmo de Treinamento  
LDA Aplicado em Interfaces Cérebro Máquina**

Autor: Heleno da Silva Moraes, Oziel da Silva Santos  
Orientador: Dr, Marcus Vinícius Chaffim Costa

Brasília, DF  
2017





Heleno da Silva Moraes, Oziel da Silva Santos

# **Estudo Comparativo da Implementação em Sistemas em Chip do Algoritmo de Treinamento LDA Aplicado em Interfaces Cérebro Máquina**

Monografia submetida ao curso de graduação em Engenharia Eletrônica da Universidade de Brasília, como requisito parcial para obtenção do Título de Bacharel em Engenharia Eletrônica.

Universidade de Brasília – UnB

Faculdade UnB Gama – FGA

Orientador: Dr, Marcus Vinícius Chaffim Costa

Coorientador: PhD, Daniel Mauricio Muñoz Arboleda

Brasília, DF

2017

---

Heleno da Silva Moraes, Oziel da Silva Santos

Estudo Comparativo da Implementação em Sistemas em Chip do Algoritmo de Treinamento LDA Aplicado em Interfaces Cérebro Máquina/ Heleno da Silva Moraes, Oziel da Silva Santos. – Brasília, DF, 2017-

47 p. : il. (algumas color.) ; 30 cm.

Orientador: Dr, Marcus Vinícius Chaffim Costa

Trabalho de Conclusão de Curso – Universidade de Brasília – UnB  
Faculdade UnB Gama – FGA , 2017.

1. Sistemas em Chip. 2. BCI. I. Dr, Marcus Vinícius Chaffim Costa. II. Universidade de Brasília. III. Faculdade UnB Gama. IV. Estudo Comparativo da Implementação em Sistemas em Chip do Algoritmo de Treinamento LDA Aplicado em Interfaces Cérebro Máquina

CDU 02:141:005.6

---

# Errata

Elemento opcional da ??, 4.2.1.2). **Caso não deseje uma errata, deixar todo este arquivo em branco.** Exemplo:

FERRIGNO, C. R. A. **Tratamento de neoplasias ósseas apendiculares com reimplantação de enxerto ósseo autólogo autoclavado associado ao plasma rico em plaquetas:** estudo crítico na cirurgia de preservação de membro em cães. 2011. 128 f. Tese (Livre-Docência) - Faculdade de Medicina Veterinária e Zootecnia, Universidade de São Paulo, São Paulo, 2011.

Folha	Linha	Onde se lê	Leia-se
1	10	auto-conclavo	autoconclavo



Heleno da Silva Moraes, Oziel da Silva Santos

# **Estudo Comparativo da Implementação em Sistemas em Chip do Algoritmo de Treinamento LDA Aplicado em Interfaces Cérebro Máquina**

Monografia submetida ao curso de graduação em Engenharia Eletrônica da Universidade de Brasília, como requisito parcial para obtenção do Título de Bacharel em Engenharia Eletrônica.

Trabalho aprovado. Brasília, DF, 01 de junho de 2013 – Data da aprovação do trabalho:

---

**Dr, Marcus Vinícius Chaffim Costa**  
Orientador

---

**Titulação e Nome do Professor**  
**Convidado 01**  
Convidado 1

---

**Titulação e Nome do Professor**  
**Convidado 02**  
Convidado 2

Brasília, DF  
2017





**A dedicatória é opcional. Caso não deseje uma, deixar todo este arquivo em  
branco.**

*Este trabalho é dedicado às crianças adultas que,  
quando pequenas, sonharam em se tornar cientistas.*



# Agradecimentos

A inclusão desta seção de agradecimentos é opcional, portanto, sua inclusão fica a critério do(s) autor(es), que caso deseje(em) fazê-lo deverá(ão) utilizar este espaço, seguindo a formatação de *espaço simples e fonte padrão do texto (sem negritos, aspas ou itálico)*.

**Caso não deseje utilizar os agradecimentos, deixar toda este arquivo em branco.**



A epígrafe é opcional. Caso não deseje uma, deixe todo este arquivo em  
branco.

*“Não vos amoldeis às estruturas deste mundo,  
mas transformai-vos pela renovação da mente,  
a fim de distinguir qual é a vontade de Deus:  
o que é bom, o que Lhe é agradável, o que é perfeito.  
(Bíblia Sagrada, Romanos 12, 2)*



# Resumo

**Palavras-chaves:** BCI; LDA; FPGA; SoC; Sistemas Embarcados.





# Abstract

**Key-words:** BCI; LDA; FPGA; SoC; Embedded Systems.



## Lista de ilustrações



## Lista de tabelas



# Lista de abreviaturas e siglas

BCI	<i>Brain Computer Interface</i>
EEG	Eletroencefalograma
SVM	<i>Support Vector Machine</i>
LDA	<i>Linear Discriminant Analysis</i>
SoC	<i>System on Chip</i>
FPGA	<i>Field Programmable Array</i>





# Lista de símbolos

$\in$	Pertence
-------	----------



# Sumário

<b>1</b>	<b>INTRODUÇÃO</b>	<b>27</b>
<b>1.1</b>	<b>Contextualização</b>	<b>27</b>
<b>1.2</b>	<b>Justificativa</b>	<b>29</b>
<b>1.3</b>	<b>Objetivos</b>	<b>29</b>
1.3.1	Objetivos Gerais	29
1.3.2	Objetivos Específicos	29
<b>2</b>	<b>REFERENCIAL TEÓRICO</b>	<b>31</b>
<b>2.1</b>	<b>O Cérebro</b>	<b>31</b>
<b>2.2</b>	<b>Eletroencefalografia</b>	<b>31</b>
<b>2.3</b>	<b><i>Brain Computer Interface</i></b>	<b>31</b>
<b>2.4</b>	<b><i>BCI Competition</i></b>	<b>31</b>
<b>2.5</b>	<b><i>Linear Discriminant Analysis</i></b>	<b>31</b>
<b>2.6</b>	<b>Sistemas em Chip (SoC)</b>	<b>31</b>
<b>2.7</b>	<b>Estado da Arte</b>	<b>31</b>
<b>3</b>	<b>PROPOSTA METODOLÓGICA</b>	<b>33</b>
<b>3.1</b>	<b>Implementação em hardware</b>	<b>33</b>
<b>3.2</b>	<b>Implementação em software</b>	<b>33</b>
	<b>REFERÊNCIAS</b>	<b>35</b>
	<b>APÊNDICES</b>	<b>37</b>
	<b>APÊNDICE A – PRIMEIRO APÊNDICE</b>	<b>39</b>
	<b>APÊNDICE B – SEGUNDO APÊNDICE</b>	<b>41</b>
	<b>ANEXOS</b>	<b>43</b>
	<b>ANEXO A – PRIMEIRO ANEXO</b>	<b>45</b>
	<b>ANEXO B – SEGUNDO ANEXO</b>	<b>47</b>



# 1 Introdução

Este capítulo apresenta uma visão geral do projeto, apresentando sua contextualização, assim como a proposta do presente trabalho e seus objetivos a serem alcançados.

## 1.1 Contextualização

Através de uma rede de mais de 100 bilhões de células nervosas interconectadas, o cérebro realiza o controle de nossas ações, percepções, emoções e etc (KANDEL, 2013). Estas células são chamadas de *neurônios*, e neles são armazenados sinais elétricos, que representam todas as informações de controle (SIULY; LI; ZHANG, 2017). Estes sinais podem ser medidos pela eletroencefalografia (EEG), que é um sistema de medição de sinais elétricos produzidos pelo cérebro durante atividades cerebrais (LOTTE; GUAN, 2011). Segundo (SIULY, 2012), a EEG é uma das mais importantes ferramentas para diagnosticar doenças cerebrais.

Além do diagnóstico de doenças cerebrais uma outra aplicação para os sinais adquiridos pela EEG são as *Brain Computer Interfaces* (BCIs) (LOTTE; GUAN, 2011). Uma BCI é um sistema que realiza a comunicação entre o cérebro e um computador (SIULY; LI; ZHANG, 2017), onde sua principal função é a tradução dos sinais elétricos, obtidos através da EEG, em comandos de controle para qualquer dispositivo eletrônico (SIULY; LI; ZHANG, 2017).

A BCI realiza a tradução destes comandos através de seis passos: 1) medição dos sinais provenientes de atividades cerebrais através da EEG, 2) pré-processamento destes sinais, 3) extração de características, 4) classificação, 5) tradução dos sinais em comandos e 6) realimentação (MASON; BIRCH, 2003). Um dos principais passos para a implementação de uma BCI é a **classificação**, pois é após este passo que é realizada a tradução dos sinais provenientes da EEG em comandos de controle (MASON; BIRCH, 2003).

A classificação de um sinal é caracterizada, em aprendizado de máquina e em reconhecimento de padrões, como um algoritmo que atribui parte de um dado sinal de entrada a um dado número de classes ou categorias (BRUNELLI, 2009). Um exemplo é a classificação de um e-mail como "spam" ou "não-spam". Os algoritmos que realizam a classificação dos sinais de entrada são chamados de **classificadores** (SIULY; LI; ZHANG, 2017). De acordo com (LOTTE, 2008, p. 41), "estes classificadores são capazes de aprender como identificar um vetor de características, graças aos processos de treinamentos". Estes conjuntos são formados por vetores de características previamente atribuídos às suas

respectivas classes (LOTTE, 2008).

O algoritmo que realiza a classificação é caracterizado por uma função matemática que mapeia um sinal de entrada em sua respectiva classe (LOTTE, 2008). Os classificadores preferidos pelos pesquisadores são os **classificadores supervisionados**, pois estes tipos de classificadores necessitam de um conjunto de dados de treinamento. Os dados de treinamento são um conjunto de dados previamente classificados (SIULY; LI; ZHANG, 2017). Portanto os classificadores supervisionados são implementados a partir de dois processos: *treinamento* e *testes* (SIULY; LI; ZHANG, 2017). As *Support Vector Machines* (SVM), os *Linear Discriminant Analysis* (LDA), os filtros Kalman, as árvores de decisões são alguns exemplos de classificadores do tipo supervisionados (SIULY; LI; ZHANG, 2017).

O LDA como dito anteriormente é um dos classificadores supervisionados e tem como suas principais vantagens a simplicidade e atratividade computacional, por se tratar de um classificador linear (THEODORIDIS; KOUTROUMBAS et al., 1999). O objetivo do LDA é usar uma transformação linear para encontrar um conjunto otimizado de vetores discriminantes e remapear o conjunto de características original, em um outro conjunto de dimensão inferior (SHASHOA et al., 2016).

Apesar do LDA ser um algoritmo interessante no que se trata de consumo computacional, em geral, os algoritmos de classificação são complexos computacionalmente com tempo de execução elevado, isso os tornam restritivos a poucas aplicações, para executar um código que descreve esses algoritmos é necessário uma máquina de proporções não versátil e não portátil, assim não podendo equipar projetos que têm restrições de dimensão e peso.

Um *System on Chip* (SoC) é caracterizado pela implementação de todo um sistema computacional, tais como memórias, processadores, entradas e saídas, lógicas digitais, entre outros, em um único chip de silício (CROCKETT et al., 2014). Diferente dos computadores tradicionais, que possuem seu sistema implementado a partir de módulos isolados e combinados em uma placa de circuito impresso, ou placa-mãe, os SoCs possuem como principais características um baixo custo de implementação, além de baixo consumo de potência, menor tamanho físico, maior confiabilidade e maior velocidade do sistema geral, quando comparado com um computador tradicional (CROCKETT et al., 2014). Um exemplo de um SoC é a plataforma Zynq que combina em um único chip processadores *Advanced Risc Machine* (ARM) e *Field Programmable Gate Array* (FPGA), esse último utilizado para configurar todos os módulos de um computador tradicional (CROCKETT et al., 2014).

Tendo em vista a grande vantagem dos SoCs sobre os computadores tradicionais, onde são implementados e executados os algoritmos de classificação, este trabalho apresenta um estudo da viabilidade da implementação em hardware e em software embarcado,

do algoritmo de treinamento do classificador LDA, realizando a comparação de consumo computacional, processamento computacional (tempo de execução), entre as implementações em hardware e software, onde a implementação em hardware consiste no mapeamento do algoritmo na plataforma FPGA, afim de paralelizar seus processos e a implementação em software consiste em executar o algoritmo em um sistema embarcado utilizando os cores ARM, ambos da plataforma Zynq, além da comparação com sua implementação inicial em *Matlab*.

## 1.2 Justificativa

As aplicações das BCIs apresentam um crescente desenvolvimento, graças ao aumento do interesse em pesquisas voltadas para o tema (BCI COMPETITION). Por ser considerado o principal processo das BCIs, a classificação requer um cuidado especial (MASON; BIRCH, 2003). Como o LDA é um classificador supervisionado, a acurácia da classificação depende inteiramente de um bom treinamento (LOTTE; GUAN, 2011). Isso requer do algoritmo de treinamento um maior esforço computacional. Como os SoCs apresentam características de baixo consumo de potência, tamanho físico pequeno e possuir todos módulos de um sistema computacional em um único chip, a implementação de algoritmos de classificação em sistema deste porte podem ou não tornar as BCIs mais acessíveis, tendo em vista que um algoritmo de treinamento embarcado em um SoC reduzirá a necessidade de um sistema computacional tradicional, além de um melhor processamento computacional, pois sua implementação em FPGA na plataforma *Zynq* torna-se possível paralelizar seus processos de execução (CROCKETT et al., 2014).

## 1.3 Objetivos

Esta seção apresenta os objetivos gerais e específicos propostos a serem desenvolvidos neste presente trabalho.

### 1.3.1 Objetivos Gerais

- Implementar parte do algoritmo de treinamento de um classificador LDA utilizando um SoC na plataforma Zynq afim de otimizar tanto o algoritmo, em relação a tempo de execução, quanto o seu consumo de recursos.

### 1.3.2 Objetivos Específicos

- Explorar o algoritmo de treinamento do classificador LDA desenvolvido por (LOTTE; GUAN, 2011);

- Mapear parte deste algoritmo em arquiteturas paralelas utilizando a linguagem VHDL;
- Implementar em sistema embarcado o algoritmo de treinamento utilizando os cores ARM da Zynq;
- Realizar teste e validação das implementações utilizando as bases de dados do BCI Competition III, em específico o conjunto de dados BCI III *dataset IVa*.



## 2 Referencial Teórico

### 2.1 O Cérebro

### 2.2 Eletroencefalografia

### 2.3 *Brain Computer Interface*

### 2.4 *BCI Competition*

### 2.5 *Linear Discriminant Analysis*

### 2.6 Sistemas em Chip (SoC)

### 2.7 Estado da Arte



## 3 Proposta Metodológica

3.1 Implementação em hardware

3.2 Implementação em software



# Referências

- BRUNELLI, R. *Template matching techniques in computer vision: theory and practice*. [S.l.]: John Wiley & Sons, 2009. Citado na página 27.
- CROCKETT, L. H. et al. *The Zynq Book: Embedded Processing with the Arm Cortex-A9 on the Xilinx Zynq-7000 All Programmable Soc*. [S.l.]: Strathclyde Academic Media, 2014. Citado 2 vezes nas páginas 28 e 29.
- KANDEL, e. a. E. R. *Principles of Neural Science*. 5. ed. The address: Mc Graw Hill, 2013. v. 2. An optional note. ISBN 978007181001-2. Citado na página 27.
- LOTTE, F. *Study of electroencephalographic signal processing and classification techniques towards the use of brain-computer interfaces in virtual reality applications*. Tese (Doutorado) — INSA de Rennes, 2008. Citado 2 vezes nas páginas 27 e 28.
- LOTTE, F.; GUAN, C. Regularizing common spatial patterns to improve bci designs: Unified theory and new algorithms. *IEEE Transactions on Biomedical Engineering*, v. 58, n. 2, p. 355–362, Feb 2011. ISSN 0018-9294. Citado 2 vezes nas páginas 27 e 29.
- MASON, S. G.; BIRCH, G. E. A general framework for brain-computer interface design. *IEEE Transactions on Neural Systems and Rehabilitation Engineering*, v. 11, n. 1, p. 70–85, March 2003. ISSN 1534-4320. Citado 2 vezes nas páginas 27 e 29.
- SHASHOA, N. A. A. et al. Classification depend on linear discriminant analysis using desired outputs. In: IEEE. *Sciences and Techniques of Automatic Control and Computer Engineering (STA), 2016 17th International Conference on*. [S.l.], 2016. p. 328–332. Citado na página 28.
- SIULY, S. *Analysis and Classification of EEG Signals*. Dissertação (Mestrado) — University of Southern Queensland, <https://www.springer.com/gp/book/9783319476520>, 7 2012. Citado na página 27.
- SIULY, S.; LI, Y.; ZHANG, Y. *EEG Signal Analysis and Classification: Techniques and Applications*. [S.l.]: Springer, 2017. Citado 2 vezes nas páginas 27 e 28.
- THEODORIDIS, S.; KOUTROUMBAS, K. et al. *Pattern recognition*. [S.l.]: Academic press London, 1999. Citado na página 28.



## Apêndices





# APÊNDICE A – Primeiro Apêndice

Texto do primeiro apêndice.



## APÊNDICE B – Segundo Apêndice

Texto do segundo apêndice.



# Anexos



## ANEXO A – Primeiro Anexo

Texto do primeiro anexo.





## ANEXO B – Segundo Anexo

Texto do segundo anexo.