

# QoS / TCs / VCs y arbitraje en la capa de transacción PCIe

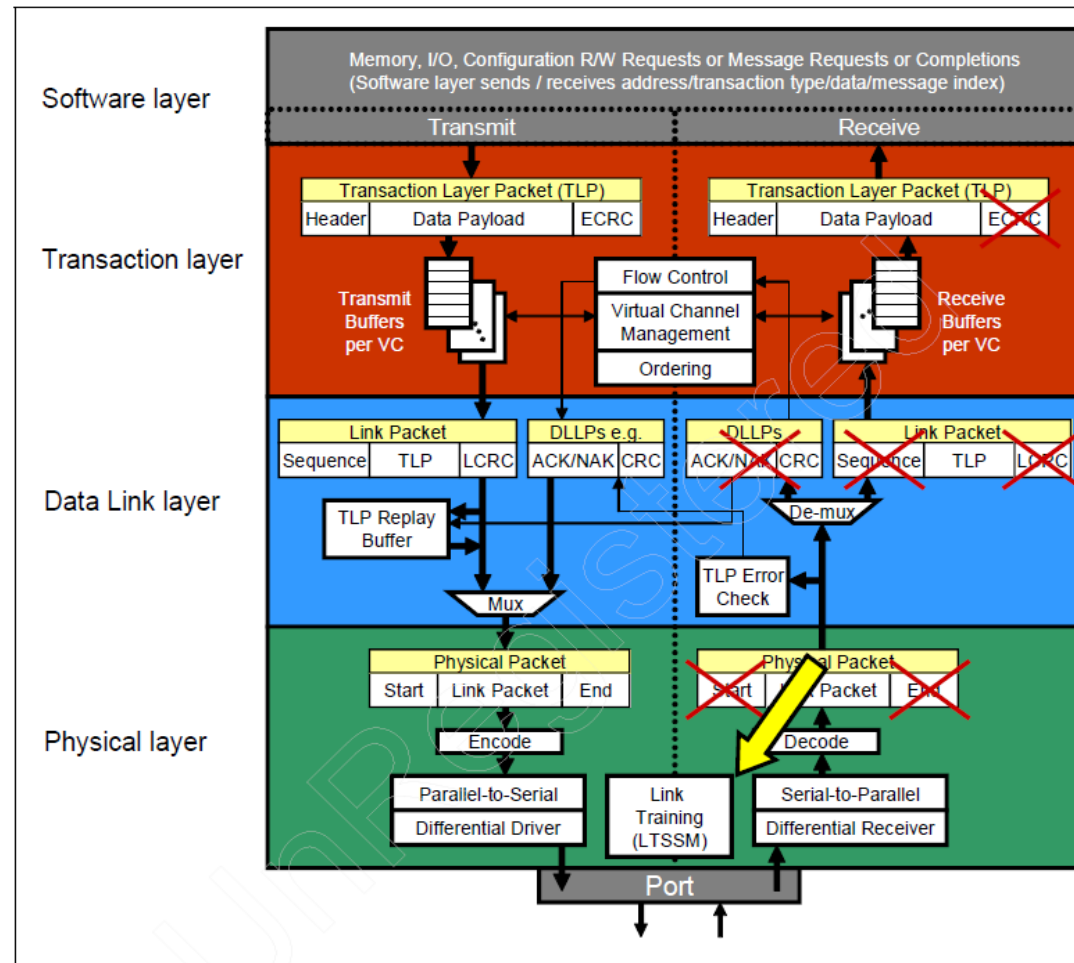
Adaptación de la arquitectura para el proyecto de diseño #2

Prof. Jorge Soto

IE-0523 Circuitos Digitales II

# Diagrama de capas PCIE

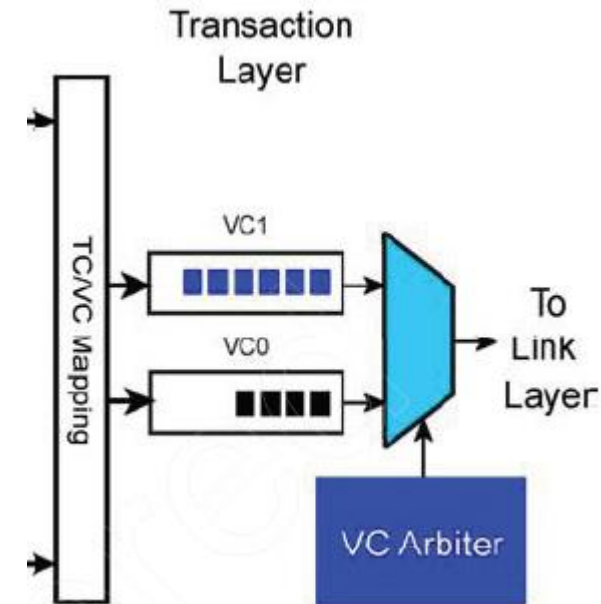
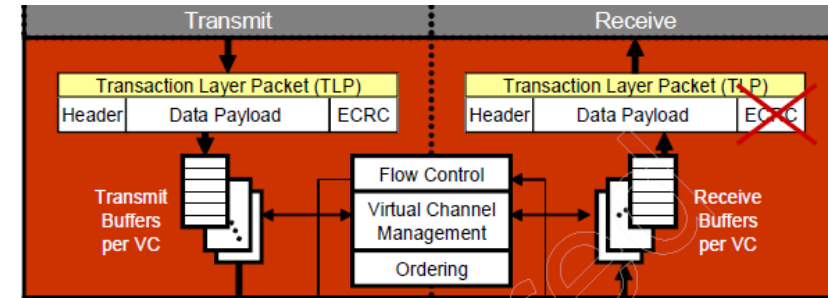
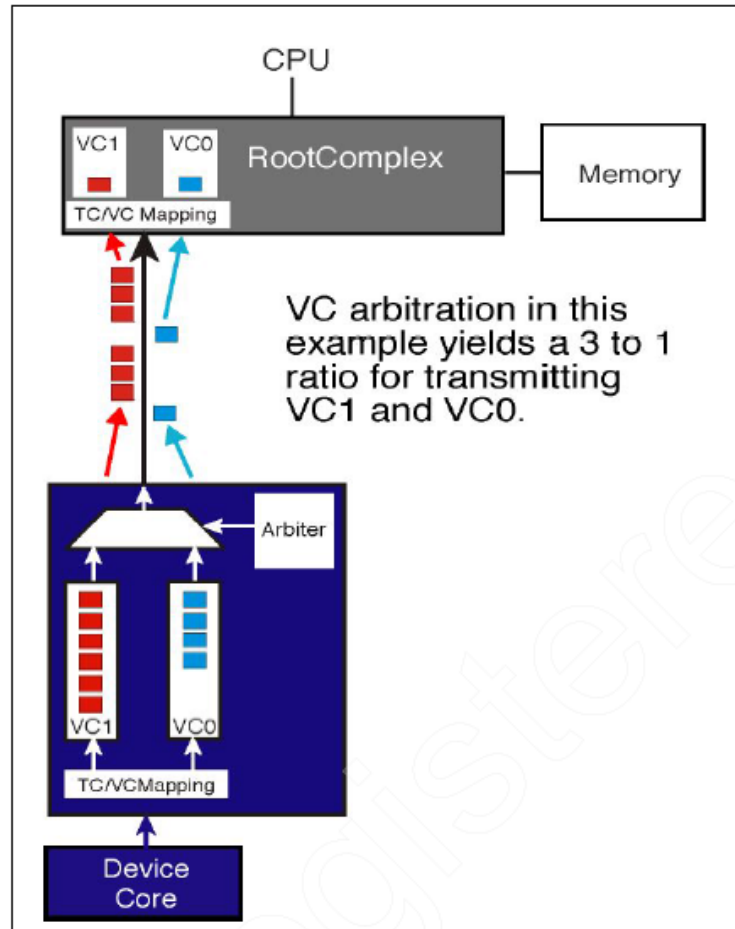
Figure 14-1: Link Training and Status State Machine Location



- Calidad de Servicio (QoS) opera en la capa de transacción
- Por lo general, cada Canal Virtual (VC) tiene una Clase de Tráfico (TC) asociada

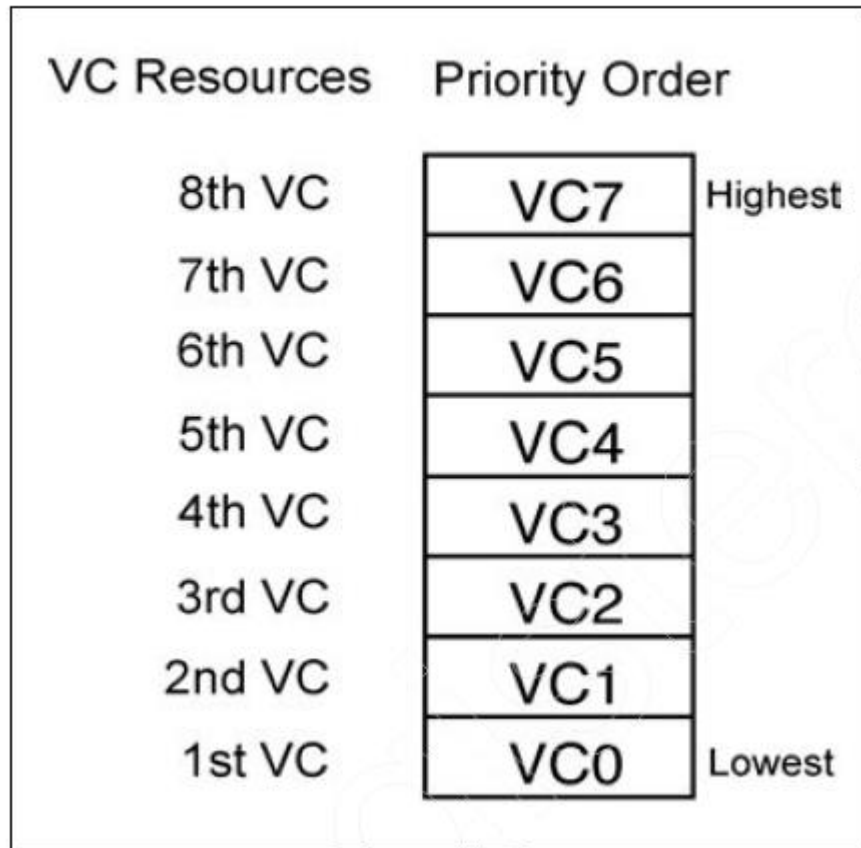
# Arbitraje en los canales virtuales (VC)

Figure 6-7: Conceptual VC Arbitration Example

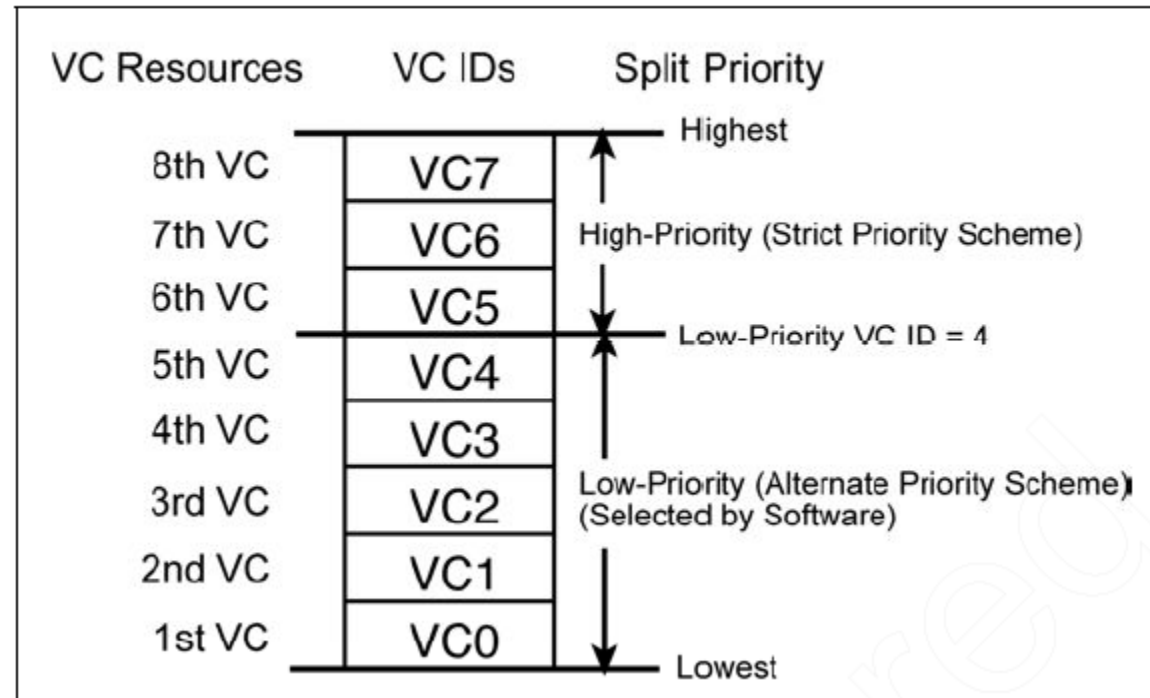


# Arbitraje en los canales virtuales

*Figure 6-8: Strict Arbitration Priority*

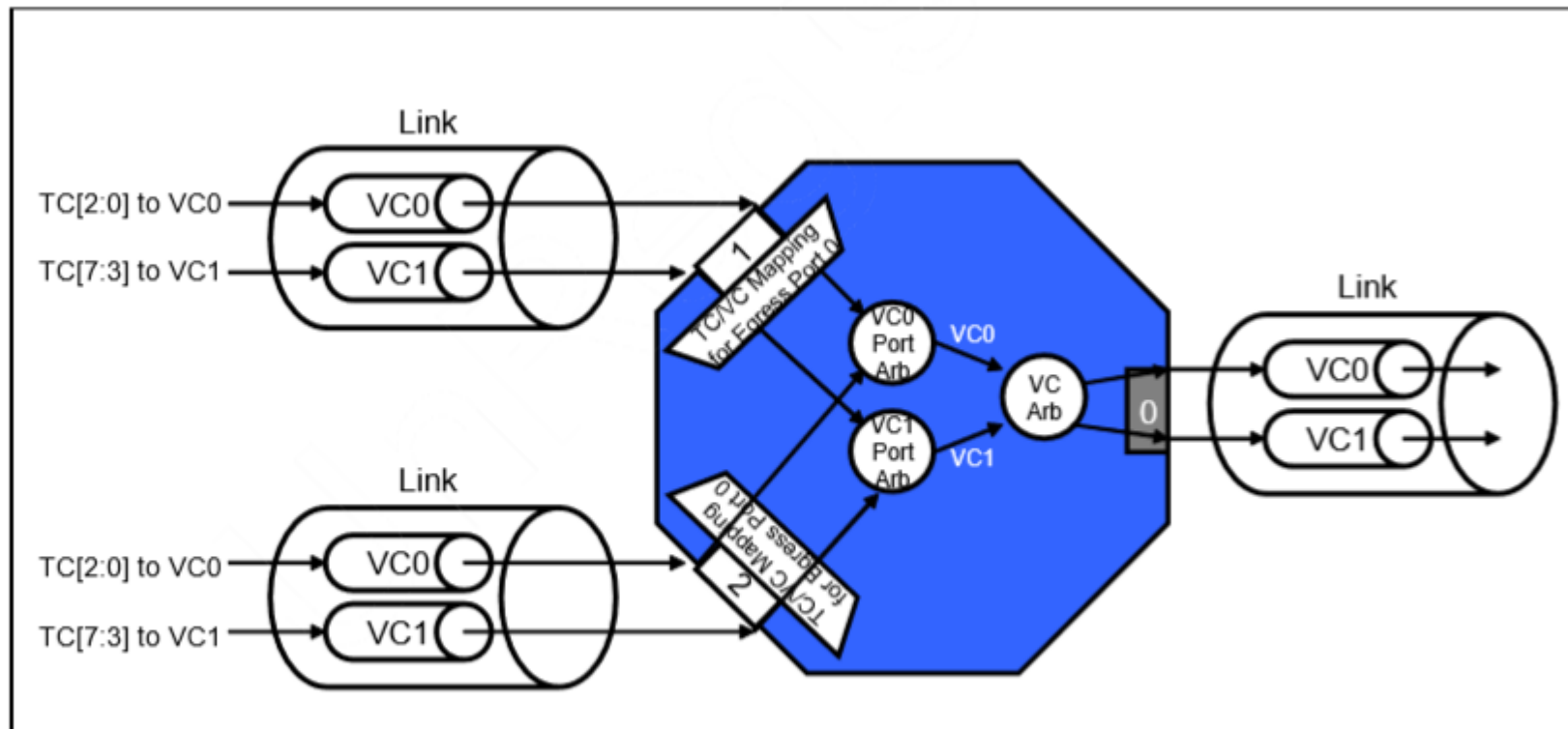


*Figure 6-11: VC Arbitration with Low- and High-Priority Implementations*



# Switches en PCIe

Figure 2-24: Switch Implements Port Arbitration and VC Arbitration Logic

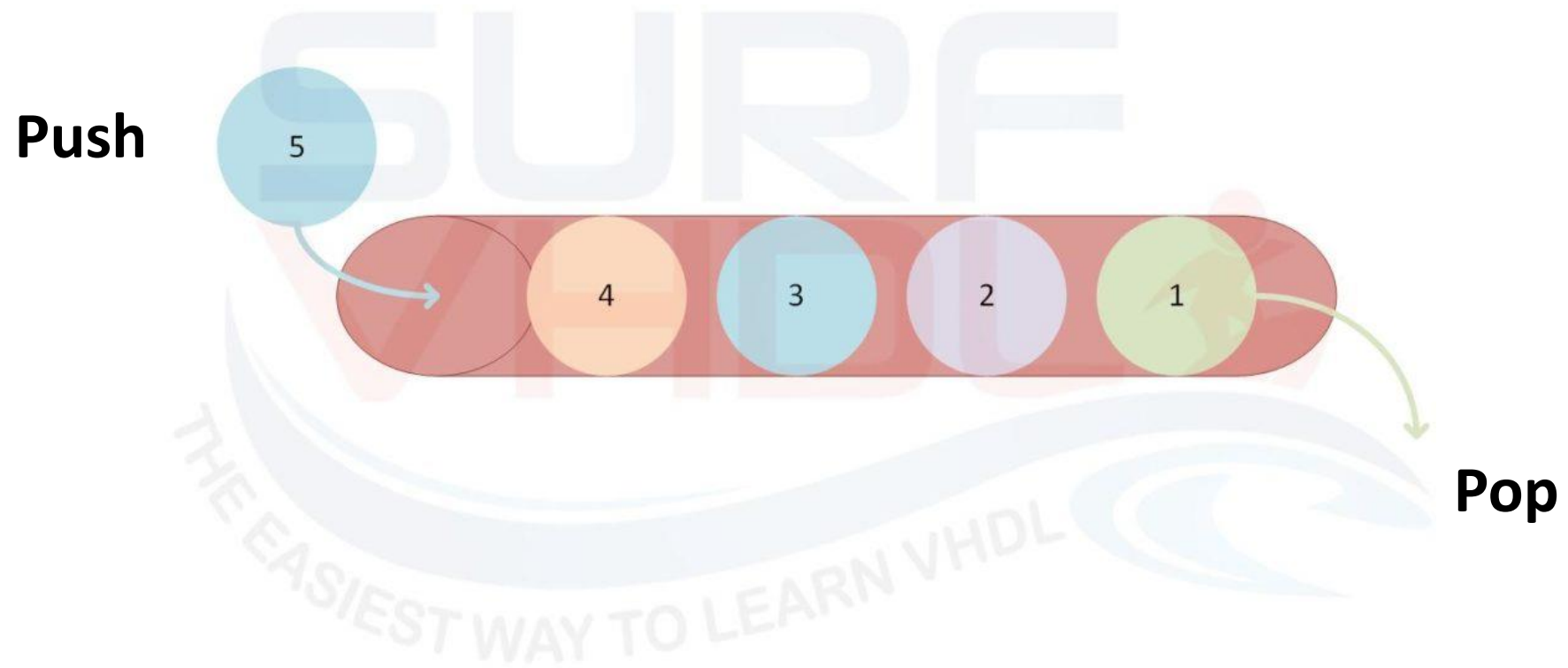


Endpoint devices and a root complex with only one port do not support port arbitration. They only support VC arbitration in the Transaction Layer.

Adaptación de la capa de transacción para el proyecto de diseño #2, IE-0523.

Módulos misceláneos para el  
proyecto de diseño #2

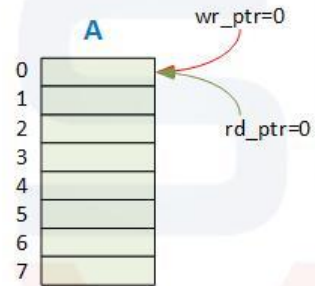
# Buffer/FIFO



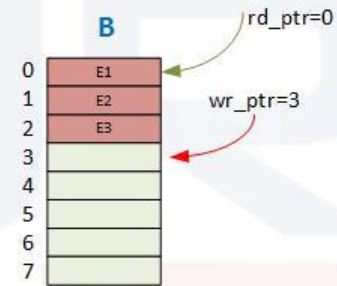
Tomado de: <http://surf-vhdl.com/what-is-a-fifo/>



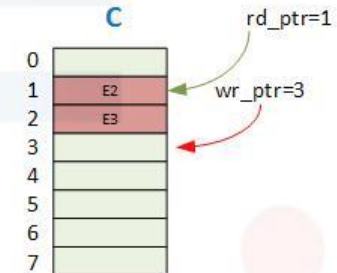
# Buffer/FIFO



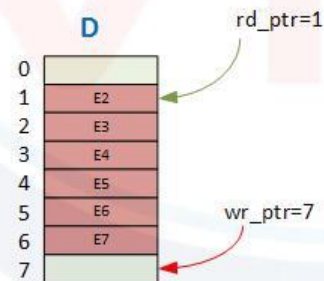
Fifo Empty



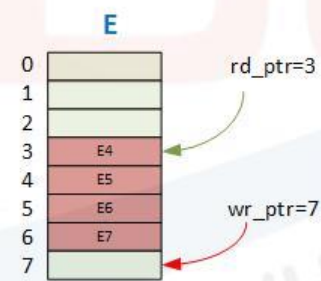
3 element written  
1 element read from



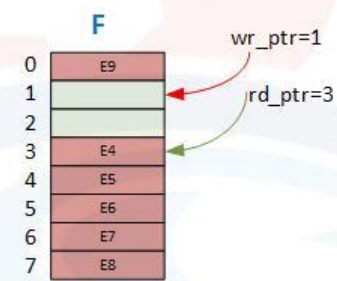
3 element written  
1 element read from



Write 4 element more

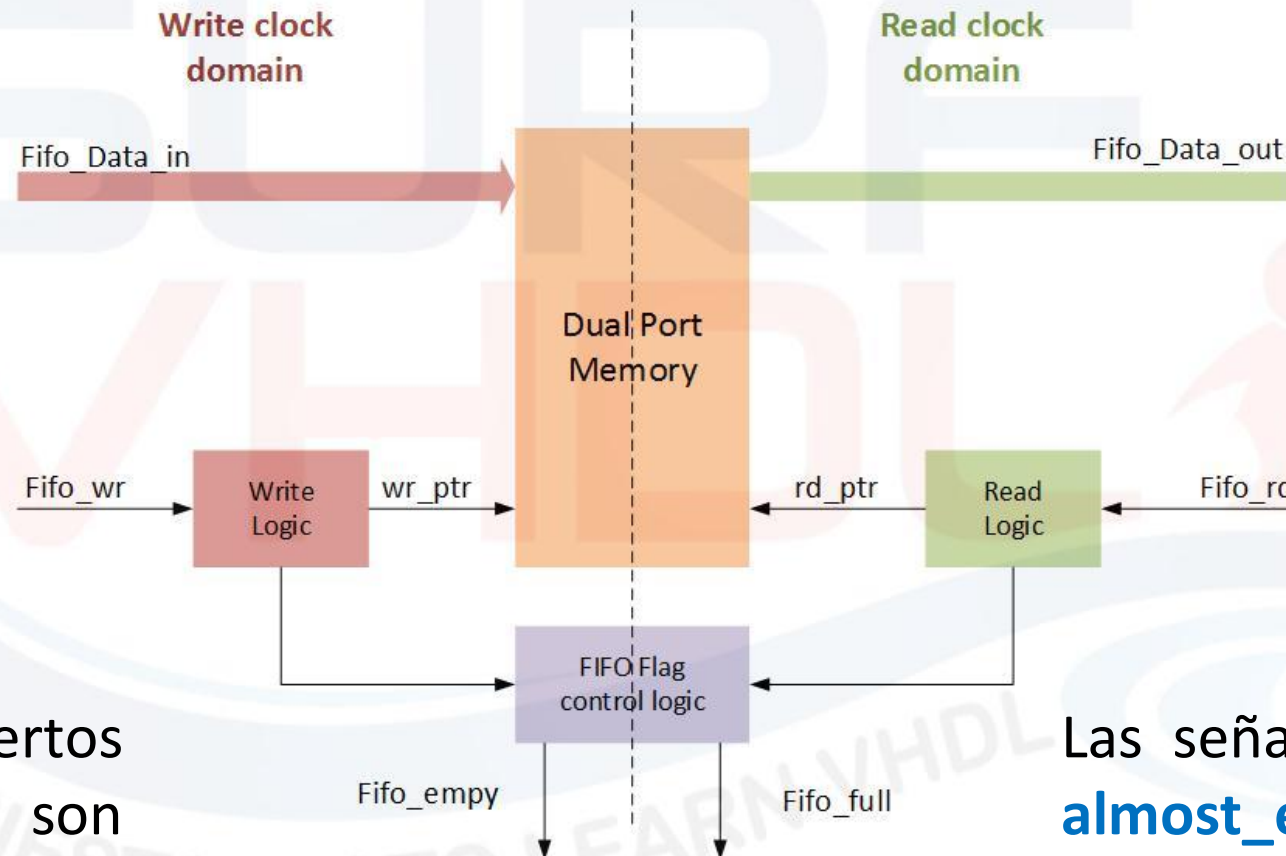


read 2 element more



write 2 element more  
Write pointer wrap around  
6 element in the FIFO

# Buffer/FIFO

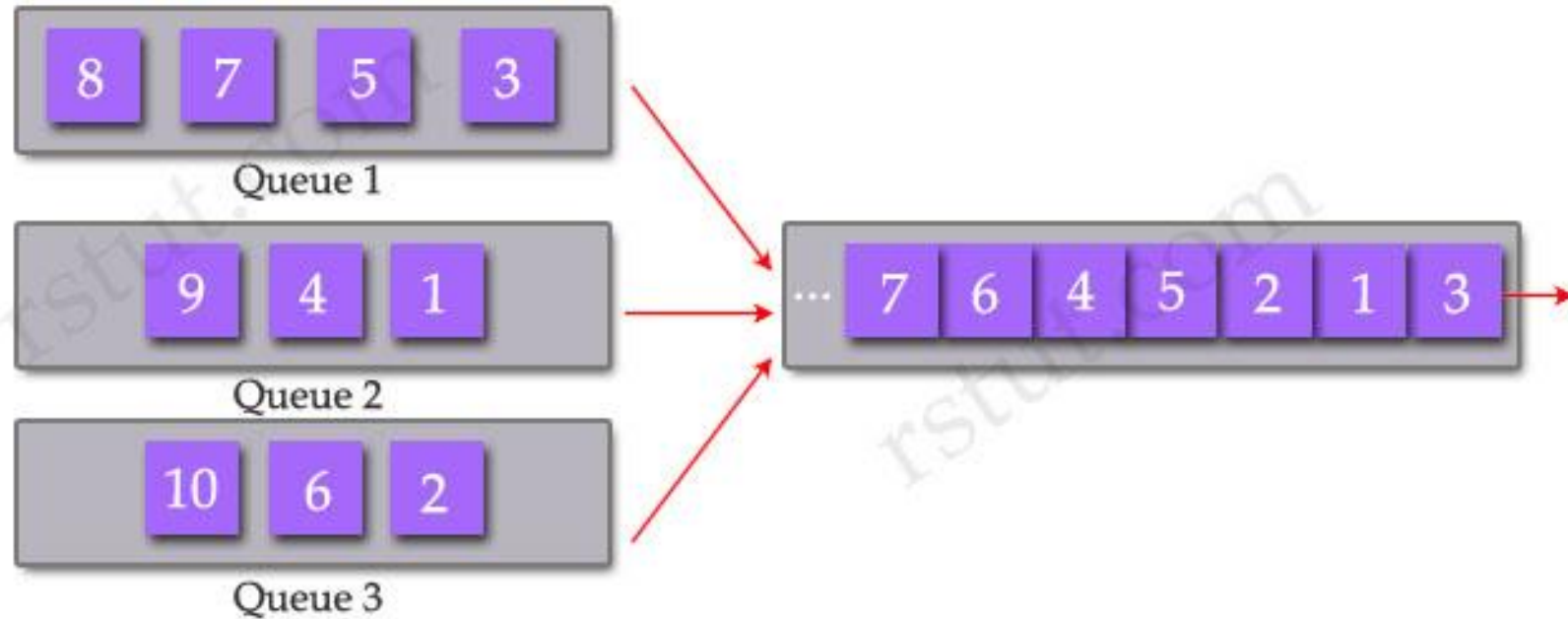


Una escritura y no lectura en full es un error (señal de salida)

¡Cuidado! Los puertos “inout” no son sintetizables.

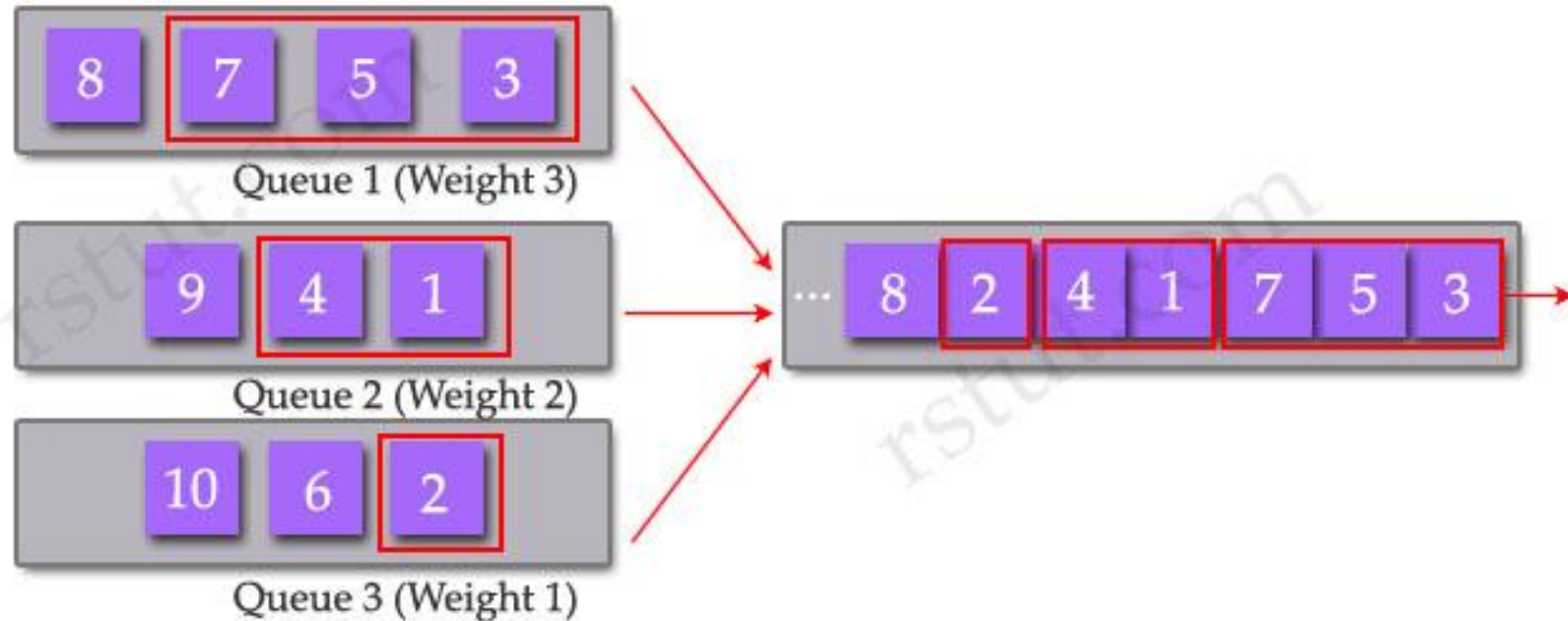
Las señales **almost\_full** y **almost\_empty** del FIFO se utilizan en Flow Control

# Round Robin



Todos los queues tienen la misma prioridad

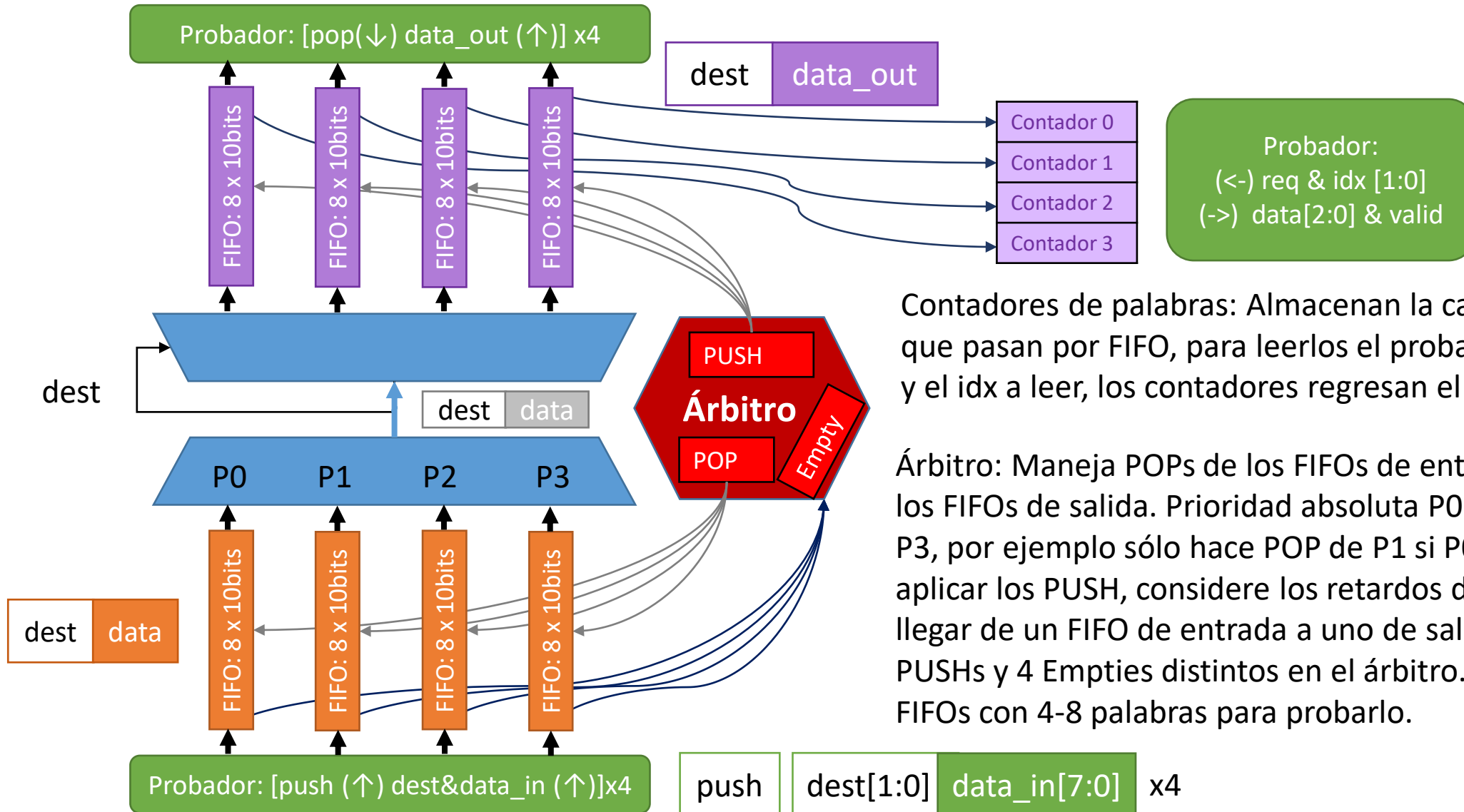
# Weighted Round Robin



Los pesos de cada clase de tráfico son entradas al “round robin”. En el caso del Queue 1, se le asigna un valor de peso o prioridad de 3. Lo mismo para los pesos 2 y 1.

# Arquitectura proyecto #2

# Arquitectura proyecto de diseño #2



Contadores de palabras: Almacenan la cantidad de palabras que pasan por FIFO, para leerlos el probador pone un 1 en req y el idx a leer, los contadores regresan el dato y un valid.

Árbitro: Maneja POPs de los FIFOs de entrada y PUSHs de los FIFOs de salida. Prioridad absoluta  $P0 \gg P1 \gg P2 \gg P3$ , por ejemplo sólo hace POP de P1 si P0 está vacío. Para aplicar los PUSH, considere los retardos de los datos para llegar de un FIFO de entrada a uno de salida. Son 4 POPs, 4 PUSHs y 4 Empties distintos en el árbitro. Cargue todos los FIFOs con 4-8 palabras para probarlo.