



EXPERIMENTAL DE ELETRÔNICA ANALÓGICA 1
PROJETO FINAL – PARTE 2

PROFESSOR: ANDRÉ LUIZ AGUIAR DA COSTA

Mateus Henrique Gonçalves - 12311ECP021
Vicenzo De Marco Olivalves - 12421ECP006

UBERLÂNDIA
2025

Sumário

1. Projeto final (Kicad)

- Introdução
- Processo Experimental / Resultados
- Referências

INTRODUÇÃO

Para essa parte inicial do projeto foi necessário a instalação do aplicado *Kicad*, disponibilizado pelo docente na página do Google Drive da disciplina. Como recomendação do professor, era necessário a instalação do aplicativo apenas na versão especificada (5.1.9), com o link de download presente na pasta da disciplina.

Após a instalação do aplicativo, começamos o trabalho. O objetivo da parte 2 é criar um modelo 3D da placa para o projeto final, dessa forma, utilizaremos do circuito feito no *LTSlice* e transcrevemos para o esquema do *Kicad*, utilizando das capacidades do aplicativo.

No *kicad*, utilizaremos do *pdf* disponibilizado pelo professor, seguindo o passo a passo, a fim de guiar nas etapas necessárias.

Segue-se o esquemático do Projeto 1 que utilizaremos de base:

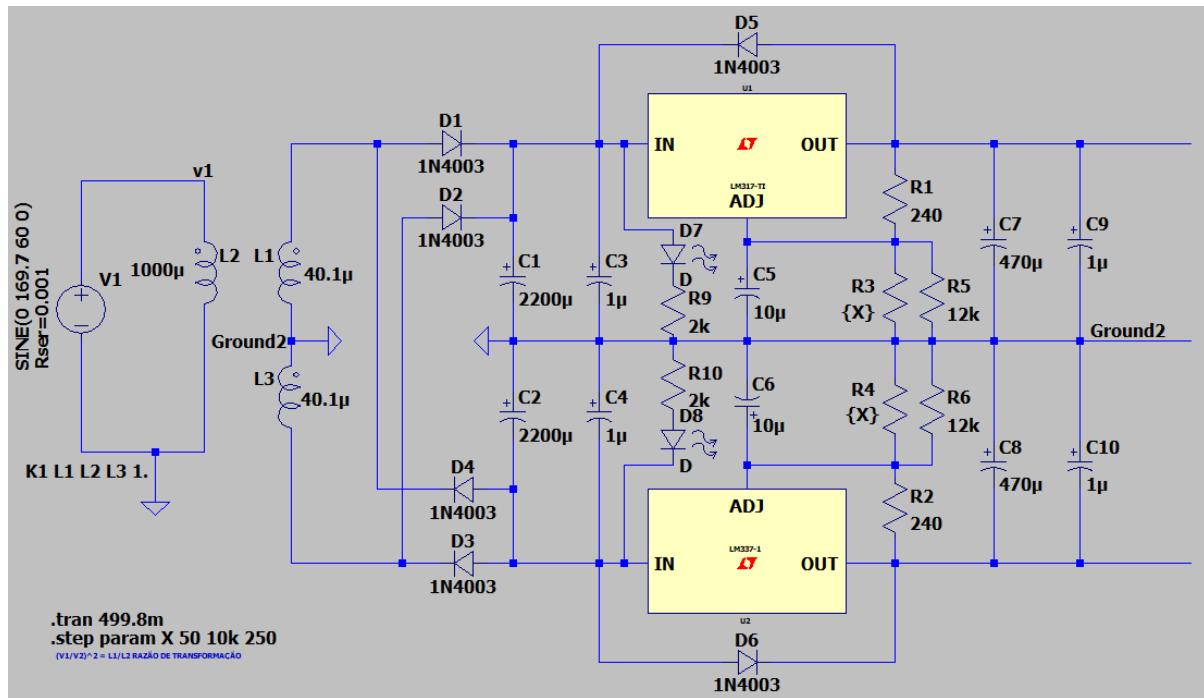


Figura 1 – Circuito *LTSlice* Projeto Final parte 1 (Acervo Pessoal)

PROCESSO EXPERIMENTAL / RESULTADOS

Para o esquemático do *Kicad*, não faremos uma cópia literal do circuito *LTS spice*, mas sim, iremos tirar os traços e substituí-los por conectores banana, tanto para entrada quanto para saída.

Segue-se o esquemático em questão:

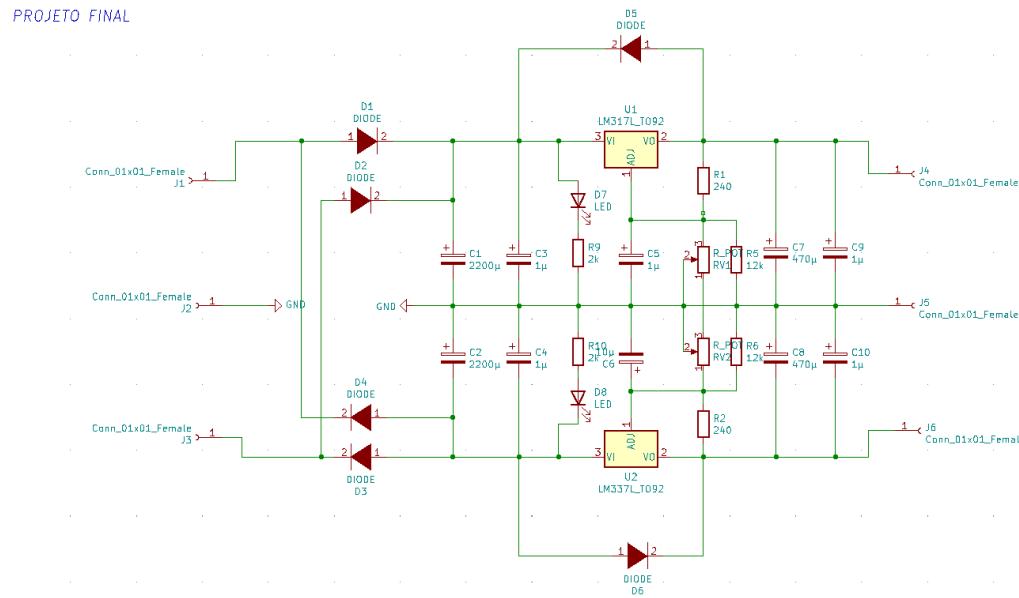


Figura 2 – Esquemático Kicad Projeto Final parte 2 (Acervo Pessoal)

Após organizar o circuito, seguindo as recomendações do professor, atribuiremos *footprints* para cada componente, tentando seguir o tamanho referente a sua contraparte real, pois será necessário um PCB organizado e condizente para que o trabalho seja feito com êxito.

Segue-se os *footprints* atribuídos para cada componente:

```

1   C1 -          2200 $\mu$  : Capacitor_THT:CP_Radial_D12.5mm_P5.00mm
2   C2 -          2200 $\mu$  : Capacitor_THT:CP_Radial_D12.5mm_P5.00mm
3   C3 -          1 $\mu$  : Capacitor_THT:CP_Radial_D5.0mm_P2.00mm
4   C4 -          1 $\mu$  : Capacitor_THT:CP_Radial_D5.0mm_P2.00mm
5   C5 -          1 $\mu$  : Capacitor_THT:CP_Radial_D5.0mm_P2.00mm
6   C6 -          10 $\mu$  : Capacitor_THT:CP_Radial_D5.0mm_P2.00mm
7   C7 -          470 $\mu$  : Capacitor_THT:CP_Radial_D10.0mm_P2.50mm
8   C8 -          470 $\mu$  : Capacitor_THT:CP_Radial_D10.0mm_P2.50mm
9   C9 -          1 $\mu$  : Capacitor_THT:CP_Radial_D5.0mm_P2.00mm
10  C10 -         1 $\mu$  : Capacitor_THT:CP_Radial_D5.0mm_P2.00mm
11  D1 -          DIODE : Diode_THT:D_DO-41_SOD81_P10.16mm_Horizontal
12  D2 -          DIODE : Diode_THT:D_DO-41_SOD81_P10.16mm_Horizontal
13  D3 -          DIODE : Diode_THT:D_DO-41_SOD81_P10.16mm_Horizontal
14  D4 -          DIODE : Diode_THT:D_DO-41_SOD81_P10.16mm_Horizontal
15  D5 -          DIODE : Diode_THT:D_DO-41_SOD81_P10.16mm_Horizontal
16  D6 -          DIODE : Diode_THT:D_DO-41_SOD81_P10.16mm_Horizontal
17  D7 -          LED : LED_THT:LED_D3.0mm
18  D8 -          LED : LED_THT:LED_D3.0mm
19  J1 - Conn_01x01_Female : Connector:Banana_Jack_1Pin
20  J2 - Conn_01x01_Female : Connector:Banana_Jack_1Pin
21  J3 - Conn_01x01_Female : Connector:Banana_Jack_1Pin
22  J4 - Conn_01x01_Female : Connector:Banana_Jack_1Pin
23  J5 - Conn_01x01_Female : Connector:Banana_Jack_1Pin
24  J6 - Conn_01x01_Female : Connector:Banana_Jack_1Pin
25  R1 -          240 : Resistor_THT:R_Axial_DIN0204_L3.6mm_D1.6mm_P5.08mm_Horizontal
26  R2 -          240 : Resistor_THT:R_Axial_DIN0204_L3.6mm_D1.6mm_P5.08mm_Horizontal
27  R5 -          12k : Resistor_THT:R_Axial_DIN0204_L3.6mm_D1.6mm_P5.08mm_Horizontal
28  R6 -          12k : Resistor_THT:R_Axial_DIN0204_L3.6mm_D1.6mm_P5.08mm_Horizontal
29  R9 -          2k : Resistor_THT:R_Axial_DIN0204_L3.6mm_D1.6mm_P5.08mm_Horizontal
30  R10 -         2k : Resistor_THT:R_Axial_DIN0204_L3.6mm_D1.6mm_P5.08mm_Horizontal
31  RV1 -         R_POT : Potentiometer_THT:Potentiometer_Alps_RK163_Single_Horizontal
32  RV2 -         R_POT : Potentiometer_THT:Potentiometer_Alps_RK163_Single_Horizontal
33  U1 - LM317L_TO92 : Package_TO_SOT_THT:TO-220-3_Vertical
34  U2 - LM337L_TO92 : Package_TO_SOT_THT:TO-220-3_Vertical

```

Figura 3 – Footprints para cada componente (Acervo Pessoal)

Após a criação de uma *NETList* e os *footprints* definidos, iniciaremos a parte do *PCBnew*.

Inicialmente, carregaremos a *NetList* e os *footprints* para o *PCBnew*, no qual traz os componentes de forma desorganizada, assim, após distribuir os componentes de forma devida, preservando uma distância mínima e, no caso desse projeto, seguindo uma configuração parecida com o circuito do esquemático, seguiremos para a parte de organização das trilhas.

Com os componentes organizados, utilizarei do plugin *freerouting* para organizar as trilhas de cobre. Segue-se o PCB organizado sem as trilhas e, posteriormente, ao processo de *freerouting*:

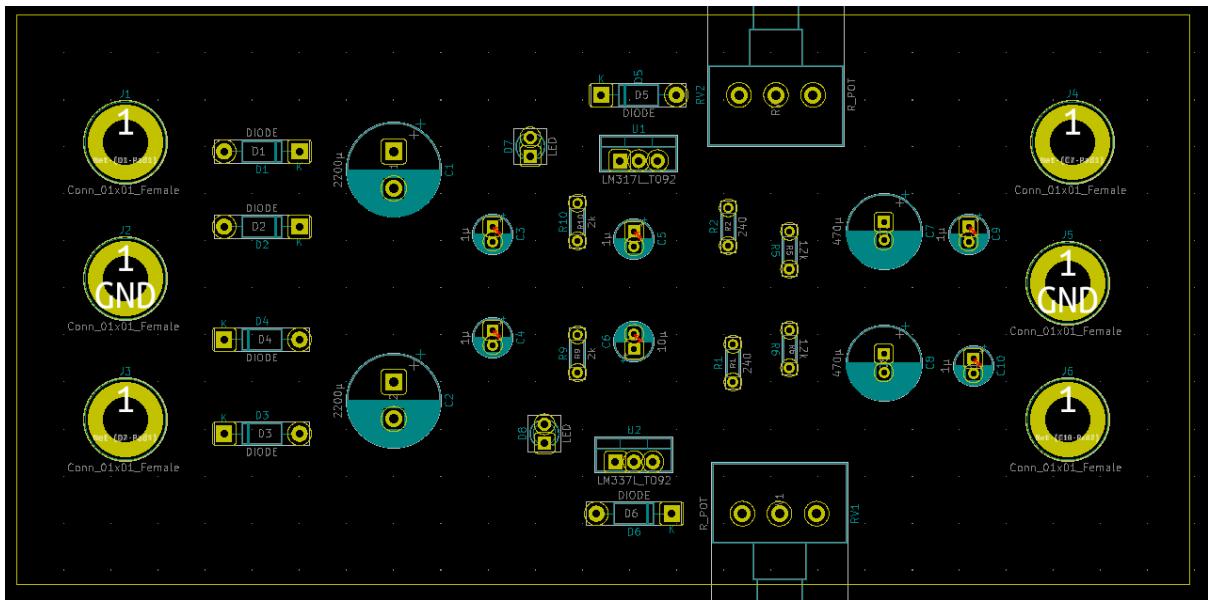


Figura 4 – PCBnew organizado (Acervo Pessoal)

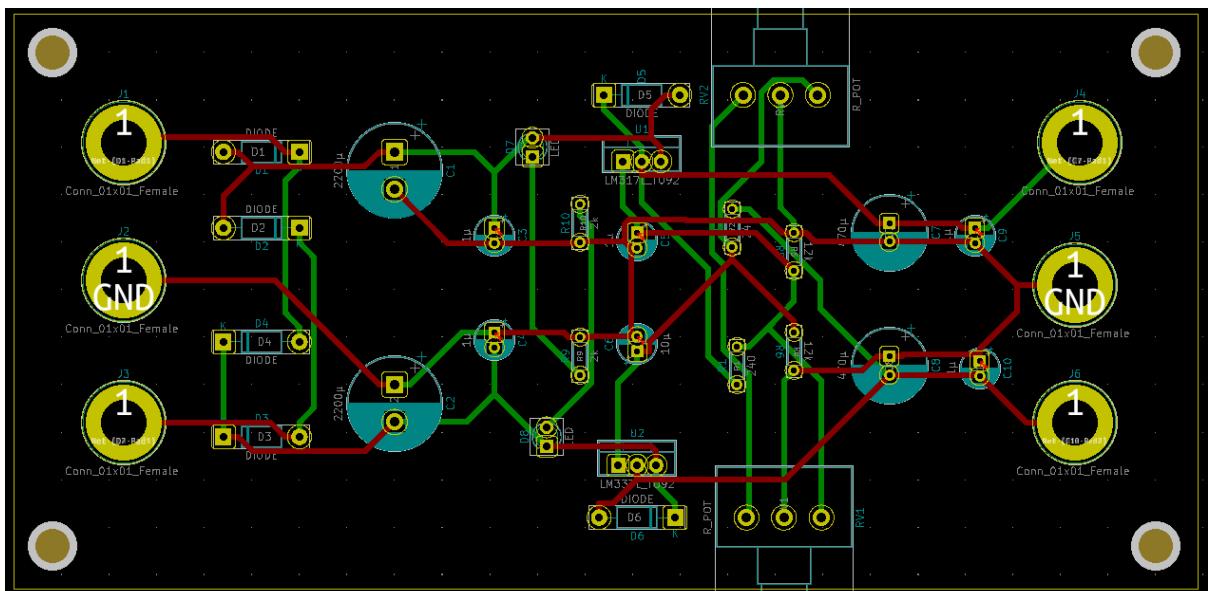


Figura 5 – PCBnew após o freerouting (Acervo Pessoal)

Após isso, utilizei do software DRC (Design Rule Checker) para gerar uma varredura do sistema, a fim de ver se há algum erro.

Problemas / Marcadores (6) Itens Desconectados (0)

Ilha muito próxima a ilha

- @(133,985 mm, 80,645 mm): Ilha 1 de C3 em Todas as camadas de cobre
- @(133,985 mm, 82,645 mm): Ilha 2 de C3 em Todas as camadas de cobre

Ilha muito próxima a ilha

- @(133,985 mm, 94,615 mm): Ilha 1 de C4 em Todas as camadas de cobre
- @(133,985 mm, 96,615 mm): Ilha 2 de C4 em Todas as camadas de cobre

Ilha muito próxima a ilha

- @(153,035 mm, 81,280 mm): Ilha 1 de C5 em Todas as camadas de cobre
- @(153,035 mm, 83,280 mm): Ilha 2 de C5 em Todas as camadas de cobre

Ilha muito próxima a ilha

- @(153,035 mm, 95,155 mm): Ilha 2 de C6 em Todas as camadas de cobre
- @(153,035 mm, 97,155 mm): Ilha 1 de C6 em Todas as camadas de cobre

Ilha muito próxima a ilha

- @(198,120 mm, 80,645 mm): Ilha 1 de C9 em Todas as camadas de cobre
- @(198,120 mm, 82,645 mm): Ilha 2 de C9 em Todas as camadas de cobre

Ilha muito próxima a ilha

- @(198,755 mm, 98,425 mm): Ilha 1 de C10 em Todas as camadas de cobre
- @(198,755 mm, 100,425 mm): Ilha 2 de C10 em Todas as camadas de cobre

Figura 6 – Relatório DRC(Acervo Pessoal)

Como podemos observar, nenhum item desconectado, apenas marcadores referentes a componentes próximos, que em si não serão um problema e advém principalmente do “autorouting”.

Segue-se o projeto em 3D:

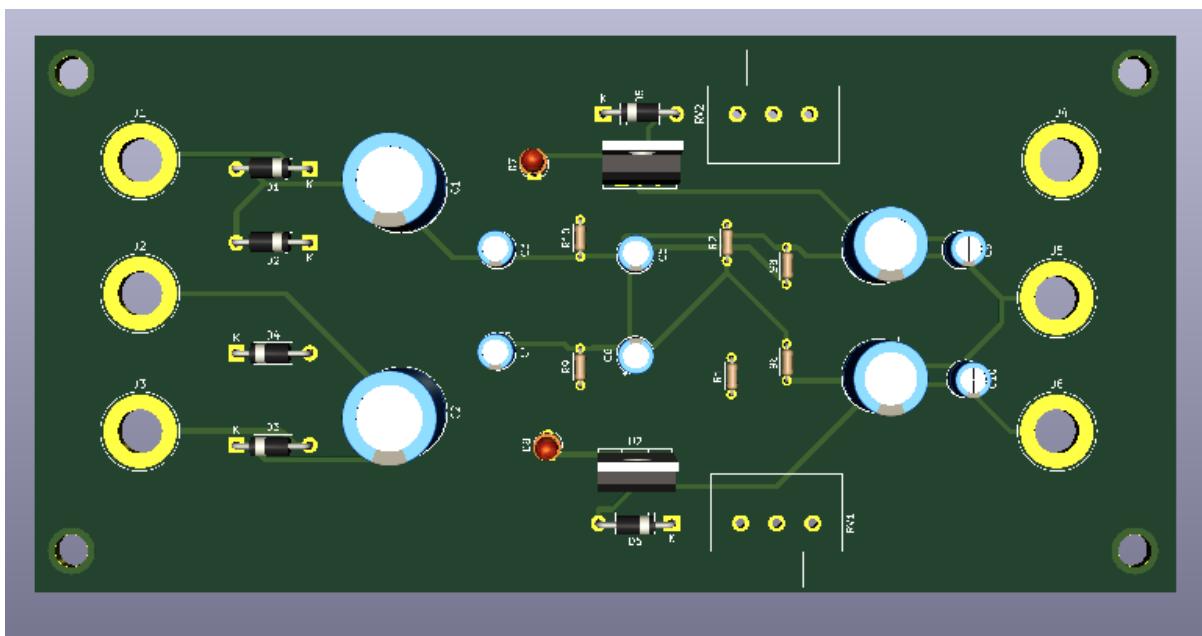


Figura 7 - Visualizador 3D/ Vista superior (Acervo Pessoal)

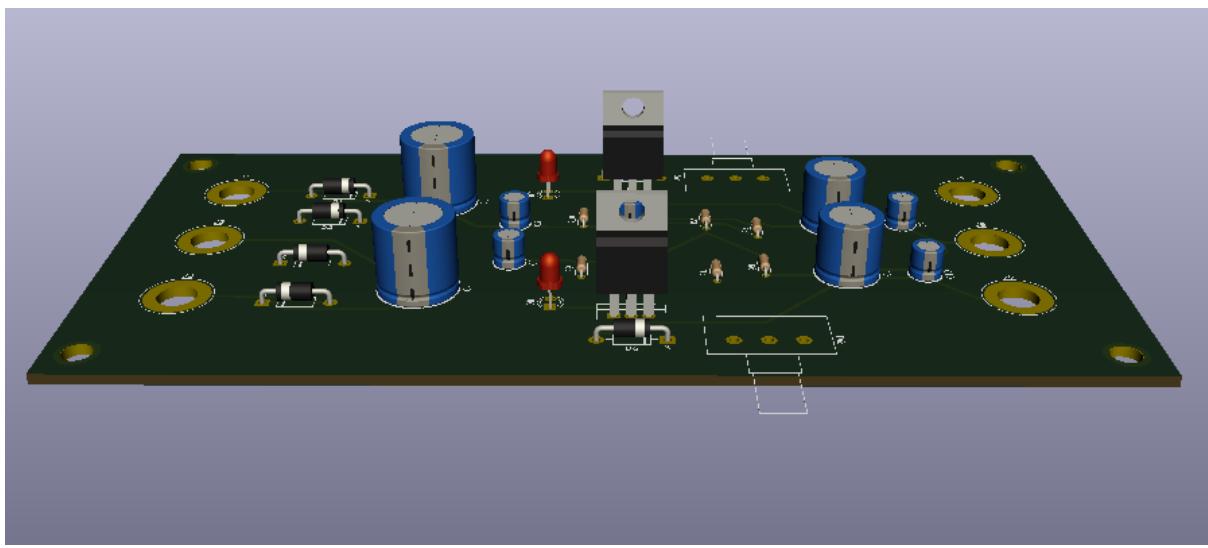


Figura 8- Visualizador 3D/ Vista Lateral (Acervo Pessoal)

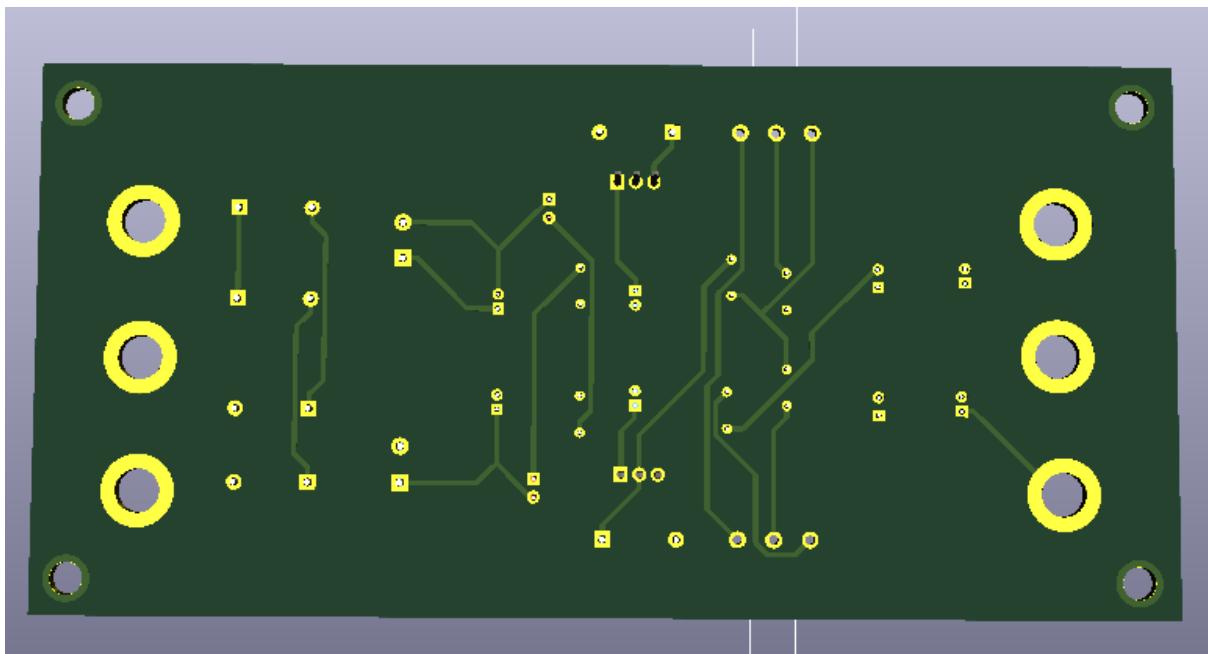


Figura 7 - Visualizador 3D/ Vista Inferior(Acervo Pessoal)

REFERÊNCIAS

1. BOYLESTAD, R.; NASHELSKY, L. Dispositivos Eletrônicos e Teoria de Circuitos. São Paulo: Prentice Hall do Brasil, 2004.
2. ANDRE LUIZ AGUIAR. *Material disponibilizado pelo professor*. 2025. Disponível em: https://drive.google.com/file/d/1BNwTpP-q16cLOUzCciKSfHN-Y3epjur_/view?usp=drive_link.
3. TECH EXPLORATIONS. *Kicad 5 - How to use the freeRouting autorouter*. [S. l.]: YouTube, [2025]. Disponível em:

<https://www.youtube.com/watch?v=joMy0YjRxGY>. Acesso em: 14 abr. 2025.
[YouTube](#)

4. FREEROUTING. *FreeRouting*. [S. l.]: FreeRouting, [2025]. Disponível em: <https://freerouting.org/>. Acesso em: 16 abr. 2025.