

Z80 CPU - SET DI ISTRUZIONI

Z80

SGS ATES

Z80TM CPU - SET DI ISTRUZIONI

Questo libro sul set di istruzioni della CPU Z80 non è inteso esclusivamente come un supporto applicativo per il dispositivo stesso, ma forma la seconda parte del manuale di istruzioni del microcomputer CLZ80 della SGS-ATES, basato sul microprocessore Z80.

TM. Z 80 è un marchio registrato della ZILOG, Inc.

NOTA: Il tempo di esecuzione (T.E.) per ciascuna istruzione è dato in microsecondi per un clock di 4 MHz.

Sono indicati i cicli macchina complessivi (M), come pure il numero degli stati T per ogni ciclo M.

Ad esempio:

CICLI M: 2 STATI T: 7 (4,3) T.E. a 4 MHz: 1,75

indica che l'istruzione è costituita da due cicli macchina. Il primo ciclo contiene 4 periodi di clock (stati T). Il secondo ciclo contiene 3 periodi di clock per un totale di 7 periodi di clock, o stati.

L'istruzione è poi eseguita in 1,75 microsecondi.

Per ciascuna istruzione è mostrato il formato, con il bit più significativo a sinistra ed il meno significativo a destra.

TABELLA DEI CONTENUTI

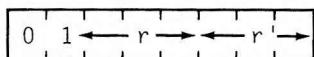
	pag.
GRUPPO DI LOAD AD 8 BIT	5
GRUPPO DI LOAD A 16 BIT	27
GRUPPO DI SCAMBIO, TRASFERIMENTO BLOCCO E RICERCA	49
GRUPPO DI ISTRUZIONI LOGICHE E ARITMETICHE	69
GRUPPO ARITMETICO DI TIPO GENERALE E GRUPPO DI CONTROLLO DELLA CPU	97
GRUPPO DI ISTRUZIONI ARITMETICHE A 16 BIT	113
GRUPPO DI SHIFT E ROTAZIONE	125
GRUPPO DI TEST BIT, SET E RESET BIT	159
GRUPPO DI SALTO	173
GRUPPO DI CALL E RETURN	191
GRUPPO DI INPUT ED OUTPUT	203
FLAGS	221
INDICE MNEMONICO	227

GRUPPO DI LOAD AD 8 BIT

LD r, r'

Operazione: $r \leftarrow r'$

<u>Formato:</u>	<u>Codice operativo</u>	<u>Operandi</u>
	LD	r, r'



Descrizione:

I contenuti di un qualsiasi registro r' sono caricati in un altro qualsiasi registro r .
NOTA: r ed r' identificano uno dei registri A,B,C,D,E,H ed L, indicati come segue in codice oggetto:

<u>Registro</u>	<u>r</u>
A	= 111
B	= 000
C	= 001
D	= 010
E	= 011
H	= 100
L	= 101

CICLI M: 1 STATI T: 4 T.E. a 4MHz: 1,00

Bit di condizione alterati: nessuno

Esempio:

Se il registro H contiene il numero 8AH, ed il registro E contiene 10H, l'istruzione

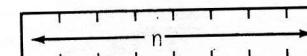
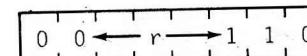
LD H, E

fa sì che entrambi i registri contengano 10H.

LD r, n

Operazione: $r \leftarrow n$

<u>Formato:</u>	<u>Codice operativo</u>	<u>Operandi</u>
	LD	r, n



Descrizione:

L'intero n ad 8 bit è caricato in uno qualsiasi dei registri r, dove r identifica i registri A,B,C,D,E,H ed L, indicati come segue in codice oggetto:

<u>Registro</u>	<u>r</u>
A	= 111
B	= 000
C	= 001
D	= 010
E	= 011
H	= 100
L	= 101

CICLI M: 2 STATI T: 7 (4,3) T.E. a 4 MHz : 1,75

Bit di condizione alterati: nessuno

Esempio:

Dopo l'esecuzione di

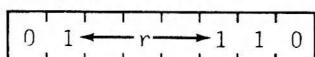
LD E, A5H

il contenuto del registro E sarà A5H.

LD r, (HL)

Operazione: $r \leftarrow (HL)$

<u>Formato:</u>	<u>Codice operativo</u>	<u>Operandi</u>
	LD	r, (HL)



Descrizione:

Il contenuto ad 8 bit della locazione di memoria (HL) è caricato nel registro r, dove r identifica i registri A,B,C,D,E,H, ed L, indicati come segue in codice oggetto:

<u>Registro</u>	<u>r</u>
A	= 111
B	= 000
C	= 001
D	= 010
E	= 011
H	= 100
L	= 101

CICLI M: 2 STATI T: 7 (4, 3) T.E. a 4 MHz: 1, 75

Bit di condizione alterati: nessuno

Esempio:

Se la coppia di registri HL contiene il numero 75A1H e la locazione di memoria 75A1H contiene il byte 58H, l'esecuzione di

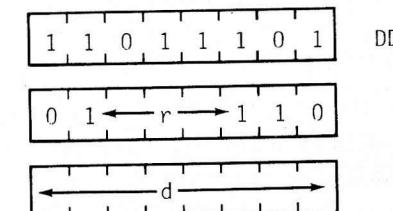
LD C, (HL)

determina il caricamento in C di 58H.

LD r, (IX+d)

Operazione: $r \leftarrow (IX+d)$

<u>Formato:</u>	<u>Codice operativo</u>	<u>Operandi</u>
	LD	r, (IX+d)



Descrizione:

L'operando (IX+d) (il contenuto del registro indice IX sommato ad uno spostamento intero d) è caricato nel registro r, dove r identifica i registri A,B,C,D,E,H ed L, indicati come segue in codice oggetto:

<u>Registro</u>	<u>r</u>
A	= 111
B	= 000
C	= 001
D	= 010
E	= 011
H	= 100
L	= 101

CICLI M: 5 STATI T: 19 (4,4,3,5,3) T.E. a 4MHz: 4,75

Bit di condizione alterati: nessuno

Esempio:

Se il registro Indice IX contiene il numero 25AFH, l'istruzione

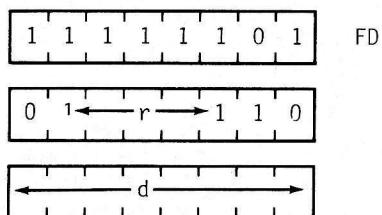
LD B, (IX+19H)

eseguirà la somma 25AFH +19H, puntando alla locazione di memoria 25C8H. Se questo indirizzo contiene il byte 39 H, tale valore sarà caricato nel registro B.

LD r, (IY+d)

Operazione: $r \leftarrow (IY + d)$

<u>Formato:</u>	<u>Codice operativo</u>	<u>Operandi</u>
	LD	r, (IY+d)



Descrizione:

L'operando (IY+d) (il contenuto del registro indice IY sommato ad uno spostamento intero d) è caricato nel registro r, dove r identifica i registri A,B,C,D,E,H ed L, indicati come segue in codice oggetto:

<u>Registro</u>	<u>r</u>
A	111
B	000
C	001
D	010
E	011
H	100
L	101

CICLI M: 5 STATI T: 19 (4,4,3,5,3) T.E. a 4 MHz: 4, 75

Bit di condizione alterati: nessuno

Esempio:

Se il registro indice IY contiene il numero 25AFH, l'istruzione

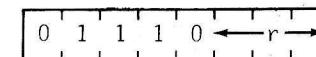
LD B, (IY+19H)

eseguirà la somma 25AFH+19H, puntando alla locazione di memoria 25C8H.
Se questo indirizzo contiene il byte 39H, tale valore sarà caricato nel registro B.

LD (HL), r

Operazione: $(HL) \leftarrow r$

<u>Formato:</u>	<u>Codice operativo</u>	<u>Operandi</u>
	LD	(HL), r



Descrizione:

Il contenuto del registro r è caricato nella locazione di memoria specificata dal contenuto della coppia di registri HL. Il simbolo r identifica i registri A,B,C,D,E,H, ed L, indicati come segue in codice oggetto:

<u>Registro</u>	<u>r</u>
A	111
B	000
C	001
D	010
E	011
H	100
L	101

CICLI M: 2 STATI T: 7 (4,3) T.E. a 4 MHz: 1,75

Bit di condizione alterati: nessuno

Esempio:

Se il contenuto della coppia di registri HL specifica la locazione di memoria 2146H, ed il registro B contiene il byte 29H, dopo l'esecuzione di

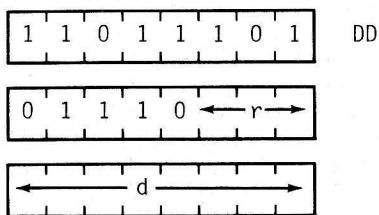
LD (HL), B

la locazione di memoria 2146H conterrà 29H.

LD (IX+d), r

Operazione: $(IX+d) \leftarrow r$

Formato:	Codice operativo	Operandi
	LD	$(IX+d), r$



Descrizione:

Il contenuto del registro r è caricato nella locazione di memoria specificata dal contenuto del registro indice IX più d, spostamento relativo intero complemento a due.

Il simbolo r identifica i registri A,B,C,D,E,H, ed L, indicati come segue in codice oggetto:

Registro	r
A	111
B	000
C	001
D	010
E	011
H	100
L	101

CICLI M: 5 STATI T: 19 (4,4,3,5,3) T.E. a 4 MHz: 4,75

Bit di condizione alterati: nessuno

Esempio:

Se il registro C contiene il byte 1CH ed il registro indice IX contiene 3100H, l'istruzione

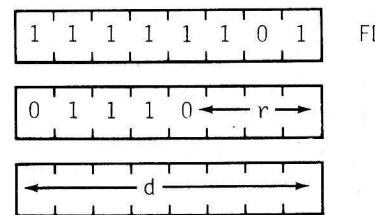
LD (IX+6H), C

realizza la somma 3100H+6H e carica 1CH nella locazione di memoria 3106H.

LD (IY+d), r

Operazione: $(IY+d) \leftarrow r$

Formato:	Codice operativo	Operandi
	LD	$(IY+d), r$



Descrizione:

Il contenuto del registro r è caricato nella locazione di memoria specificata dal contenuto del registro indice IY più d, spostamento relativo intero complemento a due.

Il simbolo r identifica i registri A,B,C,D,E,H, ed L, indicati come segue in codice oggetto:

Registro	r
A	111
B	000
C	001
D	010
E	011
H	100
L	101

CICLI M: 5 STATI T: 19 (4,4,3,5,3) T.E. a 4 MHz: 4,75

Bit di condizione alterati: nessuno

Esempio:

Se il registro C contiene il byte 48H ed il registro indice IY contiene 2A11H, l'istruzione

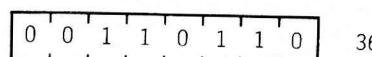
LD (IY+4H), C

realizza la somma 2A11H+4H e carica 48H nella locazione di memoria 2A15H.

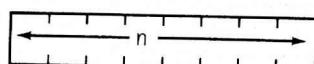
LD (HL), n

Operazione: (HL) \leftarrow n

<u>Formato:</u>	<u>Codice operativo</u>	<u>Operandi</u>
	LD	(HL), n



36



Descrizione:

L'intero n è caricato nella locazione di memoria specificata dal contenuto della coppia di registri HL.

CICLI M: 3 STATI T: 10 (4,3,3) T.E. a 4 MHz: 2,50

Bit di condizione alterati: nessuno

Esempio:

Se la coppia di registri HL contiene 4444H, l'istruzione

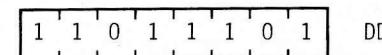
LD (HL), 28H

caricherà nella locazione di memoria 4444H il byte 28H.

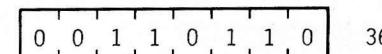
LD (IX+d), n

Operazione: (IX+d) \leftarrow n

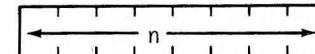
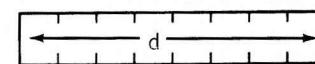
<u>Formato:</u>	<u>Codice operativo</u>	<u>Operandi</u>
	LD	(IX+d), n



DD



36



Descrizione:

L'intero n è caricato nella locazione di memoria specificata dalla somma del contenuto del registro indice IX e dello spostamento relativo complemento a due d.

CICLI M: 5 STATI T: 19 (4,4,3,5,3) T.E. a 4 MHz: 4,75

Bit di condizione alterati: nessuno

Esempio:

Se il registro indice IX contiene il numero 219AH, l'istruzione

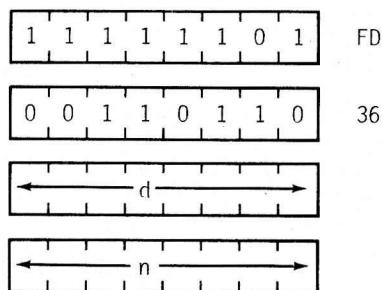
LD (IX+5H), 5AH

caricherà il byte 5AH nella locazione di memoria 219FH.

LD (IY+d), n

Operazione: $(IY+d) \leftarrow n$

Formato:	Codice operativo	Operandi
	LD	(IY+d), n



Descrizione:

L'intero n è caricato nella locazione di memoria specificata dalla somma del contenuto del registro indice IY e dello spostamento relativo d.

CICLI M: 5 STATI T: 19 (4,4,3,5,3) T.E. a 4 MHz: 4,75

Bit di condizione alterati: nessuno

Esempio:

Se il registro indice IY contiene il numero A940H, l'istruzione

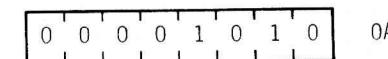
LD (IY+10H), 97H

caricherà il byte 97H nella locazione di memoria A950H.

LD A, (BC)

Operazione: $A \leftarrow (BC)$

Formato:	Codice operativo	Operandi
	LD	A, (BC)



Descrizione:

Il contenuto della locazione di memoria specificata dal contenuto della coppia di registri BC è caricato nell'accumulatore.

CICLI M: 2 STATI T: 7 (4,3) T.E. a 4 MHz: 1,75

Bit di condizione alterati: nessuno

Esempio:

Se la coppia di registri BC contiene il numero 4747H, e la locazione di memoria 4747H contiene il byte 12 H, l'istruzione

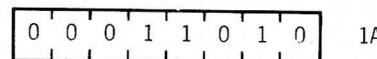
LD A, (BC)

caricherà 12H nel registro A.

LD A, (DE)

Operazione: A ← (DE)

<u>Formato:</u>	<u>Codice operativo</u>	<u>Operandi</u>
	LD	A, (DE)



Descrizione:

Il contenuto della locazione di memoria specificata dal contenuto della coppia di registri DE, è caricato nell'accumulatore.

CICLI M: 2 STATI T: 7 (4,3) T.E. a 4 MHz: 1,75

Bit di condizione alterati: nessuno

Esempio:

Se la coppia di registri DE contiene il numero 30A2H e la locazione di memoria 30A2H contiene il byte 22H, l'istruzione

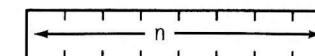
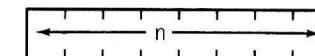
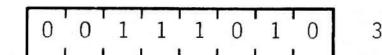
LD A, (DE)

caricherà 22H nel registro A.

LD A, (nn)

Operazione: A ← (nn)

<u>Formato:</u>	<u>Codice operativo</u>	<u>Operandi</u>
	LD	A, (nn)



Descrizione:

Il contenuto della locazione di memoria specificata dagli operandi nn è caricato nell'accumulatore.

Il primo operando n è il byte di ordine più basso di un indirizzo di memoria a due byte.

CICLI M: 4 STATI T: 13 (4,3,3,3) T.E. a 4 MHz: 3,25

Bit di condizione alterati: nessuno

Esempio:

Se il valore di nn è il numero 8832H ed il contenuto della locazione di memoria 8832H è il byte 04H, l'istruzione

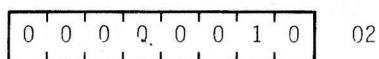
LD A, (nn)

caricherà il byte 04H nell'accumulatore.

LD (BC), A

Operazione: (BC) ← A

<u>Formato:</u>	<u>Codice operativo</u>	<u>Operandi</u>
	LD	(BC), A



Descrizione:

Il contenuto dell'accumulatore è caricato nella locazione di memoria specificata dal contenuto della coppia di registri BC.

CICLI M: 2 STATI T: 7 (4,3) T.E. a 4MHz: 1,75

Bit di condizione alterati: nessuno

Esempio:

Se l'accumulatore contiene 7AH e la coppia di registri BC contiene 1212H, l'istruzione

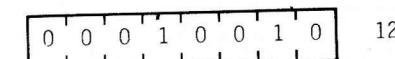
LD (BC), A

caricherà 7AH nella locazione di memoria 1212H.

LD (DE), A

Operazione: (DE) ← A

<u>Formato:</u>	<u>Codice operativo</u>	<u>Operandi</u>
	LD	(DE), A



Descrizione:

Il contenuto dell'accumulatore è caricato nella locazione di memoria specificata dal contenuto della coppia di registri DE.

CICLI M: 2 STATI T: 7 (4,3) T.E. a 4MHz: 1,75

Bit di condizione alterati: nessuno

Esempio:

Se l'accumulatore contiene 7AH e la coppia di registri DE contiene 1212H, l'istruzione

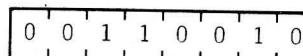
LD (DE), A

caricherà 7AH nella locazione di memoria 1212H.

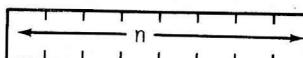
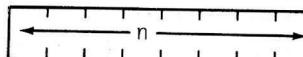
LD (nn), A

Operazione: (nn) ← A

<u>Formato:</u>	<u>Codice operativo</u>	<u>Operandi</u>
	LD	(nn), A



32



Descrizione:

Il contenuto dell'accumulatore è caricato nella locazione di memoria il cui indirizzo è specificato dall'operando nn. Il primo operando n è il byte di ordine più basso dell'indirizzo a 16 bit.

CICLI M: 4 STATI T: 13 (4,3,3,3) T.E. a 4MHz: 3,25

Bit di condizione alterati: nessuno

Esempio:

Se il contenuto dell'accumulatore è D7H, dopo l'esecuzione della

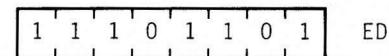
LD (3141H), A

D7H sarà caricato nella locazione di memoria 3141H.

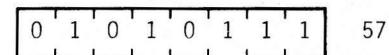
LD A, I

Operazione: A ← I

<u>Formato:</u>	<u>Codice operativo</u>	<u>Operandi</u>
	LD	A, I



ED



57

Descrizione:

Il contenuto dell'interrupt vector register I è caricato nell'accumulatore.

CICLI M: 2 STATI T: 9 (4,5) T.E. a 4MHz: 2,25

Bit di condizione alterati:

S: settato se I-Reg. è negativo
altrimenti è resettato

Z: settato se I-Reg. è zero
altrimenti è resettato

H: resettato

P/V: contiene il contenuto di IFF2

N: resettato

C: inalterato

Esempio:

Se l'interrupt vector register contiene il byte 4AH, dopo l'esecuzione della

LD A, I

anche l'accumulatore conterrà 4AH.

LD A, R

Operazione: A ← R

Formato: Codice operativo Operandi

LD A, R

1	1	1	0	1	1	0	1
0	1	0	1	1	1	1	1

ED

5F

Descrizione:

Il contenuto del memory refresh register R è caricato nell'accumulatore.

CICLI M: 2 STATI T: 9 (4,5) T.E. a 4MHz: 2,25

Bit di condizione alterati:

- S: settato se R-Reg. è negativo
altrimenti è resettato
- Z: settato se R-Reg. è zero
altrimenti è resettato
- H: resettato
- P/V: contiene il contenuto di IFF2
- N: resettato
- C: inalterato

Esempio:

Se il memory refresh register contiene il byte 4AH, dopo l'esecuzione della

LD A, R

anche l'accumulatore conterrà 4AH.

LD I, A

Operazione: I ← A

Formato: Codice operativo Operandi

LD I, A

1	1	1	0	1	1	0	1
---	---	---	---	---	---	---	---

ED

0	1	0	0	0	1	1	1
---	---	---	---	---	---	---	---

47

Descrizione:

Il contenuto dell'accumulatore è caricato nell'interrupt vector register I.

CICLI M: 2 STATI T: 9 (4,5) T.E. a 4MHz: 2,25

Bit di condizione alterati: nessuno

Esempio:

Se l'accumulatore contiene il numero 81H, dopo l'esecuzione dell'istruzione

LD I, A

anche l'interrupt vector register conterrà 81H.

LD R, A

Operazione: R ← A

Formato: Codice operativo Operandi

LD R, A

1	1	1	0	1	1	0	1
---	---	---	---	---	---	---	---

ED

0	1	0	0	1	1	1	1
---	---	---	---	---	---	---	---

4F

Descrizione:

Il contenuto dell'accumulatore è caricato nel memory refresh register R.

CICLI M: 2 STATI T: 9 (4,5) T.E. a 4MHz: 2,25

Bit di condizione alterati: nessuno

Esempio:

Se l'accumulatore contiene il numero B4H, dopo l'esecuzione dell'istruzione

LD R,A

anche il memory refresh register conterrà B4H.

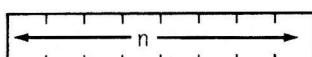
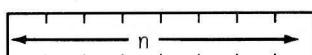
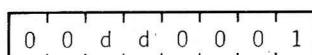
GRUPPO DI LOAD A 16 BIT

LD dd, nn

Operazione: dd ← nn

Formato: Codice operativo Operandi

LD dd, nn



Descrizione:

L'intero a due byte nn è caricato nella coppia di registri dd, dove dd definisce la coppia di registri BC, DE, HL e SP, indicati in codice oggetto come segue:

<u>Coppia di registri</u>	<u>dd</u>
BC	00
DE	01
HL	10
SP	11

Il primo operando n è il byte di ordine più basso in codice in oggetto.

CICLI M: 3 STATI T: 10 (4,3,3) T.E. a 4MHz: 2,50

Bit di condizione alterati: nessuno

Esempio:

Dopo l'esecuzione dell'istruzione

LD HL, 5000H

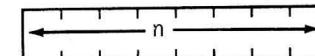
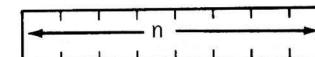
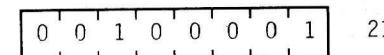
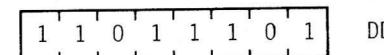
il contenuto della coppia di registri HL sarà 5000H.

LD IX, nn

Operazione: IX ← nn

Formato: Codice operativo Operandi

LD IX, nn



Descrizione:

L'intero nn è caricato nel registro indice IX. Il primo operando n in codice oggetto è il byte di ordine più basso.

CICLI M: 4 STATI T: 14 (4,4,3,3) T.E. a 4MHz: 3,50

Bit di condizione alterati: nessuno

Esempio:

Dopo l'esecuzione dell'istruzione

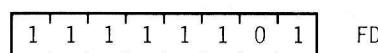
LD IX, 45A2H

il registro indice IX conterrà l'intero 45A2H.

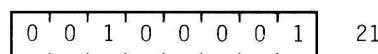
LD IY, nn

Operazione: IY ← nn

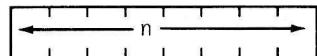
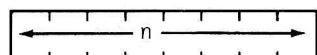
Formato:	Codice operativo	Operandi
	LD	IY, nn



FD



21



Descrizione:

L'intero nn è caricato nel registro indice IY.

Il primo operando n in codice oggetto è il byte di ordine più basso.

CICLI M: 4 STATI T: 14 (4,4,3,3) T.E. a 4MHz: 3,50

Bit di condizione alterati: nessuno

Esempio:

Dopo l'esecuzione dell'istruzione

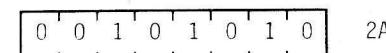
LD IY, 45A2H

il registro indice IY conterrà l'intero 45A2H.

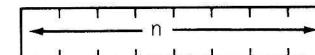
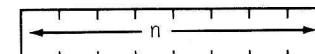
LD HL, (nn)

Operazione: H ← (nn+1), L ← (nn)

Formato:	Codice operativo	Operandi
	LD	HL, (nn)



2A



Descrizione:

Il contenuto della locazione di memoria nn è caricato nella parte bassa della coppia di registri HL (registro L), ed il contenuto della successiva locazione più alta di memoria nn+1 è caricata nella parte alta di HL (registro H).

Il primo operando n in codice oggetto è il byte di ordine più basso di nn.

CICLI M: 5 STATI T: 16 (4,3,3,3,3) T.E. a 4MHZ: 4,00

Bit di condizione alterati: nessuno

Esempio:

Se la locazione di memoria 4545H contiene 37H e la locazione 4546H contiene A1H, dopo l'esecuzione dell'istruzione

LD HL, (4545H)

la coppia HL conterrà A137H.

LD dd, (nn)

Operazione: $dd_H \leftarrow (nn+1)$, $dd_L \leftarrow (nn)$

<u>Formato:</u>	<u>Codice operativo</u>	<u>Operandi</u>
	LD	dd, (nn)
		ED
		DD
		n
		n

Descrizione:

Il contenuto della locazione di memoria nn è caricato nella parte bassa della coppia di registri dd, ed il contenuto della successiva locazione più alta di memoria nn+1 è caricata nella parte alta di dd.

Con dd si definiscono le coppie di registri BC, DE, HL e SP, indicate come segue in codice oggetto:

<u>Coppia di registri</u>	<u>dd</u>
BC	00
DE	01
HL	10
SP	11

Il primo operando n in codice oggetto è il byte di ordine più basso di (nn).

CICLI M: 6 STATI T: 20 (4,4,3,3,3,3) T.E. a 4MHz: 5,00

Bit di condizione alterati: nessuno

Esempio:

Se la locazione di memoria 2130H contiene 65H e la locazione di memoria 2131H contiene 78H, dopo l'esecuzione dell'istruzione

LD BC, (2130H)

la coppia di registri BC conterrà 7865H.

LD IX, (nn)

Operazione: $IX_H \leftarrow (nn+1)$, $IX_L \leftarrow (nn)$

<u>Formato:</u>	<u>Codice operativo</u>	<u>Operandi</u>
	LD	IX, (nn)
		DD
		2A
		n
		n

Descrizione:

Il contenuto dell'indirizzo nn è caricato nella parte di ordine basso del registro indice IX ed il contenuto della locazione di memoria successiva più alta è caricato nella parte di ordine alto di IX.

Il primo operando n è il byte di ordine più basso dell'indirizzo di memoria a due byte nn.

CICLI M: 6 STATI T: 20 (4,4,3,3,3,3) T.E. a 4MHz: 5,00

Bit di condizione alterati: nessuno

Esempio:

Se l'indirizzo 6666H contiene 92H e l'indirizzo 6667H contiene DAH, dopo l'istruzione

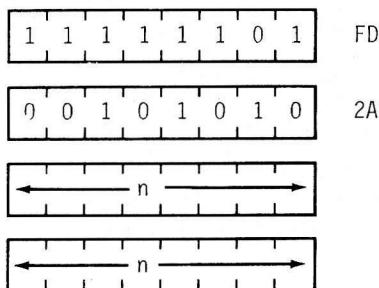
LD IX, (6666H)

il registro indice IX conterrà DA92H.

LD IY, [nn]

Operazione: $IY_H \leftarrow (nn+1)$, $IY_L \leftarrow nn$

<u>Formato:</u>	<u>Codice operativo</u>	<u>Operandi</u>
	LD	IY, (nn)



Descrizione:

Il contenuto dell'indirizzo nn è caricato nella parte di ordine basso del registro indice IY ed il contenuto della locazione di memoria successiva più alta è caricato nella parte di ordine alto di IY.

Il primo operando n è il byte di ordine più basso dell'indirizzo di memoria a due byte nn.

CICLI M: 6 STATI T: 20 (4,4,3,3,3) T.E. a 4MHz: 5,00

Bit di condizione alterati: nessuno

Esempio:

Se l'indirizzo 6666H contiene 92H e l'indirizzo 6667H contiene DAH, dopo l'esecuzione dell'istruzione

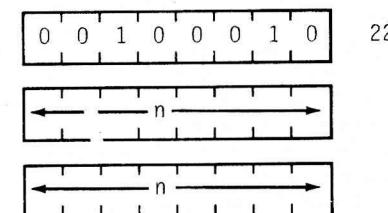
LD IY, (6666H)

il registro indice IY conterrà DA92H.

LD [nn], HL

Operazione: $(nn+1) \leftarrow H$ $(nn) \leftarrow L$

<u>Formato:</u>	<u>Codice operativo</u>	<u>Operandi</u>
	LD	(nn), HL



Descrizione:

Il contenuto della parte di ordine più basso della coppia di registri HL (registro L) è caricato nella locazione di memoria nn, ed il contenuto della parte di ordine alto di HL (registro H) è caricato nella locazione di memoria successiva più alta nn+1.

Il primo operando n in codice oggetto è il byte di ordine più basso di nn.

CICLI M: 5 STATI T: 16 (4,3,3,3,3) T.E. a 4MHz: 4,00

Bit di condizione alterati: nessuno

Esempio:

Se il contenuto della coppia di registri HL è 483AH, dopo l'esecuzione dell'istruzione

LD (B229H), HL

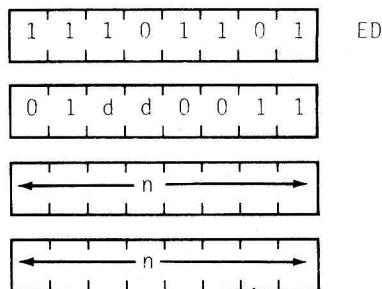
la locazione di memoria B229H conterrà 3AH e la locazione B22AH conterrà 48H.

LD (nn), dd

Operazione: $(nn+1) \leftarrow dd_H, (nn) \leftarrow dd_L$

Formato:	Codice operativo	Operandi
----------	------------------	----------

LD	(nn), dd
----	----------



Descrizione:

Il byte di ordine basso della coppia di registri dd è caricato nella locazione di memoria nn; il byte di ordine più alto è caricato nella locazione di memoria nn+1. Con dd si definiscono le coppie di registri BC, DE, HL e SP, indicate come segue in codice oggetto:

Coppia di registri	dd
BC	00
DE	01
HL	10
SP	11

Il primo operando n in codice oggetto è il byte di ordine più basso di un indirizzo di memoria a due byte.

CICLI M: 6 STATI T: 20 (4,4,3,3,3,3) T.E. a 4MHz: 5,00

Bit di condizione alterati: nessuno

Esempio:

Se la coppia di registri BC contiene il numero 4644H, l'istruzione

LD (1000H), BC

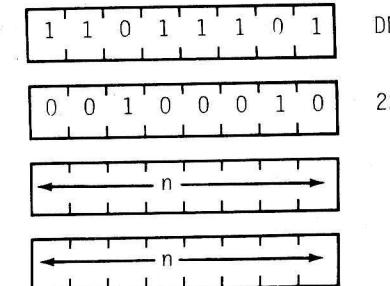
caricherà 44H nella locazione di memoria 1000H e 46H nella locazione 1001H.

LD (nn), IX

Operazione: $(nn+1) \leftarrow IX_H, (nn) \leftarrow IX_L$

Formato:	Codice operativo	Operandi
----------	------------------	----------

LD	(nn), IX
----	----------



Descrizione:

Il byte di ordine basso del registro indice IX è caricato nella locazione di memoria nn; il byte di ordine più alto è caricato nella locazione successiva di memoria più alta nn+1. Il primo operando n è il byte di ordine più basso dell'indirizzo di memoria a due byte nn.

CICLI M: 6 STATI T: 20 (4,4,3,3,3,3) T.E. a 4MHz: 5,00

Bit di condizione alterati: nessuno

Esempio:

Se il registro indice IX contiene 5A30H, dopo l'esecuzione dell'istruzione

LD (4392H), IX

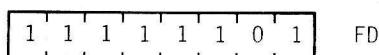
la locazione di memoria 4392H conterrà il numero 30H e la locazione 4393H conterrà 5AH.

LD (nn), IY

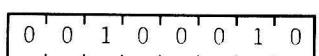
Operazione: $(nn+1) \leftarrow IY_H, (nn) \leftarrow IY_L$

Formato: Codice operativo Operandi

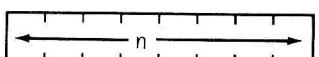
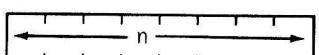
LD (nn), IY



FD



22



Descrizione:

Il byte di ordine basso del registro indice IY è caricato nella locazione di memoria nn; il byte di ordine più alto è caricato nella locazione successiva di memoria più alta nn +1. Il primo operando n è il byte di ordine più basso dell'indirizzo di memoria a due byte nn.

CICLI M: 6 STATI T: 20 (4,4,3,3,3,3) T.E. a 4MHz: 5,00

Bit di condizione alterati: nessuno

Esempio:

Se il registro indice IY contiene 5A30H, dopo l'esecuzione dell'istruzione

LD (4392H), IY

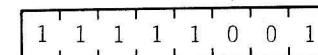
la locazione di memoria 4392H conterrà il numero 30H e la locazione 4393H conterrà 5AH.

LD SP, HL

Operazione: $SP \leftarrow HL$

Formato: Codice operativo Operandi

LD SP, HL



F9

Descrizione:

Il contenuto della coppia di registri HL è caricato nello Stack Pointer SP.

CICLI M: 1 STATI T: 6 T.E. a 4MHz: 1,50

Bit di condizione alterati: nessuno

Esempio:

Se la coppia di registri HL contiene 442EH, dopo l'esecuzione dell'istruzione

LD SP, HL

lo stack pointer conterrà 442EH.

LD SP, IX

Operazione: SP ← IX

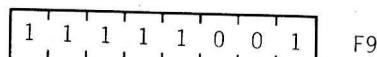
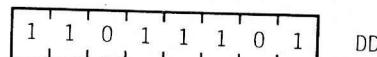
Formato:

Codice operativo

Operandi

LD

SP, IX



Descrizione:

Il contenuto a due byte del registro indice IX è caricato nello stack pointer SP.

CICLI M: 2 STATI T: 10 (4,6) T.E. a 4MHz: 2,50

Bit di condizione alterati: nessuno

Esempio:

Se il contenuto del registro indice IX è 98DAH, dopo l'esecuzione dell'istruzione

LD SP, IX

lo stack pointer conterrà 98DAH.

LD SP, IY

Operazione: SP ← IY

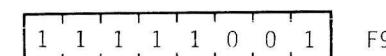
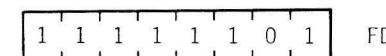
Formato:

Codice operativo

Operandi

LD

SP, IY



Descrizione:

Il contenuto a due byte del registro indice IY è caricato nello stack pointer SP.

CICLI M: 2 STATI T: 10 (4,6) T.E. a 4MHz: 2,50

Bit di condizione alterati: nessuno

Esempio:

Se il contenuto del registro indice IY è 98DAH, dopo l'esecuzione dell'istruzione

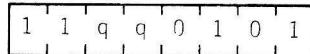
LD SP, IY

lo stack pointer conterrà 98DAH.

PUSH qq

Operazione: $(SP-2) \leftarrow qq_L, (SP-1) \leftarrow qq_H$

Formato: Codice operativo Operando
 PUSH qq



Descrizione:

Il contenuto della coppia di registri qq è caricato nello stack di memoria esterna LIFO (Last-In-First-Out). Il registro Stack Pointer (SP) contiene l'indirizzo a 16 bit dell'attuale «top» dello stack.

Questa istruzione dapprima decrementa SP e carica il byte di ordine alto della coppia di registri qq nella locazione di memoria indicata attualmente da SP; successivamente decremente ancora SP e carica il byte di ordine basso di qq nella locazione di memoria corrispondente al nuovo indirizzo presente in SP. Con qq si definiscono le coppie di registri BC, DE, HL e AF, indicate come segue in codice oggetto:

Coppia di registri	dd
BC	00
DE	01
HL	10
AF	11

CICLI M: 3 STATI T: 11 (5,3,3) T.E. a 4MHz: 2,75

Bit di condizione alterati: nessuno

Esempio:

Se la coppia di registri AF contiene 2233H e lo stack pointer contiene 1007H, dopo l'esecuzione dell'istruzione

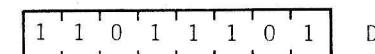
PUSH AF

la locazione di memoria 1006H conterrà 22H, la locazione di memoria 1005H conterrà 33H e lo stack pointer conterrà 1005H.

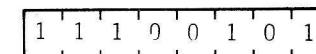
PUSH IX

Operazione: $(SP-2) \leftarrow IX_L, (SP-1) \leftarrow IX_H$

Formato: Codice operativo Operando
 PUSH IX



DD



E5

Descrizione:

Il contenuto del registro indice IX è caricato nello stack di memoria esterna LIFO (last-in, first-out). Il registro Stack Pointer (SP) contiene l'indirizzo a 16 bit dell'attuale «top» dello stack. Questa istruzione dapprima decrementa SP e carica il byte di ordine alto di IX nella locazione di memoria ora specificata da SP; decremente quindi di nuovo SP e carica il byte di ordine basso nella posizione di memoria corrispondente al nuovo indirizzo presente in SP.

CICLI M: 3 STATI T: 15 (4,5,3,3) T.E. a 4 MHz: 3,75

Bit di condizione alterati: nessuno

Esempio:

Se il registro indice IX contiene 2233H e lo Stack Pointer contiene 1007H, dopo l'esecuzione dell'istruzione

PUSH IX

la locazione di memoria 1006H conterrà 22H, la locazione di memoria 1005H conterrà 33H, e lo Stack Pointer conterrà 1005H.

PUSH IY

Operazione: $(SP-2) \leftarrow IY_L, (SP-1) \leftarrow IY_H$

Formato:

Codice operativo	Operando
------------------	----------

PUSH

IY

1	1	1	1	1	1	0	1
---	---	---	---	---	---	---	---

FD

1	1	1	0	0	1	0	1
---	---	---	---	---	---	---	---

E5

Descrizione:

Il contenuto del registro indice IY è caricato nello stack di memoria esterna LIFO (last-in, first-out). Il registro dello Stack Pointer (SP) contiene l'indirizzo a 16 bit dell'attuale «top» dello stack.

Questa istruzione dapprima decremente SP e carica il byte di ordine alto di IY nella locazione di memoria ora specificata da SP; quindi decremente di nuovo SP e carica il byte di ordine basso nella locazione di memoria corrispondente al nuovo indirizzo presente in SP.

CICLI M: 4 STATI T: 15 (4,5,3,3) T.E. a 4 MHz: 3,75

Bit di condizione alterati: nessuno

Esempio:

Se il registro indice IY contiene 2233H e lo Stack Pointer contiene 1007H, dopo l'esecuzione dell'istruzione

PUSH IY

la locazione di memoria 1006H conterrà 22H, la locazione di memoria 1005H conterrà 33H, e lo Stack Pointer conterrà 1005H.

POP qq

Operazione: $qq_H \leftarrow (SP+1), qq_L \leftarrow (SP)$

Formato:

Codice operativo	Operando
------------------	----------

POP

qq

1	1	q	q	0	0	0	1
---	---	---	---	---	---	---	---

Descrizione:

I due byte della parte alta dello stack di memoria esterna LIFO (last-in, first-out) sono inseriti nella coppia di registri qq. Il registro dello Stack Pointer (SP) contiene l'indirizzo a 16 bit dell'attuale «top» dello stack. Questa istruzione dapprima carica nella parte di ordine più basso di qq, il byte della locazione di memoria corrispondente al contenuto di SP; quindi SP è incrementato e il contenuto della locazione di memoria adiacente corrispondente è caricato nella parte di ordine alto di qq ed SP viene ora nuovamente incrementato. L'operando qq definisce la coppia di registri BC, DE, HL o AF, indicate come segue nel codice oggetto:

Coppia di registri	dd
BC	00
DE	01
HL	10
AF	11

CICLI M: 3 STATI T: 10 (4,3,3) T.E. a 4 MHZ: 2,50

Bit di condizione alterati: nessuno

Esempio:

Se lo Stack Pointer contiene 1000H, la locazione di memoria 1000H contiene 55H, e la locazione 1001H contiene 33H, dopo l'esecuzione dell'istruzione

POP HL

la coppia di registri HL conterrà 3355H, e lo Stack Pointer 1002H.

POP IX

Operazione: $IX_H \leftarrow (SP+1)$, $IX_L \leftarrow (SP)$

Formato:

<u>Codice operativo</u>	<u>Operando</u>
POP	IX

1	1	0	1	1	1	0	1

 DD

1	1	1	0	0	0	0	1

 E1

Descrizione:

I due byte della parte alta dello stack di memoria esterna LIFO (last-in, first-out) sono inseriti nel registro indice IX. Il registro dello Stack Pointer (SP) contiene l'indirizzo a 16 bit dell'attuale «top» dello stack. Questa istruzione dapprima carica nella parte di ordine basso di IX il byte alla locazione di memoria corrispondente al contenuto di SP; quindi SP è incrementato e il contenuto della posizione di memoria adiacente corrispondente è caricato nella parte di ordine alto di IX. Viene quindi nuovamente incrementato SP.

CICLI M: 4 STATI T: 14 (4,4,3,3) T.E. a 4 MHz: 3,50

Bit di condizione alterati: nessuno

Esempio:

Se lo Stack Pointer contiene 1000H, la locazione di memoria 1000H contiene 55H, e la locazione 1001H contiene 33H, dopo l'esecuzione dell'istruzione

POP IX

il registro indice IX conterrà 3355H, e lo Stack Pointer 1002H.

POP IY

Operazione: $IY_H \leftarrow (SP+1)$, $IY_L \leftarrow (SP)$

Formato:

<u>Codice operativo</u>	<u>Operando</u>
POP	IY

1	1	1	1	1	1	0	1

 FD

1	1	1	0	0	0	0	1

 E1

Descrizione:

I due byte della parte alta dello stack di memoria esterna LIFO (last-in, first-out) sono inseriti nel registro indice IY. Il registro dello Stack Pointer (SP) contiene l'indirizzo a 16 bit dell'attuale «top» dello stack. Questa istruzione dapprima carica nella parte di ordine basso di IY il byte alla locazione di memoria corrispondente al contenuto di SP; poi viene incrementato SP ed il contenuto della posizione di memoria adiacente corrispondente è caricato nella parte di ordine alto di IY. Viene quindi nuovamente incrementato SP.

CICLI M: 4 STATI T: 14 (4,4,3,3) T.E. a 4 MHz: 3,50

Bit di condizione alterati: nessuno

Esempio:

Se lo Stack Pointer contiene 1000H, la locazione di memoria 1000H contiene 55H, e la locazione 1001H contiene 33H, dopo l'esecuzione dell'istruzione

POP IY

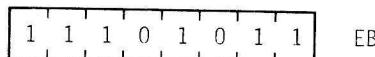
il registro indice IY conterrà 3355H, e lo Stack Pointer 1002H.

GRUPPO DI SCAMBIO, TRASFERIMENTO BLOCCO E RICERCA

EX DE, HL

Operazione: DE ↔ HL

Formato:	Codice operativo	Operandi
	EX	DE, HL



Descrizione:

I contenuti a due byte delle coppie di registri DE e HL vengono scambiati fra di loro.

CICLI M: 1 STATI T: 4 T.E. a 4 MHz: 1,00

Bit di condizione alterati: nessuno

Esempio:

Se il contenuto della coppia di registri DE è il numero 2822H, e il contenuto della coppia di registri HL è il numero 499AH, dopo l'esecuzione dell'istruzione

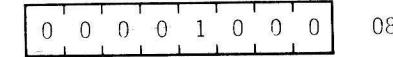
EX DE, HL

il contenuto della coppia di registri DE sarà 499AH e il contenuto della coppia di registri HL sarà 2822H.

EX AF, AF'

Operazione: AF ↔ AF'

Formato:	Codice operativo	Operandi
	EX	AF, AF'



Descrizione:

I contenuti a due byte delle coppie di registri AF e AF' vengono scambiati fra di loro.
(Nota: la coppia di registri AF' è costituita dai registri A' e F').

CICLI M: 1 STATI T: 4 T.E. a 4 MHz: 1,00

Bit di condizione alterati: nessuno

Esempio:

Se il contenuto della coppia di registri AF è il numero 9900H, ed il contenuto della coppia di registri AF' è il numero 5944H, dopo l'esecuzione dell'istruzione

EX AF, AF'

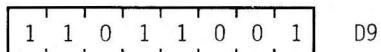
il contenuto di AF sarà 5944H, e il contenuto di AF' sarà 9900H.

EXX

Operazione: $(BC) \leftrightarrow (BC')$, $(DE) \leftrightarrow (DE')$, $(HL) \leftrightarrow (HL')$

Formato: Codice operativo

EXX



Descrizione:

Ogni valore a due byte delle coppie di registri BC, DE e HL viene scambiato con il valore a due byte di BC', DE' e HL', rispettivamente.

CICLI M: 1 STATI T: 4 T.E. a 4 MHz: 1,00

Bit di condizione alterati: nessuno

Esempio:

Se i contenuti delle coppie di registri BC, DE e HL sono i numeri 445AH, 3DA2H e 8859H, rispettivamente, e i contenuti delle coppie di registri BC', DE' e HL' sono rispettivamente 0988H, 9300H e 00E7H, dopo l'esecuzione dell'istruzione EXX i contenuti delle coppie di registri saranno i seguenti:

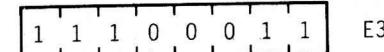
BC: 0988H; DE: 9300H; HL: 00E7H; BC': 445AH; DE': 3DA2H; HL: 8859H.

EX (SP), HL

Operazione: $H \leftrightarrow (SP+1)$, $L \leftrightarrow (SP)$

Formato: Codice operativo Operandi

EX (SP), HL



Descrizione:

Il byte di ordine basso contenuto nella coppia di registri HL è scambiato con il contenuto dell'indirizzo di memoria specificato dal contenuto del registro SP (Stack Pointer), e il byte di ordine alto di HL è scambiato con l'indirizzo di memoria successivo più alto (SP+1).

CICLI M: 5 STATI T: 19 (4,3,4,3,5) T.E. a 4 MHz: 4,75

Bit di condizione alterati: nessuno

Esempio:

Se la coppia di registri HL contiene 7012H, il registro SP contiene 8856H, la locazione di memoria 8856H contiene il byte 11H, e la locazione di memoria 8857H contiene il byte 22H, dopo l'esecuzione dell'istruzione

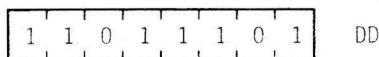
EX (SP), HL

la coppia di registri HL conterrà il numero 2211H, la locazione di memoria 8856H il byte 12H, la locazione di memoria 8857H il byte 70H e lo Stack Pointer 8856H.

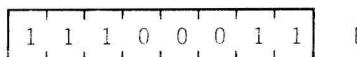
EX (SP), IX

Operazione: $IX_H \leftrightarrow (SP+I)$, $IX_L \leftrightarrow (SP)$

<u>Formato:</u>	<u>Codice operativo</u>	<u>Operandi</u>
	EX	(SP), IX



DD



E3

Descrizione:

Il byte di ordine basso nel registro indice IX è scambiato con il contenuto dell'indirizzo di memoria specificato dal contenuto del registro SP (Stack Pointer), e il byte di ordine alto di IX è scambiato con l'indirizzo di memoria successivo più alto (SP+I).

CICLI M: 6 STATI T: 23 (4,4,3,4,3,5) T.E. a 4 MHz: 5,75

Bit di condizione alterati: nessuno

Esempio:

Se il registro indice IX contiene 3988H, il registro SP contiene 0100H, la locazione di memoria 0100H contiene il byte 90, e la locazione di memoria 0101H contiene il byte 48H, allora dopo l'esecuzione dell'istruzione

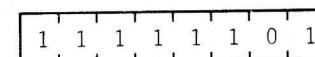
EX (SP), IX

la coppia di registri IX conterrà il numero 4890H, la locazione di memoria 0100H conterrà 88H, la locazione di memoria 0101H conterrà 39H e lo Stack Pointer 0100H.

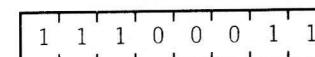
EX (SP), IY

Operazione: $IY_H \leftrightarrow (SP+I)$, $IY_L \leftrightarrow (SP)$

<u>Formato:</u>	<u>Codice operativo</u>	<u>Operandi</u>
	EX	(SP), IY



FD



E3

Descrizione:

Il byte di ordine basso nel registro indice IY è scambiato con il contenuto dell'indirizzo di memoria specificato dal contenuto del registro SP (Stack Pointer), e il byte di ordine alto di IY viene scambiato con l'indirizzo di memoria successivo più alto (SP+I).

CICLI M: 6 STATI T: 23 (4,4,3,4,3,5) T.E. a 4 MHz: 5,75

Bit di condizione alterati: nessuno

Esempio:

Se il registro indice IY contiene 3988H, il registro SP contiene 0100H, la locazione di memoria 0100H contiene il byte 90, e la locazione di memoria 0101H contiene il byte 48H, allora dopo l'esecuzione dell'istruzione

EX (SP), IY

la coppia di registri IY conterrà il numero 4890H, la locazione di memoria 0100H conterrà 88H, la locazione di memoria 0101H conterrà 39H e lo Stack Pointer 0100H.

LDI

Operazione: $(DE) \leftarrow (HL)$, $DE \leftarrow DE + 1$, $HL \leftarrow HL + 1$, $BC \leftarrow BC - 1$

Formato: Codice operativo

LDI

1	1	1	0	1	1	0	1
---	---	---	---	---	---	---	---

ED

1	0	1	0	0	0	0	0
---	---	---	---	---	---	---	---

A0

Descrizione:

Un byte di dati viene trasferito dalla locazione di memoria indirizzata dal contenuto della coppia di registri HL alla locazione di memoria indirizzata dal contenuto della coppia di registri DE. Quindi entrambe queste coppie di registri sono incrementate e la coppia di registri BC (Byte Counter) è decrementata.

CICLI M: 4 STATI T: 16 (4,4,3,5) T.E. a 4 MHZ: 4,00

Bit di condizione alterati:

- S: Inalterato
- Z: Inalterato
- H: Resetto
- P/V: Settato se $BC = 0$;
altrimenti resetto
- N: Resetto
- C: Inalterato

Esempio:

Se la coppia di registri HL contiene 1111H, la locazione di memoria 1111H contiene il byte 88H, la coppia di registri DE contiene 2222H, la locazione di memoria 2222H contiene il byte 66H e la coppia di registri BC contiene 7H, allora dopo l'esecuzione dell'istruzione

LDI

i contenuti delle coppie di registri e degli indirizzi di memoria sono i seguenti:

HL	:	1112H
(1111H)	:	88H
DE	:	2223H
(2222H)	:	88H
BC	:	6H

LDIR

Operazione: $(DE) \leftarrow (HL)$, $DE \leftarrow DE + 1$, $HL \leftarrow HL + 1$, $BC \leftarrow BC - 1$

Formato: Codice operativo

LDIR

1	1	1	0	1	1	0	1
---	---	---	---	---	---	---	---

ED

1	0	1	1	0	0	0	0
---	---	---	---	---	---	---	---

BO

Descrizione:

Questa istruzione a due byte trasferisce un byte di dati dalla locazione di memoria indirizzata dal contenuto della coppia di registri HL alla locazione di memoria indirizzata dalla coppia di registri DE.

Entrambe queste coppie di registri vengono quindi incrementate, e viene decrementata la coppia di registri BC (Byte Counter). Se il decremento fa sì che BC vada a zero, l'istruzione è terminata. Se BC non è zero, il contatore di programma è decrementato di 2 e l'istruzione viene ripetuta. Si noti che se BC viene settato a zero prima che l'istruzione venga eseguita, l'istruzione effettuerà un loop attraverso 64K byte. Inoltre verranno riconosciute le interruzioni e saranno eseguiti due cicli di refresh dopo ogni trasferimento dati.

Per $BC \neq 0$:

CICLI M: 5 STATI T: 21 (4,4,3,5,5) T.E. a 4 MHz: 5,25

Per $BC = 0$:

CICLI M: 4 STATI T: 16 (4,4,3,5) T.E. a 4 MHz: 4,00

Bit di condizione alterati:

- S: Inalterato
- Z: Inalterato
- H: Resetto
- P/V: Resetto
- N: Resetto
- C: Inalterato

Esempio:

Se la coppia di registri HL contiene 1111H, la coppia di registri DE contiene 2222H, la coppia di registri BC contiene 0003H, e le locazioni di memoria hanno questi contenuti:

(1111H) : 88H	(2222H) : 66H
(1112H) : 36H	(2223H) : 59H
(1113H) : A5H	(2224H) : C5H

allora dopo l'esecuzione di

LDIR

i contenuti delle coppie di registri e delle locazioni di memoria saranno:

HL : 1114H

DE : 2225H

BC : 0000H

(1111H) : 88H	(2222H) : 88H
(1112H) : 36H	(2223H) : 36H
(1113H) : A5H	(2224H) : A5H

LDD

Operazione: $\cdot(DE) \leftarrow (HL)$, $DE \leftarrow DE - 1$, $HL \leftarrow HL - 1$, $BC \leftarrow BC - 1$

Formato: Codice operativo

LDD

1	1	1	0	1	1	0	1
---	---	---	---	---	---	---	---

ED

1	0	1	0	1	0	0	0
---	---	---	---	---	---	---	---

A8

Descrizione:

Questa istruzione a due byte trasferisce un byte di dati dalla locazione di memoria indirizzata dal contenuto della coppia di registri HL alla locazione di memoria indirizzata dal contenuto della coppia di registri DE. Entrambe queste coppie di registri, inclusa la coppia di registri BC (Byte Counter) vengono decrementate.

CICLI M: 4 STATI T: 16 (4,4,3,5) T.E. a 4 MHz: 4,00

Bit di condizione alterati:

S:	Inalterato
Z:	Inalterato
H:	Resetto
P/V:	Settato se $BC - 1 \neq 0$; altrimenti resetto
N:	Resetto
C:	Inalterato

Esempio:

Se la coppia di registri HL contiene 1111H, la locazione di memoria 1111H contiene il byte 88H, la coppia di registri DE contiene 2222H, la locazione di memoria 2222H contiene il byte 66H, e la coppia di registri BC contiene 7H, allora l'istruzione

LDD

determinerà i seguenti contenuti delle coppie di registri e degli indirizzi di memoria:

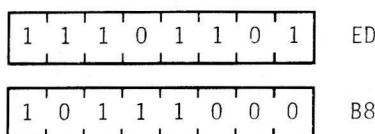
HL : 1110H
(1111H) : 88H
DE : 2221H
(2222H) : 88H
BC : 6H

LDDR

Operazione: (DE) \leftarrow (HL), DE \leftarrow DE-1, HL \leftarrow HL-1, BC \leftarrow BC-1

Formato: Codice operativo

LDDR



ED

B8

Descrizione:

Questa istruzione a due byte trasferisce un byte di dati dalla locazione di memoria indirizzata dal contenuto della coppia di registri HL alla locazione di memoria indirizzata dal contenuto della coppia di registri DE. Poi entrambe queste coppie di registri, nonché BC (Byte Counter), vengono decrementati. Se il decremento fa sì che BC vada a zero, l'istruzione è terminata. Se BC non è zero, il contatore di programma è decrementato di 2 e l'istruzione viene ripetuta. Si noti che, se BC viene settato a zero prima che l'istruzione venga eseguita, l'istruzione effettuerà un loop attraverso 64K byte. Inoltre, verranno riconosciute le istruzioni e verranno eseguiti due cicli di refresh dopo ogni trasferimento dati.

Per BC $\neq 0$:

CICLI M: 5 STATI T: 21 (4,4,3,5,5) T.E. a 4 MHz: 5,25

Per BC = 0:

CICLI M: 4 STATI T: 16 (4,4,3,5) T.E. a 4 MHz: 4,00

Bit di condizione alterati:

S:	Inalterato
Z:	Inalterato
H:	Resetto
P/V:	Resetto
N:	Resetto
C:	Inalterato

Esempio:

Se la coppia di registri HL contiene 1114H, la coppia di registri DE contiene 2225H, la coppia di registri BC contiene 0003H, e le locazioni di memoria hanno i seguenti contenuti:

(1114H) : A5H	(2225H) : C5H
(1113H) : 36H	(2224H) : 59H
(1112H) : 88H	(2223H) : 66H

allora dopo l'esecuzione di

LDDR

i contenuti delle coppie di registri e delle locazioni di memoria saranno:

HL : 1111H

DE : 2222H

BC : 0000H

(1114H) : A5H	(2225H) : A5H
(1113H) : 36H	(2224H) : 36H
(1112H) : 88H	(2223H) : 88H

CPI

Operazione: A - (HL), HL \leftarrow HL+1, BC \leftarrow BC-1

Formato: Codice operativo

CPI

1	1	1	0	1	1	0	1
1	0	1	0	0	0	0	1

ED

A1

Descrizione:

Il contenuto della locazione di memoria indirizzata dalla coppia di registri HL è confrontato con il contenuto dell'accumulatore. In caso di coincidenza, viene settato un bit di condizione. Viene quindi incrementato HL e decrementato il Byte Counter (coppia di registri BC).

CICLI M: 4 STATI T: 16 (4,4,3,5) T.E. a 4 MHz: 4,00

Bit di condizione alterati:

- S: Settato se il risultato è negativo;
altrimenti resettato
- Z: Settato se A = (HL);
altrimenti resettato
- H: Settato se c'è un riporto negativo dal bit 4
altrimenti resettato
- P/V: Settato se BC-1 \neq 0;
altrimenti resettato
- N: Settato
- C: Inalterato

Esempio:

Se la coppia di registri HL contiene 1111H, la locazione di memoria 1111H contiene 3BH, l'accumulatore contiene 3BH, e il Byte Counter contiene 0001H, allora dopo l'esecuzione di

CPI

il Byte Counter conterrà 0000H, la coppia di registri HL conterrà 1112H, il flag Z nel registro F verrà settato, e verrà resettato il flag P/V nel registro F. Non vi saranno effetti sul contenuto dell'accumulatore o sull'indirizzo 1111H.

CPIR

Operazione: A - (HL), HL \leftarrow HL+1, BC \leftarrow BC-1

Formato: Codice operativo

CPIR

1	1	1	0	1	1	0	1
---	---	---	---	---	---	---	---

ED

1	0	1	1	0	0	0	1
---	---	---	---	---	---	---	---

B1

Descrizione:

Il contenuto della locazione di memoria indirizzata dalla coppia di registri HL è confrontato con il contenuto dell'accumulatore. In caso di confronto esatto, viene settato un bit di condizione. Viene incrementato HL e decrementato il Byte Counter (coppia di registri BC).

Se il decremento fa sì che BC vada a zero, oppure se A=(HL), l'istruzione è terminata. Se BC non è zero e A \neq (HL), il contatore di programma è decrementato di 2 e l'istruzione viene ripetuta. Si noti che, se BC è settato a zero prima dell'esecuzione dell'istruzione, l'istruzione effettuerà un loop attraverso 64K byte, se non si trova alcuna corrispondenza. Inoltre verranno riconosciute le interruzioni e saranno eseguiti due cicli di refresh dopo ogni trasferimento dati.

Per BC \neq 0 e A \neq (HL):

CICLI M: 5 STATI T: 21 (4,4,3,5,5) T.E. a 4 MHz: 5,25

Per BC = 0 o A = (HL):

CICLI M: 4 STATI T: 16 (4,4,3,5) T.E. a 4 MHz: 4,00

Bit di condizione alterati:

- S: Settato se il risultato è negativo;
altrimenti resettato
- Z: Settato se A = (HL);
altrimenti resettato
- H: Settato se c'è un riporto negativo dal bit 4
altrimenti resettato
- P/V: Settato se BC-1 ≠ 0;
altrimenti resettato
- N: Settato
- C: Inalterato

CPD

Operazione: A - (HL), HL← HL-1, BC← BC-1

Formato: Codice operativo

CPD

1	1	1	0	1	1	0	1
---	---	---	---	---	---	---	---

ED

1	0	1	0	1	0	0	1
---	---	---	---	---	---	---	---

A9

Esempio:

Se la coppia di registri HL contiene 1111H, l'accumulatore contiene F3H, il Byte Counter contiene 0007H, e le locazioni di memoria hanno i seguenti contenuti:

(1111H) : 52H
 (1112H) : 00H
 (1113H) : F3H

allora dopo l'esecuzione di

CPIR

il contenuto della coppia di registri HL sarà 1114H, il contenuto del Byte Counter sarà 0004H, verranno settati il flag P/V ed il flag Z nel registro F.

Descrizione:

Il contenuto della locazione di memoria indirizzata dalla coppia di registri HL è confrontato con il contenuto dell'accumulatore. In caso di coincidenza, viene settato un bit di condizione. Vengono decrementati HL e il Byte Counter (coppia di registri BC).

CICLI M: 4 STATI T: 16 (4,4,3,5) T.E. a 4 MHz: 4,00

Bit di condizione alterati:

- S: Settato se il risultato è negativo;
altrimenti resettato
- Z: Settato se A = (HL);
altrimenti resettato
- H: Settato se c'è riporto negativo dal bit 4;
altrimenti resettato
- P/V: Settato se BC-1 ≠ 0;
altrimenti resettato
- N: Settato
- C: Inalterato

Esempio:

Se la coppia di registri HL contiene 1111H, la locazione di memoria 1111H contiene 3BH, l'accumulatore contiene 3BH, e il Byte Counter contiene 0001H, allora dopo l'esecuzione di

CPD

Il Byte Counter conterrà 0000H, la coppia di registri HL conterrà 1110H, il flag Z nel registro F verrà settato, e verrà resettato il flag P/V nel registro F. Non vi saranno effetti sul contenuto dell'accumulatore o sull'indirizzo 1111H.

CPDR

Operazione: A - (HL), HL←HL-1, BC←BC-1

Formato: Codice operativo

CPDR

1	1	1	0	1	1	0	1
---	---	---	---	---	---	---	---

ED

1	0	1	1	1	0	0	1
---	---	---	---	---	---	---	---

B9

Descrizione:

Il contenuto della locazione di memoria indirizzata dalla coppia di registri HL verrà confrontato con il contenuto dell'accumulatore.

In caso di coincidenza, viene settato un bit di condizione. Le copie di registri HL e BC vengono decrementate. Se il decremento fa sì che BC vada a zero o se A = (HL), l'istruzione è terminata. Se BC non è zero a A ≠ (HL), il contatore di programma viene decrementato di 2 e l'istruzione ripetuta. Notate che, se BC viene settato a zero prima che l'istruzione venga eseguita, l'istruzione effettuerà un loop attraverso 64K byte, se non si trova alcuna corrispondenza.

Inoltre, verranno riconosciute le interruzioni e verranno eseguiti due cicli di refresh dopo ogni trasferimento dati.

Per BC ≠ 0 e A ≠ (HL);

CICLI M: 5 STATI T: 21 (4,4,3,5,5) T.E. a 4 MHz: 5,25

Per BC = 0 oppure A = (HL);

CICLI M: 4 STATI T: 16 (4,4,3,5) T.E. a 4 MHz: 4,00

Bit di condizione alterati:

- | | |
|------|---|
| S: | Settato se il risultato è negativo;
altrimenti resettato |
| Z: | Settato se A = (HL);
altrimenti resettato |
| H: | Settato se c'è un riporto negativo dal bit 4;
altrimenti resettato |
| P/V: | Settato se BC-1 ≠ 0;
altrimenti resettato |
| N: | Settato |
| C: | Inalterato |

Esempio:

Se la coppia di registri HL contiene 1118H, l'accumulatore contiene F3H, il Byte Counter contiene 0007H, e le locazioni di memoria hanno questi contenuti:

(1118H) : 52H

(1117H) : 00H

(1116H) : F3H

Allora dopo l'esecuzione di

CPDR

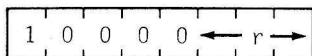
il contenuto della coppia di registri HL sarà 1115H, il contenuto del Byte Counter sarà 0004H, il flag P/V ed il Flag Z nel registro F verranno settati.

GRUPPO DI ISTRUZIONI LOGICHE E ARITMETICHE

ADD A, r

Operazione: $A \leftarrow A + r$

Formato:	Codice operativo	Operandi
	ADD	A, r



Descrizione:

Il contenuto del registro r viene sommato al contenuto dell'accumulatore, e il risultato viene memorizzato nell'accumulatore. Il simbolo r sta ad indicare i registri A, B, C, D, E, H o L indicati come segue in codice oggetto:

Registro	r
A	111
B	000
C	001
D	010
E	011
H	100
L	101

CICLI M: 1 STATI T: 4 T.E. a 4 MHz: 1,00

Bit di condizione alterati:

- S: Settato se il risultato è negativo;
altrimenti resettato
- Z: Settato se il risultato è zero;
altrimenti resettato
- H: Settato se c'è riporto dal bit 3;
altrimenti resettato
- P/V: Settato in caso di overflow;
altrimenti resettato
- N: Resettato
- C: Settato se c'è riporto dal bit 7;
altrimenti resettato

Esempio:

Se il contenuto dell'accumulatore è 44H, e il contenuto del registro C è 11H, dopo l'esecuzione di

ADD A, C

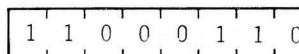
il contenuto dell'accumulatore sarà 55H.

ADD A, n

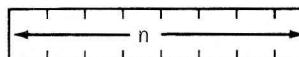
Operazione: $A \leftarrow A + n$

Formato: Codice operativo Operandi

ADD A, n



C6



Descrizione:

L'intero n viene sommato al contenuto dell'accumulatore e il risultato è memorizzato nell'accumulatore.

a:i:CICLI M: 2 STATI T: 7 (4,3) T.E. a 4 MHz: 1,75

Bit di condizione alterati:

- S: Settato se il risultato è negativo; altrimenti resettato
- Z: Settato se il risultato è zero; altrimenti resettato
- H: Settato se c'è riporto dal bit 3; altrimenti resettato
- P/V: Settato in caso di overflow; altrimenti resettato
- N: Resetto
- C: Settato se c'è riporto dal bit 7; altrimenti resettato

Esempio:

Se il contenuto dell'accumulatore è 23H, dopo l'esecuzione di

ADD A, 33H

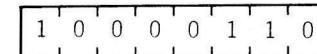
il contenuto dell'accumulatore sarà 56H.

ADD A, (HL)

Operazione: $A \leftarrow A + (HL)$

Formato: Codice operativo Operandi

ADD A, (HL)



86

Descrizione:

Il byte all'indirizzo di memoria specificato dal contenuto della coppia di registri HL viene sommato al contenuto dell'accumulatore e il risultato è memorizzato nell'accumulatore.

CICLI M: 2 STATI T: 7 (4,3) T.E. a 4 MHz: 1,75

Bit di condizione alterati:

- S: Settato se il risultato è negativo; altrimenti resettato
- Z: Settato se il risultato è zero; altrimenti resettato
- H: Settato se c'è un riporto dal bit 3; altrimenti resettato
- P/V: Settato in caso di overflow; altrimenti resettato
- N: Resetto
- C: Settato se c'è riporto dal bit 7; altrimenti resettato

Esempio:

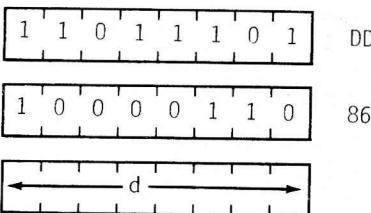
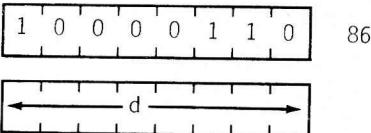
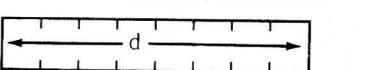
Se il contenuto dell'accumulatore è A0H, e il contenuto della coppia di registri HL è 2323H, e la locazione di memoria 2323H contiene il byte 08H, dopo l'esecuzione di

ADD A, (HL)

l'accumulatore conterrà A8H.

ADD A, (IX+d)

Operazione: $A \leftarrow A + (IX+d)$

Formato:	Codice operativo	Operandi
	ADD	A, (IX+d)
		
		DD
		
		86
		
		d

Descrizione:

Il contenuto del registro indice (coppia di registri IX) è sommato ad uno spostamento relativo d per puntare ad un indirizzo in memoria.

Il contenuto di questo indirizzo è poi sommato al contenuto dell'accumulatore ed il risultato viene memorizzato nell'accumulatore.

CICLI M: 5 STATI T: 19 (4,4,3,5,3) T.E. a 4 MHz: 4,75

Bit di condizione alterati:

- S: Settato se il risultato è negativo; altrimenti resettato
- Z: Settato se il risultato è zero; altrimenti resettato
- H: Settato se c'è un riporto dal bit 3; altrimenti resettato
- P/V: Settato in caso di overflow; altrimenti resettato
- N: Resetto
- C: Settato se c'è riporto dal bit 7; altrimenti resettato

Esempio:

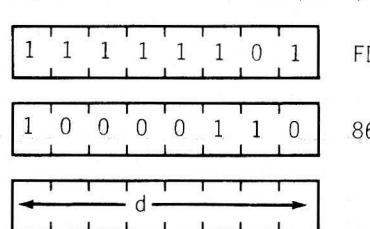
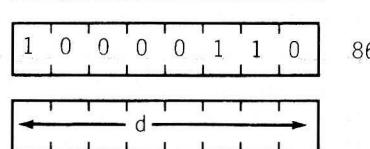
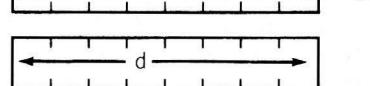
Se il contenuto dell'accumulatore è 11H, se il registro indice IX contiene 1000H, e se il contenuto della locazione di memoria 1005H è 22H, dopo l'esecuzione di

ADD A, (IX+5H)

il contenuto dell'accumulatore sarà 33H.

ADD A, (IY+d)

Operazione: $A \leftarrow A + (IY+d)$

Formato:	Codice operativo	Operandi
	ADD	A, (IY+d)
		
		FD
		
		86
		
		d

Descrizione:

Il contenuto del registro indice (coppia di registri IY) è sommato ad uno spostamento relativo d per puntare ad un indirizzo in memoria. Il contenuto di questo indirizzo è poi sommato al contenuto dell'accumulatore ed il risultato viene memorizzato nell'accumulatore.

CICLI M: 5 STATI T: 19 (4,4,3,5,3) T.E. a 4MHz: 4,75

Bit di condizione alterati:

- S: Settato se il risultato è negativo; altrimenti resettato
- Z: Settato se il risultato è zero; altrimenti resettato
- H: Settato se c'è un riporto dal bit 3; altrimenti resettato
- P/V: Settato in caso di overflow; altrimenti resettato
- N: Resetto
- C: Settato se c'è riporto dal bit 7; altrimenti resettato

Esempio:

Se il contenuto dell'accumulatore è 11H, se il registro indice IY contiene 1000H, e se il contenuto della locazione di memoria 1005H è 22H, dopo l'esecuzione di

ADD A, (IY+5H)

il contenuto dell'accumulatore sarà 33H.

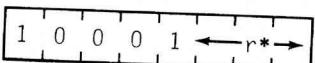
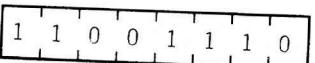
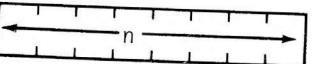
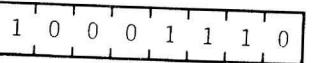
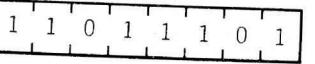
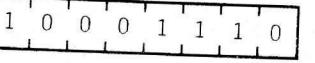
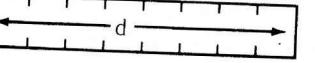
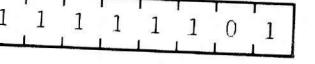
ADC A, s

Operazione: $A \leftarrow A + s + CY$

Formato:

<u>Codice operativo</u>	<u>Operando</u>
ADC	A, s

L'operando s è uno qualunque tra r, n, (HL), (IX+d) o (IY+d), come per l'istruzione analoga ADD. Queste varie combinazioni possibili fra codice operativo ed operando sono indicate come segue in codice oggetto:

ADC A, r	
ADC A, n	
	CE
ADC A, (HL)	
	8E
ADC A, (IX+d)	
	DD
	
	8E
ADC A, (IY+d)	
	FD
	
	8E
	

*r identifica i registri B, C, D, E, H, L o A indicati come segue in codice oggetto:

Registro	r
B	000
C	001
D	010
E	011
H	100
L	101
A	111

Descrizione:

L'operando s, insieme al flag di Carry ("C" nel registro F) viene sommato al contenuto dell'accumulatore, e il risultato viene memorizzato nell'accumulatore.

ISTRUZIONE	CICLI M	STATI T	T.E. a 4 MHz
ADC A,r	1	4	1.00
ADC A,n	2	7(4,3)	1.75
ADC A,(HL)	2	7(4,3)	1,75
ADC A,(IX+d)	5	19(4,4,3,5,3)	4.75
ADC A,(IY+d)	5	19(4,4,3,5,3)	4.75

Bit di condizione alterati:

- S: Settato se il risultato è negativo; altrimenti resettato
- Z: Settato se il risultato è zero; altrimenti resettato
- H: Settato se c'è riporto dal bit 3; altrimenti resettato
- P/V: Settato in caso di overflow; altrimenti resettato
- N: Resetto
- C: Settato se c'è riporto dal bit 7; altrimenti resettato

Esempio:

Se l'accumulatore contiene 16H, se il flag di Carry è settato, se la coppia di registri HL contiene 6666H, e se l'indirizzo 6666H contiene 10H, dopo l'esecuzione di

ADC A, (HL)

l'accumulatore conterrà 27H.

SUB s

Operazione: A \leftarrow A - s

Formato: Codice operativo Operando

SUB s

L'operando s è uno qualunque tra r, n, (HL), (IX+d) o (IY+d), come per l'istruzione analoga ADD. Queste varie combinazioni possibili fra codice operativo ed operando sono indicate come segue in codice oggetto;

SUB r	
SUB n	
SUB (HL)	
SUB (IX+d)	
SUB (IY+d)	

*r identifica i registri B, C, D, E, H, L o A indicati come segue in codice oggetto:

Registro	r
B	000
C	001
D	010
E	011
H	100
L	101
A	111

Descrizione:

L'operando s viene sottratto dal contenuto dell'accumulatore, e il risultato è memorizzato nell'accumulatore.

ISTRUZIONE	CICLI M	STATI T	T.E. a 4 MHz
SUB r	1	4	1.00
SUB n	2	7(4,3)	1.75
SUB (HL)	2	7(4,3)	1.75
SUB (IX+d)	5	19(4,4,3,5,3)	4.75
SUB (IY+d)	5	19(4,4,3,5,3)	4.75

Bit di condizione alterati:

- S: Settato se il risultato è negativo;
altrimenti resettato
- Z: Settato se il risultato è zero;
altrimenti resettato
- H: Settato se c'è riporto negativo dal bit 4;
altrimenti resettato
- P/V: Settato in caso di overflow;
altrimenti resettato
- N: Settato
- C: Settato se c'è riporto negativo;
altrimenti resettato

Esempio:

Se l'accumulatore contiene 29H e il registro D contiene 11H, dopo l'esecuzione di

SUB D

l'accumulatore conterrà 18H e i flags S,Z,H,P/V e C saranno tutti resettati.

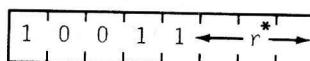
SBC A, s

Operazione: $A \leftarrow A - s - CY$

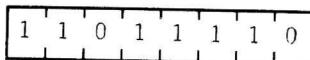
<u>Formato:</u>	<u>Codice operativo</u>	<u>Operando</u>
	SBC	A, s

L'operando s è uno qualunque tra r, n, (HL), (IX+d) o (IY+d), come per le istruzioni ADD analoghe. Queste varie combinazioni possibili fra codice operativo e operando sono indicate come segue in codice oggetto:

SBC A, r

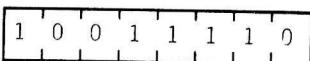


SBC A, n



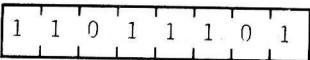
DE

SBC A, (HL)

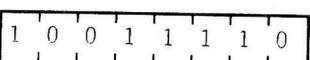


9E

SBC A, (IX+d)

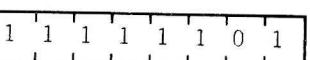


DD

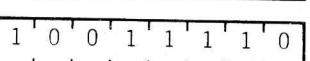


9E

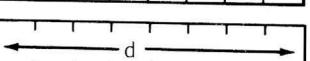
SBC A, (IY+d)



FD



9E



Registro	r
B	000
C	001
D	010
E	011
H	100
L	101
A	111

Descrizione:

L'operando s, insieme al flag di Carry ("C" nel registro F) è sottratto dal contenuto dell'accumulatore, e il risultato viene memorizzato nell'accumulatore.

ISTRUZIONE	CICLI M	STATI T	T.E. a 4 MHz
SBC A,r	1	4	1.00
SBC A,n	2	7(4,3)	1.75
SBC A,(HL)	2	7(4,3)	1.75
SBC A,(IX+d)	5	19(4,4,3,5,3)	4.75
SBC A,(IY+d)	5	19(4,4,3,5,3)	4.75

Bit di condizione alterati:

- S: Settato se il risultato è negativo;
altrimenti resettato
- Z: Settato se il risultato è zero;
altrimenti resettato
- H: Settato se c'è riporto negativo dal bit 4;
altrimenti resettato
- P/V: Settato in caso di overflow;
altrimenti resettato
- N: Settato
- C: Settato se c'è riporto negativo;
altrimenti resettato

Esempio:

Se l'accumulatore contiene 16H, se il flag di carry è settato, se la coppia di registri HL contiene 3433H, e se l'indirizzo 3433H contiene 05H, dopo l'esecuzione di

SBC A, (HL)

l'accumulatore conterrà 10H e i flags, S,Z,H,P/V e C saranno tutti resettati

*r identifica i registri B, C, D, E, H, L o A indicati come segue in codice oggetto:

AND s

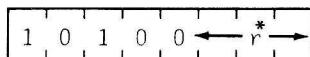
Operazione: $A \leftarrow A \wedge s$

Formato: Codice operativo Operando

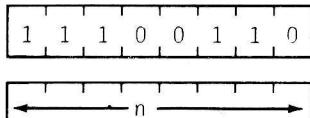
AND s

L'operando s è uno qualunque tra r, n, (HL), (IX+d) o (IY+d), come per l'analogia istruzione ADD. Queste varie combinazioni possibili sono indicate come segue in codice oggetto:

AND r

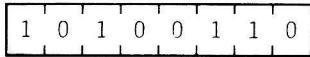


AND n



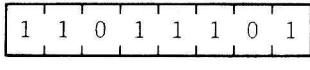
E6

AND (HL)

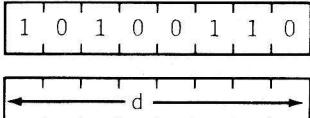


A6

AND (IX+d)

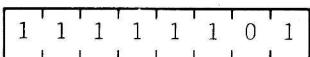


DD

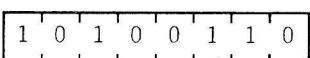


A6

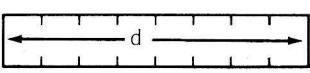
AND (IY+d)



FD



A6



Registro	r
B	000
C	001
D	010
E	011
H	100
L	101
A	111

Descrizione:

Viene eseguita un'operazione logica di AND, bit per bit, fra il byte specificato dall'operando s e il byte contenuto nell'accumulatore; il risultato viene memorizzato nell'accumulatore.

ISTRUZIONE	CICLI M	STATI T	T.E. a 4 MHz
AND r	1	4	1.00
AND n	2	7(4,3)	1.75
AND (HL)	2	7(4,3)	1.75
AND (IX+d)	5	19(4,4,3,5,3)	4.75
AND (IY+d)	5	19(4,4,3,5,3)	4.75

Bit di condizione alterati:

- S: Settato se il risultato è negativo;
altrimenti resettato
- Z: Settato se il risultato è zero;
altrimenti resettato
- H: Settato
- P/V: Settato in caso di parità pari;
altrimenti resettato
- N: Resetto
- C: Resetto

Esempio:

Se il registro B contiene 7BH (01111011) e l'accumulatore contiene C3H (11000011), dopo l'esecuzione di

AND B

l'accumulatore conterrà 43H (01000011).

*r identifica i registri B, C, D, E, H, L o A indicati come segue in codice oggetto:

OR s

Operazione: $A \leftarrow A \vee s$

Formato:	Codice operativo	Operando
	OR	s

L'operando s è uno qualunque tra r, n, (HL), (IX+d) o (IY+d), come per l'analogia istruzione ADD. Queste varie combinazioni possibili fra codice operativo ed operando sono indicate come segue in codice oggetto:

OR r	
OR n	
OR (HL)	
OR (IX+d)	
OR (IY+d)	

*r identifica i registri B, C, D, E, H, L o A indicati come segue in codice oggetto:

Registro	r
B	000
C	001
D	010
E	011
H	100
L	101
A	111

Descrizione:

Viene eseguita un'operazione logica di OR, bit per bit, fra il byte specificato dall'operando s e il byte contenuto nell'accumulatore: il risultato è memorizzato nell'accumulatore.

ISTRUZIONE	CICLI M	STATI T	T.E. a 4 MHz
OR r	1	4	1.00
OR n	2	7(4,3)	1.75
OR (HL)	2	7(4,3)	1.75
OR (IX+d)	5	19(4,4,3,5,3)	4.75
OR (IY+d)	5	19(4,4,3,5,3)	4.75

Bit di condizione alterati:

- S: Settato se il risultato è negativo; altrimenti resettato
- Z: Settato se il risultato è zero; altrimenti resettato
- H: Resetto
- P/V: Settato in caso di parità pari; altrimenti resettato
- N: Resetto
- C: Resetto

Esempio:

Se il registro H contiene 48H (01001000) e l'accumulatore contiene 12H (00010010) dopo l'esecuzione di

OR H

l'accumulatore conterrà 5AH (01011010).

XOR s

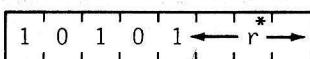
Operazione: $A \leftarrow A \oplus s$

Formato: Codice operativo Operando

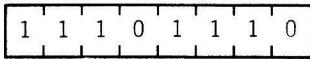
XOR s

L'operando s è uno qualunque tra r, n, (HL), (IX+d) o (IY+d), come per l'analogia istruzione ADD. Queste varie combinazioni possibili fra codice operativo ed operando sono indicate come segue in codice oggetto:

XOR r

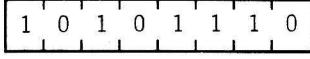


XOR n



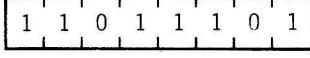
EE

XOR (HL)

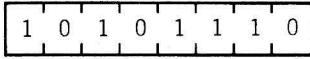


AE

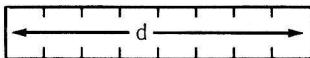
XOR (IX+d)



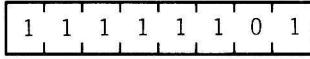
DD



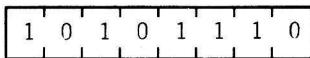
AE



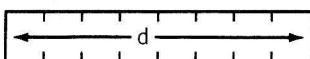
XOR (IY+d)



FD



AE



Registro	r
B	000
C	001
D	010
E	011
H	100
L	101
A	111

Descrizione:

Viene eseguita un'operazione logica di OR esclusivo, bit per bit, fra il byte specificato dall'operando s e il byte contenuto nell'accumulatore; il risultato è memorizzato nell'accumulatore.

ISTRUZIONE	CICLI M	STATI T	T.E. a 4 MHz
XOR r	1	4	1.00
XOR n	2	7(4,3)	1.75
XOR (HL)	2	7(4,3)	1.75
XOR (IX+d)	5	19(4,4,3,5,3)	4.75
XOR (IY+d)	5	19(4,4,3,5,3)	4.75

Bit di condizione alterati:

- S: Settato se il risultato è negativo; altrimenti resettato
- Z: Settato se il risultato è zero; altrimenti resettato
- H: Resetizzato
- P/V: Settato in caso di parità pari; altrimenti resettato
- N: Resetizzato
- C: Resetizzato

Esempio:

Se l'accumulatore contiene 96 H (10010110), dopo l'esecuzione di

XOR 5DH (Nota: 5DH = 01011101)

l'accumulatore conterrà CBH (11001011).

*r identifica i registri B, C, D, E, H, L o A indicati come segue in codice oggetto:

CP s

Operazione: A - s

Formato: Codice operativo Operando

CP s

L'operando s è uno qualunque tra r, n, (HL), (IX+d) o (IY+d), come per l'analogia istruzione ADD. Queste varie combinazioni possibili sono indicate come segue in codice oggetto:

CP r	
CP n	
CP (HL)	
CP (IX+d)	
CP (IY+d)	

FE BE DD BE FD BE

*r identifica i registri B, C, D, E, H, L o A indicati come segue in codice oggetto:

Registro	r
B	000
C	001
D	010
E	011
H	100
L	101
A	111

Descrizione:

Il contenuto dell'operando s viene confrontato con il contenuto dell'accumulatore. In caso di coincidenza, viene settato un flag.

ISTRUZIONE	CICLI M	STATI T	T.E. a 4 MHz
CP r	1	4	1.00
CP n	2	7(4,3)	1.75
CP (HL)	2	7(4,3)	1.75
CP (IX+d)	5	19(4,4,3,5,3)	4.75
CP (IY+d)	5	19(4,4,3,5,3)	4.75

Bit di condizione alterati:

- S: Settato se il risultato è negativo; altrimenti resettato
- Z: Settato se il risultato è zero; altrimenti resettato
- H: Settato se c'è un riporto negativo dal bit 4; altrimenti resettato
- P/V: Settato in caso di overflow; altrimenti resettato
- N: Settato
- C: Settato se c'è riporto negativo; altrimenti resettato

Esempio:

Se l'accumulatore contiene 63H, se la coppia di registri HL contiene 6000H e se la locazione di memoria 6000H contiene 60H, dopo l'esecuzione dell'istruzione

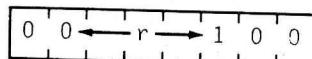
CP (HL)

vengono resettati i flags S,Z,H,P/V e C nel registro F

INC r

Operazione: $r \leftarrow r + 1$

Formato:	Codice operativo	Operando
	INC	r



Descrizione:

Il registro r viene incrementato; r identifica uno qualunque dei registri A, B, C, D, E, H o L indicati come segue in codice oggetto:

Registro	r
A	111
B	000
C	001
D	010
E	011
H	100
L	101

CICLI M: 1 STATI T: 4 T.E. a 4 MHz: 1,00

Bit di condizione alterati:

- S: Settato se il risultato è negativo;
altrimenti resettato
- Z: Settato se il risultato è zero;
altrimenti resettato
- H: Settato se c'è riporto dal bit 3;
altrimenti resettato
- P/V: Settato se r era 7FH prima dell'operazione;
altrimenti resettato
- N: Resettato
- C: Inalterato

Esempio:

Se il contenuto del registro D è 28H, dopo l'esecuzione di

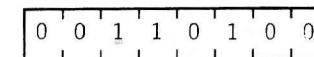
INC D

il contenuto del registro D sarà 29H.

INC (HL)

Operazione: $(HL) \leftarrow (HL) + 1$

Formato:	Codice operativo	Operando
	INC	(HL)



34

Descrizione:

Viene incrementato il byte contenuto nell'indirizzo specificato dal contenuto della coppia di registri HL.

CICLI M: 3 STATI T: 11 (4,4,3) T.E. a 4 MHz: 2,75

Bit di condizione alterati:

- S: Settato se il risultato è negativo;
altrimenti resettato
- Z: Settato se il risultato è zero;
altrimenti resettato
- H: Settato se c'è riporto dal bit 3;
altrimenti resettato
- P/V: Settato se (HL) era 7FH prima dell'operazione;
altrimenti resettato
- N: Resettato
- C: Inalterato

Esempio:

Se il contenuto della coppia di registri HL è 3434H, e il contenuto dell'indirizzo 3434H è 82H, dopo l'esecuzione di

INC (HL)

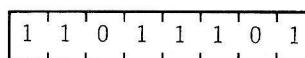
la locazione di memoria 3434H conterrà 83H.

INC (IX+d)

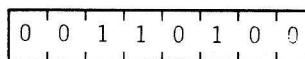
Operazione: $(IX+d) \leftarrow (IX+d) + 1$

Formato: Codice operativo Operando

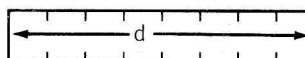
INC $(IX+d)$



DD



34



Descrizione:

Il contenuto del registro indice IX (coppia di registri IX) viene sommato a d, spostamento relativo intero complemento a due, per puntare ad un indirizzo in memoria. Il contenuto di questo indirizzo viene quindi incrementato.

CICLI M: 6 STATI T: 23 (4,4,3,5,4,3) T.E. a 4MHz: 5,75

Bit di condizione alterati:

- S: Settato se il risultato è negativo;
altrimenti resettato
- Z: Settato se il risultato è zero;
altrimenti resettato
- H: Settato se c'è riporto dal bit 3;
altrimenti resettato
- P/V: Settato se $(IX+d)$ era 7FH prima dell'operazione;
altrimenti resettato
- N: Resettato
- C: Inalterato

Esempio:

Se il contenuto del registro indice IX è 2020H, e la locazione di memoria 2030H contiene il byte 34H, dopo l'esecuzione di

INC (IX+10H)

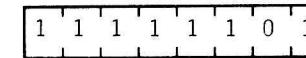
il contenuto della locazione di memoria 2030H sarà 35H.

INC (IY+d)

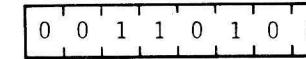
Operazione: $(IY+d) \leftarrow (IY+d) + 1$

Formato: Codice operativo Operando

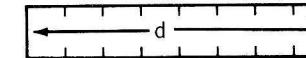
INC $(IY+d)$



FD



34



Descrizione:

Il contenuto del registro indice IY (coppia di registri IY) viene sommato a d, spostamento relativo intero complemento a due, per puntare ad un indirizzo in memoria. Il contenuto di questo indirizzo viene poi incrementato.

CICLI M: 6 STATI T: 23 (4,4,3,5,4,3) T.E. a 4 MHz: 5,75

Bit di condizione alterati:

- S: Settato se il risultato è negativo;
altrimenti resettato
- Z: Settato se il risultato è zero;
altrimenti resettato
- H: Settato se c'è riporto dal bit 3;
altrimenti resettato
- P/V: Settato se $(IY+d)$ era 7FH prima dell'operazione;
altrimenti resettato
- N: Resettato
- C: Inalterato

Esempio:

Se il contenuto della coppia di registri indice IY è 2020H, e la locazione di memoria 2030H contiene il byte 34H, dopo l'esecuzione di

INC (IY+10H)

il contenuto della locazione di memoria 2030H sarà 35H.

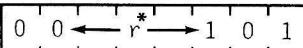
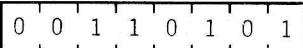
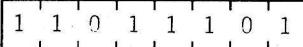
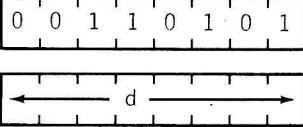
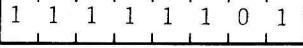
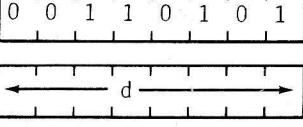
DEC m

Operazione: $m \leftarrow m - 1$

Formato: Codice operativo Operando

DEC m

L'operando m è uno qualunque tra r, (HL), (IX+d) o (IY+d), come per le analoghe istruzioni INC. Queste varie combinazioni possibili fra codice operativo ed operando sono indicate come segue in codice oggetto:

DEC r	
DEC (HL)	 35
DEC (IX+d)	 DD
	
DEC (IY+d)	 FD
	

*r identifica i registri B, C, D, E, H, L o A indicati come segue in codice oggetto:

Registro	r
B	000
C	001
D	010
E	011
H	100
L	101
A	111

Descrizione:

Viene decrementato il byte specificato dall'operando m.

ISTRUZIONE	CICLI M	STATI T	T.E. a 4 MHz
DEC r	1	4	1.00
DEC (HL)	3	11(4,4,3)	2.75
DEC (IX+d)	6	23(4,4,3,5,4,3)	5.75
DEC (IY+d)	6	23(4,4,3,5,4,3)	5.75

Bit di condizione alterati:

S:	Settato se il risultato è negativo; altrimenti resettato
Z:	Settato se il risultato è zero; altrimenti resettato
H:	Settato se c'è riporto negativo dal bit 4 altrimenti resettato
P/V:	Settato se m era 80H prima dell'operazione; altrimenti resettato
N:	Settato
C:	Inalterato

Esempio:

Se il registro D contiene il byte 2AH, dopo l'esecuzione di

DEC D

il registro D conterrà 29H.

GRUPPO ARITMETICO DI TIPO GENERALE E GRUPPO DI
CONTROLLO DELLA CPU

DAA

Operazione: —

Formato: Codice operativo

DAA

0	0	1	0	0	1	1	1
---	---	---	---	---	---	---	---

27

Descrizione:

Questa istruzione esegue l'aggiustamento condizionato dell'accumulatore per le operazioni di addizione e sottrazione in BCD. La tabella seguente indica le operazioni eseguite per l'addizione (ADD, ADC, INC) e per la sottrazione (SUB, SBC, DEC, NEG):

OPERAZIONE	C PRIMA DI DAA	VALORE ESAD. NEL DIGIT. PIÙ SIGNIFI- CATIVO (Bit 7-4)	H PRIMA DI DAA	VALORE ESAD. NEL DIGIT MENO SIGNIFI- CATIVO (Bit 3-0)	NUMERO AGGIUNTO AL BYTE	C DOPO DAA
ADD	0	0-9	0	0-9	00	0
	0	0-8	0	A-F	06	0
	0	0-9	1	0-3	06	0
	0	A-F	0	0-9	60	1
	0	9-F	0	A-F	66	1
	0	A-F	1	0-3	66	1
	1	0-2	0	0-9	60	1
	1	0-2	0	A-F	66	1
ADC	1	0-3	1	0-3	66	1
	0	0-9	0	0-9	00	0
	0	0-8	1	6-F	FA	0
	1	7-F	0	0-9	A0	1
INC	1	6-F	1	6-F	9A	1
	0	0-9	0	0-9	00	0
	0	0-8	1	6-F	FA	0
	1	7-F	0	0-9	A0	1
SUB	1	6-F	1	6-F	9A	1
	0	0-9	0	0-9	00	0
	0	0-8	1	6-F	FA	0
	1	7-F	0	0-9	A0	1
SBC	1	6-F	1	6-F	9A	1
	0	0-9	0	0-9	00	0
	0	0-8	1	6-F	FA	0
	1	7-F	0	0-9	A0	1
DEC	1	6-F	1	6-F	9A	1
	0	0-9	0	0-9	00	0
	0	0-8	1	6-F	FA	0
	1	7-F	0	0-9	A0	1
NEG	1	6-F	1	6-F	9A	1
	0	0-9	0	0-9	00	0
	0	0-8	1	6-F	FA	0
	1	7-F	0	0-9	A0	1

CICLI M: 1 STATI T: 4 T.E. a 4 MHz: 1.00

Bit di condizione alterati:

- S: Settato se il bit più significativo di Acc. è 1 dopo l'operazione; altrimenti resettato
- Z: Settato se Acc. è zero dopo l'operazione; altrimenti resettato
- H: Vedi l'istruzione
- P/V: Settato se Acc. è di parità pari dopo l'operazione; altrimenti resettato
- N: Inalterato
- C: Vedi l'istruzione

Esempio:

Se si esegue un'operazione di addizione fra 15 (BCD) e 27 (BCD), la aritmetica decimale dà il risultato seguente:

$$\begin{array}{r} 15 \\ +27 \\ \hline 42 \end{array}$$

Ma quando nell'accumulatore si sommano le rappresentazioni binarie, secondo l'aritmetica binaria standard, è:

$$\begin{array}{r} 0001 \quad 0101 \\ +0010 \quad 0111 \\ \hline 0011 \quad 1100 \quad 3C \end{array}$$

la somma è ambigua. L'istruzione DAA esegue l'aggiustamento di questo risultato, in modo da ottenere la rappresentazione BCD corretta:

$$\begin{array}{r} 0011 \quad 1100 \\ +0000 \quad 0110 \\ \hline 0100 \quad 0010 \quad = 42 \end{array}$$

CPL

Operazione: $A \leftarrow \overline{A}$

Formato: Codice operativo

CPL

0	0	1	0	1	1	1	1
---	---	---	---	---	---	---	---

2F

Descrizione:

I contenuti dell'accumulatore (registro A) vengono invertiti (complemento ad 1).

CICLI M: 1 STATI T: 4 T.E. a 4 MHz: 1,00

Bit di condizione alterati:

S:	Inalterato
Z:	Inalterato
H:	Settato
P/V:	Inalterato
N:	Settato
C:	Inalterato

Esempio:

Se il contenuto dell'accumulatore è 1011 0100, dopo l'esecuzione di

CPL

il contenuto dell'accumulatore sarà 0100 1011.

NEG

Operazione: $A \leftarrow 0-A$

Formato: Codice operativo

NEG

1	1	1	0	1	1	0	1
---	---	---	---	---	---	---	---

ED

0	1	0	0	0	1	0	0
---	---	---	---	---	---	---	---

44

Descrizione:

Il contenuto dell'accumulatore viene negato (complemento a due). Ciò equivale a sottrarre il contenuto dell'accumulatore da zero.

Si noti che 80H resta invariato.

CICLI M: 2 STATI T: 8 (4,4) T.E. a 4 MHz: 2,00

Bit di condizione alterati:

S:	Settato se il risultato è negativo; altrimenti resettato
Z:	Settato se il risultato è zero; altrimenti resettato
H:	Settato in caso di riporto negativo dal bit 4; altrimenti resettato
P/V:	Settato se Acc. era 80H prima dell'operazione; altrimenti resettato
N:	Settato
C:	Settato se Acc. non era 00H prima dell'operazione; altrimenti resettato

Esempio:

Se il contenuto dell'accumulatore è

1	0	0	1	1	0	0	0
---	---	---	---	---	---	---	---

dopo l'esecuzione di

NEG

il contenuto dell'accumulatore sarà

0	1	1	0	1	0	C	0
---	---	---	---	---	---	---	---

CCF

Operazione: CY $\leftarrow \overline{CY}$

Formato:

Codice operativo

CCF

0	0	1	1	1	1	1	1
---	---	---	---	---	---	---	---

3F

Descrizione:

Il flag C nel registro F viene invertito.

CICLI M: 1 STATI T: 4 T.E. a 4 MHz: 1.00

Bit di condizione alterati:

S: Inalterato

Z: Inalterato

H: Contiene il valore precedente del riporto

P/V: Inalterato

N: Resetto

C: Settato se CY era 0 prima dell'operazione;
altrimenti resettato

SCF

Operazione: CY ← 1

Formato: Codice operativo

SCF

0	0	1	1	0	1	1	1
---	---	---	---	---	---	---	---

37

Descrizione:

Viene settato il Flag C del registro F.

CICLI M: 1 STATI T: 4 T.E. a 4 MHz: 1,00

Bit di condizione alterati:

S:	Inalterato
Z:	Inalterato
H:	Resettato
P/V:	Inalterato
N:	Resettato
C:	Settato

NOP

Operazione: —

Formato: Codice operativo

NOP

0	0	0	0	0	0	0	0
---	---	---	---	---	---	---	---

00

Descrizione:

La CPU non esegue nessuna operazione durante questo ciclo macchina.

CICLI M: 1 STATI T: 4 T.E. a 4 MHz: 1,00

Bit di condizione alterati: Nessuno

HALT

Operazione: —

Formato: Codice operativo

HALT

0	1	1	1	0	1	1	0
---	---	---	---	---	---	---	---

76

Descrizione:

L'istruzione HALT arresta le operazioni della CPU finché non è ricevuto un successivo interrupt od un reset.

Mentre è sullo stato di halt, il processore segue una serie di NOP per mantenere il refresh della memoria.

CICLI M: 1 STATI T: 4 T.E. a 4MHz: 1,00

Bit di condizione alterati: Nessuno

DI

Operazione: IFF ← 0

Formato: Codice operativo

DI

1	1	1	1	0	0	1	1
---	---	---	---	---	---	---	---

F3

Descrizione:

DI disabilita l'interrupt mascherabile resettando dei flip-flop di abilitazione dell'interrupt (IFF1 e IFF2).

Si noti che questa istruzione disabilita l'interrupt mascherabile durante la sua esecuzione.

CICLI M: 1 STATI T: 4 T.E. a 4MHz: 1,00

Bit di condizione alterati: Nessuno

Esempio:

Quando la CPU esegue l'istruzione

DI

l'interrupt mascherabile viene disabilitato, per essere riabilitato successivamente da un'istruzione EI. La CPU non risponderà ad un segnale di richiesta di interrupt (INT).

EI

Operazione: IFF \leftarrow 1

Formato: Codice operativo

EI

1	1	1	1	1	0	1	1
---	---	---	---	---	---	---	---

FB

Descrizione:

EI abilita l'interrupt mascherabile, settando i flip-flop di abilitazione all'interrupt (IFF1 e IFF2). Durante l'esecuzione di questa istruzione e della successiva è disabilitato l'interrupt mascherabile.

CICLI M: 1 STATI T: 4 T.E. a 4MHz: 1,00

Bit di condizione alterati: Nessuno

Esempio:

L'esecuzione della sequenza di istruzioni

EI

RETI

comporta che l'interrupt mascherabile viene abilitato solo dopo l'esecuzione della seconda istruzione (RETI).

IM

Operazione: —

Formato: Codice operativo Operando

IM 0

1	1	1	0	1	1	0	1
---	---	---	---	---	---	---	---

ED

0	1	0	0	0	1	1	0
---	---	---	---	---	---	---	---

46

Descrizione:

L'istruzione IM 0 setta l'interrupt nel modo 0. In questo modo il dispositivo che ha richiesto l'interruzione può inserire qualunque istruzione sul bus di dati e permettere alla CPU di eseguirla.

Nel caso di istruzioni a più di un byte il primo byte verrà letto durante il ciclo di riconoscimento dell'interrupt mentre i successivi appariranno a normali cicli di lettura in memoria.

CICLI M: 2 STATI T: 8 (4,4) T.E. a 4 MHz: 2,00

Bit di condizione alterati: Nessuno

IM 1

Operazione: —

Formato:

Codice operativo

Operando

IM

1

1	1	1	0	1	1	0	1
---	---	---	---	---	---	---	---

ED

0	1	0	1	0	1	1	0
---	---	---	---	---	---	---	---

56

Descrizione:

L'istruzione IM setta l'interrupt nel modo 1. In questo modo la CPU risponderà ad un interrupt effettuando un restart alla locazione 0038H.

CICLI M: 2 STATI T: 8 (4,4) T.E. a 4 MHz: 2,00

Bit di condizione alterati: Nessuno

IM 2

Operazione: —

Formato:

Codice operativo

Operando

IM

2

1	1	1	0	1	1	0	1
---	---	---	---	---	---	---	---

ED

0	1	0	1	1	1	1	0
---	---	---	---	---	---	---	---

5E

Descrizione:

L'istruzione IM 2 setta l'interrupt nel modo 2. Questo modo permette una chiamata indiretta in qualunque locazione della memoria. In questo modo la CPU forma un indirizzo di memoria a 16 bit. Gli otto bit superiori sono il contenuto del registro vettore d'interrupt I, e gli otto bit inferiori sono forniti dal dispositivo che ha richiesto l'interruzione. L'indirizzo così formato punta a una tabella di vettori in cui è contenuto l'indirizzo di partenza della routine di servizio dell'interrupt.

CICLI M: 2 STATI T: 8 (4,4) T.E. a 4 MHz: 2,00

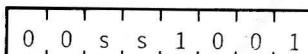
Bit di condizione alterati: Nessuno

GRUPPO DI ISTRUZIONI ARITMETICHE A 16 BIT

ADD HL, ss

Operazione: $HL \leftarrow HL + ss$

Formato:	Codice operativo	Operandi
	ADD	HL,ss



Descrizione:

Il contenuto della coppia di registri ss (una qualunque delle coppie di registri BC, DE, HL o SP) è sommato al contenuto della coppia di registri HL e il risultato è memorizzato in HL. L'operando ss è specificato come segue in codice oggetto:

Coppia di registri	ss
BC	00
DE	01
HL	10
SP	11

CICLI M: 3 STATI T: 11 (4,4,3) T.E. a 4 MHz: 2,75

Bit di condizione alterati:

- S: Inalterato
- Z: Inalterato
- H: Settato in caso di riporto dal bit 11; altrimenti resettato
- P/V: Inalterato
- N: Resetto
- C: Settato in caso di riporto dal bit 15; altrimenti resettato

Esempio:

Se la coppia di registri HL contiene l'intero 4242H e la coppia di registri DE contiene 1111H, dopo l'esecuzione di

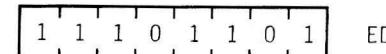
ADD HL, DE

la coppia di registri HL conterrà 5353H.

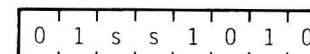
ADC HL, ss

Operazione: $HL \leftarrow HL + ss + CY$

Formato:	Codice operativo	Operandi
	ADC	HL, ss



ED



Descrizione:

Il contenuto della coppia di registri ss (una qualunque delle coppie di registri BC, DE, HL o SP) è sommato, insieme al flag di Carry (flag C nel registro F), al contenuto della coppia di registri HL, e il risultato è memorizzato in HL. L'operando ss è specificato come segue in codice oggetto:

Coppia di Registri	ss
BC	00
DE	01
HL	10
SP	11

CICLI M: 4 STATI T: 15 (4,4,4,3) T.E. a 4 MHz: 3,75

Bit di condizione alterati:

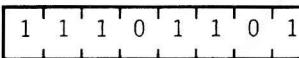
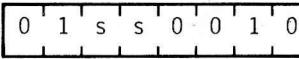
- S: Settato se il risultato è negativo; altrimenti resettato
- Z: Settato se il risultato è zero; altrimenti resettato
- H: Settato in caso di riporto dal bit 11; altrimenti resettato
- P/V: Settato in caso di overflow; altrimenti resettato
- N: Resetto
- C: Settato in caso di riporto dal bit 15; altrimenti resettato

Esempio:

Se la coppia di registri BC contiene 2222H, la coppia di registri HL contiene 5437H e il flag di Carry è settato, dopo l'esecuzione di
ADC HL, BC
il contenuto di HL sarà 765AH.

SBC HL, ss

Operazione: $HL \leftarrow HL - ss - CY$

Formato:	Codice operativo	Operandi
	SBC	HL, ss
		ED
		

Descrizione:

Il contenuto della coppia di registri ss (una qualunque delle coppie di registri BC, DE, HL o SP), insieme al flag di Carry (flag C nel registro F) è sottratto dal contenuto della coppia di registri HL, e il risultato è memorizzato in HL. L'operando ss è specificato come segue in codice oggetto:

Coppia di registri	ss
BC	00
DE	01
HL	10
SP	11

CICLI M: 4 STATI T: 15 (4,4,4,3) T.E. a 4 MHz: 3,75

Bit di condizione alterati:

- S: Settato se il risultato è negativo;
altrimenti resettato
- Z: Settato se il risultato è zero;
altrimenti resettato
- H: Settato in caso di riporto negativo dal bit 12;
altrimenti resettato
- P/V: Settato in caso di overflow;
altrimenti resettato
- N: Settato
- C: Settato in caso di riporto negativo;
altrimenti resettato

Esempio:

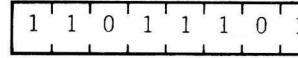
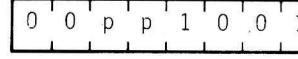
Se il contenuto della coppia di registri HL è 9999H, il contenuto della coppia di registri DE è 1111H, e il flag di Carry è settato, dopo l'esecuzione di

SBC HL, DE

il contenuto di HL sarà 8887H, i flags S e N saranno settati mentre gli altri saranno resettati.

ADD IX, pp

Operazione: $IX \leftarrow IX + pp$

Formato:	Codice operativo	Operando
	ADD	IX, pp
		DD
		

Descrizione:

Il contenuto della coppia di registri pp (una qualunque delle coppie di registri BC, DE, IX o SP) è sommato al contenuto del registro indice IX, e il risultato è memorizzato in IX. L'operando pp è specificato come segue in codice oggetto:

Coppia di registri	pp
BC	00
DE	01
IX	10
SP	11

CICLI M: 4 STATI T: 15 (4,4,4,3) T.E. a 4 MHz: 3,75

Bit di condizione alterati:

- S: Inalterato
- Z: Inalterato
- H: Settato in caso di riporto dal bit 11;
altrimenti resettato
- P/V: Inalterato
- N: Resetto
- C: Settato in caso di riporto dal bit 15;
altrimenti resettato

Esempio:

Se il contenuto del Registro Indice IX è 3333H e il contenuto della coppia di registri BC è 5555H, dopo l'esecuzione di

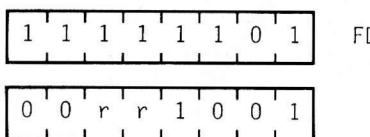
ADD IX, BC

il contenuto di IX sarà 8888H.

ADD IY, rr

Operazione: IY ← IY + rr

Formato:	Codice operativo	Operandi
	ADD	IY, rr



Descrizione:

Il contenuto della coppia di registri rr (una qualunque delle coppie di registri BC, DE, IY o SP) è sommato al contenuto del registro indice IY, e il risultato è memorizzato in IY. L'operando rr è specificato come segue in codice oggetto:

Coppia di registri	rr
BC	00
DE	01
IY	10
SP	11

CICLI M: 4 STATI T: 15 (4,4,4,3) T.E. a 4 MHz: 3,75

Bit di condizione alterati:

- S: Inalterato
- Z: Inalterato
- H: Settato in caso di riporto dal bit 11;
altrimenti resettato
- P/V: Inalterato
- N: Resetto
- C: Settato in caso di riporto dal bit 15;
altrimenti resettato

Esempio:

Se il contenuto del registro indice IY è 3333H e il contenuto della coppia di registri BC è 5555H, dopo l'esecuzione di

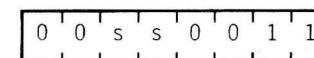
ADD IY, BC

il contenuto di IY sarà 8888H.

INC ss

Operazione: ss ← ss + 1

Formato:	Codice operativo	Operando
	INC	ss



Descrizione:

Il contenuto della coppia di registri ss (una qualunque delle coppie di registri BC, DE, HL o SP) viene incrementato. L'operando ss è specificato come segue in codice oggetto

Coppia di registri	ss
BC	00
DE	01
HL	10
SP	11

CICLI M: 1 STATI T: 6 T.E. a 4 MHz: 1,50

Bit di condizione alterati: Nessuno

Esempio:

Se la coppia di registri HL contiene 1000H, dopo l'esecuzione di

INC HL

HL conterrà 1001H.

INC IX

Operazione: $IX \leftarrow IX + 1$

Formato: Codice operativo Operando

INC IX

1	1	0	1	1	1	0	1
---	---	---	---	---	---	---	---

DD

0	0	1	0	0	0	1	1
---	---	---	---	---	---	---	---

23

Descrizione:

Il contenuto del registro indice IX viene incrementato.

CICLI M: 2 STATI T: 10 (4,6) T.E. a 4 MHz: 2,50

Bit di condizione alterati: Nessuno

Esempio:

Se il registro indice IX contiene l'intero 3300H dopo l'esecuzione di

INC IX

il contenuto del registro indice IX sarà 3301H.

INC IY

Operazione: $IY \leftarrow IY + 1$

Formato: Codice operativo Operando

INC IY

1	1	1	1	1	1	0	1
---	---	---	---	---	---	---	---

FD

0	0	1	0	0	0	1	1
---	---	---	---	---	---	---	---

23

Descrizione:

Il contenuto del registro indice IY viene incrementato.

CICLI M: 2 STATI T: 10 (4,6) T.E. a 4 MHz: 2,50

Bit di condizione alterati: Nessuno

Esempio:

Se il contenuto del registro indice è 2977H, dopo l'esecuzione di

INC IY

il contenuto del registro indice IY sarà 2978H.

DEC ss

Operazione: ss ← ss - 1

Formato:	Codice operativo	Operando
	DEC	ss

0	0	s	s	1	0	1	1
---	---	---	---	---	---	---	---

Descrizione:

Il contenuto della coppia di registri ss (una qualunque delle coppie di registri BC, DE, HL o SP) viene decrementato. L'operando ss è specificato come segue in codice oggetto

Coppia di registri	ss
BC	00
DE	01
HL	10
SP	11

CICLI M: 1 STATI T: 6 T.E. a 4 MHz: 1,50

Bit di condizione alterati: Nessuno

Esempio:

Se la coppia di registri HL contiene 1001H, dopo l'esecuzione di

DEC HL

il contenuto di HL sarà 1000H.

DEC IX

Operazione: IX ← IX - 1

Formato:	Codice operativo	Operando
	DEC	IX

1	1	0	1	1	1	0	1
---	---	---	---	---	---	---	---

DD

0	0	1	0	1	0	1	1
---	---	---	---	---	---	---	---

2B

Descrizione:

Il contenuto del registro indice IX viene decrementato.

CICLI M: 2 STATI T: 10 (4,6) T.E. a 4 MHz: 2,50

Bit di condizione alterati: Nessuno

Esempio:

Se il contenuto del registro indice IX è 2006H, dopo l'esecuzione di

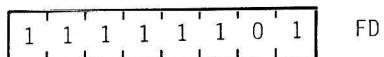
DEC IX

il contenuto del registro indice IX sarà 2005H.

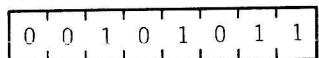
DEC IY

Operazione: IY ← IY - 1

Formato: Codice operativo Operando
 DEC IY



FD



2B

Descrizione:

Il contenuto del registro indice IY viene decrementato.

CICLI M: 2 STATI T: 10 (4,6) T.E. a 4 MHz: 2,50

Bit di condizione alterati: Nessuno

Esempio:

Se il contenuto del registro indice IY è 7649H, dopo l'esecuzione di

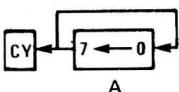
DEC IY

il contenuto del registro indice IY sarà 7648H.

GRUPPO DI SHIFT E ROTAZIONE

RLCA

Operazione:



Formato:

Codice operativo

RLCA

0	0	0	0	0	1	1	1
---	---	---	---	---	---	---	---

07

Descrizione:

Il contenuto dell'accumulatore (registro A) viene fatto ruotare verso sinistra: il contenuto del bit 0 viene copiato nel bit 1; il precedente contenuto del bit 1 nel bit 2; questo schema si realizza per tutto il registro. Il contenuto del bit 7 è copiato nel flag di Carry (flag C del registro F) ed anche nel bit 0. Il bit 0 è il bit meno significativo.

CICLI M: 1 STATI T: 4 T.E. a 4 MHz: 1,00

Bit di condizione alterati:

- S: Inalterato
- Z: Inalterato
- H: Resetto
- P/V: Inalterato
- N: Resetto
- C: Contiene il dato che proviene dal bit 7 dell'accumulatore

Esempio:

Se il contenuto dell'accumulatore è

7	6	5	4	3	2	1	0
1	0	0	0	1	0	0	0

dopo l'esecuzione di

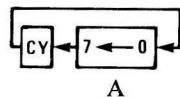
RLCA

il contenuto dell'accumulatore e del flag di Carry sarà

C	7	6	5	4	3	2	1	0
1	0	0	0	1	0	0	0	1

RLA

Operazione:



Formato:

Codice operativo

RLA

0	0	0	1	0	1	1	1
---	---	---	---	---	---	---	---

17

Descrizione:

Il contenuto dell'accumulatore (registro A) viene fatto ruotare verso sinistra: il contenuto del bit 0 viene copiato nel bit 1; il precedente contenuto del bit 1 nel bit 2; questo schema si realizza per tutto il registro. Il contenuto del bit 7 è copiato nel flag di Carry (flag C del registro F) e il precedente contenuto del flag di Carry nel bit 0. Il bit 0 è il bit meno significativo.

CICLI M: 1 STATI T: 4 T.E. a 4 MHz: 1,00

Bit di condizione alterati:

- S: Inalterato
- Z: Inalterato
- H: Resetto
- P/V: Inalterato
- N: Resetto
- C: Contiene il dato che proviene dal bit 7 dell'accumulatore

Esempio:

Se il contenuto dell'accumulatore e del flag di Carry è

C	7	6	5	4	3	2	1	0
1	0	1	1	1	0	1	1	0

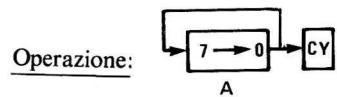
dopo l'esecuzione di

RLA

il contenuto dell'accumulatore e del flag di Carry sarà

C	7	6	5	4	3	2	1	0
0	1	1	1	0	1	1	0	1

RRCA



Formato: Codice operativo
RRCA

0	0	0	0	1	1	1	1	OF
---	---	---	---	---	---	---	---	----

Descrizione:

Il contenuto dell'accumulatore (registro A) viene fatto ruotare verso destra: il contenuto del bit 7 viene copiato nel bit 6; il precedente contenuto del bit 6 nel bit 5; questo schema si realizza per tutto il registro. Il contenuto del bit 0 è copiato nel bit 7 ed anche nel flag di carry (flag C del registro F). Il bit 0 è il bit meno significativo.

CICLI M: 1 STATI T: 4 T.E. a 4MHz: 1,00

Bit di condizione alterati:

S:	Inalterato
Z:	Inalterato
H:	Resetto
P/V:	Inalterato
N:	Resetto
C:	Contiene il dato che proviene dal bit 0 dell'accumulatore

Esempio:

Se il contenuto dell'accumulatore è:

7	6	5	4	3	2	1	0	.
0	0	0	1	0	0	0	1	

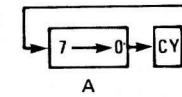
dopo l'esecuzione di

RRCA

il contenuto dell'accumulatore e del flag di carry sarà:

7	6	5	4	3	2	1	0	C
1	0	0	0	1	0	0	0	1

RRA



Formato: Codice operativo
RRA

0	0	0	1	1	1	1	1	1F
---	---	---	---	---	---	---	---	----

Descrizione:

Il contenuto dell'accumulatore (registro A) viene fatto ruotare verso destra: il contenuto del bit 7 è copiato nel bit 6; il precedente contenuto del bit 6 nel bit 5; questo schema si realizza per tutto il registro. Il contenuto del bit 0 è copiato nel flag di Carry (Flag C nel registro F) ed il precedente contenuto del flag di Carry è copiato nel bit 7. Il bit 0 è il bit meno significativo.

CICLI M: 1 STATI T: 4 T.E. a 4 MHz: 1,00

Bit di condizione alterati:

S:	Inalterato
Z:	Inalterato
H:	Resetto
P/V:	Inalterato
N:	Resetto
C:	Contiene il dato che proviene dal bit 0 dell'accumulatore

Esempio:

Se il contenuto dell'accumulatore e del flag di Carry è

7	6	5	4	3	2	1	0	C
1	1	1	0	0	0	0	1	0

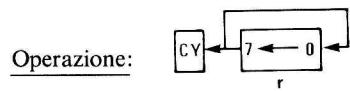
dopo l'esecuzione di

RRA

il contenuto dell'accumulatore e del flag di Carry sarà

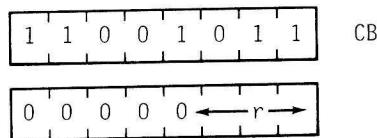
7	6	5	4	3	2	1	0	C
0	1	1	1	0	0	0	0	1

RLC r



Formato:

<u>Codice operativo</u>	<u>Operando</u>
RLC	r



Descrizione:

Il contenuto a otto bit del registro r viene fatto ruotare verso sinistra: il contenuto del bit 0 è copiato nel bit 1; il precedente contenuto del bit 1 nel bit 2; lo schema si realizza per tutto il registro. Il contenuto del bit 7 è copiato nel flag di Carry (flag C nel registro F) ed anche nel bit 0. L'operando r è specificato come segue in codice oggetto:

Registro	r
B	000
C	001
D	010
E	011
H	100
L	101
A	111

Nota: Il bit 0 è il bit meno significativo.

CICLI M: 2 STATI T: 8 (4,4) T.E. a 4 MHz: 2,00

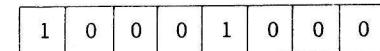
Bit di condizione alterati:

- S: Settato se il risultato è negativo; altrimenti resettato
- Z: Settato se il risultato è zero; altrimenti resettato
- H: Resetto
- P/V: Settato in caso di parità pari; altrimenti resettato
- N: Resetto
- C: Contiene il dato che proviene dal bit 7 del registro sorgente

Esempio:

Se il contenuto del registro r è

7 6 5 4 3 2 1 0

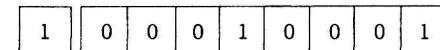


dopo l'esecuzione di

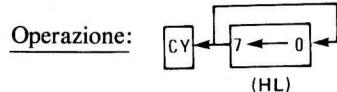
RLC r

il contenuto del registro r e del flag di Carry sarà

C 7 6 5 4 3 2 1 0



RLC (HL)



Formato: Codice operativo Operando

RLC (HL)

1	1	0	0	1	0	1	1
---	---	---	---	---	---	---	---

CB

0	0	0	0	0	1	1	0
---	---	---	---	---	---	---	---

06

Descrizione:

Il contenuto dell'indirizzo di memoria specificato dal contenuto della coppia di registri HL viene fatto ruotare verso sinistra: il contenuto del bit 0 è copiato nel bit 1; il precedente contenuto del bit 1 nel bit 2; questo schema si realizza per tutto il byte. Il contenuto del bit 7 è copiato nel flag di Carry (flag C nel registro F) ed anche nel bit 0. Il bit 0 è il bit meno significativo.

CICLI M: 4 STATI T: 15 (4,4,4,3) T.E. a 4 MHz: 3,75

Bit di condizione alterati:

- S: Settato se il risultato è negativo
altrimenti resettato
- Z: Settato se il risultato è zero;
altrimenti resettato
- H: Resetto
- P/V: Settato in caso di parità pari;
altrimenti resettato
- N: Resetto
- C: Contiene il dato che proviene dal bit 7 della locazione (HL)

Esempio:

Se il contenuto della coppia di registri HL è 2828H, e il contenuto della locazione di memoria 2828H è

7	6	5	4	3	2	1	0
1	0	0	0	1	0	0	0

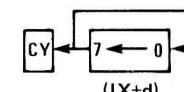
dopo l'esecuzione di

RLC (HL)

il contenuto della locazione di memoria 2828H e del flag di Carry sarà

C	7	6	5	4	3	2	1	0
1	0	0	0	1	0	0	0	1

RLC (IX+d)



Formato: Codice operativo Operando

RLC (IX+d)

1	1	0	1	1	1	0	1
---	---	---	---	---	---	---	---

DD

1	1	0	0	1	0	1	1
---	---	---	---	---	---	---	---

CB

d							
---	--	--	--	--	--	--	--

0	0	0	0	0	1	1	0
---	---	---	---	---	---	---	---

06

Descrizione:

Il contenuto dell'indirizzo di memoria specificato dalla somma del contenuto del registro indice IX e di un intero d, spostamento relativo complemento a due, viene fatto ruotare verso sinistra: il contenuto del bit 0 è copiato nel bit 1; il precedente contenuto del bit 1 nel bit 2; questo schema si realizza per tutto il byte. Il contenuto del bit 7 è copiato nel flag di Carry (flag C nel registro F) ed anche nel bit 0. Il bit 0 è il bit meno significativo.

CICLI M: 6 STATI T: 23 (4,4,3,5,4,3) T.E. a 4 MHz: 5,75

Bit di condizione alterati:

- S: Settato se il risultato è negativo;
altrimenti resettato
- Z: Settato se il risultato è zero;
altrimenti resettato
- H: Resetto
- P/V: Settato in caso di parità pari;
altrimenti resettato
- N: Resetto
- C: Contiene il dato che proviene dal bit 7 della locazione (IX+d)

Esempio:

Se il contenuto del registro indice IX è 1000H, e il contenuto della locazione di memoria 1002H è

7 6 5 4 3 2 1 0

1	0	0	0	1	0	0	0
---	---	---	---	---	---	---	---

dopo l'esecuzione di

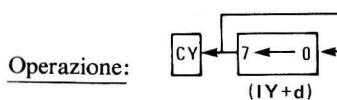
RLC (IX+2H)

il contenuto della locazione di memoria 1002H e del flag di Carry sarà

C 7 6 5 4 3 2 1 0

1	0	0	0	1	0	0	0	1
---	---	---	---	---	---	---	---	---

RLC (IY+d)



Formato:	Codice operativo	Operando
	RLC	(IY+d)

1 1 1 1 1 1 1 0 1	FD
-------------------	----

1 1 0 0 1 0 1 1	CB
-----------------	----

--	--

0 0 0 0 0 1 1 0	06
-----------------	----

Descrizione:

Il contenuto dell'indirizzo di memoria specificato dalla somma del contenuto del registro indice IY e di un intero d, spostamento relativo complemento a due, viene fatto ruotare verso sinistra: il contenuto del bit 0 è copiato nel bit 1; il precedente contenuto del bit 1 nel bit 2; lo schema si realizza per tutto il byte. Il contenuto del bit 7 è copiato nel flag di Carry (flag C nel registro F) ed anche nel bit 0. Il bit 0 è il bit meno significativo.

CICLI M: 6 STATI T: 23 (4,4,3,5,4,3) T.E. a 4 MHz: 5,75

Bit di condizione alterati:

- S: Settato se il risultato è negativo;
altrimenti resettato
- Z: Settato se il risultato è zero;
altrimenti resettato
- H: Resetto
- P/V: Settato in caso di parità pari;
altrimenti resettato
- N: Resetto
- C: Contiene il dato che proviene dal bit 7 della locazione (IY+d)

Esempio:

Se il contenuto del registro indice IY è 1000H, e il contenuto della locazione di memoria 1002H è

7 6 5 4 3 2 1 0

1	0	0	0	1	0	0	0
---	---	---	---	---	---	---	---

dopo l'esecuzione di

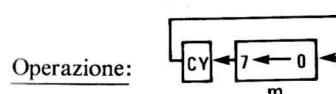
RLC (IY+2H)

il contenuto della locazione di memoria 1002H e del flag di Carry sarà

C 7 6 5 4 3 2 1 0

1	0	0	0	1	0	0	0	1
---	---	---	---	---	---	---	---	---

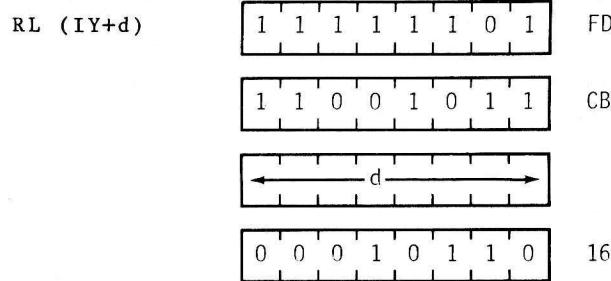
RL m



Formato:	Codice operativo	Operando
RL		m

L'operando m è uno qualunque tra r, (HL), (IX+d) o (IY+d), come per le analoghe istruzioni RLC. Queste varie combinazioni possibili fra codice operativo ed operando sono specificate come segue in codice oggetto:

RL r	CB
RL (HL)	CB
RL (IX+d)	16
RL (IY+d)	DD
	CB
	16



*r identifica i registri B, C, D, E, H, L o A specificati come segue in codice oggetto:

Registro	r
B	000
C	001
D	010
E	011
H	100
L	101
A	111

Descrizione:

Il contenuto dell'operando m viene fatto ruotare verso sinistra: il contenuto del bit 0 è copiato nel bit 1; il precedente contenuto del bit 1 nel bit 2; questo schema si realizza per tutto il byte. Il contenuto del bit 7 è copiato nel flag di Carry (flag C nel registro F) e il precedente contenuto del flag di Carry è copiato nel bit 0. Il bit 0 è il bit meno significativo.

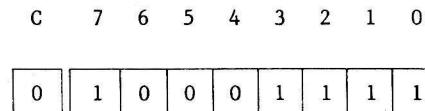
ISTRUZIONE	CICLI M	STATI T	T.E. a 4 MHz
RL r	2	8(4,4)	2.00
RL (HL)	4	15(4,4,4,3)	3.75
RL (IX+d)	6	23(4,4,3,5,4,3)	5.75
RL (IY+d)	6	23(4,4,3,5,4,3)	5.75

Bit di condizione alterati:

- S: Settato se il risultato è negativo; altrimenti resettato
- Z: Settato se il risultato è zero; altrimenti resettato
- H: Resetto
- P/V: Settato in caso di parità pari; altrimenti resettato
- N: Resetto
- C: Contiene il dato che proviene dal bit 7 dell'operando

Esempio:

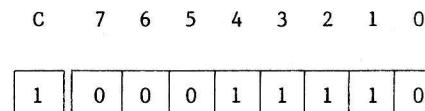
Se il contenuto del registro D e del flag di Carry è



dopo l'esecuzione di

RL D

il contenuto del registro D e del flag di Carry sarà



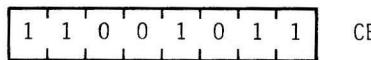
RRC m

Operazione:

Formato: Codice operativo Operando
 RRC m

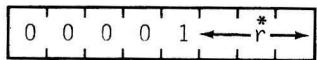
L'operando m è uno qualunque tra r, (HL), (IX+d) o (IY+d), come per le analoghe istruzioni RLC. Queste varie combinazioni possibili fra codice operativo ed operando sono specificate come segue in codice oggetto:

RRC r

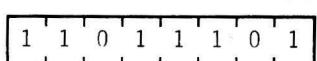


CB

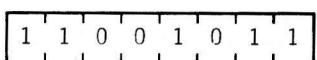
RRC (HL) 1 1 0 0 1 0 1 1 CB



RRC (IX+d) 1 1 0 1 1 1 0 1 DD



[REDACTED] OF



20

RRC (IY+d)

1	1	1	1	1	1	0	1
---	---	---	---	---	---	---	---

FD

1	1	0	0	1	0	1	1
↓	↓	↓	↓	↓	↓	↓	↓

CB

A horizontal rectangle divided into 8 equal segments by vertical lines. A double-headed arrow at the top spans the entire width of the rectangle, labeled with the variable d .

0	0	0	0	1	1	1	0
---	---	---	---	---	---	---	---

OE

*r identifica i registri B, C, D, E, H, L o A specificati come segue in codice oggetto:

Registro	r
B	000
C	001
D	010
E	011
H	100
L	101
A	111

Descrizione:

Il contenuto dell'operando m viene fatto ruotare verso destra: il contenuto del bit 7 è copiato nel bit 6; il precedente contenuto del bit 6 è copiato nel bit 5; questo schema si realizza per tutto il byte. Il contenuto del bit 0 è copiato nel flag di Carry (flag C nel registro F) ed anche nel bit 7. Il bit 0 è il bit meno significativo.

ISTRUZIONE	CICLI M	STATI T	T.E. a 4 MHz
RRC r	2	8(4,4)	2.00
RRC (HL)	4	15(4,4,4,3)	3.75
RRC (IX+d)	6	23(4,4,3,5,4,3)	5.75
RRC (IY+d)	6	23(4,4,3,5,4,3)	5.75

Bit di condizione alterati:

- S: Settato se il risultato è negativo;
altrimenti resettato
- Z: Settato se il risultato è zero;
altrimenti resettato
- H: Resetto
- P/V: Settato in caso di parità pari;
altrimenti resettato
- N: Resetto
- C: Contiene il dato che proviene dal bit 0 dell'operando

Esempio:

Se il contenuto del registro A è

7 6 5 4 3 2 1 0

0	0	1	1	0	0	0	1
---	---	---	---	---	---	---	---

dopo l'esecuzione di

RRC A

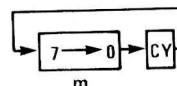
il contenuto del registro A e del flag di Carry sarà

7 6 5 4 3 2 1 0 C

1	0	0	1	1	0	0	0	1
---	---	---	---	---	---	---	---	---

RR m

Operazione:



Formato:

Codice operativo

Operando

RR

m

L'operando m è uno qualunque fra r, (HL), (IX+d) o (IY+d) come per le analoghe istruzioni RLC. Queste varie combinazioni possibili fra codice operativo ed operando sono specificate come segue in codice oggetto:

RR r

1	1	0	0	1	0	1	1
---	---	---	---	---	---	---	---

CB

0	0	0	1	1	*	r
---	---	---	---	---	---	---

RR (HL)

1	1	0	0	1	0	1	1
---	---	---	---	---	---	---	---

CB

0	0	0	1	1	1	1	0
---	---	---	---	---	---	---	---

1E

RR (IX+d)

1	1	0	1	1	1	1	0
---	---	---	---	---	---	---	---

DD

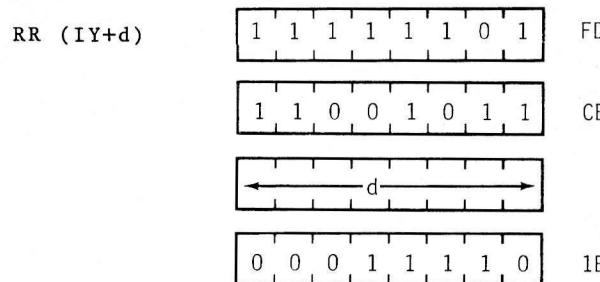
1	1	0	0	1	0	1	1
---	---	---	---	---	---	---	---

CB

0	0	0	1	1	1	1	0
---	---	---	---	---	---	---	---

0	0	0	1	1	1	1	0
---	---	---	---	---	---	---	---

1E



*r identifica i registri B, C, D, E, H, L o A specificati come segue in codice oggetto:

Registro	r
B	000
C	001
D	010
E	011
H	100
L	101
A	111

Descrizione:

Il contenuto dell'operando m viene fatto ruotare verso destra: il contenuto del bit 7 è copiato nel bit 6; il precedente contenuto del bit 6 nel bit 5; lo schema si realizza per tutto il byte. Il contenuto del bit 0 è copiato nel flag di Carry (flag C nel registro F) e il precedente contenuto del flag di Carry è copiato nel registro 7. Il bit 0 è il bit meno significativo.

ISTRUZIONE	CICLI M	STATI T	T.E. a 4 MHz
RR r	2	8(4,4)	2.00
RR (HL)	4	15(4,4,4,3)	3.75
RR (IX+d)	6	23(4,4,3,5,4,3)	5.75
RR (IY+d)	6	23(4,4,3,5,4,3)	5.75

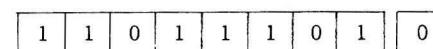
Bit di condizione alterati:

- S: Settato se il risultato è negativo; altrimenti resettato
- Z: Settato se il risultato è zero; altrimenti resettato
- H: Resetto
- P/V: Settato in caso di parità pari; altrimenti resettato
- N: Resetto
- C: Contiene il dato che proviene dal bit 0 dell'operando

Esempio:

Se il contenuto della coppia di registri HL è 4343H, e il contenuto della locazione di memoria 4343H e del flag di Carry è

7 6 5 4 3 2 1 0 C

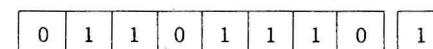


dopo l'esecuzione di

RR (HL)

il contenuto della locazione 4343H e del flag di Carry sarà

7 6 5 4 3 2 1 0 C

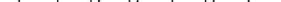


SLA m

Operazione: 

Formato: Codice operativo Operando
SLA m

L'operando m è uno qualunque tra r, (HL), (IX+d) o (IY+d), come per le istruzioni RLC analoghe. Queste varie combinazioni possibili sono specificate come segue in codice oggetto:

SLA r  CB

$$0 \quad 0 \quad 1 \quad 0 \quad 0 \xleftarrow{r} *$$

SLA (HLL)

1	1	0	0	1	0	1	1
---	---	---	---	---	---	---	---

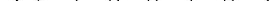
 CB

0	0	1	0	0	1	1	0
---	---	---	---	---	---	---	---

S LA (IX+d)

1	1	0	1	1	1	0	1
---	---	---	---	---	---	---	---

 RD

 CB

d

0 0 1 0 0 1 1 1 0

SLA (IY+d)

1	1	1	1	1	1	0	1
---	---	---	---	---	---	---	---

F

1	1	0	0	1	0	1	1
---	---	---	---	---	---	---	---

6

A horizontal rectangle representing a bar. A double-headed arrow inside the rectangle is labeled d , indicating its total length.

0	0	1	0	0	1	1	0
---	---	---	---	---	---	---	---

2

*r identifica i registri B, C, D, E, H, L o A specificati come segue in codice oggetto:

Registro	r
B	000
C	001
D	010
E	011
H	100
L	101
A	111

Descrizione:

Viene eseguito uno shift aritmetico a sinistra sul contenuto dell'operando m: il bit 0 è resettato, il precedente contenuto del bit 0 è copiato nel bit 1, il cui precedente contenuto è copiato nel bit 2, e così via di seguito; il contenuto del bit 7 è copiato nel flag di Carry (flag C nel registro F). Il bit 0 è il bit meno significativo.

ISTRUZIONE	CICLI M	STATI T	T.E. a 4 MHz
SLA r	2	8(4,4)	2.00
SLA (HL)	4	15(4,4,4,3)	3.75
SLA (IX+d)	6	23(4,4,3,5,4,3)	5.75
SLA (IY+d)	6	23(4,4,3,5,4,3)	5.75

Bit di condizione alterati:

- S: Settato se il risultato è negativo; altrimenti resettato
- Z: Settato se il risultato è zero; altrimenti resettato
- H: Resetto
- P/V: Settato in caso di parità pari; altrimenti resettato
- N: Resetto
- C: Dato dal bit 7 dell'operando

Esempio:

Se il contenuto del registro L è

7 6 5 4 3 2 1 0

1	0	1	1	0	0	0	1
---	---	---	---	---	---	---	---

dopo l'esecuzione di

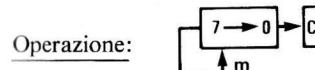
SLA L

il contenuto del registro L e del flag di Carry sarà

C 7 6 5 4 3 2 1 0

1	0	1	1	0	0	0	1	0
---	---	---	---	---	---	---	---	---

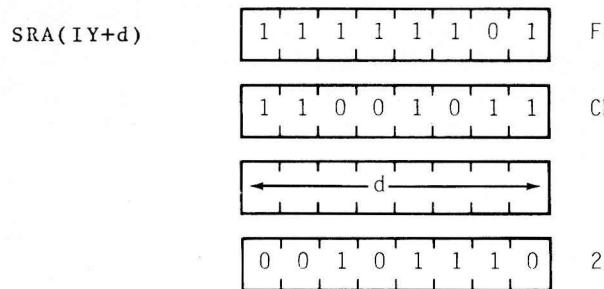
SRA m



<u>Formato:</u>	<u>Codice operativo</u>	<u>Operando</u>
SRA		m

L'operando m è uno qualunque tra r, (HL), (IX+d) o (IY+d), come per le istruzioni RLC analoghe. Queste varie combinazioni possibili fra codice operativo ed operando sono specificate come segue in codice oggetto:

SRA r		CB
SRA(HL)		CB
		2E
SRA(IX+d)		DD
		CB
		2E



*r rappresenta i registri B, C, D, E, H, L o A specificati come segue in codice oggetto:

Registro	r
B	000
C	001
D	010
E	011
H	100
L	101
A	111

Viene eseguito uno shift aritmetico verso destra sul contenuto dell'operando m: il contenuto del bit 7 è copiato nel bit 6; il precedente contenuto del bit 6 è copiato nel bit 5; lo schema è lo stesso per tutto il byte.

Il contenuto del bit 0 è copiato nel flag di Carry (flag C nel registro F) e il precedente contenuto del bit 7 resta invariato.

Il bit 0 è il bit meno significativo.

ISTRUZIONE	CICLI M	STATI T	T.E. a 4 MHz
SRA r	2	8(4,4)	2.00
SRA (HL)	4	15(4,4,4,3)	3.75
SRA (IX+d)	6	23(4,4,3,5,4,3)	5.75
SRA (IY+d)	6	23(4,4,3,5,4,3)	5.75

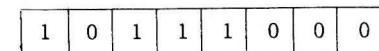
Bit di condizione alterati:

- S: Settato se il risultato è negativo;
altrimenti resettato
- Z: Settato se il risultato è zero;
altrimenti resettato
- H: Resetto
- P/V: Settato in caso di parità pari;
altrimenti resettato
- N: Resetto
- C: Dato dal bit 0 dell'operando

Esempio:

Se il contenuto del registro indice IX è 1000H, e il contenuto della locazione di memoria 1003H è:

7 6 5 4 3 2 1 0

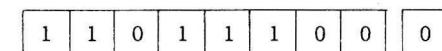


dopo l'esecuzione di

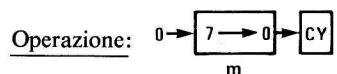
SRA (IX+3H)

il contenuto della locazione di memoria 1003H e del flag di Carry sarà

7 6 5 4 3 2 1 0 C



SRL m

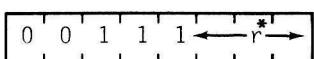


Formato: Codice operativo Operando

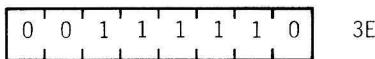
SRL m

L'operando m è uno qualunque tra r, (HL), (IX+d) o (IY+d), come per le istruzioni RLC analoghe. Queste varie combinazioni possibili fra codice operativo ed operando sono specificate come segue in codice oggetto:

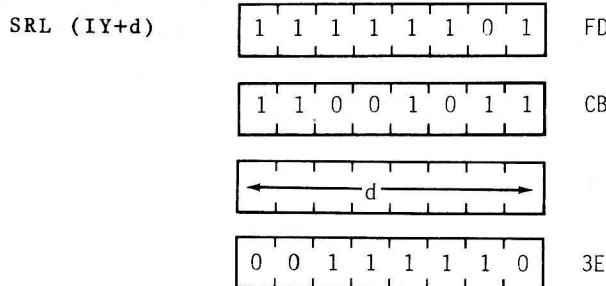
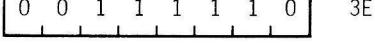
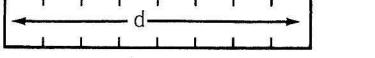
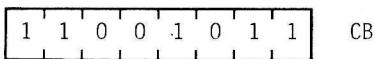
SRL r CB



SRL (HL) CB



SRL (IX+d) DD



*r identifica i registri B, C, D, E, H, L o A specificati come segue in codice oggetto:

Registro	r
B	000
C	001
D	010
E	011
H	100
L	101
A	111

Descrizione:

Il contenuto dell'operando m è spostato verso destra: il contenuto del bit 7 è copiato nel bit 6; il contenuto del bit 6 nel bit 5; questo schema è lo stesso per tutto il byte. Il contenuto del bit 0 è copiato nel flag di Carry, e il bit 7 è resettato. Il bit 0 è il bit meno significativo.

ISTRUZIONE	CICLI M	STATI T	T.E. a 4 MHz
SRL r	2	8(4,4)	2.00
SRL (HL)	4	15(4,4,4,3)	3.75
SRL (IX+d)	6	23(4,4,3,5,4,3)	5.75
SRL (IY+d)	6	23(4,4,3,5,4,3)	5.75

Bit di condizione alterati:

- S: Settato se il risultato è negativo; altrimenti resettato
- Z: Settato se il risultato è zero; altrimenti resettato
- H: Resetto
- P/V: Settato in caso di parità pari; altrimenti resettato
- N: Resetto
- C: Dato del bit 0 dell'operando

Esempio:

Se il contenuto del registro B è

7 6 5 4 3 2 1 0

1	0	0	0	1	1	1	1
---	---	---	---	---	---	---	---

dopo l'esecuzione di

SRL B

il contenuto del registro B e del flag di Carry sarà

7 6 5 4 3 2 1 0 C

0	1	0	0	0	1	1	1	1
---	---	---	---	---	---	---	---	---

RLD

Operazione: A[7 4 3 0] → [7 4 3 0](HL)

Formato: Codice operativo

RLD

1	1	1	0	1	1	0	1
---	---	---	---	---	---	---	---

ED

0	1	1	0	1	1	1	1
---	---	---	---	---	---	---	---

6F

Descrizione:

Il contenuto dei quattro bit di ordine basso (i bit 3, 2, 1 e 0) della locazione di memoria (HL) sono copiati nei quattro bit di ordine alto (i bit 7, 6, 5 e 4) di quella stessa locazione di memoria; il precedente contenuto di quei quattro bit di ordine alto è copiato nei quattro bit di ordine basso dell'accumulatore (registro A); e il precedente contenuto dei quattro bit di ordine basso dell'accumulatore è copiato nei quattro bit di ordine basso della locazione di memoria (HL).

Il contenuto dei bit di ordine alto dell'accumulatore rimane inalterato. Nota: (HL) rappresenta la locazione di memoria specificata dal contenuto della coppia di registri HL.

CICLI M: 5 STATI T: 18 (4,4,3,4,3) T.E. a 4 MHz: 4,50

Bit di condizione alterati:

- S: Settato se l'accumulatore è negativo dopo l'operazione; altrimenti resettato
- Z: Settato se l'accumulatore è zero dopo l'operazione; altrimenti resettato
- H: Resetto
- P/V: Settato se la parità dell'accumulatore è pari dopo l'operazione; altrimenti resettato
- N: Resetto
- C: Inalterato

Esempio:

Se il contenuto della coppia di registri HL è 5000H, e il contenuto dell'accumulatore e della locazione di memoria 5000H è

7 6 5 4 3 2 1 0

0	1	1	1	1	0	1	0
---	---	---	---	---	---	---	---

Accumulatore

7 6 5 4 3 2 1 0

0	0	1	1	0	0	0	1
---	---	---	---	---	---	---	---

(5000H)

dopo l'esecuzione di

RLD

il contenuto dell'accumulatore e della locazione di memoria 5000H sarà

7 6 5 4 3 2 1 0

0	1	1	1	0	0	1	1
---	---	---	---	---	---	---	---

Accumulatore

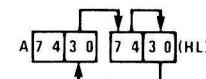
7 6 5 4 3 2 1 0

0	0	0	1	1	0	1	0
---	---	---	---	---	---	---	---

(5000H)

RRD

Operazione:



Formato:

Codice operativo

RRD

1	1	1	0	1	1	1	0	1
---	---	---	---	---	---	---	---	---

ED

0	1	1	0	0	1	1	1	1
---	---	---	---	---	---	---	---	---

67

Descrizione:

Il contenuto dei quattro bit di ordine basso (i bit 3, 2, 1 e 0) della locazione di memoria (HL) sono copiati nei quattro bit di ordine basso dell'accumulatore (registro A); il precedente contenuto dei quattro bit di ordine basso dell'accumulatore è copiato nei quattro bit di ordine alto (7, 6, 5 e 4) della locazione (HL); e il precedente contenuto dei quattro bit di ordine alto di (HL) è copiato nei quattro bit di ordine basso di (HL). Il contenuto dei bit di ordine alto dell'accumulatore resta inalterato. Nota: (HL) rappresenta la locazione di memoria specificata dal contenuto della coppia di registri HL.

CICLI M: 5 STATI T: 18 (4,4,3,4,3) T.E. a 4 MHz: 4,50

Bit di condizione alterati:

- S: Settato se l'accumulatore è negativo dopo l'operazione;
altrimenti resettato
- Z: Settato se l'accumulatore è zero dopo l'operazione;
altrimenti resettato
- H: Resetto
- P/V: Settato se la parità dell'accumulatore è pari dopo l'operazione;
altrimenti resettato
- N: Resetto
- C: Inalterato

Esempio:

Se il contenuto della coppia di registri HL è 5000H, e il contenuto dell'accumulatore e della locazione di memoria 5000H è

7 6 5 4 3 2 1 0

1	0	0	0	0	1	0	0
---	---	---	---	---	---	---	---

Accumulatore

7 6 5 4 3 2 1 0

0	0	1	0	0	0	0	0
---	---	---	---	---	---	---	---

(5000H)

dopo l'esecuzione di

RRD

il contenuto dell'accumulatore e della locazione di memoria 5000H sarà

7 6 5 4 3 2 1 0

1	0	0	0	0	0	0	0
---	---	---	---	---	---	---	---

Accumulatore

7 6 5 4 3 2 1 0

0	1	0	0	0	0	1	0
---	---	---	---	---	---	---	---

(5000H)

GRUPPO DI TEST BIT, SET E RESET BIT

BIT b, r

Operazione: $Z \leftarrow \overline{r_b}$

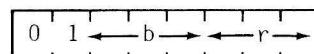
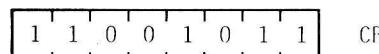
Formato:

Codice operativo

Operandi

BIT

b, r



Descrizione:

Dopo l'esecuzione di questa istruzione, il flag Z nel registro F conterrà il complemento del bit b all'interno del registro r. Gli operandi b e r sono specificati come segue in codice oggetto:

Bit testato	b	Registro	r
0	000	B	000
1	001	C	001
2	010	D	010
3	011	E	011
4	100	H	100
5	101	L	101
6	110	A	111
7	111		

CICLI M: 2 STATI T: 8 (4,4) T.E. a 4 MHz: 2,00

Bit di condizione alterati:

- S: Non definito
- Z: Settato se il bit specificato è zero; altrimenti resettato
- H: Settato
- P/V: Non definito
- N: Resetto
- C: Inalterato

Esempio:

Se il bit 2 nel registro B contiene 0, dopo l'esecuzione di

BIT 2, B

il flag Z nel registro F conterrà 1, e il bit 2 nel registro B rimane 0. (Il bit 0 nel registro B è il bit meno significativo.)

BIT b, (HL)

Operazione: $Z \leftarrow \overline{(HL)_b}$

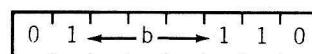
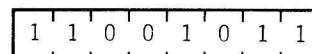
Formato:

Codice operativo

Operandi

BIT

b, (HL)



Descrizione:

Dopo l'esecuzione di questa istruzione, il flag Z del registro F conterrà il complemento del bit b del byte indirizzato dalla coppia di registri HL. L'operando b è specificato come segue in codice oggetto:

Bit testato	b
0	000
1	001
2	010
3	011
4	100
5	101
6	110
7	111

CICLI M: 3 STATI T: 12 (4,4,4) T.E. a 4 MHz: 3,00

Bit di condizione alterati:

- S: Non definito
- Z: Settato se il bit specificato è 0; altrimenti resettato
- H: Settato
- P/V: Non definito
- H: Resetto
- C: Inalterato

Esempio:

Se la coppia di registri HL contiene 4444H, e il bit 4 nella locazione di memoria 4444H contiene 1, dopo l'esecuzione di

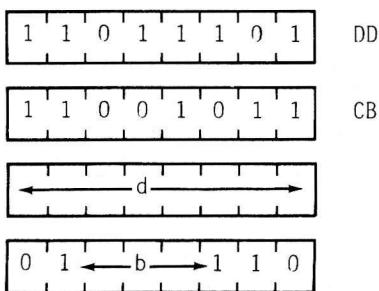
BIT 4, (HL)

il flag Z nel registro F conterrà 0, e il bit 4 nella locazione di memoria 4444H conterrà ancora 1. (Il bit 0 nella locazione di memoria 4444H è il bit meno significativo).

BIT b, (IX+d)

Operazione: $Z \leftarrow \overline{(IX+d)}_b$

Formato:	Codice operativo	Operandi
	BIT	b, (IX +d)



Descrizione:

Dopo l'esecuzione di questa istruzione, il flag Z nel registro F conterrà il complemento del bit b del byte il cui indirizzo è dato dalla somma del contenuto del registro indice IX e dello spostamento relativo d, intero complemento a due.

L'operando b è specificato come segue in codice oggetto.

Bit testato	b
0	000
1	001
2	010
3	011
4	100
5	101
6	110
7	111

CICLI M: 5 STATI T: 20 (4,4,3,5,4) T.E. a 4 MHz: 5.00

Bit di condizione alterati:

S:	Non definito
Z:	Settato se il bit specificato è 0; altrimenti resettato
H:	Settato
P/V:	Non definito
N:	Resettato
C:	Inalterato

Esempio:

Se il contenuto del registro indice IX è 2000H, e il bit 6 nella locazione di memoria 2004H contiene 1, dopo l'esecuzione di

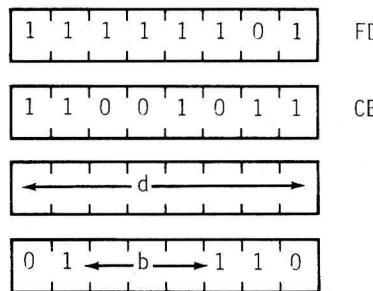
BIT 6, (IX+4H)

il flag Z nel registro F conterrà 0, e il bit 6 nella locazione di memoria 2004H conterrà ancora 1. (Il bit 0 nella locazione di memoria 2004H è il bit meno significativo).

BIT b, (IY+d)

Operazione: $Z \leftarrow \overline{(IY+d)}_b$

Formato:	Codice operativo	Operandi
BIT	b, (IY+d)	



Descrizione:

Dopo l'esecuzione di questa istruzione, il flag Z nel registro F conterrà il complemento del bit b del byte il cui indirizzo è dato dalla somma del registro indice IY e dello spostamento relativo d, intero complemento a due. L'operando b è specificato come segue in codice oggetto:

Bit testato	b
0	000
1	001
2	010
3	011
4	100
5	101
6	110
7	111

Bit di condizione alterati:

S:	Non definito
Z:	Settato se il bit specificato è 0; altrimenti resettato
H:	Settato
P/V:	Non definito
N:	Resetto
C:	Inalterato

Esempio:

Se il contenuto del registro indice IY è 2000H, e il bit 6 nella locazione di memoria 2004H contiene 1, dopo l'esecuzione di

BIT 6, (IY+4H)

il flag Z nel registro F contiene 0, e il bit 6 nella locazione di memoria 2004H conterrà ancora 1. (Il bit 0 nella locazione di memoria 2004H è il bit meno significativo).

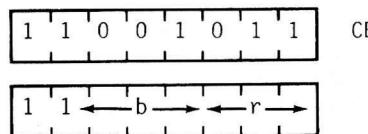
SET b, r

Operazione: $r_b \leftarrow 1$

Formato: Codice operativo Operandi

SET

b, r



CB

Descrizione:

Il bit b (un bit qualunque, da 7 a 0) nel registro r (uno qualunque dei registri B, C, D, E, H, L o A) viene settato. Gli operandi b e r sono specificati come segue in codice oggetto:

Bit settato	b	Registro	r
0	000	B	000
1	001	C	001
2	010	D	010
3	011	E	011
4	100	H	100
5	101	L	101
6	110	A	111
7	111		

CICLI M: 2 STATI T: 8 (4,4) T.E. a 4 MHz: 2,00

Bit di condizione alterati: Nessuno

Esempio:

Dopo l'esecuzione di

SET 4, A

il bit 4 nel registro A verrà settato. (Il bit 0 è il bit meno significativo).

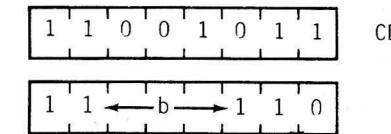
SET b, (HL)

Operazione: $(HL)_b \leftarrow 1$

Formato: Codice operativo Operandi

SET

b, (HL)



CB

Descrizione:

Il bit b (un bit qualunque, da 7 a 0) nella locazione di memoria indirizzata dalla coppia di registri HL viene settato. L'operando b è specificato come segue in codice oggetto:

Bit settato	b
0	000
1	001
2	010
3	011
4	100
5	101
6	110
7	111

CICLI M: 4 STATI T: 15 (4,4,4,3) T.E. a 4 MHz: 3,75

Bit di condizione alterati: Nessuno

Esempio:

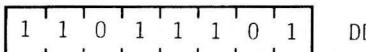
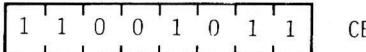
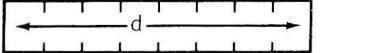
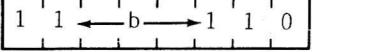
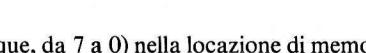
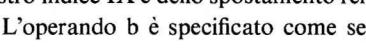
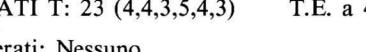
Se il contenuto della coppia di registri HL è 3000H, dopo l'esecuzione di

SET 4, (HL)

il bit 4 nella locazione di memoria 3000H sarà 1. (Il bit 0 nella locazione di memoria 3000H è il bit meno significativo).

SET b, (IX+d)

Operazione: $(IX+d)_b \leftarrow 1$

Formato:	Codice operativo	Operandi
	SET	b, (IX+d)
		
		DD
		
		CB
		
		
		
		
		
		
		
		
		
		
		
		

Descrizione:

Il bit b (un bit qualunque, da 7 a 0) nella locazione di memoria indirizzata dalla somma del contenuto del registro indice IX e dello spostamento relativo d, intero complemento a due, viene settato. L'operando b è specificato come segue in codice oggetto:

Bit settato	b
0	000
1	001
2	010
3	011
4	100
5	101
6	110
7	111

CICLI M: 6 STATI T: 23 (4,4,3,5,4,3) T.E. a 4 MHz: 5,75

Bit di condizione alterati: Nessuno

Esempio:

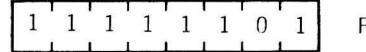
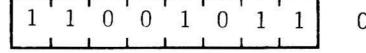
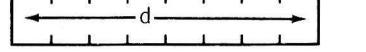
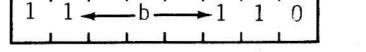
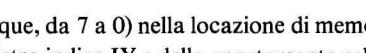
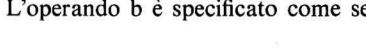
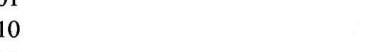
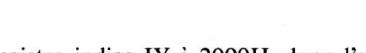
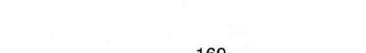
Se il contenuto del registro indice IX è 2000H, dopo l'esecuzione di

SET 0, (IX+3H)

il bit 0 nella locazione di memoria 2003H sarà 1. (Il bit 0 nella locazione di memoria 2003H è il bit meno significativo).

SET b, (IY+d)

Operazione: $(IY+d)_b \leftarrow 1$

Formato:	Codice operativo	Operandi
	SET	b, (IY+d)
		
		FD
		
		CB
		
		
		
		
		
		
		
		
		
		
		
		
		
		

Descrizione:

Il bit b (un bit qualunque, da 7 a 0) nella locazione di memoria indirizzata dalla somma del contenuto del registro indice IY e dello spostamento relativo d, intero complemento a due, viene settato. L'operando b è specificato come segue in codice oggetto:

Bit settato	b
0	000
1	001
2	010
3	011
4	100
5	101
6	110
7	111

CICLI M: 6 STATI T: 23 (4,4,3,5,4,3) T.E. a 4 MHz: 5,75

Bit di condizione alterati: Nessuno

Esempio:

Se il contenuto del registro indice IY è 2000H, dopo l'esecuzione di

SET 0, (IY+3H)

il bit 0 nella locazione di memoria 2003H sarà 1. (Il bit 0 nella locazione di memoria 2003H è il bit meno significativo).

RES b, m

Operazione: $m_b \leftarrow 0$

Formato: Codice operativo Operando

RES b, m

L'operando b è un bit qualunque (da 7 a 0) del contenuto dell'operando m (uno qualunque tra r, (HL), (IX+d) o (IY+d) come per le istruzioni SET analoghe. Queste varie combinazioni possibili sono indicate come segue in codice oggetto:

RES b, r	CB
RES b, (HL)	CB
RES b, (IX+d)	DD CB
RES b, (IY+d)	FD CB

Bit resettato	b	Registro	r
0	000	B	000
1	001	C	001
2	010	D	010
3	011	E	011
4	100	H	100
5	101	L	101
6	110	A	111
7	111		

Descrizione:

Il bit b nell'operando m viene resettato.

ISTRUZIONE	CICLI M	STATI T	T.E. a 4 MHz
RES r	2	8(4,4)	2.00
RES (HL)	4	15(4,4,4,3)	3.75
RES (IX+d)	6	23(4,4,3,5,4,3)	5.75
RES (IY+d)	6	23(4,4,3,5,4,3)	5.75

Bit di condizione alterati: Nessuno

Esempio:

Dopo l'esecuzione di

RES 6, D

il bit 6 nel registro D verrà resettato. (Il bit 0 nel registro D è il bit meno significativo).

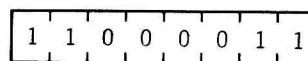
GRUPPO DI SALTO

JP nn

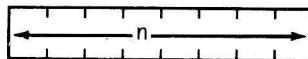
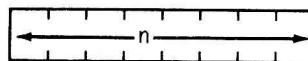
Operazione: $PC \leftarrow nn$

Formato: Codice operativo Operando

JP nn



C3



Nota: il primo operando in questo codice oggetto è il byte di ordine basso di un indirizzo a 2 byte.

Descrizione:

L'operando nn è caricato nella coppia di registri PC (program counter) e indica l'indirizzo dell'istruzione che va eseguita successivamente.

CICLI M: 3 STATI T: 10 (4,3,3) T.E. a 4 MHz: 2,50

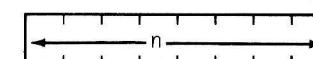
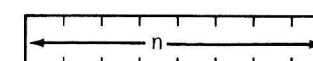
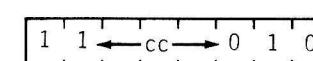
Bit di condizione alterati: Nessuno

JP cc, nn

Operazione: Se cc VERO,

Formato: Codice operativo Operandi

JP cc, nn



Nota: Il primo operando n in questo codice oggetto è il byte di ordine basso di un indirizzo di memoria a 2 byte.

Descrizione:

Se la condizione cc è vera, l'istruzione carica l'operando nn nella coppia di registri PC (program counter) ed il programma continua con l'istruzione che inizia all'indirizzo nn. Se la condizione cc è falsa, il contatore di programma viene incrementato, come al solito, ed il programma continua con l'istruzione che viene dopo nella sequenza. La condizione cc fa riferimento allo stato logico di uno tra i quattro flag (Z,C,P/V,S) del registro F.

Ciascuno di essi può trovarsi nello stato 0 o nello stato 1: si ottiene quindi un totale di otto possibili condizioni di cui viene dato dettaglio nella tabella seguente:

cc	CONDIZIONE	FLAG
000	NZ non zero	Z
001	Z zero	Z
010	NC nessun riporto	C
011	C riporto	C
100	PO parità dispari	P/V
101	PE parità pari	P/V
110	P segno positivo	S
111	M segno negativo	S

CICLI M: 3 STATI T: 10 (4,3,3) T.E. a 4 MHz: 2,50

Bit di condizione alterati: Nessuno

Esempio:

Se il flag di Carry (flag C nel registro F) è settato e il contenuto dell'indirizzo 1520 è 03H, dopo l'esecuzione di

JP C, 1520H

il contatore di programma conterrà 1520H, e nel ciclo macchina successivo la CPU, come codice operativo della prossima istruzione da eseguire, preleverà dall'indirizzo 1520H il byte 03H.

JR e

Operazione: PC \leftarrow PC + e

<u>Formato:</u>	<u>Codice operativo</u>	<u>Operando</u>
JR	e	

0	0	0	1	1	0	0	0
---	---	---	---	---	---	---	---

18

--	--	--	--	--	--	--	--

Descrizione:

L'istruzione permette di saltare incondizionatamente ad altri segmenti di un programma. Il valore dello spostamento relativo e viene aggiunto al contatore di programma (PC) e l'istruzione successiva viene prelevata dalla locazione designata dal nuovo contenuto di PC. Questo salto è calcolato a partire dall'indirizzo del codice operativo dell'istruzione e varia da -126 a +129 byte. L'assembler calcola lo spostamento relativo e ed esegue un aggiustamento di e in modo da compensare il fatto che, essendo questa una istruzione a 2 Byte, al termine della sua esecuzione il PC sarà stato automaticamente incrementato due volte.

CICLI M: 3 STATI T: 12 (4,3,5) T.E. a 4 MHz: 3,00

Bit di condizione alterati: Nessuno

Esempio:

Si supponga di voler eseguire un salto ad una parte di programma il cui primo statement abbia come etichetta LABEL. Se tale statement è distante un numero di byte compreso tra -126 e +129 dal codice operativo dell'istruzione di salto, è allora possibile utilizzare l'istruzione JR nella forma:

JR LABEL

Per esempio se il salto da effettuare è di +4 byte e il 1° byte dell'istruzione JR LABEL è posto in 480H, si ha

<u>Locazione</u>	<u>Istruzione</u>	<u>Codice Ogg.</u>
480H	JR LABEL	18H
481H		02H
482H		—
483H		—
484H	LABEL	—

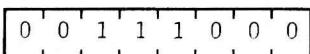
Durante l'esecuzione il PC seguirà la sequenza

480 H \rightarrow 481 H \rightarrow 484H

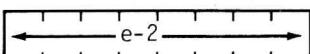
JR C, e

Operazione: Se $C = 0$, continua
Se $C = 1$, $PC \leftarrow PC + e$

Formato: Codice operativo Operandi
 JR C, e



38



Descrizione:

Questa istruzione permette il salto condizionato ad altri segmenti del programma, a seconda dello stato logico del flag di Carry. Se il flag è uguale ad un '1', il valore dello spostamento relativo e viene sommato al contatore di programma (PC) e l'istruzione successiva è prelevata dalla locazione designata dal nuovo contenuto di PC. Il salto viene misurato a partire dall'indirizzo del codice operativo dell'istruzione e varia da -126 a +129 byte. L'assembler calcola lo spostamento relativo e ed esegue automaticamente un aggiustamento per compensare il doppio incremento di PC.

Se il flag è uguale a '0', l'istruzione da eseguire successivamente viene presa dalla locazione che segue questa istruzione.

Se la condizione è verificata

CICLI M: 3 STATI T: 12 (4,3,5) T.E. a 4 MHz: 3,00

Se la condizione non è verificata

CICLI M: 2 STATI T: 7 (4,3) T.E. a 4 MHz: 1,75

Bit di condizione alterati: Nessuno

Esempio:

Si voglia saltare, quando il flag di Carry è settato, ad una locazione di etichetta LABEL distante quattro locazioni indietro rispetto alla posizione dell'istruzione di salto (480H).

Il codice oggetto sarà quindi:

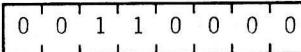
<u>Locazione</u>	<u>Istruzione</u>	<u>Codice Oggetto</u>
47CH	LABEL.....	
47DH		
47EH		
47FH		
480H	JR C, LABEL	38H
481H		FA (Complemento a 2 di -6)

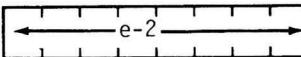
Se il Carry risulta settato, il PC effettuerà allora la sequenza:

480H → 481H → 47CH

JR NC, e

Operazione: Se C = 1, continua
Se C= 0, PC← PC + e

Formato:	Codice operativo	Operandi
	JR	NC, e
		30



Descrizione:

Questa istruzione permette il salto condizionato ad altri segmenti di un programma a seconda del valore del flag di Carry. Se il flag è uguale a '0', il valore dello spostamento relativo e viene sommato al contatore di programma (PC) e l'istruzione successiva è prelevata dalla locazione designata dal nuovo contenuto di PC. Il salto è misurato a partire dall'indirizzo del codice operativo dell'istruzione e varia da -126 a +129 byte. L'assemblér calcola lo spostamento relativo e ed esegue automaticamente un aggiustamento per compensare il doppio incremento di PC.

Se il flag è uguale ad un '1', l'istruzione da eseguire successivamente è presa dalla locazione che segue questa istruzione.

Se la condizione è verificata:

CICLI M: 3 STATI T: 12 (4,3,5) T.E. a 4 MHz: 3,00

Se la condizione non è verificata:

CICLI M: 2 STATI T: 7 (4,3) T.E. a 4 MHz: 1,75

Bit di condizione alterati: Nessuno

Esempio:

Si voglia ripetere, quando il flag di Carry è resettato l'istruzione di salto. Se il primo byte di tale istruzione (locazione 480H) ha l'etichetta LABEL, si ottiene il codice oggetto:

Locazione	Istruzione	Codice Oggetto
480H	LABEL: JR NC, LABEL	30H
481H		00H

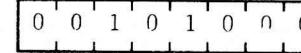
Se il Carry risulta resettato, il PC effettuerà la sequenza:

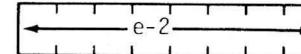
480H→481H→480H→ecc.

finché rimarrà valida la condizione C=O

JR Z, e

Operazione: Se Z = 0, continua
Se Z = 1, PC← PC + e

Formato:	Codice operativo	Operandi
	JR	Z, e
		28



Descrizione:

Questa istruzione permette il salto condizionato ad altri segmenti del programma, a seconda del valore del flag di Zero. Se il flag è uguale a '1', il valore dello spostamento relativo e viene sommato al contatore di programma (PC) e l'istruzione successiva è prelevata dalla locazione designata dal nuovo contenuto di PC. Il salto è misurato dall'indirizzo del codice operativo dell'istruzione e varia da -126 a +129. L'assemblér calcola lo spostamento relativo e ed esegue automaticamente un aggiustamento per compensare il doppio incremento di PC.

Se il flag di Zero è uguale a '0', l'istruzione da eseguire successivamente è presa dalla locazione che segue questa istruzione.

Se la condizione è verificata:

CICLI M: 3 STATI T: 12 (4,3,5) T.E. a 4 MHz: 3,00

Se la condizione non si è verificata:

CICLI M: 2 STATI T: 7 (4,3) T.E. a 4 MHz: 1,75

Bit di condizione alterati: Nessuno

Esempio:

Si voglia saltare, quando il flag di Zero è settato, ad una locazione di etichetta LABEL distante cinque locazioni avanti rispetto alla posizione dell'istruzione di salto (300H).

Il codice oggetto sarà quindi:

Locazione	Istruzione	Codice Oggetto
300H	JR Z, LABEL	28H
301H		03H
302H		
303H		
304H		
305H	LABEL:	

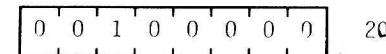
Se il flag di Zero è settato, il PC effettuerà allora la sequenza:

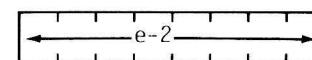
300H→301H→305H

JR NZ, e

Operazione: Se $Z = 1$, continua
Se $Z = 0$, $PC \leftarrow PC + e$

Formato: Codice operativo Operandi
 JR NZ, e

 20



Descrizione:

Questa istruzione permette il salto condizionato ad altri segmenti di un programma, a seconda del valore del flag di Zero. Se il flag è uguale a '0', il valore dello spostamento relativo e è sommato al contatore di programma (PC) e l'istruzione successiva è prelevata dalla locazione designata dal nuovo contenuto di PC. Il salto è misurato a partire dall'indirizzo del codice operativo dell'istruzione e varia da -126 a +129. L'assembler calcola lo spostamento relativo e ed esegue automaticamente un aggiustamento per compensare il doppio incremento di PC.

Se il flag di Zero è uguale a '1', l'istruzione da eseguire successivamente è presa dalla locazione che segue questa istruzione.

Se la condizione è verificata:

CICLI M: 3 STATI T: 12 (4,3,5) T.E. a 4 MHz: 3,00

Se la condizione non è verificata:

CICLI M: 2 STATI T: 7 (4,3) T.E. a 4 MHz: 1,75

Bit di condizione alterati: Nessuno

Esempio:

Si voglia saltare, quando il flag di Zero è resettato, ad una locazione di etichetta LABEL distante cinque locazioni indietro rispetto alla posizione dell'istruzione di salto (480H)

Il codice oggetto sarà quindi:

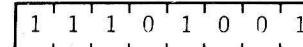
Locazione	Istruzione	Codice Oggetto
47BH	LABEL.....	
47CH		
47DH		
47EH		
47FH		
480H	JR NZ, LABEL	20H
481H		F9H (Complemento a 2 di -7)

Se il flag di Zero risulta resettato, il PC effettuerà allora la sequenza:

480H → 481H → 47BH

JP (HL)

Operazione: PC ← HL

Formato:	Codice operativo	Operando
	JP	(HL)
		E9

Descrizione:

Il contatore di programma (registro PC) è caricato con il contenuto della coppia di registri HL. L'istruzione successiva è prelevata dalla locazione designata dal nuovo contenuto di PC.

CICLI M: 1 STATI T: 4 T.E. a 4 MHz: 1,00

Bit di condizione alterati: Nessuno

Esempio:

Se il contenuto del contatore di programma è 1000H ed il contenuto della coppia di registri HL è 4800H, dopo l'esecuzione di

JP (HL)

il contenuto del contatore di programma sarà 4800H.

JP (IX)

Operazione: PC ← IX

Formato: Codice operativo Operando

JP (IX)

1	1	0	1	1	1	0	1
---	---	---	---	---	---	---	---

DD

1	1	1	0	1	0	0	1
---	---	---	---	---	---	---	---

E9

Descrizione:

Il contatore di programma (registro PC) è caricato con il contenuto del registro indice IX. L'istruzione successiva è prelevata dalla locazione designata dal nuovo contenuto di PC.

CICLI M: 2 STATI T: 8 (4,4) T.E. a 4 MHz: 2,00

Bit di condizione alterati: Nessuno

Esempio:

Se il contenuto del contatore di programma è 1000H, e il contenuto della coppia di registri IX è 4800H, dopo l'esecuzione di

JP (IX)

il contenuto del contatore di programma sarà 4800H.

JP (IY)

Operazione: PC ← IY

Formato: Codice operativo Operando

JP (IY)

1	1	1	1	1	1	0	1
---	---	---	---	---	---	---	---

FD

1	1	1	0	1	0	0	1
---	---	---	---	---	---	---	---

E9

Descrizione:

Il contatore di programma (coppia di registri PC) è caricato con il contenuto del registro indice IY. L'istruzione successiva è prelevata dalla locazione designata dal nuovo contenuto di PC.

CICLI M: 2 STATI T: 8 (4,4) T.E. a 4 MHz: 2,00

Bit di condizione alterati: Nessuno

Esempio:

Se il contenuto del contatore di programma è 1000H e il contenuto della coppia di registri IY è 4800H, dopo l'esecuzione di

JP (IY)

il contenuto del contatore di programma sarà 4800H.

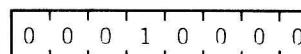
DJNZ e

Operazione:

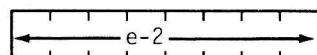
Formato: Codice operativo Operando

DJNZ

e



10



Descrizione:

Questa istruzione è simile alle istruzioni di salto condizionato, a parte il fatto che, per determinare il salto, si usa il valore di un registro. Il registro B viene decrementato e, se rimane un valore diverso da zero, viene sommato a PC il valore dello spostamento relativo e.

L'istruzione successiva è prelevata dalla locazione designata dal nuovo contenuto di PC. Il salto è misurato dall'indirizzo del codice operativo dell'istruzione e varia da -126 a +129 byte. L'assembler calcola lo spostamento relativo e ed esegue automaticamente un aggiustamento per compensare il doppio incremento di PC.

Se il risultato del decremento lascia B con un valore uguale a zero, l'istruzione da eseguire successivamente viene presa dalla locazione che segue questa istruzione.

Se $B \neq 0$:

CICLI M: 3 STATI T: 13 (5,3,5) T.E. a 4 MHz: 3,25

Se $B = 0$:

CICLI M: 2 STATI T: 8 (5,3) T.E. a 4 MHz: 2,00

Bit di condizione alterati: Nessuno

Esempio:

Per dimostrare l'uso dell'istruzione DJNZ, si usa una routine tipica. Questa routine sposta una linea da un buffer d'ingresso (INBUF) ad un buffer di uscita (OUTBUF). Essa sposta i byte finché non trova un CR, o finché non ha spostato 80 byte, qualunque di essi sia il primo.

LD	B,80	;Setta il contatore
LD	HL,Inbuf	;Setta i pointers
LD	DE,Outbuf	
LOOP: LD A,(HL)		
LD	(DE),A	;Prende il byte successivo
CP	0DH	;dal buffer d'ingresso
JR	Z,DONE	;Memorizza nel buffer di uscita
INC	HL	;È un CR?
INC	DE	;Si finito
DJNZ	LOOP	;Incrementa i pointers
;Esegue un loop all'indietro		
;se non sono stati		
;spostati 80 byte		

DONE:

GRUPPO DI CALL E RETURN

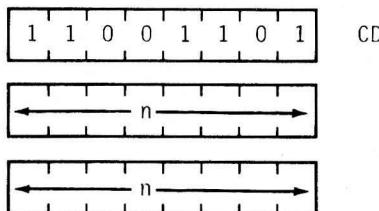
CALL nn

Operazione: $(SP-1) \leftarrow PC_H$, $(SP-2) \leftarrow PCL$, $PC \leftarrow nn$

Formato: Codice operativo Operando

CALL

nn



Nota: Il primo dei due operandi n nel codice oggetto indicato è il byte meno significativo di un indirizzo di memoria a due byte.

Descrizione:

Dopo aver caricato il contenuto attuale del contatore di programma (PC) nella parte alta dello stack di memoria esterno, gli operandi nn vengono caricati nel PC per indicare l'indirizzo in memoria dal quale bisogna estrarre il primo codice operativo di una subroutine.

(Alla fine della subroutine, si può usare un'istruzione di RETurn per ritornare al flusso originale del programma, reinserendo la parte alta dello stack nel PC). Il caricamento viene eseguito decrementando innanzitutto l'attuale contenuto dello stack pointer (copia di registri SP), caricando il byte di ordine alto di PC nell'indirizzo di memoria ora indicato da SP; poi decrementando di nuovo SP, e caricando il byte di ordine basso di PC nella parte alta dello stack. Nota: Dato che questa è un'istruzione a 3 byte, il contatore di programma sarà stato incrementato di 3 prima di essere caricato nello stack.

CICLI M: 5 STATI T: 17 (4,3,4,3,3) T.E. a 4 MHz: 4,25

Bit di condizione alterati: Nessuno

Esempio:

Se il contenuto del contatore di programma è 1A47H, il contenuto dello stack pointer è 3002H, e le locazioni di memoria hanno i contenuti:

Locazione	Contenuto
1A47H	CDH
1A48H	35H
1A49H	21H

nel corso dell'esecuzione del programma verrà letta dalla CPU l'istruzione a tre byte CD3521H cui corrisponde il codice mnemonico

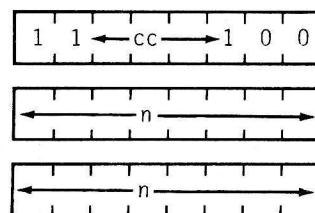
CALL 2135H

Dopo l'esecuzione di questa istruzione, il contenuto dell'indirizzo di memoria 3001H sarà 1AH, il contenuto dell'indirizzo 3000H sarà 4AH, il contenuto dello stack pointer sarà 3000H, e il contenuto del contatore di programma sarà 2135H, che indica l'indirizzo del primo codice operativo della subroutine che deve ora essere eseguito.

CALL cc, nn

Operazione: Se cc è VERO: $(SP-1) \leftarrow PC_H$
 $(SP-2) \leftarrow PC_L$, $PC \leftarrow nn$

Formato: Codice operativo Operandi
 CALL cc, nn



Nota: Il primo dei due operandi n nel codice oggetto sopra indicato è il byte meno significativo dell'indirizzo di memoria a due byte.

Descrizione:

Se la condizione cc è vera, questa istruzione inserisce l'attuale contenuto del contatore di programma (PC) nella parte alta dello stack di memoria esterna, poi carica gli operandi nn nel PC per indicare l'indirizzo in memoria da cui va prelevato il primo codice operativo di una subroutine. (Alla fine della subroutine, si può usare un'istruzione di RETurn per ritornare al flusso originale del programma inserendo la parte alta dello stack in PC). Se la condizione cc è falsa, il contatore di programma è incrementato come al solito, ed il programma continua con l'istruzione successiva in sequenza.

Il caricamento dello stack è eseguito decrementando prima l'attuale contenuto dello stack pointer (SP), caricando il byte di ordine alto del contenuto di PC nell'indirizzo di memoria ora indicato da SP; poi decrementando di nuovo SP, e caricando il byte di ordine basso del contenuto di PC nella parte alta dello stack. Nota: dato che questa è un'istruzione a 3 byte, il contatore di programma sarà stato incrementato di 3 prima di essere caricato nello stack.

La condizione cc si riferisce allo stato logico di uno tra i quattro flag (Z,C,P/V,S) del registro F.

Poiché ciascuno di essi può trovarsi nello stato 0 o nello stato 1, si ottiene un totale di otto condizioni possibili che sono indicate nella tabella seguente:

cc	Condizione	Flag
000	NZ non zero	Z
001	Z zero	Z
010	NC nessun riporto	C
011	C riporto	C
100	PO parità dispari	P/V
101	PE parità pari	P/V
110	P segno positivo	S
111	M segno negativo	S

Se cc è vera:

CICLI M: 5 STATI T: 17 (4,3,4,3,3) T.E. a 4 MHz: 4,25

Se cc è falsa:

CICLI M: 3 STATI T: 10 (4,3,3) T.E. a 4 MHz: 2,50

Bit di condizione alterati: Nessuno

Esempio:

Se il flag C nel registro F è resettato, il contenuto del contatore di programma è 1A47H, il contenuto dello stack pointer è 3002H, e le locazioni di memoria hanno questi contenuti:

Locazione	Contenuto
1A47H	D4H
1A48H	35H
1A49H	21H

nel corso dell'esecuzione del programma verrà letta dalla CPU l'istruzione a tre byte CD3521H cui corrisponde il codice mnemonico

CALL NC, 2135H

Dopo l'esecuzione di questa istruzione, il contenuto dell'indirizzo di memoria 3001H sarà 1AH, il contenuto dell'indirizzo 3000H sarà 4AH, il contenuto dello stack pointer sarà 3000H, e il contenuto del contatore di programma sarà 2135H, che indica l'indirizzo del primo codice operativo della subroutine che deve ora essere eseguita.