

# Elektronik 2

FS 24 Guido Keel (Michael Lehmann)

Autoren:

Simone Stitz, Laurin Heitzer

Version:

1.0.20240514

<https://github.com/P4ntomime/elektronik-2>



## Inhaltsverzeichnis

<b>1 Feldeffekt-Transistoren</b>	<b>3</b>		
1.1 FET-Typen und Symbole	3	10.1 Spannungswandler mit Spulen	6
1.2 Sperrsicht-FET / Junction FET (JFET)	3	10.2 Energien in den Komponenten	6
1.3 MOS-FETs	3	10.3 Aufwärtswandler (Boost, Step-Up Converter)	6
1.4 Verstärkerschaltungen mit FETs	3	10.4 Aufwärtswandler: Lückender Betrieb	7
1.5 MOS-FET als (Leistungs-)Schalter	3	10.5 Abwärtswandler (Buck, Step-Down Converter)	7
1.6 Transmission Gate	3	10.6 Invertierender Wandler (Buck-Boost Converter)	7
<b>2 Transistor-Transistor-Logik</b>	<b>3</b>	10.7 Flyback (Sperrwandler)	7
2.1 Resistor Transistor Logik (RTL)	3	10.8 Power Fail Control (PFC)	7
2.2 Dioden-Transistor-Logik (DTL)	4	10.9 Aufbau Modernes Netzteil	7
2.3 Transistor-Transistor-Logik (TTL)	4	10.10 Fazit Spannungswandler SMPS	7
<b>3 CMOS-Logik</b>	<b>4</b>		
3.1 Grundgatter in CMOS-Logik	4		
3.2 Dualität NMOS – PMOS	4		
3.3 Verlustleistung bei CMOS-Logik	4		
3.4 Verzögerungszeit	4		
<b>4 Schmitt-Trigger</b>	<b>4</b>		
4.1 Aufbau nichtinvertierender digitaler Schmitt-Trigger	4		
4.2 Aufbau invertierender digitaler Schmitt-Trigger	4		
4.3 Schmitt-Trigger vs. CMOS-Logik	4		
<b>5 Signalübertragung</b>	<b>4</b>		
5.1 Leitungstheorie	4		
5.2 Einfluss / Relevanz von Reflexionen	4		
<b>6 High-Speed-Logik</b>	<b>4</b>		
6.1 Emitter Coupled Logic (ECL)	4		
6.2 Current Mode Logic (CML)	5		
<b>7 Spannungsreferenzen</b>	<b>5</b>		
7.1 Spannungsteiler	5		
7.2 Diodenreferenz	5		
7.3 Spannungsreferenz mit mehreren Dioden	5		
7.4 Spannungsreferenz mit Zenerdioden (Shunt-Regler)	5		
7.5 Bootstrap-Referenz (VD Stromquelle)	5		
7.6 Proportional To Absolute Temperature (PTAT)	5		
7.7 Bandgap-Spannungsreferenz	5		
<b>8 Lineare Spannungsregler</b>	<b>5</b>		
8.1 Spannungsstabilisierung mit Z-Diode und BJT	5		
8.2 Linearer Spannungsregler	5		
8.3 Low-Dropout-Regler mit pnp-Längstransistor (LDO)	5		
8.4 Einstellbarer Serie-Spannungsregler	6		
<b>9 Spannungswandler mit Ladungspumpen</b>	<b>6</b>		
9.1 Grundprinzip Switched-Capacitor-Schaltungen (SC)	6		
9.2 Grundprinzip Ladungspumpen	6		
9.3 Allgemeine Funktionsweise geschaltete Kapazitäten	6		
9.4 Spannungsversion mit Switched Capacitors	6		
9.5 Spannungsverdoppler mit Switched Capacitors	6		
9.6 Dickson Charge Pump (Spannungsvervielfacher)	6		
<b>10 Schaltregler</b>	<b>6</b>		
10.1 Spannungswandler mit Spulen	6		
10.2 Energien in den Komponenten	6		
10.3 Aufwärtswandler (Boost, Step-Up Converter)	6		
10.4 Aufwärtswandler: Lückender Betrieb	7		
10.5 Abwärtswandler (Buck, Step-Down Converter)	7		
10.6 Invertierender Wandler (Buck-Boost Converter)	7		
10.7 Flyback (Sperrwandler)	7		
10.8 Power Fail Control (PFC)	7		
10.9 Aufbau Modernes Netzteil	7		
10.10 Fazit Spannungswandler SMPS	7		
<b>11 Passive Filter</b>	<b>7</b>		
11.1 Tiefpassfilter 1. Ordnung	7		
11.2 Bodeplot Tiefpassfilter 1. und 2. Ordnung	7		
11.3 Filter 2. Ordnung	8		
11.4 Filter höherer Ordnung	8		
11.5 Zeitverhalten: Schrittantwort	8		
11.6 Schrittantworten verschiedener Polgüten	8		
11.7 Filter 2. Ordnung (passiv und aktiv)	8		
<b>12 Aktive Filter</b>	<b>8</b>		
12.1 Sallen-Key-Filter (Einfachmitkopplung)	8		
12.2 Multiple-Feedback-Struktur	8		
12.3 Sallen-Key vs. Multiple-Feedback Struktur	8		
12.4 Vorgehen: UTF aus OPV-Filterschaltung ermitteln	8		
12.5 Zustandsvariablen-Filter (Biquad-Filter)	8		
<b>13 Analyse von Filterschaltungen mit SFDs</b>	<b>9</b>		
13.1 Eingangsadmittanzen / (Eingangsimpedanzen)	9		
13.2 OpAmp Impedanzfunktionen	9		
13.3 Regel von Mason (vereinfacht)	9		
<b>14 Switched-Capacitor-Verstärker</b>	<b>9</b>		
14.1 Switched-Capacitor-Verstärker	9		
14.2 Vergleich RC- und SC-Integrator	9		
14.3 RC- / SC-Filter	9		
14.4 Fazit Filter	9		
<b>15 Sigma-Delta-ADC</b>	<b>9</b>		
15.1 Dual-Slope-Wandler	9		
15.2 Single-Slope-Wandler	10		
15.3 Dual-Slope-Wandler für pos. und neg. Eingangsspannungen	10		
15.4 Aufbau Sigma-Delta-ADC	10		
15.5 Sigma-Delta-Modulator 1. Ordnung	10		
15.6 Sigma-Delta-Modulator im Zeitbereich	10		
15.7 Modellierung Sigma-Delta-Modulator im Frequenzbereich	10		
15.8 Oversampling / Signal-Rausch-Abstand (SNR)	10		
15.9 Sigma-Delta-Wandler 2. Ordnung	10		
15.10 Multi-Bit Modulatoren	10		
15.11 Bit vs. Multi-Bit ADC (im Modulator)	10		
15.12 Bit vs. Multi-Bit DAC (im Modulator)	10		
15.13 Dynamic Element Matching (DEM), Mismatch-Shaping	10		
15.14 Fazit Sigma-Delta-Modulatoren	11		
15.15 Digitalfilter	11		

**16 Sigma-Delta-DAC**

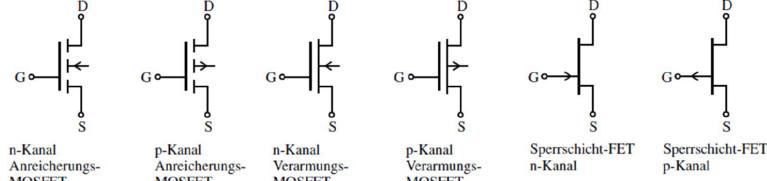
16.1 Pattern-Noise . . . . .	11
16.2 Bilanz Sigma-Delta-DAC . . . . .	11

**17 Anhang**

17.1 Temperaturabhängigkeit von Widerständen . . . . .	11
--	----

# 1 Feldeffekt-Transistoren

## 1.1 FET-Typen und Symbole

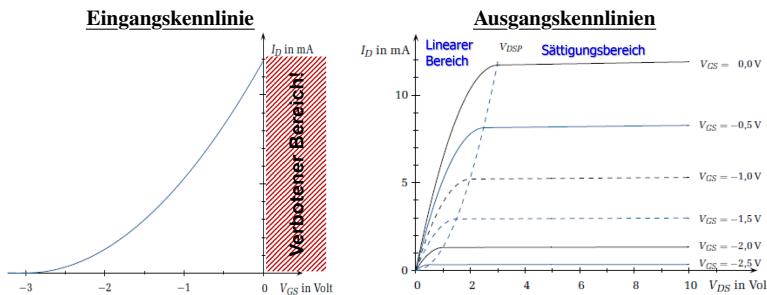


### 1.1.1 Anschlüsse eines FET

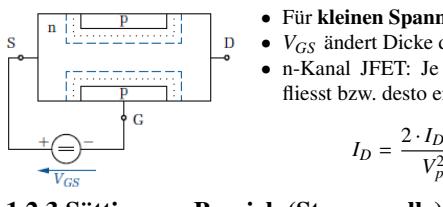
Kanal von Drain zu Source (Stromfluss), gesteuert von Gate (und Bulk)

## 1.2 Sperrsicht-FET / Junction FET (JFET)

### 1.2.1 Kennlinien



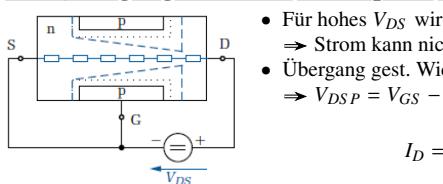
### 1.2.2 Linearer Bereich (gesteuerter Widerstand)



- Für kleinen Spannung-Unterschied  $V_{DS}$
- $V_{GS}$  ändert Dicke der Raumladungszone (Kanal)
- n-Kanal JFET: Je negativer  $V_{GS}$ , desto weniger Strom fließt bzw. desto enger der Kanal

$$I_D = \frac{2 \cdot I_{DSS}}{V_p^2} \left( V_{GS} - V_p - \frac{V_{DS}}{2} \right) V_{DS}$$

### 1.2.3 Sättigungs-Bereich (Stromquelle)



- Für hohes  $V_{DS}$  wird leitender Kanal abgeschürtzt  $\Rightarrow$  Strom kann nicht weiter steigen (Stromquelle)
- Übergang gest. Widerstand zu Stromquelle @  $V_{DSp} = V_{GS} - V_p$  ( $V_p$  = Pinch-Off-Spannung)

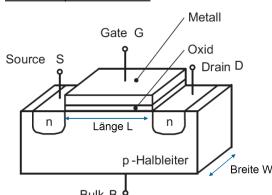
$$I_D = \frac{I_{DSS}}{V_p^2} \cdot (V_{GS} - V_p)^2$$

Verstärkungsmass Transkonduktanz:

$$g_m = \frac{2 \cdot I_{DSS}}{V_p^2} \cdot (V_{GS} - V_p) = \frac{2}{|V_p|} \cdot \sqrt{I_{DSS} \cdot I_D} \quad [g_m] = S$$

## 1.3 MOS-FETs

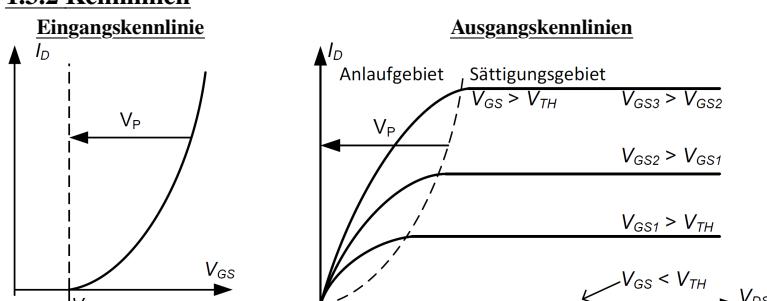
### 1.3.1 Aufbau



L Länge des Transistors  
W Breite des Transistors

- N-Kanal FET: Drain und Source sind n-dotiert
- Kanal ist p-dotiert

### 1.3.2 Kennlinien



### 1.3.3 Bereiche

- Sperrbereich:  $V_{GS} < V_{TH}$
- Linearer (Widerstands-)Bereich / Anlaufbereich:  $V_{GS} > V_{TH}$
- Sättigungsbereich (Stromquelle):  $V_{DS} > V_{GS} - V_{TH}$

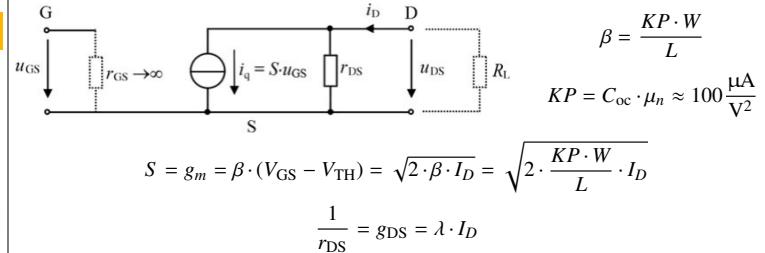
Anlaufbereich (Linearer Bereich)

$$I_{D,lin} = \beta \cdot (V_{GS} - V_{TH} - \frac{V_{DS}}{2}) \cdot V_{DS}$$

Sättigungsbereich (Stromquelle)

$$I_{D,sat} = \frac{\beta}{2} \cdot (V_{GS} - V_{TH})^2$$

## 1.3.4 Kleinsignal-Ersatzschaltung (MOS-FET)



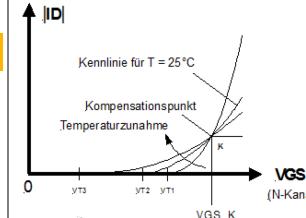
$$\beta = \frac{KP \cdot W}{L}$$

$$KP = C_{oc} \cdot \mu_n \approx 100 \frac{\mu A}{V^2}$$

$$S = g_m = \beta \cdot (V_{GS} - V_{TH}) = \sqrt{2 \cdot \beta \cdot I_D} = \sqrt{2 \cdot \frac{KP \cdot W}{L} \cdot I_D}$$

$$\frac{1}{r_{DS}} = g_{DS} = \lambda \cdot I_D$$

## 1.3.5 Temperaturabhängigkeit der Übertragungskennlinie



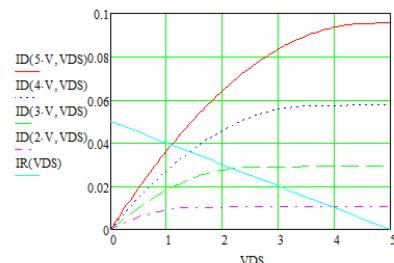
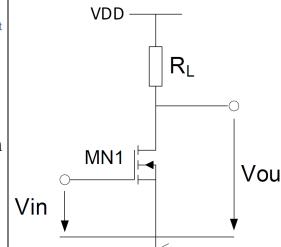
Für den n-Kanal FET gilt:

- Threshold-Spannung  $V_{TH}$  sinkt mit  $1-2 \frac{\mu V}{K}$
- $\beta$  sinkt mit steigender Temperatur
- Im Kompressionspunkt bleibt  $I_D$  für fixes  $V_{GS}$  konstant

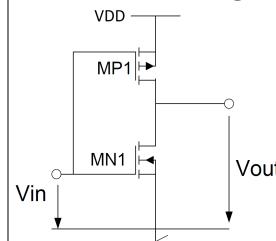
## 1.4 Verstärkerschaltungen mit FETs

### 1.4.1 Source-Schaltung mit Lastwiderstand

Um den Arbeitspunkt der Schaltung zu bestimmen, wird die Lastgerade von  $R_L$  in das Ausgangskennlinienfeld eingezeichnet.



### 1.4.2 Push-Pull / Digitaler Inverter



- $V_{in}$  geht auf NMOS und PMOS
- Ermöglicht grössere Verstärkung

Für  $V_{in} \approx \frac{V_{DD}}{2}$  gilt:

$$A_{V0} = -(g_{m1} + g_{m2}) \cdot (r_{DS1} \parallel r_{DS2})$$

## 1.5 MOS-FET als (Leistungs-)Schalter

Wenn der FET als Schalter eingesetzt wird, so arbeitet er im **linearen Bereich** ( $V_{GS} > V_{TH}$ , d.h.  $V_{out} < V_{DD} - V_{TH}$ )

$$I_{D,lin} = \beta \cdot (V_{GS} - V_{TH} - \frac{V_{DS}}{2}) \cdot V_{DS}$$

$$r_{DS} = \frac{dV_{DS}}{dI_D} = \frac{1}{\beta \cdot (V_{GS} - V_{TH})}$$

Schalter geschlossen:  $R_{FET} = R_{DS(on)}$

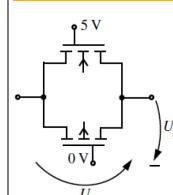
Schalter offen:  $R_{FET} = \infty$

### 1.5.1 Verlustleistung / Erwärmung

$$P_V = R_{DS} \cdot I_{DS}^2 = 0 \text{ W}$$

$$\Delta T = R_{th} \cdot P_V$$

## 1.6 Transmission Gate



Im Bild links gilt:  $V_{DD} = 5 \text{ V}$ ,  $V_{SS} = 0 \text{ V}$

- NMOS (oben) leitet für  $V_{in} < V_{DD} - V_{TH,n}$
- PMOS (unten) leitet für  $V_{in} > V_{SS} - V_{TH,p}$
- Source und Drain austauschbar  
 $\Rightarrow$  Strom kann in beide Richtungen fließen

## 2 Transistor-Transistor-Logik

- Meist statischer Stromverbrauch
- Asymmetrische Schaltschwellen (weniger Marge als CMOS-Logik)

### 2.1 Resistor Transistor Logik (RTL)

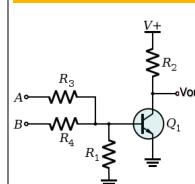


Bild: NOR-Gate

- Ausgangsspannung  $V_{out} = V_+$  oder  $V_{out} = V_{CE,sat}$
- Fan-Out ist begrenzt** (Werden zu viele weitere Gatter an den Ausgang gehängt, so reicht der Strom nicht mehr, um diese zu treiben  $\Rightarrow$  Spannungslevel stimmen nicht mehr, um Transistoren durchzusteuren)

## 2.2 Dioden-Transistor-Logik (DTL)

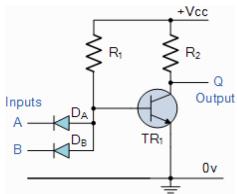
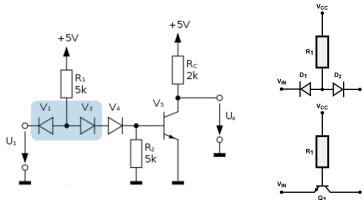


Bild: NAND-Gate

- Fan-Out grösser**, da Transistor aktiv nach '0' zieht
- $R_2$  muss keine Gatter treiben (kein grosser Stromfluss)
- Nachteile: Sehr tiefer Störabstand; Transistor leitet schon bei Spannungen, welche kaum > 0 V sind

## 2.3 Transistor-Transistor-Logik (TTL)

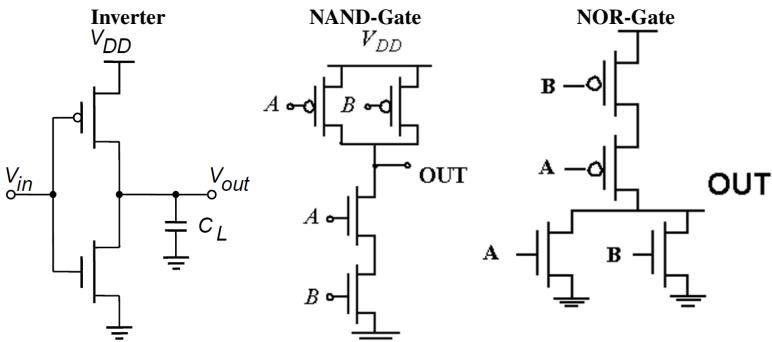


- Schaltschwelle am Eingang wird durch Dioden  $V_3$  und  $V_4$  um 1.4 V erhöht
- Dioden  $V_1$  und  $V_3$  bilden npn-Struktur  $\Rightarrow$  npn-Transistor

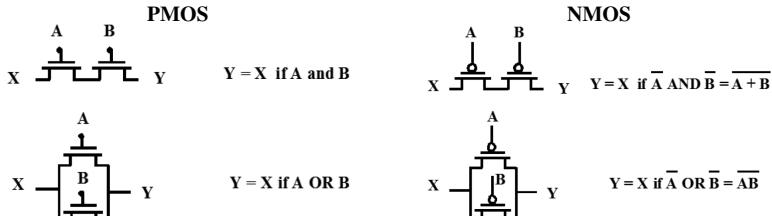
## 3 CMOS-Logik

- Entweder leitender Pfad nach  $V_{SS}$  (NMOS) oder  $V_{DD}$  (PMOS)
- Kein statischer Stromverbrauch
- Langsamer als Bipolar
- Symmetrische Schaltschwellen bei ca.  $\frac{V_{DD}}{2}$  (Übertragungskennlinie)
- Output-Level  $V_{ol}$ ,  $V_{oh}$  näher bei Speisung als Input Level  $V_{il}$ ,  $V_{ih}$   $\Rightarrow$  mehr Marge
- Höhere Speisespannung  $\Rightarrow$  weniger propagation delay
- Nicht geeignet zur Datenübertragung über längere Strecken (kein  $50\Omega$  Abschluss)

### 3.1 Grundgatter in CMOS-Logik



### 3.2 Dualität NMOS – PMOS



### 3.3 Verlustleistung bei CMOS-Logik

$$P_V = C \cdot V_{CC}^2 \cdot f$$

C Kapazität (aus Datenblatt)  
f Frequenz

### 3.4 Verzögerungszeit

#### Linearer Bereich

$$t_{pHL} = 0.69 \cdot R_{on} \cdot C_L$$

$\Rightarrow$  Exponentielle Entladung!

#### Sättigung (Stromquellen-Bereich)

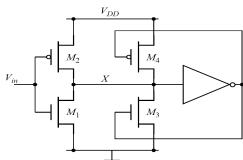
$$t_{pHL} = \frac{C_L \cdot \frac{V_{swing}}{2}}{I_{sat}} \approx \frac{C_L}{k_n \cdot V_{DD}}$$

$\Rightarrow$  Lineare Entladung!

## 4 Schmitt-Trigger

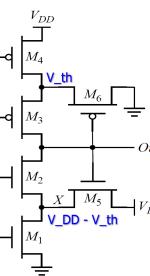
- Schaltschwellen müssen nicht sehr genau sein
- Schmitt-Trigger garantieren auch bei verrauschten Signalen saubere (einmalige) Schaltwellen, dank der Hysterese

### 4.1 Aufbau nichtinvertierender digitaler Schmitt-Trigger



- $M_1, M_2$ : Digitale Inverter
- $M_3, M_4$ : gesteuerte Widerstände
- Für  $V_{out} = 0$** :  $M_4$  leitet,  $M_3$  sperrt
- Für  $V_{out} = 1$** :  $M_3$  leitet,  $M_4$  sperrt
- $M_3, M_4$  verschieben Schaltschwellen abhängig von  $V_{out}$   $\Rightarrow$  Hysterese

## 4.2 Aufbau invertierender digitaler Schmitt-Trigger



- Ohne  $M_5, M_6$ : Normaler Inverter mit je 2 Serie-Transistoren
- Für  $V_{out} = 1$** : Durch  $M_5$  fließt Strom in  $M_1$
- $V_{in}$  muss höher sein, um Strom der PMOS aufzunehmen  $\Rightarrow$  Höhere Schaltschwelle für High-Log-Übergang
- 'Inverses' gilt für  $M_6$  und  $M_4$

### 4.3 Schmitt-Trigger vs. CMOS-Logik

	Low Power	Noise Rejection	Supports Slow Inputs
Input Voltage Waveforms			
Standard CMOS Input Response Waveforms			
Schmitt-trigger CMOS Input Response Waveforms			

## 5 Signalübertragung

### 5.1 Leitungstheorie

- Leitungen haben Widerstände, Kapazitäten und Induktivitäten  $\Rightarrow$  RLC-Netzwerke
- Fortpflanzungsgeschwindigkeit Signal**:  $v = 10 - 20 \text{ cm/ns}$  (Lichtgeschwindigkeit:  $c = 30 \text{ cm/ns}$ )
- Ev. **Impedanzanpassungen** zur Verhinderung von **Reflexionen** nötig (meistens  $50\Omega$ )
- CMOS-Logik: tiefen Quellenwiderstand, hohen Eingangswiderstand  $\Rightarrow$  Nicht geeignet zur Datenübertragung über 'längere Strecken'

### 5.2 Einfluss / Relevanz von Reflexionen

#### 5.2.1 Keine Reflexionen

Wenn nichts anderes bekannt gilt:  $T_r = \frac{1}{10} \cdot T$

$$T_d < \frac{1}{2} \cdot T_r$$

$T_r = T_f$  Anstiegs- / bzw. Abfallzeit des Signals  
 $T_d$  Laufzeit des Signals  
 $T$  Periodendauer

#### 5.2.2 Reflexionen

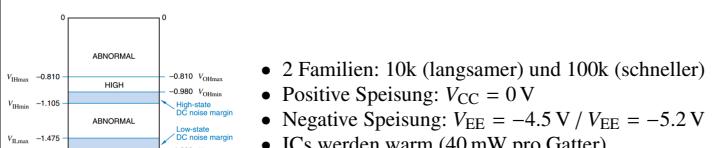
$$l > \frac{1 \cdot 10^7 \text{ m}}{f_{max}}$$

$f_{max}$  Maximal enthaltene Frequenz im Signal  
 $l$  Länge der Leitung

## 6 High-Speed-Logik

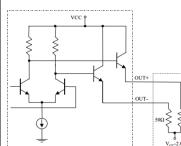
- Sättigung verhindern, da langsam (bei Bipolar-Transistoren)
- Reduzierter Spannungshub
- Stromsteuerung, da Ströme schneller geschaltet werden als Spannungen

### 6.1 Emitter Coupled Logic (ECL)



- 2 Familien: 10k (langsamer) und 100k (schneller)
- Positive Speisung:  $V_{CC} = 0 \text{ V}$
- Negative Speisung:  $V_{EE} = -4.5 \text{ V}$  /  $V_{EE} = -5.2 \text{ V}$
- ICs werden warm (40 mW pro Gatter)
- Eingangssignal  $V_I$  wird mit fixer Referenz  $V_R$  verglichen
- Von  $V_R - 100 \text{ mV}$  bis  $V_R + 100 \text{ mV}$  kippt Ausgangsspannung von  $V_{CC}$  auf  $V_{CC} - R_C \cdot I_C$
- Differentieller Spannungshub der Ausgänge:  $V_{diff} = \pm R_C \cdot I_C$
- Spannungspegel nicht kompatibel zu CMOS / TTL

#### 6.1.1 Positive Emitter Coupled Logic PECL

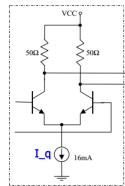


- Positive Speisung:  $V_{CC} = 5 \text{ V}$
- Negative Speisung:  $V_{EE} = 0 \text{ V}$
- Ausgangsbeschaltung mit  $50\Omega$  Abschluss zu  $V_{CC} - 2 \text{ V}$   $\Rightarrow$  Reduktion der Reflexionen!
- Spannungspegel sind kompatibel zu CMOS / TTL

## 6.1.2 Low Voltage Positive ECL (LVPECL)

- Speisespannungen:  $V_{CC} = 3.3 \text{ V}$ ;  $V_{EE} = 0 \text{ V}$
- Weniger Leistung als 5 V Logik; leichter anpassbar an 3.3 V Logik

## 6.2 Current Mode Logic (CML)



- Terminierung am Eingang der Folgestufe gegen  $V_{CC}$
- Äquivalenter Widerstand:  $R_{C_{eq}} = 50 \Omega \parallel 50 \Omega = 25 \Omega$

$$\text{Differentielle Spannung: } V_{\text{diff}} = \pm R_{C_{eq}} \cdot I_q$$

### 6.2.1 CML vs. ECL

#### ECL

- Diff-Amp mit Transistor-Buffer; Ausgang am Emitter
- Single-ended Input (2. Eingang auf fixer Spannung)
- Single-ended Output (z.T. auch differentiell)

#### CML

- Ausgang direkt vom Diff-Amp
- Differentieller Input und differentieller Output
- Impedanzanpassung zur Reduktion von Reflexionen ( $50 \Omega$ )

## 6.2.2 Vorteile / Nachteile von CML gegenüber CMOS-Logik

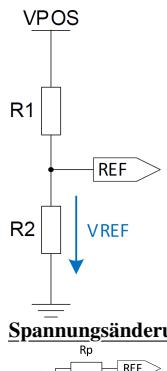
- + high Speed
- + konstanter Strom (kaum Speisungseinbrüche)
- + differentiell: wenig Störung
- + kann Kabel treiben

- hoher statischer Stromverbrauch
- differentiell: benötigt doppelt so viele Leitungen
- aufwändiges PCB-Layout wegen angepassten Leistungsimpedanzen nötig

## 7 Spannungsreferenzen

- Referenzspannungsquellen liefern idealerweise Ausgangsspannungen, welche **unabhängig** von Temperatur, Speisespannung und Last sind
- 2 Hauptprinzipien: Zenerdioden (meistens mit  $V_Z = 5.6 \text{ V}$ ) und Bandgap-Quellen mit  $V_{out} = 1.25 \text{ V}$

## 7.1 Spannungsteiler



### Speisespannungsabhängigkeit

Spannungsänderung:

$$\Delta V_{\text{ref}} = \Delta V_{\text{POS}} \frac{R_2}{R_1 + R_2}$$

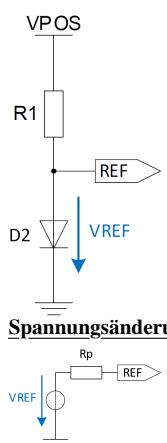
### Temperaturabhängigkeit

Da die Widerstände **gleiche Temperaturkoeffizienten** haben ändert sich der Strom durch  $R_1$  und  $R_2$ , jedoch nicht das Widerstandsverhältnis  $\Rightarrow V_{\text{ref}}$  bleibt **konstant**  $\Rightarrow$  gut

### Spannungsänderung bei Lastwechsel

Ersatzschaltung der Referenzquelle durch Thévenin-Äquivalent mit  $V_{\text{REF}}$  und  $R_P$ .  
 $R_P = R_1 \parallel R_2$   $\Rightarrow$  sehr lastabhängig, da  $R_P$  gross

## 7.2 Diodenreferenz



### Speisespannungsabhängigkeit

$$\text{Sensitivität: } \frac{V_{\text{ref}}}{I} = \frac{1}{\ln(\frac{I}{I_S})} = 0.065 \Rightarrow \text{gut}$$

### Temperaturabhängigkeit

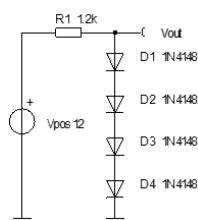
Diode hat einen **Temperaturkoeffizient von  $-2 \text{ mV/K}$** , d.h.  $V_{\text{ref}}$  ändert ebenfalls mit  $-2 \text{ mV/K}$   $\Rightarrow$  schlecht

### Spannungsänderung bei Lastwechsel

Diode durch Kleinsignal-Ersatzschaltung ersetzen und Ersatzschaltung der Referenzquelle durch Thévenin-Äquivalent mit

$$R_P = R_1 \parallel r_D \Rightarrow \text{weniger lastabhängig, da } r_D = \frac{n \cdot V_T}{I_D} \approx 7 \Omega$$

## 7.3 Spannungsreferenz mit mehreren Dioden

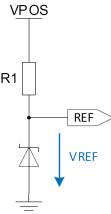


$m$  = Anzahl Dioden in Serie (links:  $m = 4$ )

- Strom durch Dioden muss  $> 0 \text{ A}$  sein, damit  $V_D \approx 0.7 \text{ V}$
- Spannung über  $m$  Dioden:  $V_{\text{out}} = m \cdot V_D$
- Max. Ausgangsstrom:  $I_{\text{out,max}} = \frac{V_{\text{pos}} - V_{\text{out}}}{R_1}$
- Temperaturabhängigkeit:  $TK_{\text{tot}} = m \cdot -2 \text{ mV/K}$

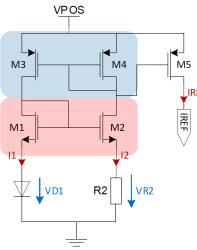
## 7.4 Spannungsreferenz mit Zenerdiode (Shunt-Regler)

**Shunt-Regler:** Überflüssiger Strom wird durch ein Element abgeführt  $\Rightarrow$  Je nach Last wird mehr oder weniger Strom in Z-Diode verheizt



- $V_{\text{REF}}$  entspricht Zener-Spannung der Z-Diode
- Häufigste Zener-Spannung:  $5.6 \text{ V} \Rightarrow TK = 0 \text{ mV/K}$
- Strom  $I = \frac{V_{\text{POS}} - V_{\text{REF}}}{R_1}$  fließt entweder durch Diode oder durch Last
- $I_{\text{out}} < I_{\text{out,max}} = \frac{V_{\text{POS}} - V_{\text{REF}}}{R_1}$

## 7.5 Bootstrap-Referenz ( $V_D$ Stromquelle)



- Stromspiegel  $M_3$  und  $M_4 \Rightarrow I_1 = I_2$
- Stromspiegel  $M_1$  und  $M_2 \Rightarrow V_{GDS1} = V_{GDS2}$  da  $I_1 = I_2$
- Da Temperaturkoeffizient von  $V_{D1} \approx -2 \text{ mV/K}$  nimmt  $I_{\text{out}}$  mit steigender Temperatur ab  $\Rightarrow$  schlechte Referenz
- Schaltung hat zwei mögliche Arbeitspunkte (AP  $I_1 = I_2 = 0$  ist unerwünscht!)

$$V_{D1} = I_2 \cdot R_2 = V_{R2}$$

$$I_{\text{REF}} = I_1 = I_2$$

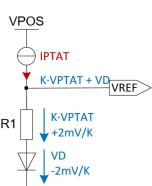
## 7.6 Proportional To Absolute Temperature (PTAT)

$$V_D = n \cdot \frac{kT}{q} \cdot \ln\left(\frac{I_D}{I_S}\right) \quad V_{DN} = n \cdot \frac{kT}{q} \cdot \ln\left(\frac{I_{DN}}{N \cdot I_S}\right)$$

$$\Delta V_D = V_D - V_{DN} = n \cdot \frac{kT}{q} \cdot \ln(N) = TK \cdot T$$

$\Rightarrow \Delta V_T$  ist proportional zur absoluten Temperatur  $T$

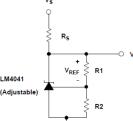
## 7.7 Bandgap-Spannungsreferenz



$$V_{\text{REF}} = K \cdot V_{\text{PTAT}} + V_D$$

- Der positive Temperaturkoeffizient von  $V_{\text{PTAT}}$  wird mit dem Faktor  $K$  verstärkt, sodass  $K \cdot TK_{\text{PTAT}} = +2 \text{ mV/K}$
- Der nur positive Temperaturkoeffizient wird mit einer Diodenquelle mit  $TK_{\text{Diode}} = -2 \text{ mV/K}$  kompensiert
- Der gesamte Temperaturkoeffizient  $TK_{\text{bandgap}} = 0 \text{ mV/K}$
- $V_{\text{REF}}$  buffern, damit der Ausgang belastet werden darf

### Beispiel: LM4041 Shunt Voltage Bandgap Reference

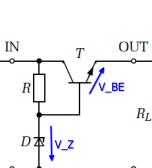


$$V_{\text{out}} = V_Z = V_{\text{REF}} \left( 1 + \frac{R_2}{R_1} \right)$$

- Einstellbare Referenzspannung  $V_Z = V_{\text{out}}$
- Interne Referenz:  $V_{\text{REF}} = 1.25 \text{ V}$  (Bandgap-Referenz)

## 8 Lineare Spannungsregler

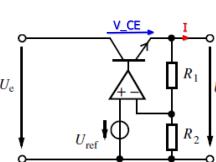
### 8.1 Spannungsstabilisierung mit Z-Diode und BJT



$$V_{\text{out}} = V_Z - V_{BE}$$

- Ausgang kann viel Strom liefern
- Ausgangsspannung sinkt um ca. 20 mV bei Verdoppelung des Stroms
- Ausgangsspannung sinkt um  $-2 \text{ mV/K}$
- Keine Regelung der Ausgangsspannung
- Schnell und stabil, aber nicht genau

### 8.2 Linearer Spannungsregler

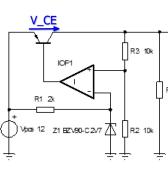


$$U_a = V_{\text{ref}} \left( 1 + \frac{R_1}{R_2} \right)$$

$$P_V = V_{CE} \cdot I$$

- Op-Amp Ausgang ändert so lange, bis für die Spannungen  $V_{R2} = V_{\text{ref}}$  ( $= 1.25 \text{ V}$ ) gilt
- Minimaler Spannungsabfall  $V_{CE}$  über Regler: bis 2.5 V
- Regler kann sehr warm werden  $\Rightarrow$  Verlustleistung  $P_V$

### 8.3 Low-Dropout-Regler mit pnp-Längstransistor (LDO)

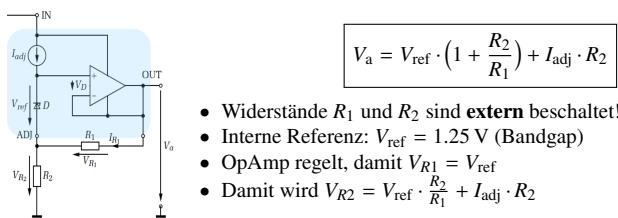


$$V_{\text{out}} = V_{\text{ref}} \left( 1 + \frac{R_1}{R_2} \right)$$

$$P_V = V_{CE} \cdot I$$

- Feedback auf **positiven** Op-Amp-Eingang!
- Ansteuerung Längstransistor mit Basisspannung  $< V_{\text{out}}$
- Kleiner minimaler Spannungsabfall  $V_{CE}$  über Regler ( $V_{CE,\text{sat}}$ )
- Auch erhältlich mit PMOS-Transistor statt pnp-Transistor
- $\Rightarrow$  Dropout-Spannung über Regler (PMOS) ist dann abhängig vom Laststrom (PMOS = gesteuerte Widerstand)

## 8.4 Einstellbarer Serie-Spannungsregler

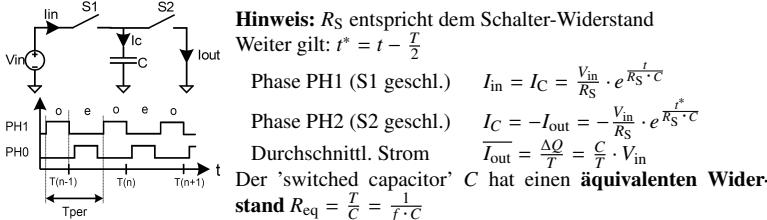


## 9 Spannungswandler mit Ladungspumpen

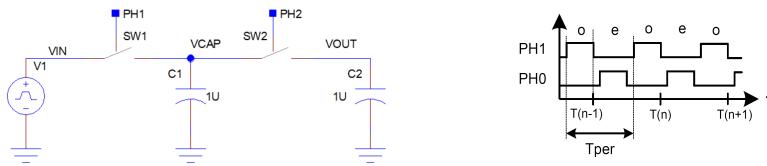
- Ladung kann **nicht springen** und nicht vernichtet werden  
⇒ Ladung wird umverteilt!
- Ladungspumpen sind billige, effiziente Spannungswandler  
(Wirkungsgrad > 99 % möglich)

$$Q = C \cdot V$$

### 9.1 Grundprinzip Switched-Capacitor-Schaltungen (SC)



### 9.2 Grundprinzip Ladungspumpen



Ausgangsspannung  $V_{\text{out}}$  nähert sich schrittweise exponentiell der Eingangsspannung an!

Im ersten Zyklus ist  $V_{\text{out}} = 0 \text{ V}$

Phase PH1 Kapazität  $C_1$  wird auf  $V_{\text{in}}$  geladen

$$Q_1 = C_1 \cdot V_{\text{in}}$$

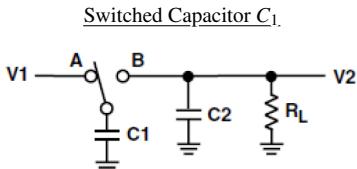
Phase PH2 Ladung **verschiebt** sich von  $C_1$  auf  $C_2$ , bis beide Kapazitäten dieselbe Spannung aufweisen

$$Q_{\text{tot}} = Q_1 + Q_2 = C_1 \cdot V_{\text{in}} + C_2 \cdot V_{\text{out}}$$

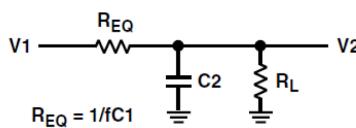
$$\Rightarrow \text{Neue Ausgangsspannung: } V_{\text{out}} = \frac{Q_{\text{tot}}}{C_1 + C_2}$$

**Wichtig:** Die PH0 muss vollständig abgeschlossen sein, bevor PH2 beginnt.

### 9.3 Allgemeine Funktionsweise geschaltete Kapazitäten



#### Ersatzschaltung mit $R_{\text{eq}}$



• Strom fließt in 'Paketen':

$$\Delta Q = C_1 \cdot \Delta V$$

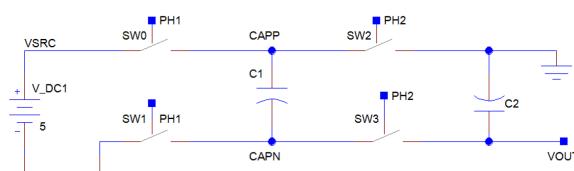
• Durchschnittlicher Strom proportional zu  $C_1$ ,  $\Delta V$  und Schaltfrequenz  $f$

Für beide Schaltungen gilt, dass der **finale Wert der Ausgangsspannung**  $V_{\text{out}} = V_2$  durch den **Spannungsteiler** von  $R_L$  und  $R_{\text{eq}}$  bestimmt wird:

$$V_{\text{out}} = V_{\text{in}} \cdot \frac{R_L}{R_{\text{eq}} + R_L}$$

$$I = \frac{V_1 - V_2}{R_{\text{eq}}}$$

### 9.4 Spannungsinversion mit Switched Capacitors



Ausgangsspannung  $V_{\text{out}}$  nähert sich schrittweise exponentiell  $-V_{\text{SRC}}$  an!

Im ersten Zyklus ist  $V_{\text{out}} = 0 \text{ V}$

Phase PH1 Kapazität  $C_1$  wird auf  $V_{\text{SRC}}$  geladen

$$Q_1 = C_1 \cdot V_{\text{SRC}}$$

Phase PH2 Positiver Anschluss von  $C_1$  wird mit GND verbunden

⇒ Negativer Anschluss von  $C_1$  auf Potential  $-V_{\text{SRC}}$

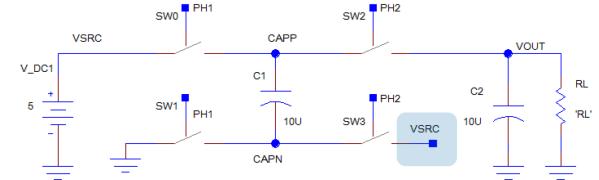
$$Q_{\text{tot}} = Q_2 - Q_1 = C_2 \cdot V_{\text{out}} - C_1 \cdot V_{\text{SRC}}$$

⇒ Neue Ausgangsspannung:  $V_{\text{out}} = \frac{Q_{\text{tot}}}{C_1 + C_2}$

Für  $C_1 = C_2$  ändert sich die Ausgangsspannung  $V_{\text{out}}$  folgendermassen:

$$V_{\text{out}} = \left(-\frac{1}{2}, -\frac{3}{4}, -\frac{7}{8}, \dots, -1\right) \cdot V_{\text{SRC}}$$

## 9.5 Spannungsverdoppler mit Switched Capacitors



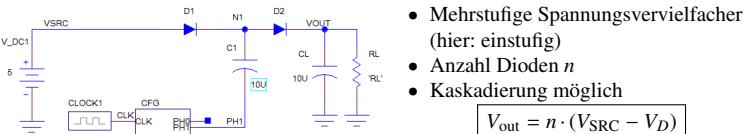
• PH1:  $C_1$  wird auf Eingangsspannung  $V_{\text{in}}$  aufgeladen

• PH2: Negativer Anschluss CAPN wird mit  $V_{\text{SRC}}$  verbunden

⇒ Positiver Anschluss  $C_1$  springt auf  $2 \cdot V_{\text{SRC}}$

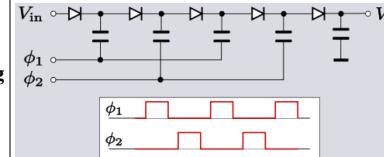
• Ladung teilt sich zwischen  $C_1$  und  $C_2$  auf, sodass  $V_{\text{out}}$  schrittweise ansteigt

### 9.6 Dickson Charge Pump (Spannungsvervielfacher)



$$V_{\text{out}} = n \cdot (V_{\text{SRC}} - V_D)$$

### 9.6.1 Mehrstufige Dickson Charge Pump



$$V_{\text{out}} = n \cdot (V_{\text{SRC}} - V_D)$$

## 10 Schaltregler

SMPS (switched-mode-power-supply) sind getaktete Systeme, deren übliche Schaltfrequenzen im Bereich von 20 kHz bis zu einigen MHz liegen.

### 10.1 Spannungswandler mit Spulen

#### Grundprinzip

– Energie wird aus einer (Spannungs-)Quelle bezogen, in verlustarmen Elementen (**Spulen**, Kondensatoren) zwischengespeichert, auf die gewünschte Spannung gebracht und stabilisiert.

#### Gemeinsamkeiten aller aufgeführten Spannungswandler mit Spulen

– Energie wird in Magnetfeld gespeichert  $E_L = \frac{1}{2} L \cdot i_L^2$

– Spannung über Spule bewirkt Änderung des Stroms  $V_L = L \cdot \frac{di_L}{dt}$  oder  $i_L = \frac{1}{L} \int V_L(t) dt + I_0 = \frac{V_L}{L} \cdot t + I_0$

– Zur Stabilisierung der Spannung werden Kondensatoren benötigt (potentieller LC-Schwingkreis!)

– Für die meisten Rechnungen kann man annehmen, dass:

- \*  $V_{\text{in}}$  und  $V_{\text{out}}$  **konstant** sind
- \* Die **Schalter ideal** sind (kein Schaltwiderstand)
- \* Die **Dioden keinen Spannungsabfall** haben

**Hinweis:** Zur Steigerung der Effizienz werden Dioden manchmal durch MOS-FETs ersetzt ('nur  $R_{\text{DS,ON}}$  statt grosser Spannungsabfall'). Die Schalter werden in der Praxis ebenfalls mit einem FET realisiert.

### 10.2 Energien in den Komponenten

Energie in Spule

$$E_L = \frac{1}{2} \cdot L \cdot i_L^2$$

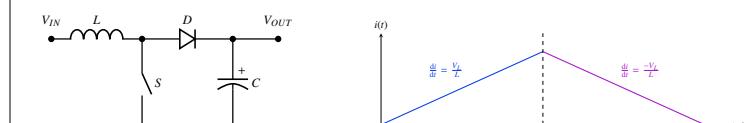
Energie in Kondensator

$$E_C = \frac{1}{2} \cdot C \cdot V_C^2$$

Energie in Last (pro Periode)

$$E_{\text{load}} = \frac{1}{2} P_{\text{load}} \cdot T_{\text{clk}} = \frac{1}{2} \cdot \frac{V_{\text{out}}^2}{R_{\text{load}}} \cdot T_{\text{clk}}$$

### 10.3 Aufwärtswandler (Boost, Step-Up Converter)



#### 1. Phase Energie in Spule speichern

- Schalter geschlossen
- $V_L = V_{\text{in}}$  liegt an Spule an
- $i_L$  muss nicht bei  $I_0 = 0$  starten!

#### 2. Phase Entmagnetisierung

In **beiden Phasen** gelten die folgenden Formeln:

## Ladephase

$$\Delta I_{L_{on}} = \frac{1}{L} \cdot V_{in} \cdot t_{on}$$

$$I_{L_{on}} = \frac{1}{L} \cdot V_{in} \cdot t_{on} + I_0$$

$$\Delta I_{L_{off}} = \frac{1}{L} \cdot (V_{in} - V_{out}) \cdot t_{off}$$

$$I_{L_{off}} = \frac{1}{L} \cdot (V_{in} - V_{out}) \cdot t_{off} + I_0$$

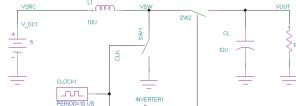
Gleichgewicht (eingeschwungen)  
Ausgangsspannung

$$\Delta I_{L_{on}} = -\Delta I_{L_{off}}$$

$$V_{out} = V_{in} \cdot \left(1 + \frac{t_{on}}{t_{off}}\right)$$

Die Ausgangsspannung  $V_{out}$  ist abhängig von der Last  $\Rightarrow$  Bei hochohmiger Last kann die Ausgangsspannung sehr gross werden!

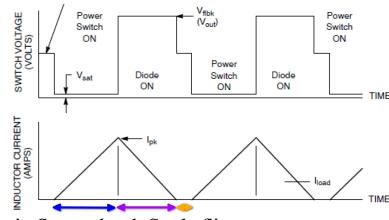
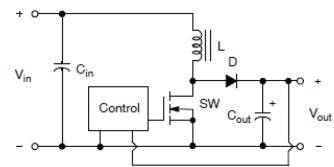
## 10.3.1 Synchronous Boost Converter



- Diode ersetzt durch Schalter SW2
- Entweder SW1 oder SW2 geschlossen
- VSW somit immer leitend verbunden, entweder mit GND oder mit  $V_{out}$
- In Spule fliesst immer ein Strom

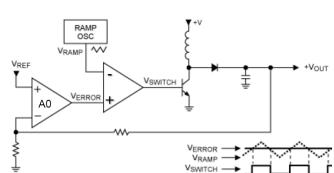
Achtung: Bei kleinen Lasten fliesst Strom in die Quelle zurück und die Verlustleistung in der Spule ist grösser (Drahtwiderstand)

## 10.4 Aufwärtswandler: Lückender Betrieb



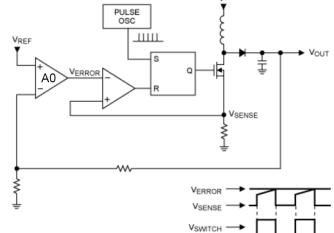
- Es existiert ein 3. Zustand, in welchem kein Strom durch Spule fliesst
- Aus  $I_L = 0$  folgt  $V_L = 0$
- Schalter SW offen, damit Spannung am Knoten SW =  $V_{in}$  wird  $\Rightarrow$  Diode sperrt
- Control schliesst Schalter, nachdem  $V_{out} < V_{out,soll}$  ist  $\Rightarrow$  Regelung von  $V_{out}$

### 10.4.1 Regelung der Ausgangsspannung: voltage-mode control



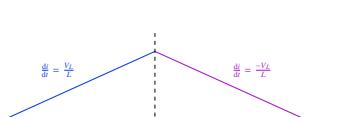
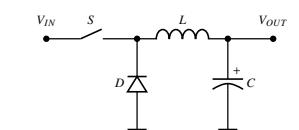
- Verstärker mit Verstärkung A0
- Komparator vergleicht  $V_{ERROR}$  mit  $V_{RAMP}$
- $V_{OUT} - V_{REF} \uparrow \uparrow$ ,  $V_{ERROR} \uparrow \uparrow$ , Schalter muss länger geschlossen bleiben  
 $\Rightarrow$  grösserer Duty Cycle  $\Rightarrow V_{OUT} \uparrow$

### 10.4.2 Regelung der Ausgangsspannung: current-mode control



- Strom wird mit Shunt-Widerstand durch Spannung  $V_{SENSE}$  gemessen
- Verstärker mit Verstärkung A0
- Komparator resetted Flip-Flop  
 $\Rightarrow$  Schalter (FET) öffnet
- Häufiger zur Regelung verwendet als vorherige Schaltung

## 10.5 Abwärtswandler (Buck, Step-Down Converter)



Vereinfachungen:  $V_{out}$  konstant, kein Spannungsabfall über Diode und Schalter  
Formeln gelten nur, wenn immer ein Strom in der Spule fliesst

## Ladephase

$$\Delta I_{L_{on}} = \frac{1}{L} \cdot (V_{in} - V_{out}) \cdot t_{on}$$

$$I_{L_{on}} = \frac{1}{L} \cdot (V_{in} - V_{out}) \cdot t_{on} + I_0$$

$$\Delta I_{L_{off}} = -\frac{1}{L} \cdot V_{out} \cdot t_{off}$$

$$I_{L_{off}} = -\frac{1}{L} \cdot V_{out} \cdot t_{off} + I_0$$

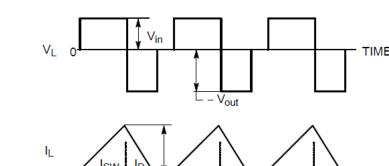
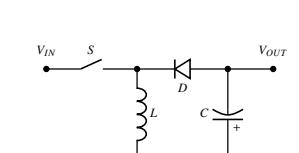
Gleichgewicht (eingeschwungen)

$$\Delta I_{L_{on}} = -\Delta I_{L_{off}}$$

Ausgangsspannung

$$V_{out} = V_{in} \cdot \frac{t_{on}}{T}$$

## 10.6 Invertierender Wandler (Buck-Boost Converter)



Der Converter kann im buck-mode oder boost-mode betrieben werden buck-mode:  
Duty Cycle  $\frac{t_{on}}{T} < 0.5$ ; boost-mode: Duty Cycle  $\frac{t_{on}}{T} > 0.5$

**Ladephase**  
**Entladephase**  
Gleichgewicht (eingeschwungen)  
Ausgangsspannung

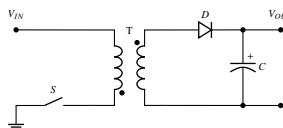
$$\Delta I_{L_{on}} = \frac{1}{L} \cdot V_{in} \cdot t_{on}$$

$$\Delta I_{L_{off}} = \frac{1}{L} \cdot V_{out} \cdot t_{off}$$

$$\Delta I_{L_{on}} = -\Delta I_{L_{off}}$$

$$V_{out} = -V_{in} \cdot \frac{t_{on}}{t_{off}}$$

## 10.7 Flyback (Sperrwandler)



- Ermöglicht galvanische Trennung zwischen Ein- und Ausgang
- Transformator mit grosser Induktivität nötig zur Energiespeicherung (mit Luftspalt)

### Phase 1 (Schalter geschlossen)

- Linear steigender Strom auf Primärseite; Energie wird im Magnetfeld gespeichert

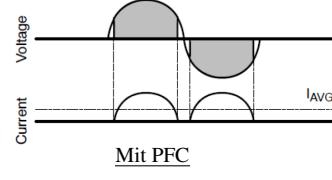
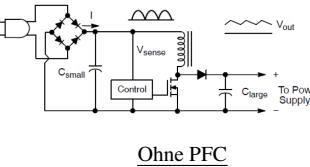
### Phase 2 (Schalter offen)

- Linear sinkender Strom auf Sekundärseite; Magnetfeld baut sich über Sekundärspule ab

### Phase 3 (LC-Schwingkreis)

- C parallel zu Schalter auf Primärseite wird wirksam

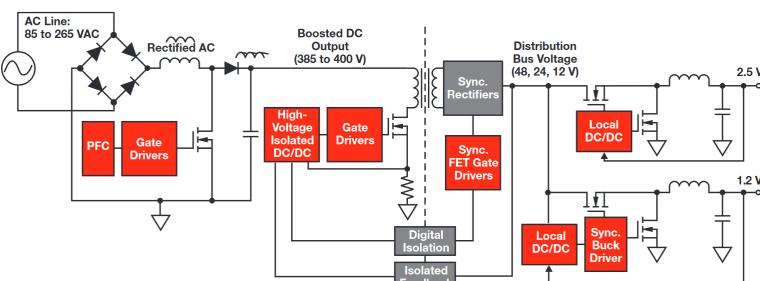
## 10.8 Power Fail Control (PFC)



- Strom soll möglichst sinusförmig fließen, nicht nur beim Spannungsmaximum

• Lösung: 1. Stufe mit Boost Converter

## 10.9 Aufbau Modernes Netzteil



1. Stufe: Gleichrichtung und Boost Converter mit PFC
2. Stufe: Reduktion auf Systemspannung (Bus voltage) mit Flyback-Converter
3. Stufe: Buck Converter (ev. mehrere)

## 10.10 Fazit Spannungswandler SMPS

- Geschaltete Spannungsregler generieren weniger Verlustleistung als Linearregler
- Ausgangsspannung geschalteter Spannungsregler hat Rippel der Schaltfrequenz  
 $\Rightarrow$  Muss ev. mit Linearregler zusätzlich stabilisiert werden

## 11 Passive Filter

$f_3 \text{ dB}$  Cut-Off-Frequency, Corner-Frequency

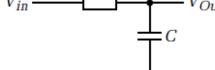
Dämpfung von 3 dB (d.h. Amplitude wird mit  $\frac{1}{\sqrt{2}}$  'verstärkt'), Phase:  $-45^\circ$

$f_s$  Sampling-Frequenz (ADC, digitale Filter)

$\Rightarrow$  Alle Frequenzen über  $\frac{f_s}{2}$  müssen unterdrückt werden

UTF Übertragungsfunktion  $G(s)$

## 11.1 Tiefpassfilter 1. Ordnung



$$G(s) = \frac{V_{out}}{V_{in}} = \frac{1}{1 + s \cdot \frac{R \cdot C}{T}}$$

$$f_{3 \text{ dB}} = \frac{1}{2\pi \cdot \frac{R \cdot C}{T}}$$

Hinweis: Die Zeitkonstante  $T$  entspricht immer dem Parameter vor dem  $s$ . Beim Tiefpass 1. Ordnung entspricht dies  $T = R \cdot C$

## 11.2 Bodeplot Tiefpassfilter 1. und 2. Ordnung

### 1. Ordnung

- Abfall von  $-20 \text{ dB} / \text{Dekade}$
- Phasenschiebung von maximal  $-90^\circ$  (bei  $f_g = -45^\circ$ )

### 2. Ordnung

- Abfall von  $-40 \text{ dB} / \text{Dekade}$
- Phasenschiebung von maximal  $-180^\circ$  (bei  $f_g = -90^\circ$ )

## 11.3 Filter 2. Ordnung

### 11.3.1 Kaskadierung von zwei gleichen Filtern

$$G_{11}(s) = \frac{1}{1 + s \cdot \underbrace{R \cdot C}_{T_2}} \cdot \frac{1}{1 + s \cdot \underbrace{R \cdot C}_{T_2}}$$

$$T_2 = \frac{\sqrt{2} - 1}{2\pi f_{3\text{dB}}} \approx 0.64 \cdot T_1$$

Daraus folgt, dass bei 2 identischen Stufen die Grenzfrequenz  $f_{3\text{dB}}$  der einzelnen Stufen  $\frac{1}{0.64} = 1.56$  mal höher gewählt werden muss als bei einem Filter 1. Ordnung.

### 11.3.2 Filter 2. Ordnung mit komplexen Polen

$$G(s) = \frac{A_0 \cdot p_1 \cdot p_2}{(p_1 + s) \cdot (p_2 + s)} = \frac{A_0 \cdot \omega_0^2}{s^2 + \frac{\omega_0}{Q} s + \omega_0^2}$$

$$p_i \quad \begin{array}{l} \text{Polstellen} \\ \text{komplex für } Q > \frac{1}{2} \end{array}$$

$$p_{1,2} = \frac{\omega_0}{2Q} (1 \pm \sqrt{1 - 4Q^2})$$

$$Q \quad \begin{array}{l} \text{Polgüte / Filtergüte} \\ \omega_0 \quad \text{Polfrequenz} \end{array}$$

### 11.4 Filter höherer Ordnung

- Systeme höherer Ordnung können in kaskadierte Teilsysteme 1. & 2. Ordnung aufgeteilt werden
- Höhere Ordnung und komplexe Pole ermöglichen steileren Übergang zwischen Durchlass- und Sperrbereich

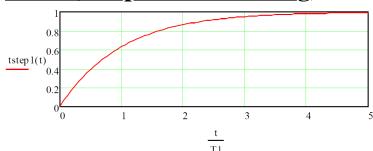
Folgende Filter erzielen durch unterschiedliche Polverteilungen untersch. Verhalten:

- Butterworth:** Konstant im Durchlassbereich der UTF
- Bessel:** Beste Rechteckübertragung, kein Überschwingen
- Tschebyscheff:** Steilster Abfall im Sperrbereich der UTF

### 11.5 Zeitverhalten: Schrittantwort

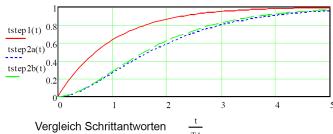
- Frequenzbereich: **Multiplikation** der UTF mit  $\frac{1}{s}$
- Rücktransformation in den Zeitbereich, um  $t_{\text{step}}(t)$  zu erhalten

#### 11.5.1 Tiefpass 1. Ordnung



$$t_{\text{step},1}(t) = 1 - e^{-\frac{t}{T_1}}$$

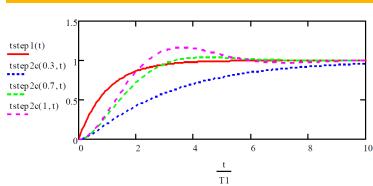
#### 11.5.2 Tiefpass 2. Ordnung



$$t_{\text{step}2a}(t) = 1 - e^{-\frac{t}{T_1}} \cdot \left(1 + \frac{t}{T_1}\right)$$

$$t_{\text{step}2b}(t) = 1 - \left(\frac{T_1 \cdot e^{-\frac{t}{T_1}} - T_2 \cdot e^{-\frac{t}{T_2}}}{T_1 - T_2}\right)$$

#### 11.6 Schrittantworten verschiedener Polgüten



Komplexe Pole ( $Q > 0$ ) führt zu Überschwingen.

Bei einer Polgüte von  $Q = \frac{1}{\sqrt{2}} \approx 0.7$  (grüne Kurve) schwingt das System am schnellsten ein!

#### 11.7 Filter 2. Ordnung (passiv und aktiv)

##### Tiefpass

$$G(s) = \frac{V_{\text{out}}}{V_{\text{in}}} = \frac{A_0}{\frac{1}{\omega_0^2} s^2 + \frac{1}{\omega_0 \cdot Q} s + 1}$$

##### Bandpass

$$G(s) = \frac{V_{\text{out}}}{V_{\text{in}}} = \frac{A \cdot \frac{\omega_0}{Q} \cdot s}{s^2 + \frac{1}{\omega_0 \cdot Q} s + 1}$$

##### Hochpass

$$G(s) = \frac{V_{\text{out}}}{V_{\text{in}}} = \frac{A_0 \cdot \frac{1}{\omega_0^2} \cdot s^2}{\frac{1}{\omega_0^2} s^2 + \frac{\omega_0}{Q} s + \omega_0^2}$$

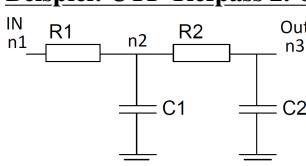
##### Aufbau Nenner

- Alle Terme positiv
- $s^2$ -Term definiert Grenzfrequenz
- Im s-Term ist Dämpfung enthalten
  - s-Term gross  $\Rightarrow$  grosse Dämpfung
  - s-Term = 0  $\Rightarrow$  Oszillator!

Passive RC-Filter können maximal Güte 0.5 haben (entkoppelte reelle Pole). Filter höherer Güte benötigen entweder Spulen oder **Verstärker**.

**→ Die Formeln gelten aber für passive und aktive Filter!**

#### Beispiel: UTF Tiefpass 2. Ordnung



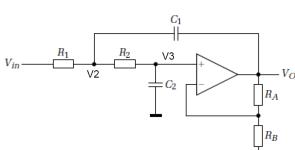
$$A_0 = 1 \quad \omega_0 = \frac{1}{\sqrt{C_1 C_2 R_1 R_2}}$$

$$Q = \frac{\sqrt{C_1 C_2 R_1 R_2}}{C_1 R_1 + C_2 R_1 + C_2 R_2}$$

$$G(s) = \frac{V_{\text{out}}}{V_{\text{in}}} = \frac{1}{1 + (C_1 R_1 + C_2 R_1 + C_2 R_2) \cdot s + C_1 C_2 R_1 R_2 \cdot s^2}$$

## 12 Aktive Filter

### 12.1 Sallen-Key-Filter (Einfachmitkopplung)



$$\text{OpAmp: } V_{\text{out}} = G_0 \cdot V_3 = \left(1 + \frac{R_A}{R_B}\right) \cdot V_3$$

$$\omega_0 = \frac{1}{\sqrt{C_1 C_2 R_1 R_2}}$$

$$Q = \frac{\sqrt{C_1 C_2 R_1 R_2}}{C_2(R_1 + R_2) + C_1 R_1 \cdot (1 - G_0)}$$

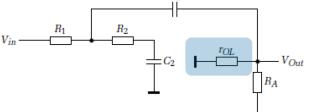
$$G(s) = \frac{G_0}{C_1 C_2 R_1 R_2 \cdot s^2 + [C_2(R_1 + R_2) + C_1 R_1(1 - G_0)] \cdot s + 1}$$

**Stromgleichungen:**

$$\text{V2: } 0 = (V_2 - V_{\text{in}}) \frac{1}{R_1} + (V_2 - V_3) \frac{1}{R_2} + (V_2 - V_{\text{out}}) \cdot s \cdot C_1$$

$$\text{V3: } 0 = (V_3 - V_2) \frac{1}{R_2} + V_3 \cdot s \cdot C_2$$

#### 12.1.1 Sallen-Key-Filter bei hohen Frequenzen

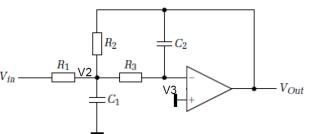


$$\frac{V_{\text{out}}}{V_{\text{in}}} \approx \frac{r_{\text{OL}}}{R_1 + r_{\text{OL}}}$$

$r_{\text{OL}}$  ist der OpAmp open-loop Ausgangswiderstand (bei hohen Frequenzen  $\approx 100 \Omega$ )

- Dämpfung ist limitiert auf obigen Spannungsteiler  $\Rightarrow$  Sallen-Key-Filter sind nicht geeignet für Systeme mit hohen Frequanzanteilen z.B. PWM-DAC

### 12.2 Multiple-Feedback-Struktur



$$\text{OpAmp: } G_0 = -\frac{R_2}{R_1}$$

$$Q = \frac{\sqrt{C_1 C_2 R_1 R_2}}{C_2(R_2 + R_2 + R_3 \frac{R_2}{R_1})}$$

$$G(s) = \frac{G_0}{1 + C_2(R_2 + R_2 + R_3 \frac{R_2}{R_1}) \cdot s + C_1 C_2 R_2 R_3 \cdot s^2}$$

**Stromgleichungen:**

$$\text{V2: } 0 = (V_2 - V_{\text{in}}) \frac{1}{R_1} + (V_2 - V_{\text{out}}) \frac{1}{R_2} + (V_2 - V_3) \frac{1}{R_3} + V_2 \cdot s \cdot C_1$$

$$\text{V3: } 0 = (V_3 - V_2) \frac{1}{R_3} + (V_3 - V_{\text{out}}) \cdot s \cdot C_2$$

### 12.3 Sallen-Key vs. Multiple-Feedback Struktur

#### Sallen-Key

- Nicht-invertierend
- $Q$  sensitiver auf Toleranzen
- Vorwärtspfad für hohe Frequenzen
- Noise-Gain: A
- Eher für
  - Hochpass
  - kleine Verstärkungen

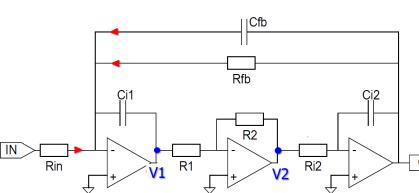
#### Multiple-Feedback

- Invertierend
- $f_g$  sensitiver auf Toleranzen
- Noise-Gain: A + 1
- Eher für
  - Tiefpass, Bandpass
  - größere Verstärkungen

### 12.4 Vorgehen: UTF aus OPV-Filterschaltung ermitteln

- Stromgleichungen (Knotengleichungen) aufstellen
- Gleichungen ineinander einsetzen
- Umformen nach  $G(s) = \frac{V_{\text{out}}}{V_{\text{in}}}$

### 12.5 Zustandsvariablen-Filter (Biquad-Filter)



Mit dieser Topologie sind alle Parameter  $f_0$ ,  $Q$  und  $A_0$  frei wählbar!

An  $V_{\text{out}}$  herrscht Tiefpass-Verhalten.

$$G(s) = \frac{-\frac{R_{\text{fb}}}{R_{\text{in}}}}{s^2 \cdot C_1 C_2 R_{\text{fb}} R_{12} \frac{R_1}{R_2} + s \cdot C_{\text{fb}} R_{\text{fb}} + 1}$$

$$f_0 = \frac{1}{2\pi \sqrt{C_{12} C_{21} R_{\text{fb}} R_{12} \frac{R_1}{R_2}}} \quad Q = \frac{1}{C_{\text{fb}}} \sqrt{C_1 C_2 R_{\text{fb}} R_{12} \frac{R_1}{R_2}} \quad A_0 = -\frac{R_{\text{fb}}}{R_{\text{in}}}$$

## 12.5.1 Allgemein: Filter mit mehreren OpAmps

Mit der Filter-Struktur aus Abschnitt 12.5 können auch Bandpass- und Hochpass-Filter gebildet werden:

- **Tiefpass:** Abgriff beim 3. OpAmp ( $V_{out}$  gemäß Abschnitt 12.5)
- **Bandpass:** Abgriff beim 2. OpAmp (an Knoten V2)
- **Hochpass:** Abgriff beim 2. OpAmp, Einspeisung am neg. Eingang des 2. OpAmps

## 13 Analyse von Filterschaltungen mit SFDs

Aktive Filterschaltungen (mit OpAmps) können mittels Signalflussdiagrammen (SFDs) analysiert werden. Dazu wird die gesamte Schaltung in einzelne Komponenten aufgeteilt. Diese Komponenten werden dann mit Impedanz- bzw. Admittanzfunktionen abgebildet. Um die Übertragungsfunktion (UTF) der gesamten Schaltung zu erhalten, muss die **Regel von Mason** angewendet werden.

### 13.1 Eingangsadmittanzen / (Eingangsimpedanzen)

Hinweis: Es wird normalerweise mit Eingangsadmittanzen gearbeitet!

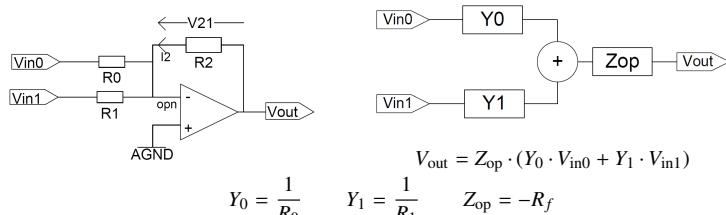
Komponente	Admittanz $Y$	(Impedanz $Z$ )
Widerstand $R$	$Y_{res} = \frac{1}{R}$	( $Z_{res} = R$ )
Kapazität $C$	$Y_{cap} = s \cdot C$	( $Z_{cap} = \frac{1}{s \cdot C}$ )
Induktivität $L$	$Y_{ind} = \frac{1}{s \cdot L}$	( $Z_{ind} = s \cdot L$ )

## 13.2 OpAmp Impedanzfunktionen

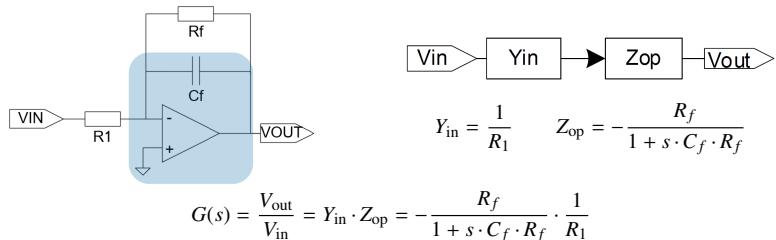
Hinweis: Es geht um negatives Feedback bzw. Gegenkopplung

Schaltung (Feedback)	Impedanz $Z$
Widerstand $R_f$ im Feedback	$Z_{op} = -R_f$
Kapazität $C_f$ im Feedback	$Z_{op} = -\frac{1}{s \cdot C_f}$
$R_f \cdot C_f$ (parallel) im Feedback	$Z_{op} = -\frac{R_f}{1 + s \cdot C_f \cdot R_f}$

### Beispiel: Summierender Verstärker



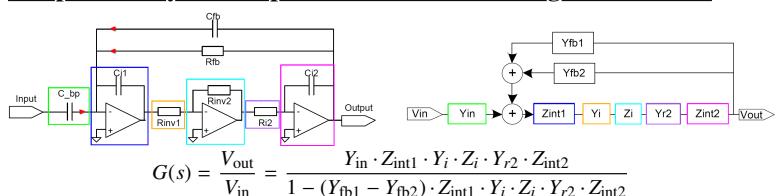
### Beispiel: Aktiver Tiefpass 1. Ordnung



### 13.3 Regel von Mason (vereinfacht)

$$\text{UTF: } G(s) = \frac{V_{out}}{V_{in}} = \frac{\text{Produkt der Transmittanzen im Vorfächerpfad}}{1 - \text{Summe aller Schleifentransmittanzen}}$$

### Beispiel: Analyse Bandpass mittels SFD und Regel von Mason



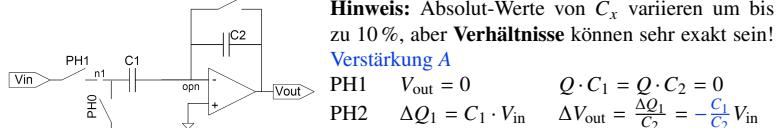
## 14 Switched-Capacitor-Verstärker

→ Funktionsweise von SC-Schaltungen siehe Abschnitt 9.2

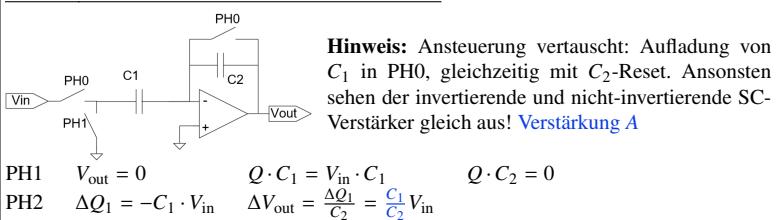
### 14.1 Switched-Capacitor-Verstärker

→ Funktionsweise von SC-Schaltungen siehe Abschnitt 9.2

#### 14.1.1 Invertierender Verstärker

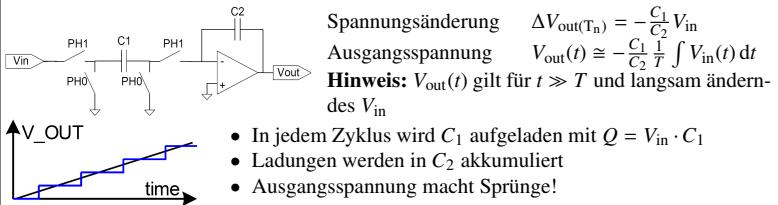


## 14.1.2 Nicht-invertierender Verstärker



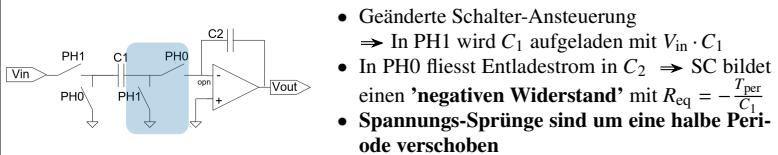
Hinweis: Ansteuerung vertauscht: Aufladung von  $C_1$  in PH0, gleichzeitig mit  $C_2$ -Reset. Ansonsten sehen der invertierende und nicht-invertierende SC-Verstärker gleich aus! **Verstärkung A**

### 14.1.3 (Invertierender) SC-Integrator



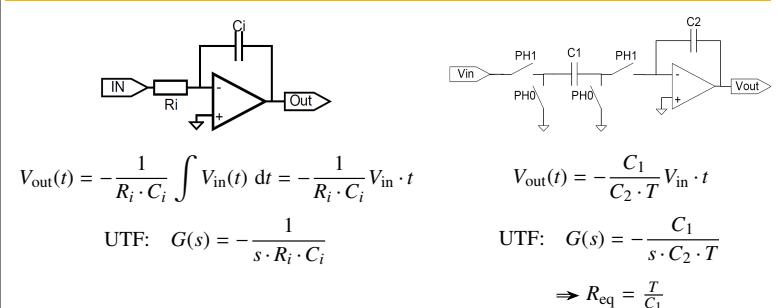
- In jedem Zyklus wird  $C_1$  aufgeladen mit  $Q = V_{in} \cdot C_1$
- Ladungen werden in  $C_2$  akkumuliert
- Ausgangsspannung macht Sprünge!

### 14.1.4 Nicht-invertierender SC-Integrator

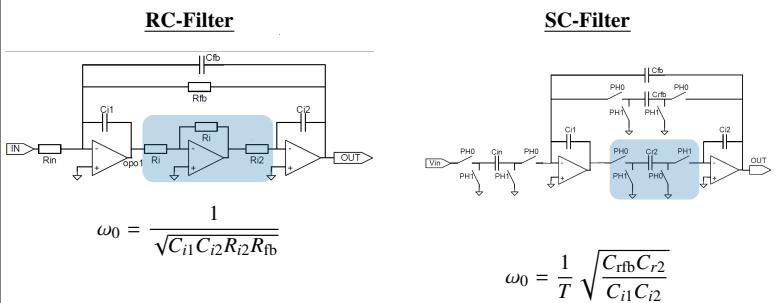


- Geänderte Schalter-Ansteuerung  
⇒ In PH1 wird  $C_1$  aufgeladen mit  $V_{in} \cdot C_1$
- In PH0 fliesst Entladestrom in  $C_2$  ⇒ SC bildet einen 'negativen Widerstand' mit  $R_{eq} = -\frac{T_{per}}{C_1}$
- Spannungs-Sprünge sind um eine halbe Periode verschoben

## 14.2 Vergleich RC- und SC-Integrator



## 14.3 RC- / SC-Filter



- Für SC-Filter gilt:
  - $C_2$  wird umgekehrt angesteuert ⇒ bildet 'negativen Widerstand'
  - Kapazitäts-Verhältnisse und Taktperiode  $T$  bestimmen  $f_0$  bzw.  $\omega_0$

## 14.4 Fazit Filter

- Aktive Filter sind nötig für Polgüten > 0.5 (oder Spulen)
- Filter werden aufgeteilt in Stufen 1. oder 2. Ordnung
- Strukturen mit mehreren opAmps sind weniger sensibel auf Bauteiltoleranzen und auf Nichtidealitäten der OpAmps
- Als **integrierte Schaltungen** werden oft Switched-Capacitor-Schaltungen eingesetzt

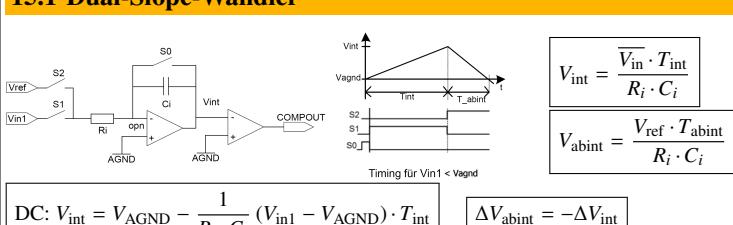
## 15 Sigma-Delta-ADC

$n$	Anzahl Bits
$D$	Digitaler Wert $D < 2^n$
$q$	Quantisierungsschritt (1 LSB)
$B_0$	Bitwert 0 (LSB)
$B_{n-1}$	Bitwert $n - 1$ (MSB)

$$q = \frac{V_{refp} - V_{refn}}{2^n}$$

$$D = \frac{V_{in} - V_{refn}}{V_{refp} - V_{refn}} 2^n$$

### 15.1 Dual-Slope-Wandler



$$\Delta V_{\text{abint}} = V_{\text{AGND}} - V_{\text{int}} = -\frac{1}{R_i \cdot C_i} (V_{\text{ref}} - V_{\text{AGND}}) \cdot T_{\text{abint}}$$

$$T_{\text{abint}} = -\frac{V_{\text{in1}} \cdot T_{\text{int}}}{V_{\text{ref}}}$$

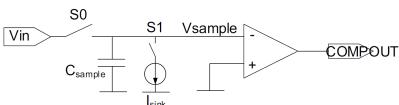
$$\text{Allgemein: } V_{\text{int}} = \int_0^{T_{\text{int}}} -\frac{1}{R_i \cdot C_i} V_{\text{in1}} dt + V_{\text{int},0}$$

$$-\frac{V_{\text{in}}}{V_{\text{ref}}} = \frac{T_{\text{abint}}}{T_{\text{int}}} = \frac{n \cdot T_{\text{clk}}}{N \cdot T_{\text{clk}}}$$

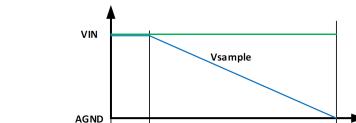
## 15.1.1 Frequenzverhalten vom Dual-Slope-Wandler

Frequenzen  $f = \frac{1}{T}$ , wobei  $T$  der Integrationszeit entspricht, werden perfekt unterdrückt  
⇒ Integrationszeit  $T = 20 \text{ ms}$  unterdrückt Netzbrumm von 50 Hz

## 15.2 Single-Slope-Wandler

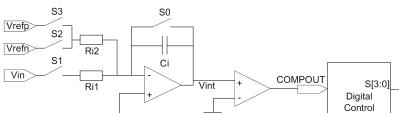


- Einfacher als Dual-Slope
- $V_{\text{in}}$  wird auf  $C_{\text{sample}}$  übertragen
- $C_{\text{sample}}$  wird mit  $I_{\text{sink}}$  entladen
- Zeit bis  $V(C_{\text{sample}}) = 0$  wird gemessen

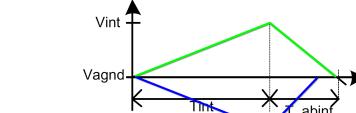


- + Kein OpAmp, nur zwei Schalter
- + Schnell, da  $T_{\text{sample}} < T_{\text{int}}$
- $V_{\text{in}} \sim T_{\text{abint}}, C_{\text{sample}}, I_{\text{sink}}$
- $C_{\text{sample}}$  und  $I_{\text{sink}}$  streuen stark

## 15.3 Dual-Slope-Wandler für pos. und neg. Eingangsspannungen



- Auf- und Abintegration wechseln ab
- Je nach Komparator-Ausgang wird S2 oder S3 geschlossen

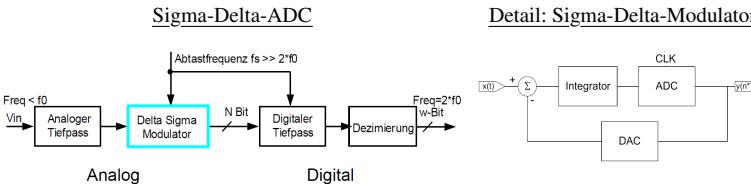


- + Für  $V_{\text{in}} < V_{\text{AGND}}$  wird in Richtung positiver Speisung integriert
- + Für  $V_{\text{in}} > V_{\text{AGND}}$  wird in Richtung GND integriert

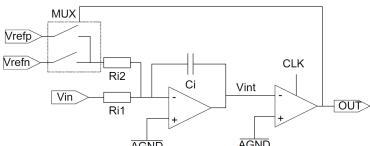
## 15.3.1 Eigenschaften von Dual-Slope-Wandlern

- Unabhängig von Bauteiltoleranzen
- Höhere Auflösung bedingt längere Integrationszeit (bei fixem clk) ⇒ Doppelte Zeit für 1 zusätzliches Bit
- Höhere Frequenzen werden stärker unterdrückt ⇒ reduziert Bandbreite
- Auflösung wird gegen Bandbreite getauscht

## 15.4 Aufbau Sigma-Delta-ADC



## 15.5 Sigma-Delta-Modulator 1. Ordnung



$$V_{\text{in}} = \frac{2 \cdot n - N}{N} V_{\text{ref}}$$

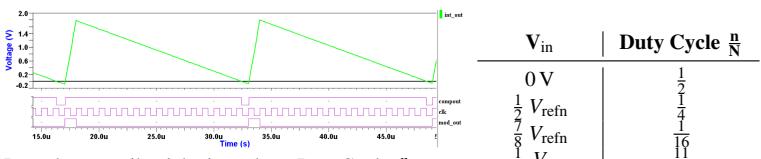
N # Taktzyklen von Clk  
n # Taktzyklen, in denen Modulator-Ausgang = 1

$$\text{Allgemein: } V_{\text{int}}(t) = \Delta V_{\text{int}} + V_{\text{int},0} = -\frac{1}{C_i} \int_0^t \left( \frac{V_{\text{in}} - A_{\text{GND}}}{R_{i1}} + \frac{V_{\text{ref}} - A_{\text{GND}}}{R_{i2}} \right) dt + V_{\text{int},0}$$

- Sigma-Delta-Wandler machen gleichzeitig Auf- und Abintegration (Feedback-Pfad)
- 'Digitales Filter' ⇒ 'Mittelwertbildung' um  $V_{\text{in}}$  zu berechnen
- Eingangsspannungsbereich:  $V_{\text{refn}} \leq V_{\text{in}} \leq V_{\text{refp}}$  ⇒  $I_{\text{Eingang}} \leq I_{\text{Feedback}}$
- Summe aller Ladungen muss gesamthaft 0 sein! ⇒  $\Delta Q = C \cdot \Delta U = I \cdot \Delta t = 0$

## 15.6 Sigma-Delta-Modulator im Zeitbereich

### 15.6.1 DC-Eingangssignale



Je nach  $V_{\text{in}}$  ergibt sich ein anderer DutyCycle  $\frac{n}{N}$  (mod out). Für  $V_{\text{refn}} = -V_{\text{refp}}$  gilt die aufgeführte Tabelle.

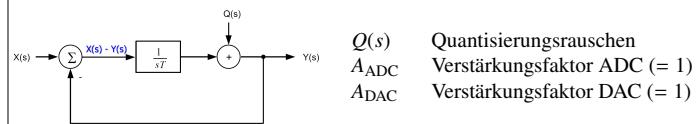
### Fazit DC-Eingangssignale

- DC-Eingangssignale erzeugen repetitive Sequenzen mit hohen Frequenz-Anteilen
- Ist  $V_{\text{in}}$  nahe bei Bruchteil von  $V_{\text{ref}}$  entstehen lange repetitive Sequenzen mit tiefen Frequenz-Anteilen
- Lange repetitive Sequenzen können nicht von Signal unterschieden werden  
⇒ Pattern Noise

## 15.6.2 AC-Eingangssignale

AC-Eingangssignale können durch Mittelwertbildung (z.B. mit Tiefpassfilter mit entsprechend hoch dimensierter Zeitkonstante) des Signals  $V_{\text{int}}$  rekonstruiert werden.

## 15.7 Modellierung Sigma-Delta-Modulator im Frequenzbereich



$Q(s)$  Quantisierungsrauschen  
 $A_{\text{ADC}}$  Verstärkungsfaktor ADC (= 1)  
 $A_{\text{DAC}}$  Verstärkungsfaktor DAC (= 1)

## 15.7.1 Übertragungsfunktionen Sigma-Delta Modulator

$$\text{Signal-Übertragungsfunktion } H_s(s) \quad (\text{Quantisierungsrauschen } Q(s) = 0)$$

$$\text{Noise-Übertragungsfunktion } H_n(s) \quad (\text{Eingangssignal } X(s) = 0)$$

$$Y(s) = [X(s) - Y(s)] \cdot \frac{1}{s \cdot T}$$

$$Y(s) = -Y(s) \cdot \frac{1}{s \cdot T} + Q(s)$$

$$H_s(s) = \frac{Y(s)}{X(s)} = \frac{1}{1 + s \cdot T} \quad (\text{Tiefpass})$$

$$H_n(s) = \frac{Y(s)}{Q(s)} = \frac{s \cdot T}{1 + s \cdot T} \quad (\text{Hochpass})$$

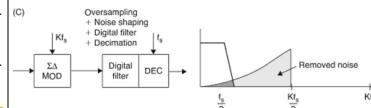
## 15.8 Oversampling / Signal-Rausch-Abstand (SNR)

$$\text{Rauschleistung} = \text{Rauschleistungsdichte} * \text{Bandbreite} = \frac{q^2}{12} = \text{konstant}$$

- Oversampling verteilt Quantisierungsrauschen über grösseren Frequenzbereich
- Da die Rauschleistung konstant ist, wird die Rauschleistungsdichte (also die 'Amplitude' des Rauschens) kleiner
- Ein Digitalfilter reduziert die Bandbreite des ADCs weiter

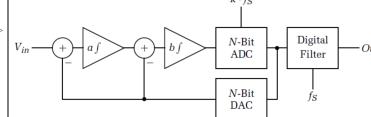


## 15.8.1 Noise-Shaping



- Nicht nur Oversampling und Rauschen gleichmäig verteilen, sondern Rauschleistungsdichte 'formen'
- Nur bei Sigma-Delta-Wandlern möglich

## 15.9 Sigma-Delta-Wandler 2. Ordnung



$$\text{SNR} \approx \log_{10} \left( \frac{3}{2} \cdot \frac{2 \cdot M + 1}{\pi^{2M}} \cdot \text{OSR}^{2M+1} \right)$$

OSR Oversampling-Rate  
M Ordnung des Modulators

- Ordnung  $M = 2 \Rightarrow 2$  Integratoren
- Quantisierungsrauschen  $Q(s)$  wird mit Hochpass 2. Ordnung gefiltert
- Je höher Ordnung  $M$ , desto stärker das Noise-Shaping (6 dB pro Ordnung und Oktave)
- Je höher Oversampling (OSR), desto höher SNR (3 dB Oktave)

## 15.10 Multi-Bit Modulatoren

Anstatt eines Komparators ADCs mit mehreren Bits für den Aufbau des Sigma-Delta-Modulators verwendet.

- + Dynamikgewinn von ca. 6 dB pro zusätzlichem Bit.

- Aufwändiger Flash-ADC (parallele Komparatoren) nötig, da in einem Takt gewandelt werden müssen

## 15.11 1 Bit vs. Multi-Bit ADC (im Modulator)

- ADC ist unproblematisch, da hinter Integrator (siehe Blockschaltbild Abschnitt 15.4) und dabei Teil vom Quantisierungsfehler
- 1-Bit ADC (Komparator) nichtlinear ⇒ ADC-Verstärkung signalabhängig
- Es entsteht ein nichtlineares System

## 15.12 1 Bit vs. Multi-Bit DAC (im Modulator)

- DAC muss volle Präzision des (gesamten) Wandlers haben
  - DAC-Spannung wird direkt mit Eingangsspannung 'verrechnet'
- 1-Bit DAC ist perfekt linear (nur Offset- und Gain-Fehler, welche statisch kompensierbar sind)
- DAC muss sehr genau sein ⇒ kann kalibriert werden
  - Drifttemperatur und Alterung sind dennoch ein Problem

## 15.13 Dynamic Element Matching (DEM), Mismatch-Shaping

- Widerstände des DAC müssen perfekt matchen (so gut wie DAC-Genauigkeit)
  - In der Praxis ist das nicht möglich!
  - ⇒ mismatch
- Dynamic Element Matching (DEM): Spezieller Algorithmus
  - Einschalten der einzelnen Widerstände wird dynamisch umgestaltet, so dass Ausgangskennlinie des DAC 'durchschnittlich linear'
  - ⇒ Systematischer Fehler wird in Zufallsfehler (Rauschen) umgewandelt

- Mismatch-Shaping
  - Zufallsfehler (Rauschen) wird mit Noise-Shaping gedämpft

## 15.14 Fazit Sigma-Delta-Modulatoren

- |  |   |
|--|---|
| + Signal wird nicht (wenig) verändert mit Tiefpass           | + Modulatoren 1. Ordnung immer stabil ( $90^\circ$ Phasenschiebung) |
| + 1 Bit DAC perfekt linear                                   | + Modulatoren 2. Ordnung meistens stabil                            |
| + 1. SNR-Erhöhung durch Oversampling (3 dB pro Oktave)       | - Modulatoren höherer Ordnung können instabil werden                |
| + 2. SNR-Erhöhung durch Noise Shaping (6 dB pro Oktave)      | - 1 Bit ADC (Komparator) nichtlinear                                |
| + 3. SNR-Erhöhung durch ADC/DAC im Modulator (+6 dB pro Bit) | - <b>Pattern Noise</b>  |

## 15.15 Digitalfilter

Der digitale Teil des Sigma-Delta-ADCs kann auf mehrere Arten realisiert werden. Das Digitalfilter soll die folgenden Aufgaben erfüllen:

- Reduktion des Rauschens (wegen Noise-Shaping viel Rauschen bei hohen Frequenzen)
- Erhöhung der Auflösung
- Reduktion der Sample Rate

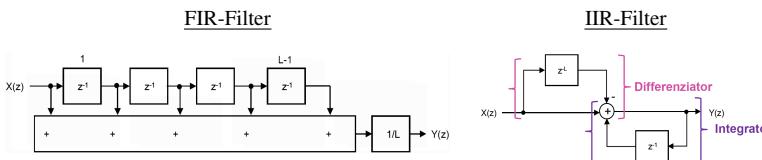
### 15.15.1 Mittelwertbildung

Einfachste Mittelwertbildung umgesetzt mittels countern  $\Rightarrow$  Funktionsweise und Formel siehe Abschnitt 15.5

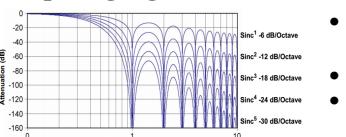
### 15.15.2 Kammfilter (Mittelwertfilter)

$Z^{-1}$  um 1 Takt verschieben  
 $Z^{-L}$  um  $L$  Takte verschieben

FIR      Finite Impulse Response  
 IIR      Infinite Impulse Response



### Frequenzgang kaskadierte Kammfilter



- Bezeichnung kaskadierte Kammfilter: CIC (Cascaded-Integrator-Comb-Filter)
- Notches ('Auslösungen') bei  $n \cdot \frac{\text{Sampling-Freq.}}{L}$
- Je höher die Ordnung, desto steiler der Abfall im Amplitudengang

## 16 Sigma-Delta-DAC

Die finale Realisierung des DACs erfolgt als **PWM-DAC**. Die Generierung des PWM-Signals erfolgt nach dem Sigma-Delta-Prinzip



### 16.1 Pattern-Noise

Für einen 8-Bit DAC ist der digitale Wert 129 ungünstig, da in der Bitsequenz irgendwann zwei '1' hintereinander auftauchen. Dies führt zu einer grossen Periodendauer, welche ein **Pattern Noise** beim DAC verursacht, da die '0' und '1' möglichst gleichmässig auf die gesamte Periode verteilt werden.

### 16.2 Bilanz Sigma-Delta-DAC

- Verhalten wie analoger Modulator (Blockschaltbild)

- Im Mittel gleich viele '1' und '0' wie bei PWM =  $\frac{n}{N}$
- '1' werden möglichst gleichmässig in Periode verteilt ( $N \cdot T_{\text{clk}}$ )
- Gleichmässige Verteilung ergibt regelmässige Sequenzen  $\Rightarrow$  periodische Signale  $\Rightarrow$  unerwünschte Frequenzkomponenten (Pattern Noise)

## 17 Anhang

### 17.1 Temperaturabhängigkeit von Widerständen

$$R_\vartheta = R_{20} + \Delta R$$

$$\begin{aligned} R_\vartheta & \quad \text{Widerstand bei Temperatur } \vartheta & [R_\vartheta] &= \Omega \\ R_{20} & \quad \text{Widerstand bei } 20^\circ\text{C} & [R_{20}] &= \Omega \\ \alpha & \quad \text{Temperaturkoeffizient} & [\alpha] &= \frac{1}{K} \\ \Delta\vartheta & \quad \text{Temperaturdifferenz } \vartheta - 20^\circ\text{C} & [\Delta\vartheta] &= {}^\circ\text{C} \end{aligned}$$