Elektronik 2

FS 24 Guido Keel (Michael Lehmann)

Autoren:

Authors

Version: 1.0.20240302

https://github.com/P4ntomime/elektronik-2



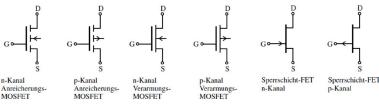
Inhaltsverzeichnis

1

Feldeffekt-Transistoren		2	2	Transistor-Transistor-Logik	2
1.1	FET-Typen und Symbole	2		2.1 Resistor Transistor Logik (RTL)	2
1.2	Sperrschicht-FET / Junction FET (JFET)	2		2.2 Dioden-Transistor-Logik (DTL)	2
1.3	MOS-FETs	2		2.3 DTL zu TTL	2
1.4	Verstärkerschaltungen mit FETs	2	3	CMOS-Logik	2
				3.1 Grundgatter in CMOS-Logik	3
			1	3.2 Dualität NMOS - PMOS	

1 Feldeffekt-Transistoren

1.1 FET-Typen und Symbole

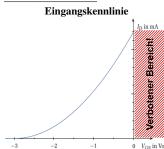


1.1.1 Anschlüsse eines FET

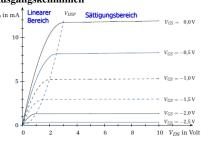
Kanal von Drain zu Source (Stromfluss), gesteuert von Gate (und Bulk)

1.2 Sperrschicht-FET / Junction FET (JFET)

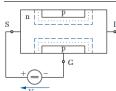
1.2.1 Kennlinien



Ausgangskennlinien



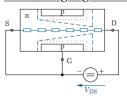
1.2.2 Linearer Bereich (gesteuerter Widerstand)



- Für kleinen Spannung-Unterschied ${\cal V}_{DS}$
- V_{GS} ändert Dicke der Raumladungszone (Kanal)
- n-Kanal JFET: Je negativer V_{GS} , desto weniger Strom fliesst bzw. desto enger der Kanal

$$I_{D} = \frac{2 \cdot I_{DSS}}{V_{p}^{2}} \left(V_{GS} - V_{p} - \frac{V_{DS}}{2} \right) V_{DS}$$

1.2.3 Sättigungs-Bereich (Stromquelle)



- Für hohes V_{DS} wird leitender Kanal abgeschürt → Strom kann nicht weiter steigen (Stromquelle)
- Übergang gest. Widerstand zu Stromquelle @ ${\cal V}_{DSP}$ $\Rightarrow V_{DSP} = V_{GS} - V_p \ (V_p = \text{Pinch-Off-Spannung})$

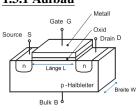
$$I_D = \frac{I_{DSS}}{V_p^2} \cdot (V_{GS} - V_p)^2$$

Verstärkungsmass Transkonduktanz:

$$g_m = \frac{2 \cdot I_{DSS}}{V_p^2} \cdot (V_{GS} - V_p) = \frac{2}{|V_p|} \cdot \sqrt{I_{DSS} \cdot I_D} \qquad [g_m] = S$$

1.3 MOS-FETs

1.3.1 Aufbau

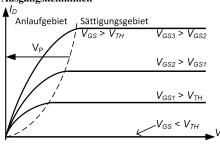


- L Länge des Transistors
- W Breite des Transistors
- · N-Kanal FET: Drain und Source sind n-dotiert
- · Kanal ist p-dotiert

1.3.2 Kennlinien

Eingangskennlinie

Ausgangskennlinien



1.3.3 Bereiche

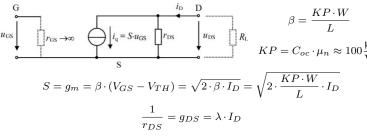
- Sperrbereich: $V_{GS} < V_{TH}$
- Linearer (Widerstands-)Bereich / Anlaufbereich: $V_{GS} > V_{TH}$
- Sättigungsbereich (Stromquelle): $V_{DS} > V_{GS} V_{TH}$

Anlaufbereich (Linearer Bereich)

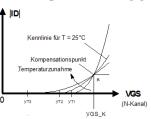
Sättigungsbereich (Stromquelle)

$$I_{D,lin} = \beta \cdot (V_{GS} - V_{TH} - \frac{V_{DS}}{2}) \cdot V_{DS} \qquad \qquad I_{D,sat} = \frac{\beta}{2} \cdot (V_{GS} - V_{TH})^2$$

1.3.4 Kleinsignal-Ersatzschaltung (MOS-FET)



1.3.5 Temperaturabhängigkeit der Übrtragungskennlinie



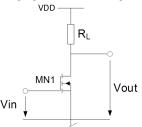
Für den n-Kanal FET gilt:

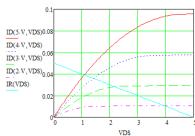
- Threshold-Spannung V_{TH} sinkt mit 1-2 $\frac{\mu V}{K}$
- β sinkt mit steigender Temperatur
- Im Kompensationspunkt bleibt I_D für fixes V_{GS} konstant

1.4 Verstärkerschaltungen mit FETs

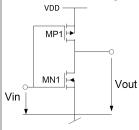
1.4.1 Source-Schaltung mit Lastwiderstand

Um den Arbeitspunkt der Schaltung zu bestimmen, wird die Lastgerade von R_L in das Ausgangskennlinienfeld eingezeichnet





1.4.2 Push-Pull / Digitaler Inverter



- V_{in} geht auf NMOS und PMOS
- · Ermöglicht grössere Verstärkung

Für
$$V_{in}pprox rac{V_{DD}}{2}$$
 gilt:

$$A_{V0} = -(g_{m1} + g_{m2}) \cdot (r_{DS1}||r_{DS2})$$

1.5 MOS-FET als (Leistungs-)Schalter

Wenn der FET als Schalter eingesetzt wird, so arbeitet er im linearen Bereich $(V_{GS} > V_{TH}, \text{d.h. } V_{out} < V_{DD} - V_{TH})$

$$I_{D,lin} = \beta \cdot \left(V_{GS} - V_{TH} - \frac{V_{DS}}{2}\right) \cdot V_{DS} \qquad r_{DS} = \frac{\mathrm{d}V_{DS}}{\mathrm{d}I_D} = \frac{1}{\beta \cdot \left(V_{GS} - V_{TH}\right)}$$

Schalter geschlossen: $R_{FET} = R_{DS(on)}$

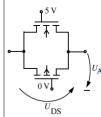
Schalter offen: $R_{FET} = \infty$

1.5.1 Verlustleistung / Erwärmung

$$P_V = R_{DS} * I_{DS}^2 = 0 \,\mathrm{W}$$

$$\Delta T = R_{th} \cdot P_V$$

1.6 Transmission Gate



Im Bild links gilt: $V_{DD}=5\,\mathrm{V},V_{SS}=0\,\mathrm{V}$

- NMOS (oben) leitet für $V_{in} < V_{DD} T_{TH,n}$ PMOS (unten) leitet für $V_{in} > V_{SS} T_{TH,p}$
- · Source und Drain austauschbar
- →Strom kann in beide Richtungen fliessen

Transistor-Transistor-Logik

- 2.1 Resistor Transistor Logik (RTL)
- 2.2 Dioden-Transistor-Logik (DTL)

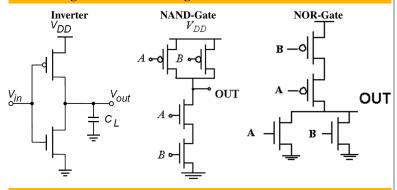
2.3 DTL zu TTL

3 CMOS-Logik

• Entweder leitender Pfad nach V_{SS} (NMOS) oder V_{DD} (PMOS)

- Kein statischer Stromverbrauch
 Langsamer als Bipolar
 Symmetrische Schaltschwellen
 Höhere Speisespannung → weniger propagation delay

3.1 Grundgatter in CMOS-Logik



3.2 Dualität NMOS - PMOS