

# Elektronik 2

FS 24 Guido Keel (Michael Lehmann)

Autoren:  
Authors

Version:  
1.0.20240303

<https://github.com/P4ntomime/elektronik-2>

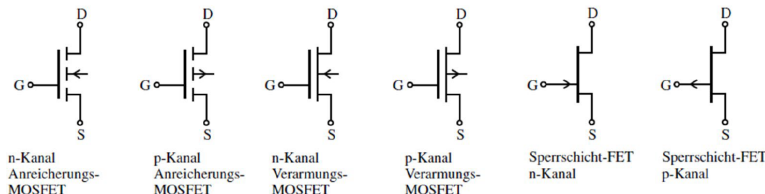


## Inhaltsverzeichnis

<b>1</b>	<b>Feldeffekt-Transistoren</b>	<b>2</b>	<b>2</b>	<b>Transistor-Transistor-Logik</b>	<b>2</b>
1.1	FET-Typen und Symbole . . . . .	2	2.1	Resistor Transistor Logik (RTL) . . . . .	2
1.2	Sperrschicht-FET / Junction FET (JFET) . . . . .	2	2.2	Dioden-Transistor-Logik (DTL) . . . . .	3
1.3	MOS-FETs . . . . .	2	2.3	Transistor-Transistor-Logik (TTL) . . . . .	3
1.4	Verstärkerschaltungen mit FETs . . . . .	2	<b>3</b>	<b>CMOS-Logik</b>	<b>3</b>
1.5	MOS-FET als (Leistungs-)Schalter . . . . .	2	3.1	Grundgatter in CMOS-Logik . . . . .	3
1.6	Transmission Gate . . . . .	2	3.2	Dualität NMOS - PMOS . . . . .	3

# 1 Feldeffekt-Transistoren

## 1.1 FET-Typen und Symbole

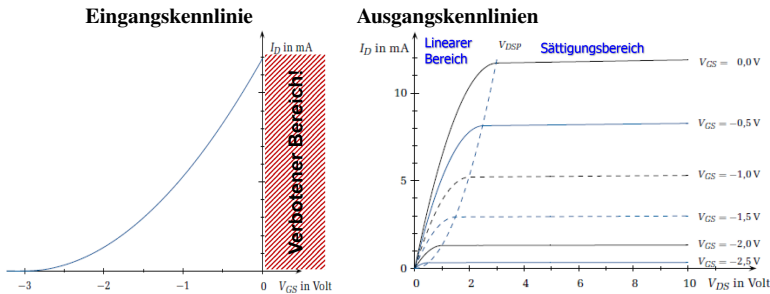


### 1.1.1 Anschlüsse eines FET

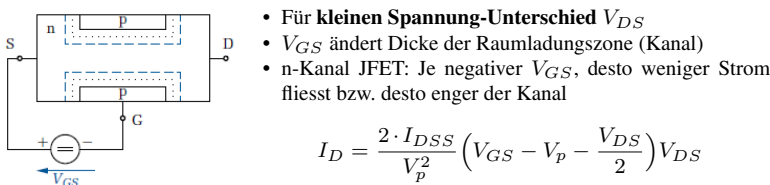
Kanal von Drain zu Source (Stromfluss), gesteuert von Gate (und Bulk)

## 1.2 Sperrschicht-FET / Junction FET (JFET)

### 1.2.1 Kennlinien



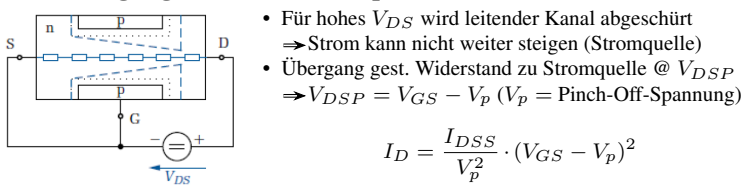
### 1.2.2 Linearer Bereich (gesteuerter Widerstand)



- Für kleinen Spannung-Unterschied  $V_{DS}$
- $V_{GS}$  ändert Dicke der Raumladungszone (Kanal)
- n-Kanal JFET: Je negativer  $V_{GS}$ , desto weniger Strom fließt bzw. desto enger der Kanal

$$I_D = \frac{2 \cdot I_{DSS}}{V_p^2} (V_{GS} - V_p - \frac{V_{DS}}{2}) V_{DS}$$

### 1.2.3 Sättigungs-Bereich (Stromquelle)



- Für hohes  $V_{DS}$  wird leitender Kanal abgeschnürt  
⇒ Strom kann nicht weiter steigen (Stromquelle)
- Übergang gest. Widerstand zu Stromquelle @  $V_{DSP}$   
⇒  $V_{DSP} = V_{GS} - V_p$  ( $V_p$  = Pinch-Off-Spannung)

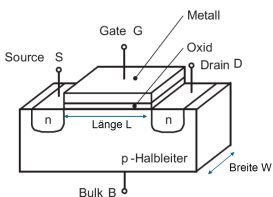
$$I_D = \frac{I_{DSS}}{V_p^2} \cdot (V_{GS} - V_p)^2$$

Verstärkungsmass Transkonduktanz:

$$g_m = \frac{2 \cdot I_{DSS}}{V_p^2} \cdot (V_{GS} - V_p) = \frac{2}{|V_p|} \cdot \sqrt{I_{DSS} \cdot I_D} \quad [g_m] = S$$

## 1.3 MOS-FETs

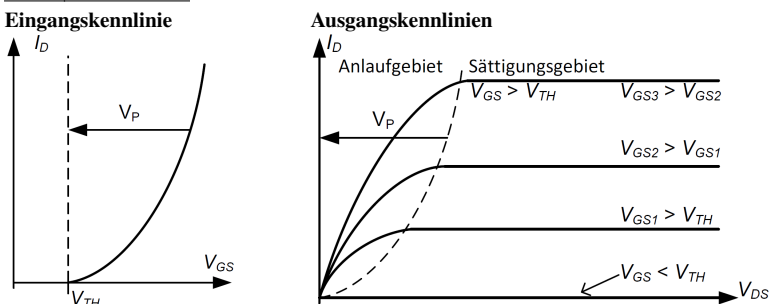
### 1.3.1 Aufbau



$L$  Länge des Transistors  
 $W$  Breite des Transistors

- N-Kanal FET: Drain und Source sind n-dotiert
- Kanal ist p-dotiert

### 1.3.2 Kennlinien



### 1.3.3 Bereiche

- Sperrbereich:  $V_{GS} < V_{TH}$
- Linearer (Widerstands-)Bereich / Anlaufbereich:  $V_{GS} > V_{TH}$
- Sättigungsbereich (Stromquelle):  $V_{DS} > V_{GS} - V_{TH}$

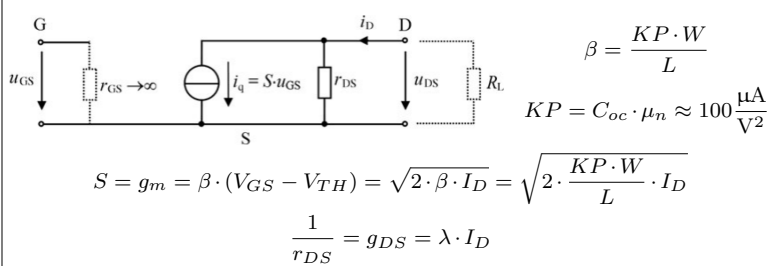
Anlaufbereich (Linearer Bereich)

Sättigungsbereich (Stromquelle)

$$I_{D,lin} = \beta \cdot (V_{GS} - V_{TH} - \frac{V_{DS}}{2}) \cdot V_{DS}$$

$$I_{D,sat} = \frac{\beta}{2} \cdot (V_{GS} - V_{TH})^2$$

## 1.3.4 Kleinsignal-Ersatzschaltung (MOS-FET)



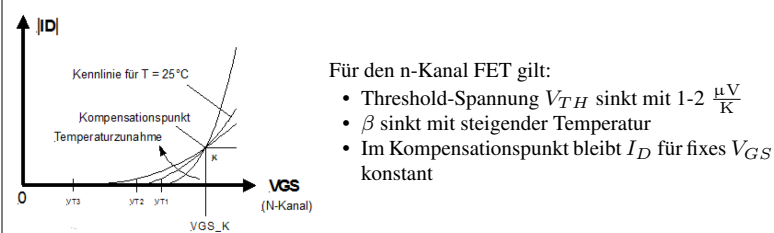
$$\beta = \frac{K_P \cdot W}{L}$$

$$K_P = C_{oc} \cdot \mu_n \approx 100 \frac{\mu A}{V^2}$$

$$S = g_m = \beta \cdot (V_{GS} - V_{TH}) = \sqrt{2 \cdot \beta \cdot I_D} = \sqrt{2 \cdot \frac{K_P \cdot W}{L} \cdot I_D}$$

$$\frac{1}{r_{DS}} = g_{DS} = \lambda \cdot I_D$$

## 1.3.5 Temperaturabhängigkeit der Übertragungskennlinie



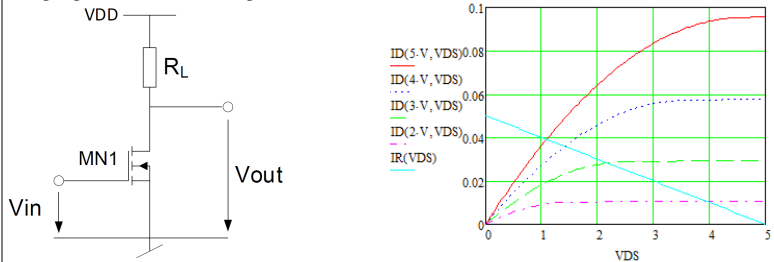
Für den n-Kanal FET gilt:

- Threshold-Spannung  $V_{TH}$  sinkt mit 1-2  $\frac{\mu V}{K}$
- $\beta$  sinkt mit steigender Temperatur
- Im Kompensationspunkt bleibt  $I_D$  für fixes  $V_{GS}$  konstant

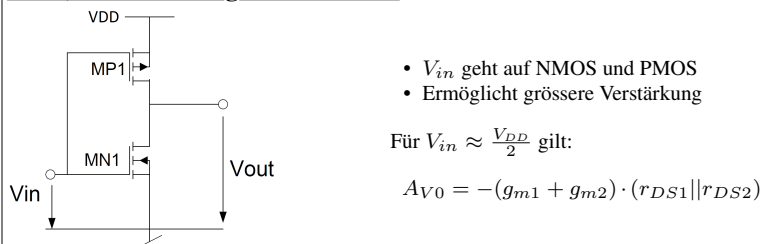
## 1.4 Verstärkerschaltungen mit FETs

### 1.4.1 Source-Schaltung mit Lastwiderstand

Um den Arbeitspunkt der Schaltung zu bestimmen, wird die Lastgerade von  $R_L$  in das Ausgangskennlinienfeld eingezeichnet



### 1.4.2 Push-Pull / Digitaler Inverter



- $V_{in}$  geht auf NMOS und PMOS
- Ermöglicht grössere Verstärkung

Für  $V_{in} \approx \frac{V_{DD}}{2}$  gilt:

$$A_{V0} = -(g_{m1} + g_{m2}) \cdot (r_{DS1} || r_{DS2})$$

## 1.5 MOS-FET als (Leistungs-)Schalter

Wenn der FET als Schalter eingesetzt wird, so arbeitet er im **linearen Bereich** ( $V_{GS} > V_{TH}$ , d.h.  $V_{out} < V_{DD} - V_{TH}$ )

$$I_{D,lin} = \beta \cdot (V_{GS} - V_{TH} - \frac{V_{DS}}{2}) \cdot V_{DS} \quad r_{DS} = \frac{dV_{DS}}{dI_D} = \frac{1}{\beta \cdot (V_{GS} - V_{TH})}$$

Schalter geschlossen:  $R_{FET} = R_{DS(on)}$

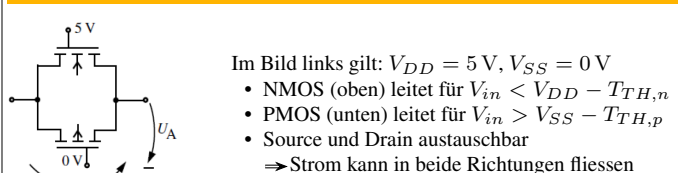
Schalter offen:  $R_{FET} = \infty$

### 1.5.1 Verlustleistung / Erwärmung

$$P_V = R_{DS} \cdot I_{DS}^2 = 0 W$$

$$\Delta T = R_{th} \cdot P_V$$

## 1.6 Transmission Gate



Im Bild links gilt:  $V_{DD} = 5 V$ ,  $V_{SS} = 0 V$

- NMOS (oben) leitet für  $V_{in} < V_{DD} - V_{TH,n}$
- PMOS (unten) leitet für  $V_{in} > V_{SS} - V_{TH,p}$
- Source und Drain austauschbar  
⇒ Strom kann in beide Richtungen fließen

## 2 Transistor-Transistor-Logik

- Meist statischer Stromverbrauch
- Asymmetrische Schaltschwellen (weniger Marge als CMOS-Logik)

### 2.1 Resistor Transistor Logik (RTL)

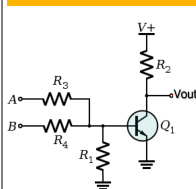


Bild: NOR-Gate

- Ausgangsspannung  $V_{out} = V_+$  oder  $V_{out} = V_{CE,sat}$
- Fan-Out ist begrenzt** (Werden zu viele weitere Gatter an den Ausgang gehängt, so reicht der Strom nicht mehr, um diese zu treiben ⇒ Spannungslevel stimmen nicht mehr, um Transistoren durchzusteuern)

## 2.2 Dioden-Transistor-Logik (DTL)

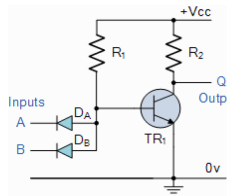
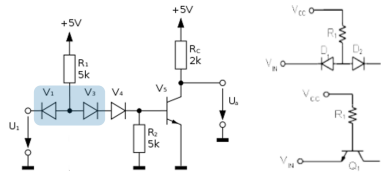


Bild: NAND-Gate

- **Fan-Out grösser**, da Transistor aktiv nach '0' zieht
- $R_2$  muss keine Gatter treiben (kein grosser Stromfluss)
- Nachteile: Sehr tiefer Störabstand; Transistor leitet schon bei Spannungen, welche kaum  $> 0\text{ V}$  sind

## 2.3 Transistor-Transistor-Logik (TTL)

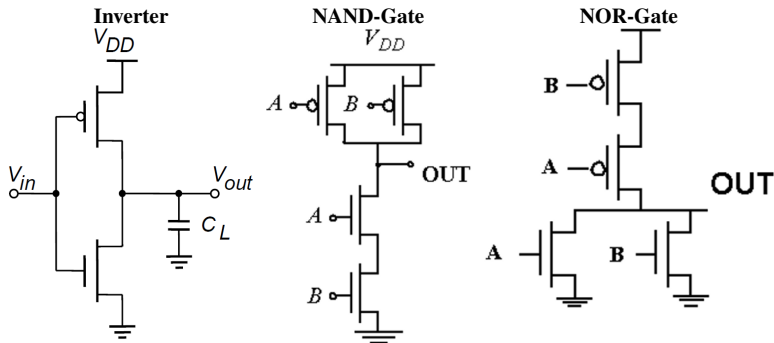


- Schaltschwelle am Eingang wird durch Dioden  $V_3$  und  $V_4$  um  $1.4\text{ V}$  erhöht
- Dioden  $V_1$  und  $V_2$  bilden npn-Struktur  $\Rightarrow$  npn-Transistor

## 3 CMOS-Logik

- Entweder leitender Pfad nach  $V_{SS}$  (NMOS) oder  $V_{DD}$  (PMOS)
- Kein statischer Stromverbrauch
- Langsamer als Bipolar
- Symmetrische Schaltschwellen (skaliert mit  $V_{DD}$ )
- Output-Level  $V_{ol}$ ,  $V_{oh}$  näher bei Speisung als Input Level  $V_{il}$ ,  $V_{ih}$   $\Rightarrow$  mehr Marge
- Höhere Speisespannung  $\Rightarrow$  weniger propagation delay

### 3.1 Grundgatter in CMOS-Logik



### 3.2 Dualität NMOS - PMOS

