

# Elektronik 2

FS 24 Guido Keel (Michael Lehmann)

Autoren:

Simone Stitz, Laurin Heitzer

Version:

1.0.20240605

<https://github.com/P4ntomime/elektronik-2>



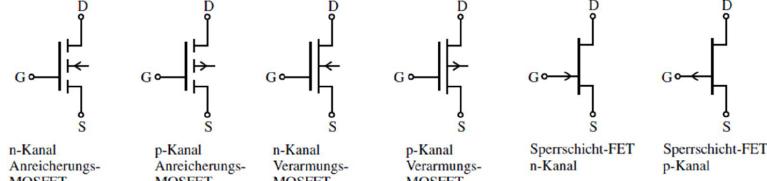
## Inhaltsverzeichnis

<b>1 Feldeffekt-Transistoren</b>	<b>3</b>	<b>10 Schaltregler</b>	<b>6</b>
1.1 FET-Typen und Symbole . . . . .	3	10.1 Spannungswandler mit Spulen . . . . .	6
1.2 Sperrschiert-FET / Junction FET (JFET) . . . . .	3	10.2 Energien in den Komponenten . . . . .	6
1.3 MOS-FETs . . . . .	3	10.3 Aufwärtswandler (Boost, Step-Up Converter) . . . . .	6
1.4 Verstärkerschaltungen mit FETs . . . . .	3	10.4 Aufwärtswandler: Lückender Betrieb . . . . .	7
1.5 MOS-FET als (Leistungs-)Schalter . . . . .	3	10.5 Abwärtswandler (Buck, Step-Down Converter) . . . . .	7
1.6 Transmission Gate . . . . .	3	10.6 Invertierender Wandler (Buck-Boost Converter) . . . . .	7
<b>2 Transistor-Transistor-Logik</b>	<b>3</b>	10.7 Flyback (Sperrwandler) . . . . .	7
2.1 Resistor Transistor Logik (RTL) . . . . .	3	10.8 Power Fail Control (PFC) . . . . .	7
2.2 Dioden-Transistor-Logik (DTL) . . . . .	4	10.9 Aufbau Modernes Netzteil . . . . .	7
2.3 Transistor-Transistor-Logik (TTL) . . . . .	4	10.10 Fazit Spannungswandler SMPS . . . . .	7
<b>3 CMOS-Logik</b>	<b>4</b>	<b>11 Passive Filter</b>	<b>7</b>
3.1 Grundgatter in CMOS-Logik . . . . .	4	11.1 Tiefpassfilter 1. Ordnung . . . . .	7
3.2 Dualität NMOS – PMOS . . . . .	4	11.2 Bodeplot Tiefpassfilter 1. und 2. Ordnung . . . . .	7
3.3 Verlustleistung bei CMOS-Logik . . . . .	4	11.3 Filter 2. Ordnung . . . . .	8
3.4 Verzögerungszeit . . . . .	4	11.4 Filter höherer Ordnung . . . . .	8
<b>4 Schmitt-Trigger</b>	<b>4</b>	11.5 Zeitverhalten: Schrittantwort . . . . .	8
4.1 Aufbau nichtinvertierender digitaler Schmitt-Trigger . . . . .	4	11.6 Schrittantworten verschiedener Polgüten . . . . .	8
4.2 Aufbau invertierender digitaler Schmitt-Trigger . . . . .	4	11.7 Filter 2. Ordnung (passiv und aktiv) . . . . .	8
4.3 Schmitt-Trigger vs. CMOS-Logik . . . . .	4	<b>12 Aktive Filter</b>	<b>8</b>
<b>5 Signalübertragung</b>	<b>4</b>	12.1 Sallen-Key-Filter (Einfachmitkopplung) . . . . .	8
5.1 Leitungstheorie . . . . .	4	12.2 Multiple-Feedback-Struktur . . . . .	8
5.2 Einfluss / Relevanz von Reflexionen . . . . .	4	12.3 Sallen-Key vs. Multiple-Feedback Struktur . . . . .	8
<b>6 High-Speed-Logik</b>	<b>4</b>	12.4 Vorgehen: UTF aus OPV-Filterschaltung ermitteln . . . . .	8
6.1 Emitter Coupled Logic (ECL) . . . . .	4	12.5 Zustandsvariablen-Filter (Biquad-Filter) . . . . .	8
6.2 Current Mode Logic (CML) . . . . .	5	<b>13 Analyse von Filterschaltungen mit SFDs</b>	<b>9</b>
<b>7 Spannungsreferenzen</b>	<b>5</b>	13.1 Eingangssadmittanzen / (Eingangsimpedanzen) . . . . .	9
7.1 Spannungsteiler . . . . .	5	13.2 OpAmp Impedanzfunktionen . . . . .	9
7.2 Diodenreferenz . . . . .	5	13.3 Regel von Mason (vereinfacht) . . . . .	9
7.3 Spannungsreferenz mit mehreren Dioden . . . . .	5	<b>14 Switched-Capacitor-Verstärker</b>	<b>9</b>
7.4 Spannungsreferenz mit Zenerdioden (Shunt-Regler) . . . . .	5	14.1 Switched-Capacitor-Verstärker . . . . .	9
7.5 Bootstrap-Referenz (VD Stromquelle) . . . . .	5	14.2 Vergleich RC- und SC-Integrator . . . . .	9
7.6 Proportional To Absolute Temperature (PTAT) . . . . .	5	14.3 RC- / SC-Filter . . . . .	9
7.7 Bandgap-Spannungsreferenz . . . . .	5	14.4 Fazit Filter . . . . .	9
<b>8 Lineare Spannungsregler</b>	<b>5</b>	<b>15 Single- und Dual-Slope-Wandler</b>	<b>9</b>
8.1 Spannungsstabilisierung mit Z-Diode und BJT . . . . .	5	15.1 Dual-Slope-Wandler . . . . .	9
8.2 Linearer Spannungsregler . . . . .	5	15.2 Single-Slope-Wandler . . . . .	10
8.3 Low-Dropout-Regler mit pnp-Längstransistor (LDO) . . . . .	5	15.3 Dual-Slope-Wandler für pos. und neg. Eingangsspannungen . . . . .	10
8.4 Einstellbarer Serie-Spannungsregler . . . . .	6	<b>16 Sigma-Delta-ADC</b>	<b>10</b>
<b>9 Spannungswandler mit Ladungspumpen</b>	<b>6</b>	16.1 Aufbau Sigma-Delta-ADC . . . . .	10
9.1 Grundprinzip Switched-Capacitor-Schaltungen (SC) . . . . .	6	16.2 Sigma-Delta-Modulator 1. Ordnung . . . . .	10
9.2 Grundprinzip Ladungspumpen . . . . .	6	16.3 Sigma-Delta-Modulator im Zeitbereich . . . . .	10
9.3 Allgemeine Funktionsweise geschaltete Kapazitäten . . . . .	6	16.4 Modellierung Sigma-Delta-Modulator im Frequenzbereich . . . . .	10
9.4 Spannungsversion mit Switched Capacitors . . . . .	6	16.5 Oversampling / Signal-Rausch-Abstand (SNR) . . . . .	10
9.5 Spannungsverdoppler mit Switched Capacitors . . . . .	6	16.6 Sigma-Delta-Wandler 2. Ordnung . . . . .	10
9.6 Dickson Charge Pump (Spannungsvervielfacher) . . . . .	6		

<b>17 Multi-Bit Modulatoren</b>	<b>10</b>	19.9 Rauschen von OpAmps . . . . .	12
17.1 1 Bit vs. Multi-Bit ADC (im Modulator)	10	19.10 Noise und Signal to Noise Ratio (SNR)	12
17.2 1 Bit vs. Multi-Bit DAC (im Modulator)	10	19.11 Rauschen vermindern . . . . .	12
17.3 Dynamic Element Matching (DEM), Mismatch-Shaping	10		
17.4 Fazit Sigma-Delta-Modulatoren	11		
17.5 Digitalfilter	11		
<b>18 Sigma-Delta-DAC</b>	<b>11</b>		
18.1 Pattern-Noise	11		
18.2 Bilanz Sigma-Delta-DAC	11		
<b>19 Rauschen</b>	<b>11</b>		
19.1 Übersicht der Größen und Zusammenhänge	11		
19.2 Rauschen in der Elektronik	11		
19.3 Arten von Rauschen	11		
19.4 Amplitude und Leistung des Rauschens	11		
19.5 Rauschen von Widerständen	11		
19.6 Rauschen von Spannungsteilern	11		
19.7 Rauschen von Netzwerken	11		
19.8 Rauschbandbreite	12		
<b>20 Reale Bauteile</b>	<b>12</b>		
20.1 Impedanzen – Übersicht			12
20.2 Reale Widerstände			13
20.3 Spezielle Widerstände			13
20.4 Reale Kondensatoren			13
20.5 Reale Spulen			13
<b>21 Printed Circuit Boards (PCBs)</b>	<b>14</b>		
21.1 Allgemeine Informationen			14
21.2 Aufbau von PCBs			14
21.3 Herstellungsprozess von PCBs			14
21.4 Elektrische Eigenschaften von PCBs			14
21.5 Signalfloss auf dem PCB			14
<b>22 Anhang</b>	<b>14</b>		
22.1 E-Reihen			14

# 1 Feldeffekt-Transistoren

## 1.1 FET-Typen und Symbole

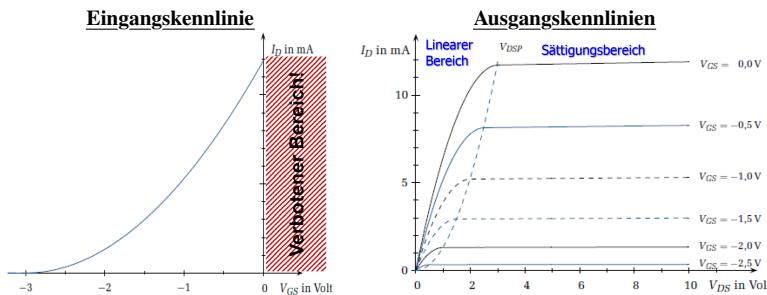


### 1.1.1 Anschlüsse eines FET

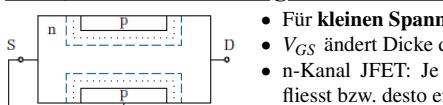
Kanal von Drain zu Source (Stromfluss), gesteuert von Gate (und Bulk)

## 1.2 Sperrsicht-FET / Junction FET (JFET)

### 1.2.1 Kennlinien



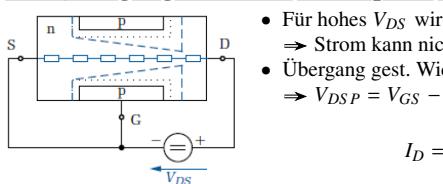
### 1.2.2 Linearer Bereich (gesteuerter Widerstand)



- Für kleinen Spannung-Unterschied  $V_{DS}$
- $V_{GS}$  ändert Dicke der Raumladungszone (Kanal)
- n-Kanal JFET: Je negativer  $V_{GS}$ , desto weniger Strom fließt bzw. desto enger der Kanal

$$I_D = \frac{2 \cdot I_{DSS}}{V_p^2} \left( V_{GS} - V_p - \frac{V_{DS}}{2} \right) V_{DS}$$

### 1.2.3 Sättigungs-Bereich (Stromquelle)



- Für hohes  $V_{DS}$  wird leitender Kanal abgeschürtet  $\Rightarrow$  Strom kann nicht weiter steigen (Stromquelle)
- Übergang gest. Widerstand zu Stromquelle @  $V_{DS,SP} = V_{GS} - V_p$  ( $V_p$  = Pinch-Off-Spannung)

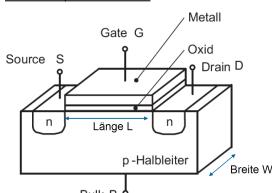
$$I_D = \frac{I_{DSS}}{V_p^2} \cdot (V_{GS} - V_p)^2$$

Verstärkungsmass Transkonduktanz:

$$g_m = \frac{2 \cdot I_{DSS}}{V_p^2} \cdot (V_{GS} - V_p) = \frac{2}{|V_p|} \cdot \sqrt{I_{DSS} \cdot I_D} \quad [g_m] = S$$

## 1.3 MOS-FETs

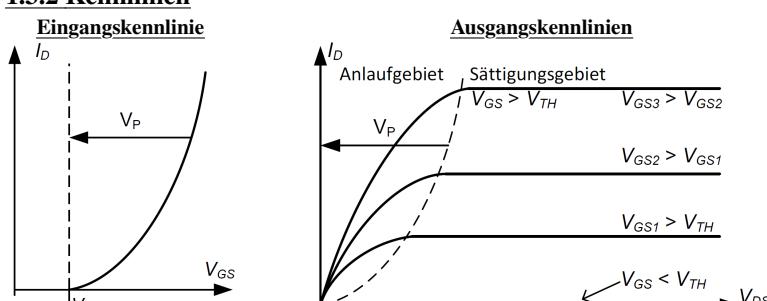
### 1.3.1 Aufbau



L Länge des Transistors  
W Breite des Transistors

- N-Kanal FET: Drain und Source sind n-dotiert
- Kanal ist p-dotiert

### 1.3.2 Kennlinien



### 1.3.3 Bereiche

- Sperrbereich:  $V_{GS} < V_{TH}$
- Linearer (Widerstands-)Bereich / Anlaufbereich:  $V_{GS} > V_{TH}$
- Sättigungsbereich (Stromquelle):  $V_{DS} > V_{GS} - V_{TH}$

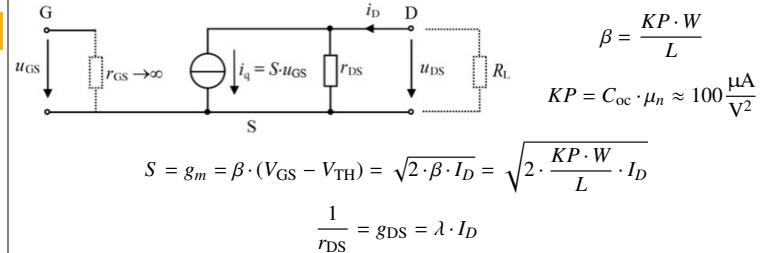
Anlaufbereich (Linearer Bereich)

$$I_{D,lin} = \beta \cdot (V_{GS} - V_{TH} - \frac{V_{DS}}{2}) \cdot V_{DS}$$

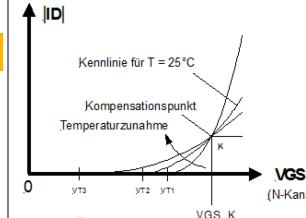
Sättigungsbereich (Stromquelle)

$$I_{D,sat} = \frac{\beta}{2} \cdot (V_{GS} - V_{TH})^2$$

## 1.3.4 Kleinsignal-Ersatzschaltung (MOS-FET)



## 1.3.5 Temperaturabhängigkeit der Übertragungskennlinie



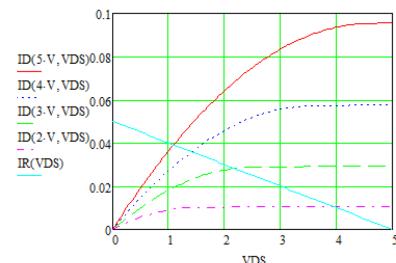
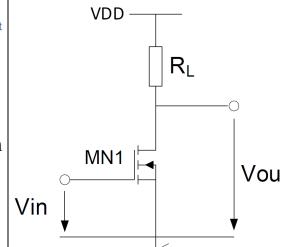
Für den n-Kanal FET gilt:

- Threshold-Spannung  $V_{TH}$  sinkt mit 1-2  $\frac{\mu V}{K}$
- $\beta$  sinkt mit steigender Temperatur
- Im Kompressionspunkt bleibt  $I_D$  für fixes  $V_{GS}$  konstant

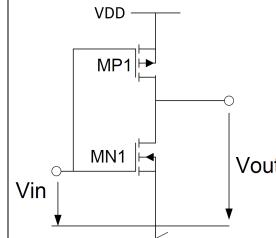
## 1.4 Verstärkerschaltungen mit FETs

### 1.4.1 Source-Schaltung mit Lastwiderstand

Um den Arbeitspunkt der Schaltung zu bestimmen, wird die Lastgerade von  $R_L$  in das Ausgangskennlinienfeld eingezeichnet:



### 1.4.2 Push-Pull / Digitaler Inverter



- $V_{in}$  geht auf NMOS und PMOS
- Ermöglicht grössere Verstärkung

Für  $V_{in} \approx \frac{V_{DD}}{2}$  gilt:

$$A_{V0} = -(g_{m1} + g_{m2}) \cdot (r_{DS1} \parallel r_{DS2})$$

## 1.5 MOS-FET als (Leistungs-)Schalter

Wenn der FET als Schalter eingesetzt wird, so arbeitet er im **linearen Bereich** ( $V_{GS} > V_{TH}$ , d.h.  $V_{out} < V_{DD} - V_{TH}$ )

$$I_{D,lin} = \beta \cdot (V_{GS} - V_{TH} - \frac{V_{DS}}{2}) \cdot V_{DS}$$

$$r_{DS} = \frac{dV_{DS}}{dI_D} = \frac{1}{\beta \cdot (V_{GS} - V_{TH})}$$

Schalter geschlossen:  $R_{FET} = R_{DS(on)}$

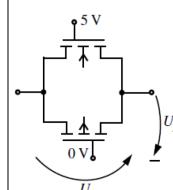
Schalter offen:  $R_{FET} = \infty$

### 1.5.1 Verlustleistung / Erwärmung

$$P_V = R_{DS} \cdot I_{DS}^2 = 0 \text{ W}$$

$$\Delta T = R_{th} \cdot P_V$$

## 1.6 Transmission Gate



Im Bild links gilt:  $V_{DD} = 5 \text{ V}$ ,  $V_{SS} = 0 \text{ V}$

- NMOS (oben) leitet für  $V_{in} < V_{DD} - V_{TH,n}$
- PMOS (unten) leitet für  $V_{in} > V_{SS} - V_{TH,p}$
- Source und Drain austauschbar

$\Rightarrow$  Strom kann in beide Richtungen fliessen

## 2 Transistor-Transistor-Logik

- Meist statischer Stromverbrauch
- Asymmetrische Schaltschwellen (weniger Marge als CMOS-Logik)

### 2.1 Resistor Transistor Logik (RTL)

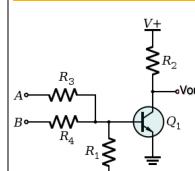


Bild: NOR-Gate

- Ausgangsspannung  $V_{out} = V_+$  oder  $V_{out} = V_{CE,sat}$
- Fan-Out ist begrenzt** (Werden zu viele weitere Gatter an den Ausgang gehängt, so reicht der Strom nicht mehr, um diese zu treiben  $\Rightarrow$  Spannungslevel stimmen nicht mehr, um Transistoren durchzusteuren)

## 2.2 Dioden-Transistor-Logik (DTL)

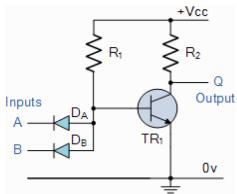
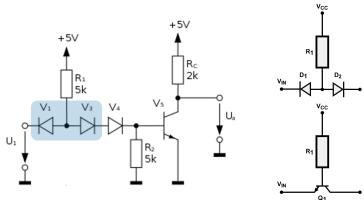


Bild: NAND-Gate

- Fan-Out grösser**, da Transistor aktiv nach '0' zieht
- $R_2$  muss keine Gatter treiben (kein grosser Stromfluss)
- Nachteile: Sehr tiefer Störabstand; Transistor leitet schon bei Spannungen, welche kaum > 0 V sind

## 2.3 Transistor-Transistor-Logik (TTL)

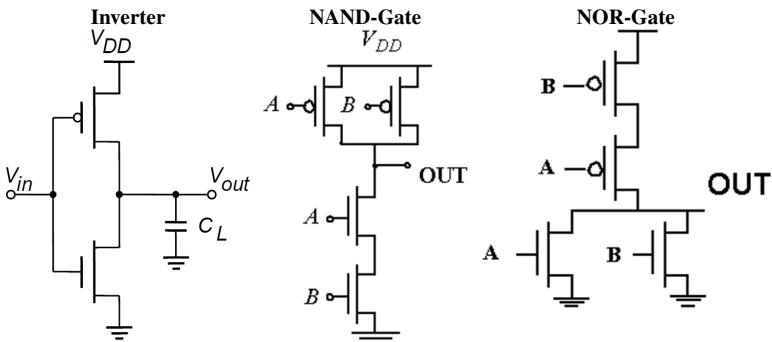


- Schaltschwelle am Eingang wird durch Dioden  $V_3$  und  $V_4$  um 1.4 V erhöht
- Dioden  $V_1$  und  $V_3$  bilden npn-Struktur  $\Rightarrow$  npn-Transistor

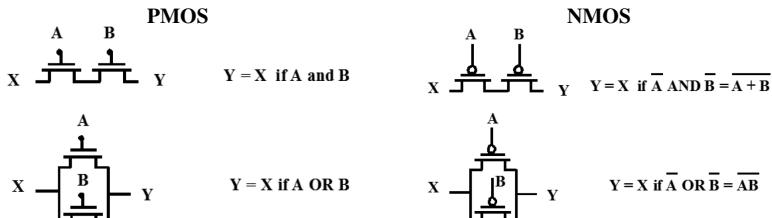
## 3 CMOS-Logik

- Entweder leitender Pfad nach  $V_{SS}$  (NMOS) oder  $V_{DD}$  (PMOS)
- Kein statischer Stromverbrauch
- Langsamer als Bipolar
- Symmetrische Schaltschwellen bei ca.  $\frac{V_{DD}}{2}$  (Übertragungskennlinie)
- Output-Level  $V_{ol}$ ,  $V_{oh}$  näher bei Speisung als Input Level  $V_{il}$ ,  $V_{ih}$   $\Rightarrow$  mehr Marge
- Höhere Speisespannung  $\Rightarrow$  weniger propagation delay
- Nicht geeignet zur Datenübertragung über längere Strecken (kein  $50\Omega$  Abschluss)

### 3.1 Grundgatter in CMOS-Logik



### 3.2 Dualität NMOS – PMOS



### 3.3 Verlustleistung bei CMOS-Logik

$$P_V = C \cdot V_{CC}^2 \cdot f$$

$C$  Kapazität (aus Datenblatt)  
 $f$  Frequenz

## 3.4 Verzögerungszeit

### Linearer Bereich

$$t_{pHL} = 0.69 \cdot R_{on} \cdot C_L$$

$\Rightarrow$  Exponentielle Entladung!

### Sättigung (Stromquellen-Bereich)

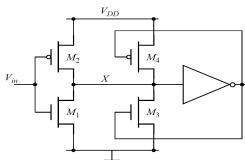
$$t_{pHL} = \frac{C_L \cdot \frac{V_{swing}}{2}}{I_{sat}} \approx \frac{C_L}{k_n \cdot V_{DD}}$$

$\Rightarrow$  Lineare Entladung!

## 4 Schmitt-Trigger

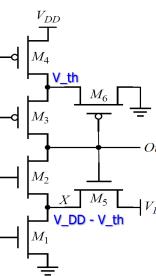
- Schaltschwellen müssen nicht sehr genau sein
- Schmitt-Trigger garantieren auch bei verrauschten Signalen saubere (einmalige) Schaltwellen, dank der Hysterese

### 4.1 Aufbau nichtinvertierender digitaler Schmitt-Trigger



- $M_1, M_2$ : Digitale Inverter
- $M_3, M_4$ : gesteuerte Widerstände
- Für  $V_{out} = 0$** :  $M_4$  leitet,  $M_3$  sperrt
- Für  $V_{out} = 1$** :  $M_3$  leitet,  $M_4$  sperrt
- $M_3, M_4$  verschieben Schaltschwellen abhängig von  $V_{out}$   $\Rightarrow$  Hysterese

## 4.2 Aufbau invertierender digitaler Schmitt-Trigger



- Ohne  $M_5, M_6$ : Normaler Inverter mit je 2 Serie-Transistoren
- Für  $V_{out} = 1$** : Durch  $M_5$  fließt Strom in  $M_1$
- $V_{in}$  muss höher sein, um Strom der PMOS aufzunehmen  $\Rightarrow$  Höhere Schaltschwelle für High-Log-Übergang
- 'Inverses' gilt für  $M_6$  und  $M_4$

## 4.3 Schmitt-Trigger vs. CMOS-Logik

	Low Power	Noise Rejection	Supports Slow Inputs
Input Voltage Waveforms			
Standard CMOS Input Response Waveforms			
Schmitt-trigger CMOS Input Response Waveforms			

## 5 Signalübertragung

### 5.1 Leitungstheorie

- Leitungen haben Widerstände, Kapazitäten und Induktivitäten  $\Rightarrow$  RLC-Netzwerke
- Fortpflanzungsgeschwindigkeit Signal**:  $v = 10 - 20 \text{ cm/ns}$  (Lichtgeschwindigkeit:  $c = 30 \text{ cm/ns}$ )
- Ev. **Impedanzanpassungen** zur Verhinderung von **Reflexionen** nötig (meistens  $50\Omega$ )
- CMOS-Logik: tiefen Quellenwiderstand, hohen Eingangswiderstand  $\Rightarrow$  Nicht geeignet zur Datenübertragung über 'längere Strecken'

### 5.2 Einfluss / Relevanz von Reflexionen

#### 5.2.1 Keine Reflexionen

Wenn nichts anderes bekannt gilt:  $T_r = \frac{1}{10} \cdot T$

$$T_d < \frac{1}{2} \cdot T_r$$

$T_r = T_f$  Anstiegs- / bzw. Abfallzeit des Signals  
 $T_d$  Laufzeit des Signals  
 $T$  Periodendauer

#### 5.2.2 Reflexionen

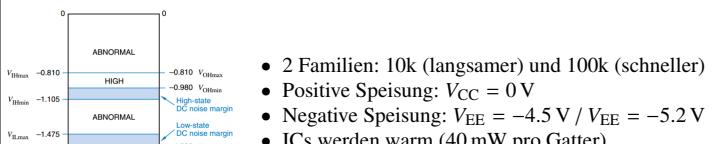
$$l > \frac{1 \cdot 10^7 \text{ m}}{f_{max}}$$

$f_{max}$  Maximal enthaltene Frequenz im Signal  
 $l$  Länge der Leitung

## 6 High-Speed-Logik

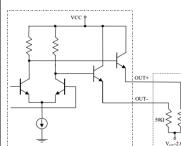
- Sättigung verhindern, da langsam (bei Bipolar-Transistoren)
- Reduzierter Spannungshub
- Stromsteuerung, da Ströme schneller geschaltet werden als Spannungen

### 6.1 Emitter Coupled Logic (ECL)



- Eingangssignal  $V_I$  wird mit fixer Referenz  $V_R$  verglichen
- Von  $V_R - 100 \text{ mV}$  bis  $V_R + 100 \text{ mV}$  kippt Ausgangsspannung von  $V_{CC}$  auf  $V_{CC} - R_C \cdot I_C$
- Differentieller Spannungshub** der Ausgänge:  $V_{diff} = \pm R_C \cdot I_C$
- Spannungspegel **nicht kompatibel** zu CMOS / TTL

#### 6.1.1 Positive Emitter Coupled Logic PECL

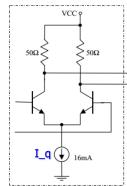


- Positive Speisung:  $V_{CC} = 5 \text{ V}$
- Negative Speisung:  $V_{EE} = 0 \text{ V}$
- Ausgangsbeschaltung mit  $50\Omega$  Abschluss zu  $V_{CC} - 2 \text{ V}$   $\Rightarrow$  Reduktion der Reflexionen!
- Spannungspegel sind kompatibel zu CMOS / TTL

## 6.1.2 Low Voltage Positive ECL (LVPECL)

- Speisespannungen:  $V_{CC} = 3.3 \text{ V}$ ;  $V_{EE} = 0 \text{ V}$
- Weniger Leistung als 5 V Logik; leichter anpassbar an 3.3 V Logik

## 6.2 Current Mode Logic (CML)



- Terminierung am Eingang der Folgestufe gegen  $V_{CC}$
- Äquivalenter Widerstand:  $R_{C_{eq}} = 50 \Omega \parallel 50 \Omega = 25 \Omega$

$$\text{Differentielle Spannung: } V_{\text{diff}} = \pm R_{C_{eq}} \cdot I_q$$

### 6.2.1 CML vs. ECL

#### ECL

- Diff-Amp mit Transistor-Buffer; Ausgang am Emitter
- Single-ended Input (2. Eingang auf fixer Spannung)
- Single-ended Output (z.T. auch differentiell)

#### CML

- Ausgang direkt vom Diff-Amp
- Differentieller Input und differentieller Output
- Impedanzanpassung zur Reduktion von Reflexionen ( $50 \Omega$ )

## 6.2.2 Vorteile / Nachteile von CML gegenüber CMOS-Logik

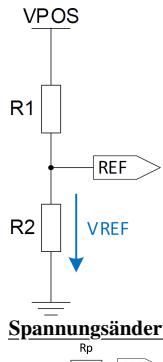
- + high Speed
- + konstanter Strom (kaum Speisungseinbrüche)
- + differentiell: wenig Störung
- + kann Kabel treiben

- hoher statischer Stromverbrauch
- differentiell: benötigt doppelt so viele Leitungen
- aufwändiges PCB-Layout wegen angepassten Leistungsimpedanzen nötig

## 7 Spannungsreferenzen

- Referenzspannungsquellen liefern idealerweise Ausgangsspannungen, welche **unabhängig** von Temperatur, Speisespannung und Last sind
- 2 Hauptprinzipien: Zenerdioden (meistens mit  $V_Z = 5.6 \text{ V}$ ) und Bandgap-Quellen mit  $V_{out} = 1.25 \text{ V}$

## 7.1 Spannungsteiler



#### Speisespannungsabhängigkeit

Spannungsänderung:

$$\Delta V_{\text{ref}} = \Delta V_{\text{POS}} \frac{R_2}{R_1 + R_2}$$

#### Temperaturabhängigkeit

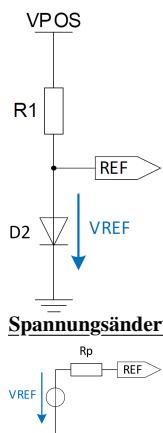
Da die Widerstände **gleiche Temperaturkoeffizienten** haben ändert sich der Strom durch  $R_1$  und  $R_2$ , jedoch nicht das Widerstandsverhältnis  $\Rightarrow V_{\text{ref}}$  bleibt **konstant**  $\Rightarrow$  gut

#### Spannungsänderung bei Lastwechsel

Ersatzschaltung der Referenzquelle durch Thévenin-Äquivalent mit

$$R_P = R_1 \parallel R_2 \quad \Rightarrow \text{sehr lastabhängig, da } R_P \text{ gross}$$

## 7.2 Diodenreferenz



#### Speisespannungsabhängigkeit

$$\text{Sensitivität: } \frac{V_{\text{ref}}}{I} = \frac{1}{\ln(\frac{I}{I_S})} = 0.065 \Rightarrow \text{gut}$$

#### Temperaturabhängigkeit

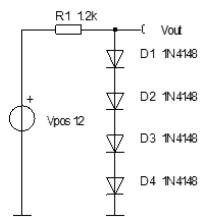
Diode hat einen **Temperaturkoeffizient von  $-2 \text{ mV/K}$** , d.h.  $V_{\text{ref}}$  ändert ebenfalls mit  $-2 \text{ mV/K}$   $\Rightarrow$  schlecht

#### Spannungsänderung bei Lastwechsel

Diode durch Kleinsignal-Ersatzschaltung ersetzen und Ersatzschaltung der Referenzquelle durch Thévenin-Äquivalent mit

$$R_P = R_1 \parallel r_D \quad \Rightarrow \text{weniger lastabhängig, da } r_D = \frac{n \cdot V_T}{I_D} \approx 7 \Omega$$

## 7.3 Spannungsreferenz mit mehreren Dioden

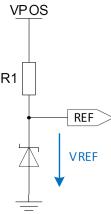


$m$  = Anzahl Dioden in Serie (links:  $m = 4$ )

- Strom durch Dioden muss  $> 0 \text{ A}$  sein, damit  $V_D \approx 0.7 \text{ V}$
- Spannung über  $m$  Dioden:  $V_{\text{out}} = m \cdot V_D$
- Max. Ausgangsstrom:  $I_{\text{out,max}} = \frac{V_{\text{pos}} - V_{\text{out}}}{R_1}$
- Temperaturabhängigkeit:  $TK_{\text{tot}} = m \cdot -2 \text{ mV/K}$

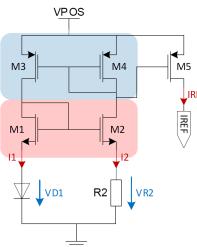
## 7.4 Spannungsreferenz mit Zenerdiode (Shunt-Regler)

**Shunt-Regler:** Überflüssiger Strom wird durch ein Element abgeführt  $\Rightarrow$  Je nach Last wird mehr oder weniger Strom in Z-Diode verheizt



- $V_{\text{REF}}$  entspricht Zener-Spannung der Z-Diode
- Häufigste Zener-Spannung:  $5.6 \text{ V} \Rightarrow TK = 0 \text{ mV/K}$
- Strom  $I = \frac{V_{\text{POS}} - V_{\text{REF}}}{R_1}$  fließt entweder durch Diode oder durch Last
- $I_{\text{out}} < I_{\text{out,max}} = \frac{V_{\text{POS}} - V_{\text{REF}}}{R_1}$

## 7.5 Bootstrap-Referenz ( $V_D$ Stromquelle)



- Stromspiegel  $M_3$  und  $M_4 \Rightarrow I_1 = I_2$
- Stromspiegel  $M_1$  und  $M_2 \Rightarrow V_{GS1} = V_{GS2}$  da  $I_1 = I_2$
- Da Temperaturkoeffizient von  $V_{D1} \approx -2 \text{ mV/K}$  nimmt  $I_{\text{out}}$  mit steigender Temperatur ab  $\Rightarrow$  schlechte Referenz
- Schaltung hat zwei mögliche Arbeitspunkte (AP  $I_1 = I_2 = 0$  ist unerwünscht!)

$$V_{D1} = I_2 \cdot R_2 = V_{R2}$$

$$I_{\text{REF}} = I_1 = I_2$$

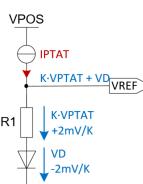
## 7.6 Proportional To Absolute Temperature (PTAT)

$$V_D = n \cdot \frac{kT}{q} \cdot \ln\left(\frac{I_D}{I_S}\right) \quad V_{DN} = n \cdot \frac{kT}{q} \cdot \ln\left(\frac{I_{DN}}{N \cdot I_S}\right)$$

$$\Delta V_D = V_D - V_{DN} = n \cdot \frac{kT}{q} \cdot \ln(N) = TK \cdot T$$

$\Rightarrow \Delta V_T$  ist proportional zur absoluten Temperatur  $T$

## 7.7 Bandgap-Spannungsreferenz



$$V_{\text{REF}} = K \cdot V_{\text{PTAT}} + V_D$$

- Der positive Temperaturkoeffizient von  $V_{\text{PTAT}}$  wird mit dem Faktor  $K$  verstärkt, sodass  $K \cdot TK_{\text{PTAT}} = +2 \text{ mV/K}$
- Der nur positive Temperaturkoeffizient wird mit einer Diodenquelle mit  $TK_{\text{Diode}} = -2 \text{ mV/K}$  kompensiert
- Der gesamte Temperaturkoeffizient  $TK_{\text{bandgap}} = 0 \text{ mV/K}$
- $V_{\text{REF}}$  buffern, damit der Ausgang belastet werden darf

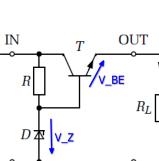
## Beispiel: LM4041 Shunt Voltage Bandgap Reference

$$V_{\text{out}} = V_Z = V_{\text{REF}} \left( 1 + \frac{R_2}{R_1} \right)$$

- Einstellbare Referenzspannung  $V_Z = V_{\text{out}}$
- Interne Referenz:  $V_{\text{REF}} = 1.25 \text{ V}$  (Bandgap-Referenz)

## 8 Lineare Spannungsregler

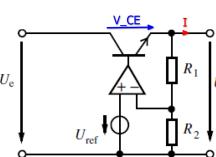
### 8.1 Spannungsstabilisierung mit Z-Diode und BJT



$$V_{\text{out}} = V_Z - V_{BE}$$

- Ausgang kann viel Strom liefern
- Ausgangsspannung sinkt um ca. 20 mV bei Verdoppelung des Stroms
- Ausgangsspannung sinkt um  $-2 \text{ mV/K}$
- Keine Regelung der Ausgangsspannung
- Schnell und stabil, aber nicht genau

### 8.2 Linearer Spannungsregler

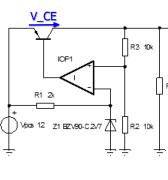


$$V_a = V_{\text{ref}} \left( 1 + \frac{R_1}{R_2} \right)$$

$$P_V = V_{CE} \cdot I$$

- OpAmp Ausgang ändert so lange, bis für die Spannungen  $V_{R2} = V_{\text{ref}}$  ( $= 1.25 \text{ V}$ ) gilt
- Minimaler Spannungsabfall  $V_{CE}$  über Regler: bis 2.5 V
- Regler kann sehr warm werden  $\Rightarrow$  Verlustleistung  $P_V$

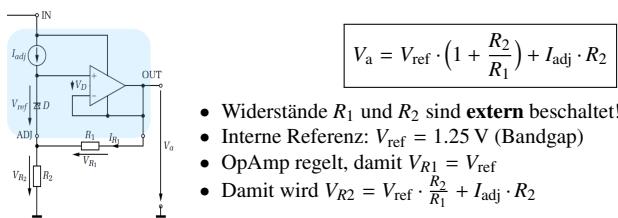
### 8.3 Low-Dropout-Regler mit pnp-Längstransistor (LDO)



$$\bullet \text{Feedback auf positiven OpAmp-Eingang!}$$

- Ansteuerung Längstransistor mit Basisspannung  $< V_{\text{out}}$
- Kleiner minimaler Spannungsabfall  $V_{CE}$  über Regler ( $V_{CE,\text{sat}}$ )
- Auch erhältlich mit PMOS-Transistor statt pnp-Transistor
- $\Rightarrow$  Dropout-Spannung über Regler (PMOS) ist dann abhängig vom Laststrom (PMOS = gesteuerte Widerstand)

## 8.4 Einstellbarer Serie-Spannungsregler

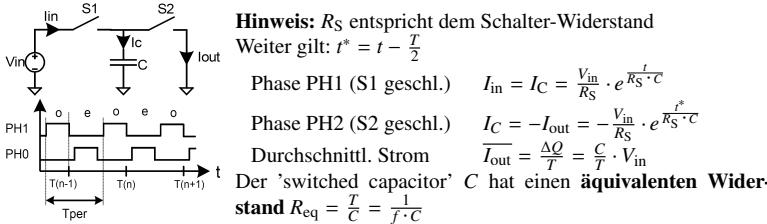


## 9 Spannungswandler mit Ladungspumpen

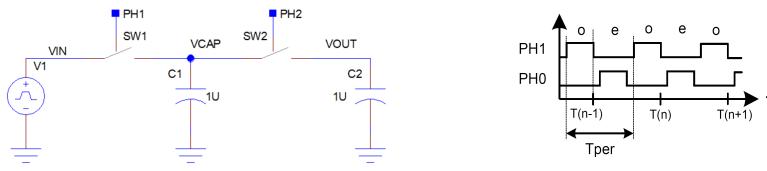
- Ladung kann **nicht springen** und nicht vernichtet werden  
⇒ Ladung wird umverteilt!
- Ladungspumpen sind billige, effiziente Spannungswandler (Wirkungsgrad > 99 % möglich)

$$Q = C \cdot V$$

### 9.1 Grundprinzip Switched-Capacitor-Schaltungen (SC)



### 9.2 Grundprinzip Ladungspumpen



Ausgangsspannung  $V_{\text{out}}$  nähert sich schrittweise exponentiell der Eingangsspannung an!

Im ersten Zyklus ist  $V_{\text{out}} = 0 \text{ V}$

Phase PH1 Kapazität  $C_1$  wird auf  $V_{\text{in}}$  geladen

$$Q_1 = C_1 \cdot V_{\text{in}}$$

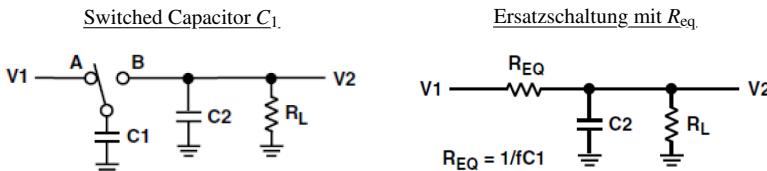
Phase PH2 Ladung **verschiebt** sich von  $C_1$  auf  $C_2$ , bis beide Kapazitäten dieselbe Spannung aufweisen

$$Q_{\text{tot}} = Q_1 + Q_2 = C_1 \cdot V_{\text{in}} + C_2 \cdot V_{\text{out}}$$

$$\Rightarrow \text{Neue Ausgangsspannung: } V_{\text{out}} = \frac{Q_{\text{tot}}}{C_1 + C_2}$$

**Wichtig:** Die PH0 muss vollständig abgeschlossen sein, bevor PH2 beginnt.

### 9.3 Allgemeine Funktionsweise geschaltete Kapazitäten



- Strom fließt in 'Paketen':  $\Delta Q = C_1 \cdot \Delta V$
- Durchschnittlicher Strom proportional zu  $C_1, \Delta V$  und Schaltfrequenz  $f$

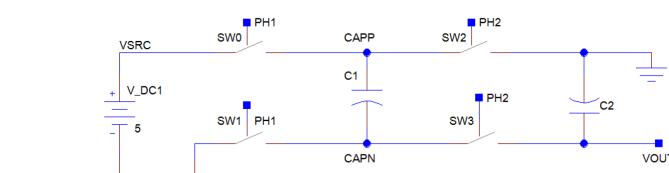
- Durchschnittlicher Strom proportional zu  $\Delta V$  und  $\frac{1}{R}$
- Geschaltetes  $C_1$  bildet äquivalenten Widerstand  $R_{\text{eq}} = \frac{1}{f \cdot C_1} = \frac{T}{C}$

Für beide Schaltungen gilt, dass der **finale Wert der Ausgangsspannung**  $V_{\text{out}} = V_2$  durch den **Spannungsteiler** von  $R_L$  und  $R_{\text{eq}}$  bestimmt wird:

$$V_{\text{out}} = V_{\text{in}} \cdot \frac{R_L}{R_{\text{eq}} + R_L}$$

$$I = \frac{V_1 - V_2}{R_{\text{eq}}}$$

### 9.4 Spannungsinversion mit Switched Capacitors



Ausgangsspannung  $V_{\text{out}}$  nähert sich schrittweise exponentiell  $-V_{\text{SRC}}$  an!

Im ersten Zyklus ist  $V_{\text{out}} = 0 \text{ V}$

Phase PH1 Kapazität  $C_1$  wird auf  $V_{\text{SRC}}$  geladen

$$Q_1 = C_1 \cdot V_{\text{SRC}}$$

Phase PH2 Positiver Anschluss von  $C_1$  wird mit GND verbunden

⇒ Negativer Anschluss von  $C_1$  auf Potential  $-V_{\text{SRC}}$

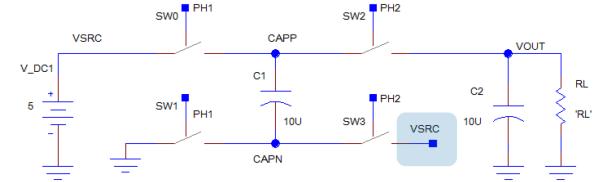
$$Q_{\text{tot}} = Q_2 - Q_1 = C_2 \cdot V_{\text{out}} - C_1 \cdot V_{\text{SRC}}$$

⇒ Neue Ausgangsspannung:  $V_{\text{out}} = \frac{Q_{\text{tot}}}{C_1 + C_2}$

Für  $C_1 = C_2$  ändert sich die Ausgangsspannung  $V_{\text{out}}$  folgendermassen:

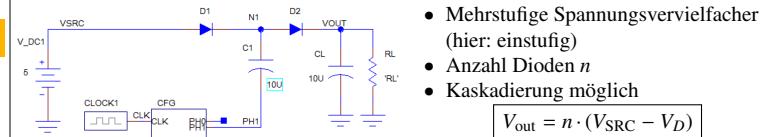
$$V_{\text{out}} = \left(-\frac{1}{2}, -\frac{3}{4}, -\frac{7}{8}, \dots, -1\right) \cdot V_{\text{SRC}}$$

## 9.5 Spannungsverdoppler mit Switched Capacitors

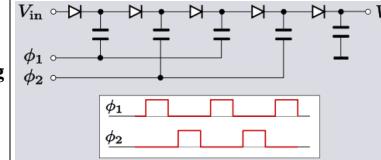


- PH1:  $C_1$  wird auf Eingangsspannung  $V_{\text{in}}$  aufgeladen
- PH2: Negativer Anschluss CAPN wird mit  $V_{\text{SRC}}$  verbunden  
⇒ Positiver Anschluss  $C_1$  springt auf  $2 \cdot V_{\text{SRC}}$
- Ladung teilt sich zwischen  $C_1$  und  $C_2$  auf, sodass  $V_{\text{out}}$  schrittweise ansteigt

### 9.6 Dickson Charge Pump (Spannungsvervielfacher)



### 9.6.1 Mehrstufige Dickson Charge Pump



## 10 Schaltregler

SMPS (switched-mode-power-supply) sind getaktete Systeme, deren übliche Schaltfrequenzen im Bereich von 20 kHz bis zu einigen MHz liegen.

### 10.1 Spannungswandler mit Spulen

#### • Grundprinzip

- Energie wird aus einer (Spannungs-)Quelle bezogen, in verlustarmen Elementen (**Spulen**, Kondensatoren) zwischengespeichert, auf die gewünschte Spannung gebracht und stabilisiert.

#### • Gemeinsamkeiten aller aufgeführten Spannungswandler mit Spulen

- Energie wird in Magnetfeld gespeichert  $E_L = \frac{1}{2} L \cdot i_L^2$
- Spannung über Spule bewirkt Änderung des Stroms  $V_L = L \cdot \frac{di_L}{dt}$  oder  $i_L = \frac{1}{L} \int V_L(t) dt + I_0 = \frac{V_L}{L} \cdot t + I_0$
- Zur Stabilisierung der Spannung werden Kondensatoren benötigt (potentieller LC-Schwingkreis!)
- Für die meisten Rechnungen kann man annehmen, dass:
  - \*  $V_{\text{in}}$  und  $V_{\text{out}}$  konstant sind
  - \* Die **Schalter ideal** sind (kein Schaltwiderstand)
  - \* Die **Dioden keinen Spannungsabfall** haben

**Hinweis:** Zur Steigerung der Effizienz werden Dioden manchmal durch MOS-FETs ersetzt ('nur  $R_{\text{DS,ON}}$  statt grosser Spannungsabfall'). Die Schalter werden in der Praxis ebenfalls mit einem FET realisiert.

### 10.2 Energien in den Komponenten

Energie in Spule

$$E_L = \frac{1}{2} \cdot L \cdot i_L^2$$

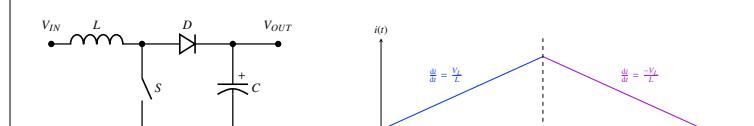
Energie in Kondensator

$$E_C = \frac{1}{2} \cdot C \cdot V_C^2$$

Energie in Last (pro Periode)

$$E_{\text{load}} = \frac{1}{2} P_{\text{load}} \cdot T_{\text{clk}} = \frac{1}{2} \cdot \frac{V_{\text{out}}^2}{R_{\text{load}}} \cdot T_{\text{clk}}$$

### 10.3 Aufwärtswandler (Boost, Step-Up Converter)



#### 1. Phase Energie in Spule speichern

- Schalter geschlossen
- $V_L = V_{\text{in}}$  liegt an Spule an
- $i_L$  muss nicht bei  $I_0 = 0$  starten!

#### 2. Phase Entmagnetisierung

In **beiden Phasen** gelten die folgenden Formeln:

## Ladephase

$$\Delta I_{L_{on}} = \frac{1}{L} \cdot V_{in} \cdot t_{on}$$

$$I_{L_{on}} = \frac{1}{L} \cdot V_{in} \cdot t_{on} + I_0$$

$$\Delta I_{L_{off}} = \frac{1}{L} \cdot (V_{in} - V_{out}) \cdot t_{off}$$

$$I_{L_{off}} = \frac{1}{L} \cdot (V_{in} - V_{out}) \cdot t_{off} + I_0$$

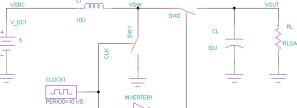
## Gleichgewicht (eingeschwungen)

$$\Delta I_{L_{on}} = -\Delta I_{L_{off}}$$

$$V_{out} = V_{in} \cdot \left(1 + \frac{t_{on}}{t_{off}}\right)$$

Die Ausgangsspannung  $V_{out}$  ist abhängig von der Last  $\Rightarrow$  Bei hochohmiger Last kann die Ausgangsspannung sehr gross werden!

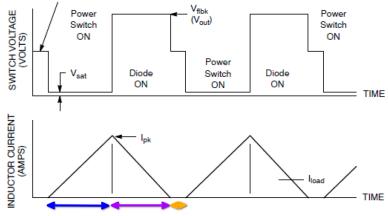
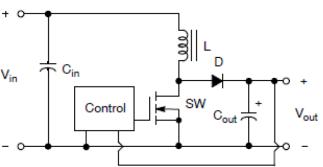
### 10.3.1 Synchronous Boost Converter



- Diode ersetzt durch Schalter SW2
- Entweder SW1 oder SW2 geschlossen
- VSW somit immer leitend verbunden, entweder mit GND oder mit  $V_{out}$
- In Spule fliesst immer ein Strom

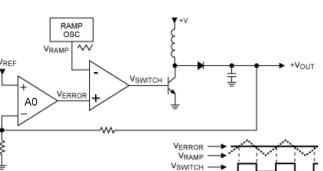
Achtung: Bei kleinen Lasten fliesst Strom in die Quelle zurück und die Verlustleistung in der Spule ist grösser (Drahtwiderstand)

### 10.4 Aufwärtswandler: Lückender Betrieb



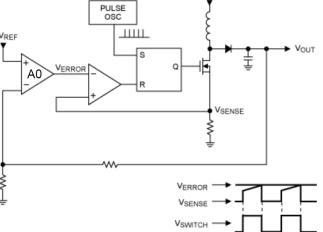
- Es existiert ein 3. Zustand, in welchem kein Strom durch Spule fliesst
- Aus  $i_L = 0$  folgt  $V_L = 0$
- Schalter SW offen, damit Spannung am Knoten SW =  $V_{in}$  wird  $\Rightarrow$  Diode sperrt
- Control schliesst Schalter, nachdem  $V_{out} < V_{out,soll}$  ist  $\Rightarrow$  Regelung von  $V_{out}$

#### 10.4.1 Regelung der Ausgangsspannung: voltage-mode control



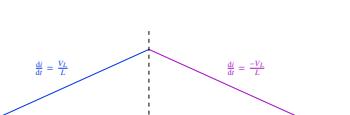
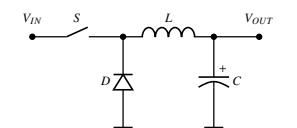
- Verstärker mit Verstärkung A0
- Komparator vergleicht  $V_{ERROR}$  mit  $V_{RAMP}$
- $V_{OUT} - V_{REF} \uparrow \uparrow$ ,  $V_{ERROR} \uparrow \uparrow$ , Schalter muss länger geschlossen bleiben
- gröserer Duty Cycle  $\Rightarrow V_{OUT} \uparrow$

#### 10.4.2 Regelung der Ausgangsspannung: current-mode control



- Strom wird mit Shunt-Widerstand durch Spannung  $V_{SENSE}$  gemessen
- Verstärker mit Verstärkung A0
- Komparator resetted Flip-Flop  $\Rightarrow$  Schalter (FET) öffnet
- Häufiger zur Regelung verwendet als vorherige Schaltung

### 10.5 Abwärtswandler (Buck, Step-Down Converter)



Vereinfachungen:  $V_{out}$  konstant, kein Spannungsabfall über Diode und Schalter  
Formeln gelten nur, wenn immer ein Strom in der Spule fliesst

## Ladephase

$$\Delta I_{L_{on}} = \frac{1}{L} \cdot (V_{in} - V_{out}) \cdot t_{on}$$

$$I_{L_{on}} = \frac{1}{L} \cdot (V_{in} - V_{out}) \cdot t_{on} + I_0$$

$$\Delta I_{L_{off}} = -\frac{1}{L} \cdot V_{out} \cdot t_{off}$$

$$I_{L_{off}} = -\frac{1}{L} \cdot V_{out} \cdot t_{off} + I_0$$

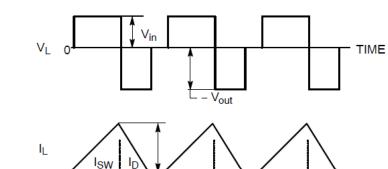
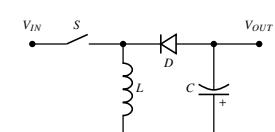
## Gleichgewicht (eingeschwungen)

$$\Delta I_{L_{on}} = -\Delta I_{L_{off}}$$

## Ausgangsspannung

$$V_{out} = V_{in} \cdot \frac{t_{on}}{T}$$

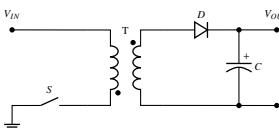
### 10.6 Invertierender Wandler (Buck-Boost Converter)



Der Converter kann im buck-mode oder boost-mode betrieben werden buck-mode:  
Duty Cycle  $\frac{t_{on}}{T} < 0.5$ ; boost-mode: Duty Cycle  $\frac{t_{on}}{T} > 0.5$

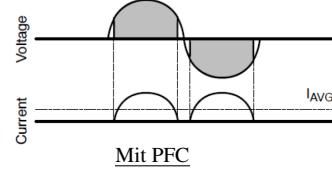
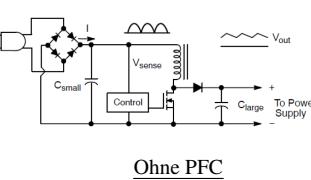
$$\begin{aligned} \text{Ladephase} \quad \Delta I_{L_{on}} &= \frac{1}{L} \cdot V_{in} \cdot t_{on} \\ \text{Entladephase} \quad (V_{out} < 0) \quad \Delta I_{L_{off}} &= \frac{1}{L} \cdot V_{out} \cdot t_{off} \\ \text{Gleichgewicht (eingeschwungen)} \quad \Delta I_{L_{on}} &= -\Delta I_{L_{off}} \\ \text{Ausgangsspannung} \quad V_{out} &= V_{in} \cdot \left(1 + \frac{t_{on}}{t_{off}}\right) \end{aligned}$$

### 10.7 Flyback (Sperrwandler)

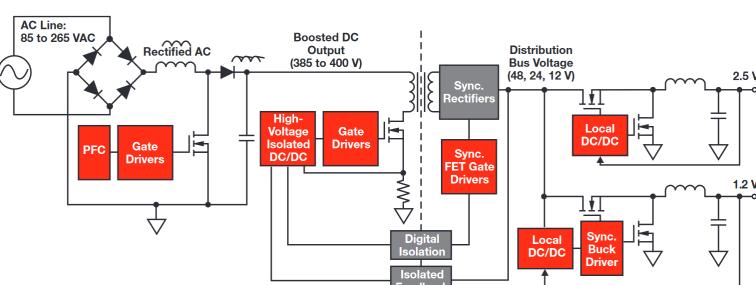


- Ermöglicht galvanische Trennung zwischen Ein- und Ausgang
- Transformator mit grosser Induktivität nötig zur Energiespeicherung (mit Luftspalt)
- Phase 1 (Schalter geschlossen)
  - Linear steigender Strom auf Primärseite; Energie wird im Magnetfeld gespeichert
- Phase 2 (Schalter offen)
  - Linear sinkender Strom auf Sekundärseite; Magnetfeld baut sich über Sekundärspule ab
- Phase 3 (LC-Schwingkreis)
  - C parallel zu Schalter auf Primärseite wird wirksam

### 10.8 Power Fail Control (PFC)



### 10.9 Aufbau Modernes Netzteil



1. Stufe: Gleichrichtung und Boost Converter mit PFC
2. Stufe: Reduktion auf Systemspannung (Bus voltage) mit Flyback-Converter
3. Stufe: Buck Converter (ev. mehrere)

### 10.10 Fazit Spannungswandler SMPS

- Geschaltete Spannungsregler generieren weniger Verlustleistung als Linearregler
- Ausgangsspannung geschalteter Spannungsregler hat Rippel der Schaltfrequenz
  - Muss ev. mit Linearregler zusätzlich stabilisiert werden

### 11 Passive Filter

$f_3 \text{ dB}$  Cut-Off-Frequency, Corner-Frequency

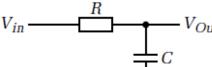
Dämpfung von 3 dB (d.h. Amplitude wird mit  $\frac{1}{\sqrt{2}}$  'verstärkt'), Phase:  $-45^\circ$

$f_s$  Sampling-Frequenz (ADC, digitale Filter)

⇒ Alle Frequenzen über  $\frac{f_s}{2}$  müssen unterdrückt werden

UTF Übertragungsfunktion  $G(s)$

### 11.1 Tiefpassfilter 1. Ordnung



$$G(s) = \frac{V_{out}}{V_{in}} = \frac{1}{1 + s \cdot \frac{R \cdot C}{T}}$$

$$f_{3 \text{ dB}} = \frac{1}{2\pi \cdot \frac{R \cdot C}{T}}$$

Hinweis: Die Zeitkonstante  $T$  entspricht immer dem Parameter vor dem  $s$ . Beim Tiefpass 1. Ordnung entspricht dies  $T = R \cdot C$

### 11.2 Bodeplot Tiefpassfilter 1. und 2. Ordnung

#### 1. Ordnung

- Abfall von  $-20 \text{ dB} / \text{Dekade}$
- Phasenschiebung von maximal  $-90^\circ$  (bei  $f_g = -45^\circ$ )

#### 2. Ordnung

- Abfall von  $-40 \text{ dB} / \text{Dekade}$
- Phasenschiebung von maximal  $-180^\circ$  (bei  $f_g = -90^\circ$ )

## 11.3 Filter 2. Ordnung

### 11.3.1 Kaskadierung von zwei gleichen Filtern

$$G_{11}(s) = \frac{1}{1 + s \cdot \underbrace{R \cdot C}_{T_2}} \cdot \frac{1}{1 + s \cdot \underbrace{R \cdot C}_{T_2}}$$

$$T_2 = \frac{\sqrt{2} - 1}{2\pi f_{3\text{dB}}} \approx 0.64 \cdot T_1$$

Daraus folgt, dass bei 2 identischen Stufen die Grenzfrequenz  $f_{3\text{dB}}$  der einzelnen Stufen  $\frac{1}{0.64} = 1.56$  mal höher gewählt werden muss als bei einem Filter 1. Ordnung.

### 11.3.2 Filter 2. Ordnung mit komplexen Polen

$$G(s) = \frac{A_0 \cdot p_1 \cdot p_2}{(p_1 + s) \cdot (p_2 + s)} = \frac{A_0 \cdot \omega_0^2}{s^2 + \frac{\omega_0}{Q} s + \omega_0^2}$$

$$p_i \quad \begin{array}{l} \text{Polstellen} \\ \text{komplex für } Q > \frac{1}{2} \end{array}$$

$$Q \quad \begin{array}{l} \text{Polgüte / Filtergüte} \\ \omega_0 \quad \text{Polfrequenz} \end{array}$$

$$p_{1,2} = \frac{\omega_0}{2Q} (1 \pm \sqrt{1 - 4Q^2})$$

## 11.4 Filter höherer Ordnung

- Systeme höherer Ordnung können in kaskadierte Teilsysteme 1. & 2. Ordnung aufgeteilt werden
- Höhere Ordnung und komplexe Pole ermöglichen steileren Übergang zwischen Durchlass- und Sperrbereich

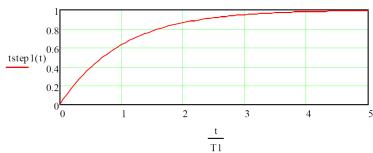
Folgende Filter erzielen durch unterschiedliche Polverteilungen untersch. Verhalten:

- Butterworth:** Konstant im Durchlassbereich der UTF
- Bessel:** Beste Rechteckübertragung, kein Überschwingen
- Tschebyscheff:** Steilster Abfall im Sperrbereich der UTF

## 11.5 Zeitverhalten: Schrittantwort

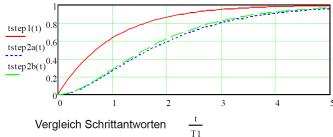
- Frequenzbereich: **Multiplikation** der UTF mit  $\frac{1}{s}$
- Rücktransformation in den Zeitbereich, um  $t_{\text{step}}(t)$  zu erhalten

### 11.5.1 Tiefpass 1. Ordnung



$$t_{\text{step},1}(t) = 1 - e^{-\frac{t}{T_1}}$$

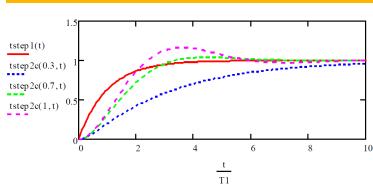
### 11.5.2 Tiefpass 2. Ordnung



$$t_{\text{step},2a}(t) = 1 - e^{-\frac{t}{T_1}} \cdot \left(1 + \frac{t}{T_1}\right)$$

$$t_{\text{step},2b}(t) = 1 - \left(\frac{T_1 \cdot e^{-\frac{t}{T_1}} - T_2 \cdot e^{-\frac{t}{T_2}}}{T_1 - T_2}\right)$$

### 11.6 Schrittantworten verschiedener Polgüten



Komplexe Pole ( $Q > 0$ ) führt zu Überschwingen.

Bei einer Polgüte von  $Q = \frac{1}{\sqrt{2}} \approx 0.7$  (grüne Kurve) schwingt das System am schnellsten ein!

## 11.7 Filter 2. Ordnung (passiv und aktiv)

### Tiefpass

$$G(s) = \frac{V_{\text{out}}}{V_{\text{in}}} = \frac{A_0}{\frac{1}{\omega_0^2} s^2 + \frac{1}{\omega_0 \cdot Q} s + 1}$$

### Bandpass

$$G(s) = \frac{V_{\text{out}}}{V_{\text{in}}} = \frac{A \cdot \frac{\omega_0}{Q} \cdot s}{s^2 + \frac{1}{\omega_0 \cdot Q} s + 1}$$

### Hochpass

$$G(s) = \frac{V_{\text{out}}}{V_{\text{in}}} = \frac{A_0 \cdot \frac{1}{\omega_0^2} \cdot s^2}{\frac{1}{\omega_0^2} s^2 + \frac{\omega_0}{Q} s + \omega_0^2}$$

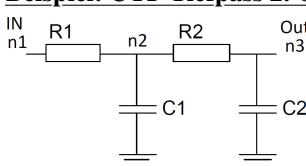
### Aufbau Nenner

- Alle Terme positiv
- $s^2$ -Term definiert Grenzfrequenz
- Im s-Term ist Dämpfung enthalten
  - s-Term gross  $\Rightarrow$  grosse Dämpfung
  - s-Term = 0  $\Rightarrow$  Oszillator!

Passive RC-Filter können maximal Güte 0.5 haben (entkoppelte reelle Pole). Filter höherer Güte benötigen entweder Spulen oder **Verstärker**.

**→ Die Formeln gelten aber für passive und aktive Filter!**

### Beispiel: UTF Tiefpass 2. Ordnung



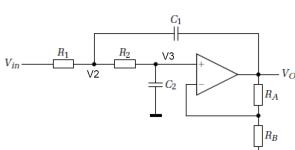
$$A_0 = 1 \quad \omega_0 = \frac{1}{\sqrt{C_1 C_2 R_1 R_2}}$$

$$Q = \frac{\sqrt{C_1 C_2 R_1 R_2}}{C_1 R_1 + C_2 R_1 + C_2 R_2}$$

$$G(s) = \frac{V_{\text{out}}}{V_{\text{in}}} = \frac{1}{1 + (C_1 R_1 + C_2 R_1 + C_2 R_2) \cdot s + C_1 C_2 R_1 R_2 \cdot s^2}$$

## 12 Aktive Filter

### 12.1 Sallen-Key-Filter (Einfachmitkopplung)



$$\text{OpAmp: } V_{\text{out}} = G_0 \cdot V_3 = \left(1 + \frac{R_A}{R_B}\right) \cdot V_3$$

$$\omega_0 = \frac{1}{\sqrt{C_1 C_2 R_1 R_2}}$$

$$Q = \frac{\sqrt{C_1 C_2 R_1 R_2}}{C_2(R_1 + R_2) + C_1 R_1 \cdot (1 - G_0)}$$

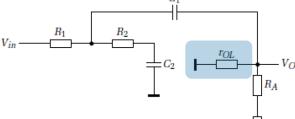
$$G(s) = \frac{G_0}{C_1 C_2 R_1 R_2 \cdot s^2 + [C_2(R_1 + R_2) + C_1 R_1(1 - G_0)] \cdot s + 1}$$

**Stromgleichungen:**

$$V2: \quad 0 = (V_2 - V_{\text{in}}) \frac{1}{R_1} + (V_2 - V_3) \frac{1}{R_2} + (V_2 - V_{\text{out}}) \cdot s \cdot C_1$$

$$V3: \quad 0 = (V_3 - V_2) \frac{1}{R_2} + V_3 \cdot s \cdot C_2$$

### 12.1.1 Sallen-Key-Filter bei hohen Frequenzen

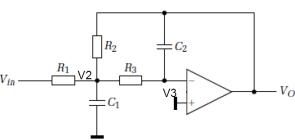


$$\frac{V_{\text{out}}}{V_{\text{in}}} \approx \frac{r_{\text{OL}}}{R_1 + r_{\text{OL}}}$$

$r_{\text{OL}}$  ist der OpAmp open-loop Ausgangswiderstand (bei hohen Frequenzen  $\approx 100 \Omega$ )

- Dämpfung ist limitiert auf obigen Spannungsteiler  $\Rightarrow$  Sallen-Key-Filter sind nicht geeignet für Systeme mit hohen Frequenzanteilen z.B. PWM-DAC

## 12.2 Multiple-Feedback-Struktur



$$\text{OpAmp: } G_0 = -\frac{R_2}{R_1}$$

$$Q = \frac{\sqrt{C_1 C_2 R_1 R_2}}{C_2(R_2 + R_3 + R_3 \frac{R_2}{R_1})}$$

$$G(s) = \frac{G_0}{1 + C_2(R_2 + R_3 + R_3 \frac{R_2}{R_1}) \cdot s + C_1 C_2 R_3 \cdot s^2}$$

**Stromgleichungen:**

$$V2: \quad 0 = (V_2 - V_{\text{in}}) \frac{1}{R_1} + (V_2 - V_{\text{out}}) \frac{1}{R_2} + (V_2 - V_3) \frac{1}{R_3} + V_2 \cdot s \cdot C_1$$

$$V3: \quad 0 = (V_3 - V_2) \frac{1}{R_3} + (V_3 - V_{\text{out}}) \cdot s \cdot C_2$$

## 12.3 Sallen-Key vs. Multiple-Feedback Struktur

### Sallen-Key

- Nicht-invertierend
- $Q$  sensitiver auf Toleranzen
- Vorwärtspfad für hohe Frequenzen
- Noise-Gain: A
- Eher für
  - Hochpass
  - kleine Verstärkungen

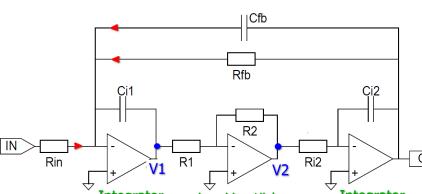
### Multiple-Feedback

- Invertierend
- $f_g$  sensitiver auf Toleranzen
- Noise-Gain: A + 1
- Eher für
  - Tiefpass, Bandpass
  - größere Verstärkungen

## 12.4 Vorgehen: UTF aus OPV-Filterschaltung ermitteln

- Stromgleichungen (Knotengleichungen) aufstellen
- Gleichungen ineinander einsetzen
- Umformen nach  $G(s) = \frac{V_{\text{out}}}{V_{\text{in}}}$

## 12.5 Zustandsvariablen-Filter (Biquad-Filter)



Mit dieser Topologie sind alle Parameter  $f_0$ ,  $Q$  und  $A_0$  frei wählbar!  
An  $V_{\text{out}}$  herrscht Tiefpass-Verhalten.

$$G(s) = \frac{-\frac{R_{\text{fb}}}{R_{\text{in}}}}{s^2 \cdot C_{i1} C_{i2} R_{\text{fb}} R_{i2} \frac{R_1}{R_2} + s \cdot C_{\text{fb}} R_{\text{fb}} + 1}$$

$$f_0 = \frac{1}{2\pi \sqrt{C_{i1} C_{i2} R_{\text{fb}} R_{i2} \frac{R_1}{R_2}}} \quad Q = \frac{1}{C_{\text{fb}}} \sqrt{C_{i1} C_{i2} \frac{R_1}{R_2 R_{\text{fb}}}} \quad A_0 = -\frac{R_{\text{fb}}}{R_{\text{in}}}$$

## 12.5.1 Allgemein: Filter mit mehreren OpAmps

Mit der Filter-Struktur aus Abschnitt 12.5 können auch Bandpass- und Hochpass-Filter gebildet werden:

- **Tiefpass:** Abgriff beim 3. OpAmp ( $V_{out}$  gemäß Abschnitt 12.5)
- **Bandpass:** Abgriff beim 2. OpAmp (an Knoten V2)
- **Hochpass:** Abgriff beim 2. OpAmp, Einspeisung am neg. Eingang des 2. OpAmps

## 13 Analyse von Filterschaltungen mit SFDs

Aktive Filterschaltungen (mit OpAmps) können mittels Signalflussdiagrammen (SFDs) analysiert werden. Dazu wird die gesamte Schaltung in einzelne Komponenten aufgeteilt. Diese Komponenten werden dann mit Impedanz- bzw. Admittanzfunktionen abgebildet. Um die Übertragungsfunktion (UTF) der gesamten Schaltung zu erhalten, muss die **Regel von Mason** angewendet werden.

### 13.1 Eingangsadmittanzen / (Eingangsimpedanzen)

**Hinweis:** Es wird normalerweise mit Eingangsadmittanzen gearbeitet!

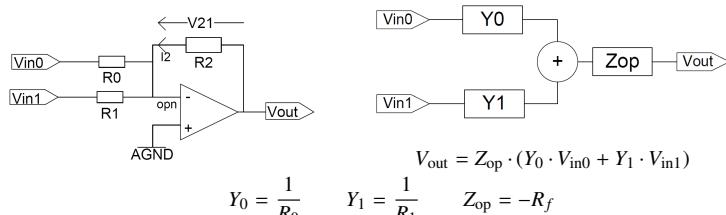
Komponente	Admittanz $Y$	(Impedanz $Z$ )
Widerstand $R$	$Y_{res} = \frac{1}{R}$	( $Z_{res} = R$ )
Kapazität $C$	$Y_{cap} = s \cdot C$	( $Z_{cap} = \frac{1}{s \cdot C}$ )
Induktivität $L$	$Y_{ind} = \frac{1}{s \cdot L}$	( $Z_{ind} = s \cdot L$ )

### 13.2 OpAmp Impedanzfunktionen

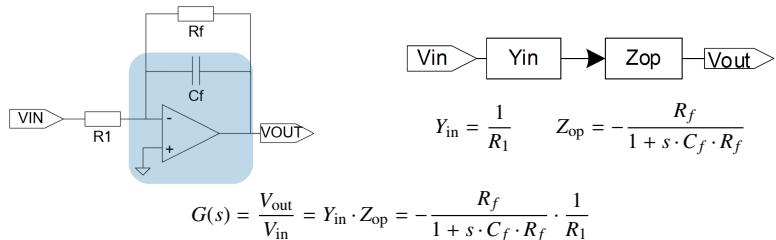
**Hinweis:** Es geht um negatives Feedback bzw. Gegenkopplung

Schaltung (Feedback)	Impedanz $Z$
Widerstand $R_f$ im Feedback	$Z_{op} = -R_f$
Kapazität $C_f$ im Feedback	$Z_{op} = -\frac{1}{s \cdot C_f}$
$R_f \cdot C_f$ (parallel) im Feedback	$Z_{op} = -\frac{R_f}{1 + s \cdot C_f \cdot R_f}$

### Beispiel: Summierender Verstärker



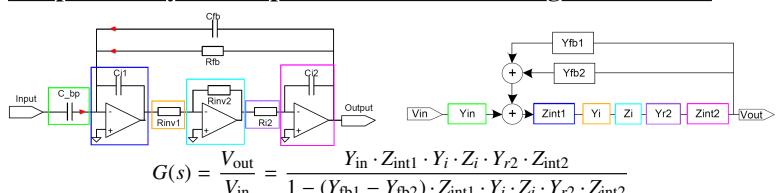
### Beispiel: Aktiver Tiefpass 1. Ordnung



### 13.3 Regel von Mason (vereinfacht)

$$\text{UTF: } G(s) = \frac{V_{out}}{V_{in}} = \frac{\text{Produkt der Transmittanzen im Vorfächerpfad}}{1 - \text{Summe aller Schleifentransmittanzen}}$$

### Beispiel: Analyse Bandpass mittels SFD und Regel von Mason



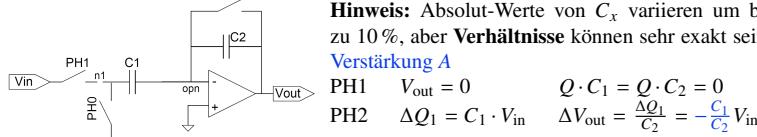
## 14 Switched-Capacitor-Verstärker

→ Funktionsweise von SC-Schaltungen siehe Abschnitt 9.2

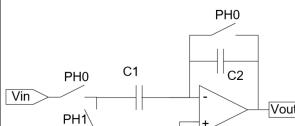
### 14.1 Switched-Capacitor-Verstärker

→ Funktionsweise von SC-Schaltungen siehe Abschnitt 9.2

#### 14.1.1 Invertierender Verstärker

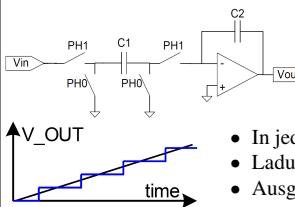


## 14.1.2 Nicht-invertierender Verstärker



**Hinweis:** Ansteuerung vertauscht: Aufladung von  $C_1$  in PH0, gleichzeitig mit  $C_2$ -Reset. Ansonsten seien der invertierende und nicht-invertierende SC-Verstärker gleich aus! **Verstärkung A**

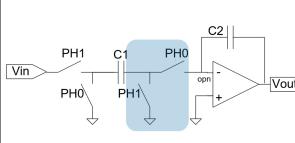
### 14.1.3 (Invertierender) SC-Integrator



Spannungsänderung  $\Delta V_{out(T_{in})} = -\frac{C_1}{C_2} V_{in}$   
Ausgangsspannung  $V_{out}(t) \approx -\frac{C_1}{C_2} \frac{1}{T} \int V_{in}(t) dt$   
**Hinweis:**  $V_{out}(t)$  gilt für  $t \gg T$  und langsam ändern des  $V_{in}$

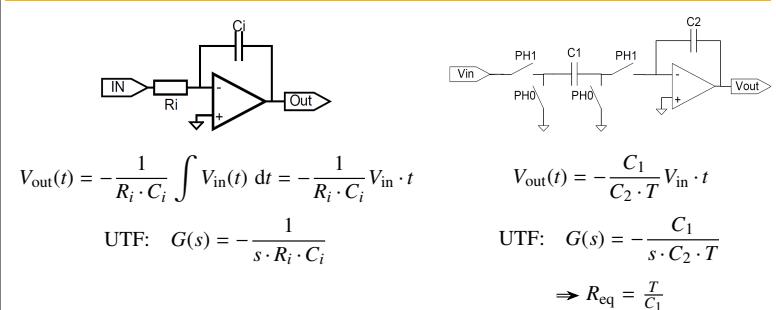
- In jedem Zyklus wird  $C_1$  aufgeladen mit  $Q = V_{in} \cdot C_1$
- Ladungen werden in  $C_2$  akkumuliert
- Ausgangsspannung macht Sprünge!

### 14.1.4 Nicht-invertierender SC-Integrator

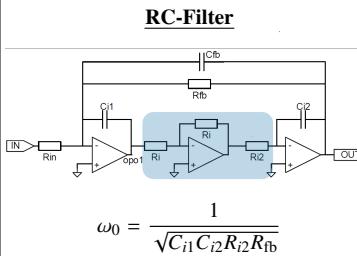


- Geänderte Schalter-Ansteuerung  
⇒ In PH1 wird  $C_1$  aufgeladen mit  $V_{in} \cdot C_1$
- In PH0 fliesst Entladestrom in  $C_2$  ⇒ SC bildet einen 'negativen Widerstand' mit  $R_{eq} = -\frac{T_{per}}{C_1}$
- Spannungs-Sprünge sind um eine halbe Periode verschoben

## 14.2 Vergleich RC- und SC-Integrator



## 14.3 RC- / SC-Filter



- Für SC-Filter gilt:
  - $C_2$  wird umgekehrt angesteuert ⇒ bildet 'negativen Widerstand'
  - Kapazitäts-Verhältnisse und Taktperiode  $T$  bestimmen  $f_0$  bzw.  $\omega_0$

## 14.4 Fazit Filter

- Aktive Filter sind nötig für Polgüten > 0.5 (oder Spulen)
- Filter werden aufgeteilt in Stufen 1. oder 2. Ordnung
- Strukturen mit mehreren opAmps sind weniger sensibel auf Bauteiltoleranzen und auf Nichtidealitäten der OpAmps
- Als **integrierte Schaltungen** werden oft Switched-Capacitor-Schaltungen eingesetzt

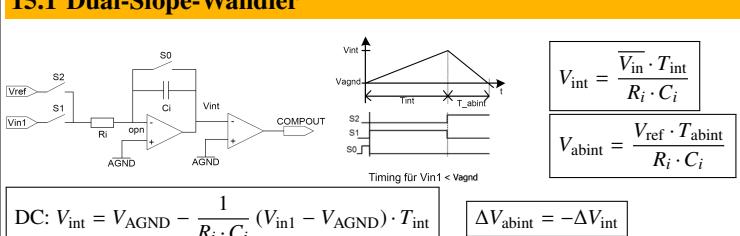
## 15 Single- und Dual-Slope-Wandler

$n$	Anzahl Bits
$D$	Digitaler Wert $D < 2^n$
$q$	Quantisierungsschritt (1 LSB)
$B_0$	Bitwert 0 (LSB)
$B_{n-1}$	Bitwert $n - 1$ (MSB)

$$q = \frac{V_{refp} - V_{refn}}{2^n}$$

$$D = \frac{V_{in} - V_{refn}}{V_{refp} - V_{refn}} 2^n$$

### 15.1 Dual-Slope-Wandler



$$\Delta V_{\text{abint}} = V_{\text{AGND}} - V_{\text{int}} = -\frac{1}{R_i \cdot C_i} (V_{\text{ref}} - V_{\text{AGND}}) \cdot T_{\text{abint}}$$

$$T_{\text{abint}} = -\frac{V_{\text{in1}} \cdot T_{\text{int}}}{V_{\text{ref}}}$$

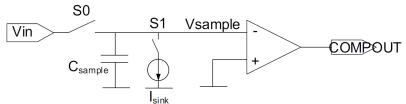
$$\text{Allgemein: } V_{\text{int}} = \int_0^{T_{\text{int}}} -\frac{1}{R_i \cdot C_i} V_{\text{in1}} dt + V_{\text{int},0}$$

$$-\frac{V_{\text{in}}}{V_{\text{ref}}} = \frac{T_{\text{abint}}}{T_{\text{int}}} = \frac{n \cdot T_{\text{clk}}}{N \cdot T_{\text{clk}}}$$

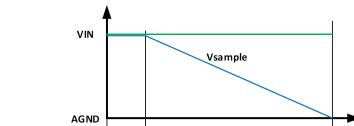
### 15.1.1 Frequenzverhalten vom Dual-Slope-Wandler

Frequenzen  $f = \frac{1}{T}$ , wobei  $T$  der Integrationszeit entspricht, werden perfekt unterdrückt  
 ⇒ Integrationszeit  $T = 20 \text{ ms}$  unterdrückt Netzbrumm von 50 Hz

### 15.2 Single-Slope-Wandler

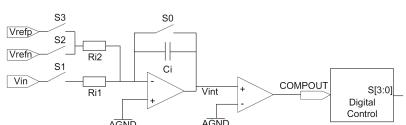


- Einfacher als Dual-Slope
- $V_{\text{in}}$  wird auf  $C_{\text{sample}}$  übertragen
- $C_{\text{sample}}$  wird mit  $I_{\text{sink}}$  entladen
- Zeit bis  $V(C_{\text{sample}}) = 0$  wird gemessen

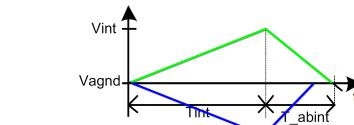


- + Kein OpAmp, nur zwei Schalter
- + Schnell, da  $T_{\text{sample}} < T_{\text{int}}$
- $V_{\text{in}} \sim T_{\text{abint}}, C_{\text{sample}}, I_{\text{sink}}$
- $C_{\text{sample}}$  und  $I_{\text{sink}}$  streuen stark

### 15.3 Dual-Slope-Wandler für pos. und neg. Eingangsspannungen



- Auf- und Abintegration wechseln ab
- Je nach Komparator-Ausgang wird S2 oder S3 geschlossen



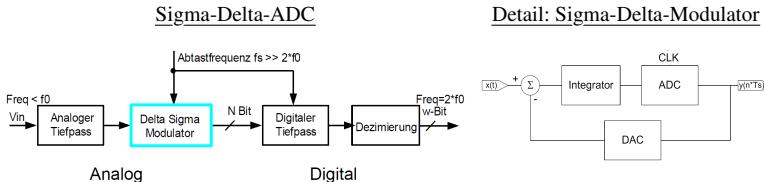
- + Für  $V_{\text{in}} < V_{\text{AGND}}$  wird in Richtung positiver Speisung integriert
- + Für  $V_{\text{in}} > V_{\text{AGND}}$  wird in Richtung GND integriert

### 15.3.1 Eigenschaften von Dual-Slope-Wandlern

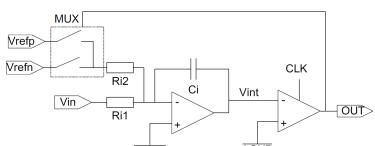
- Unabhängig von Bauteiltoleranzen
- Höhere Auflösung bedingt längere Integrationszeit (bei fixem clk) ⇒ Doppelte Zeit für 1 zusätzliches Bit
- Höhere Frequenzen werden stärker unterdrückt ⇒ reduziert Bandbreite
- Auflösung wird gegen Bandbreite getauscht

## 16 Sigma-Delta-ADC

### 16.1 Aufbau Sigma-Delta-ADC



### 16.2 Sigma-Delta-Modulator 1. Ordnung



$$V_{\text{in}} = \frac{2 \cdot n - N}{N} V_{\text{ref}}$$

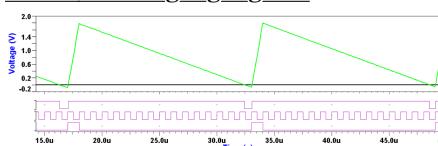
N # Taktzyklen von Clk  
 n # Taktzyklen, in denen Modulator-Ausgang = 1

$$\text{Allgemein: } V_{\text{int}}(t) = \Delta V_{\text{int}} + V_{\text{int},0} = -\frac{1}{C_i} \int_0^t \left( \frac{V_{\text{in}} - A_{\text{GND}}}{R_{i1}} + \frac{V_{\text{ref}} - A_{\text{GND}}}{R_{i2}} \right) d\tilde{t} + V_{\text{int},0}$$

- Sigma-Delta-Wandler machen gleichzeitig Auf- und Abintegration (Feedback-Pfad)
- 'Digitales Filter' ⇒ 'Mittelwertbildung' um  $V_{\text{in}}$  zu berechnen
- Eingangsspannungsbereich:  $V_{\text{refn}} \leq V_{\text{in}} \leq V_{\text{refp}} \Rightarrow I_{\text{Eingang}} \leq I_{\text{Feedback}}$
- Summe aller Ladungen muss gesamthaft 0 sein! ⇒  $\Delta Q = C \cdot \Delta U = I \cdot \Delta t = 0$

### 16.3 Sigma-Delta-Modulator im Zeitbereich

#### 16.3.1 DC-Eingangssignale



Je nach  $V_{\text{in}}$  ergibt sich ein anderer DutyCycle  $\frac{n}{N}$  (mod out). Für  $V_{\text{refn}} = -V_{\text{refp}}$  gilt die aufgeführte Tabelle.

#### Fazit DC-Eingangssignale

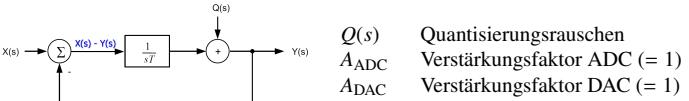
- DC-Eingangssignale erzeugen repetitive Sequenzen mit hohen Frequenz-Anteilen

- Ist  $V_{\text{in}}$  nahe bei Bruchteil von  $V_{\text{ref}}$  entstehen lange repetitive Sequenzen mit tiefen Frequenz-Anteilen
- Lange repetitive Sequenzen können nicht von Signal unterschieden werden  
 ⇒ Pattern Noise

### 16.3.2 AC-Eingangssignale

AC-Eingangssignale können durch Mittelwertbildung (z.B. mit Tiefpassfilter mit entsprechend hoch dimensierter Zeitkonstante) des Signals  $V_{\text{int}}$  rekonstruiert werden.

### 16.4 Modellierung Sigma-Delta-Modulator im Frequenzbereich



$Q(s)$  Quantisierungsrauschen  
 $A_{\text{ADC}}$  Verstärkungsfaktor ADC (= 1)  
 $A_{\text{DAC}}$  Verstärkungsfaktor DAC (= 1)

### 16.4.1 Übertragungsfunktionen Sigma-Delta Modulator

Signal-Übertragungsfunktion  $H_s(s)$   
 (Quantisierungsrauschen  $Q(s) = 0$ )

$$Y(s) = [X(s) - Y(s)] \cdot \frac{1}{s \cdot T}$$

$$H_s(s) = \frac{Y(s)}{X(s)} = \frac{1}{1 + s \cdot T} \quad (\text{Tiefpass})$$

Noise-Übertragungsfunktion  $H_n(s)$   
 (Eingangssignal  $X(s) = 0$ )

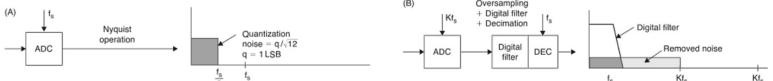
$$Y(s) = -Y(s) \cdot \frac{1}{s \cdot T} + Q(s)$$

$$H_n(s) = \frac{Y(s)}{Q(s)} = \frac{s \cdot T}{1 + s \cdot T} \quad (\text{Hochpass})$$

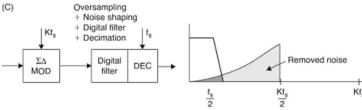
### 16.5 Oversampling / Signal-Rausch-Abstand (SNR)

$$\text{Rauschleistung} = \text{Rauschleistungsdichte} * \text{Bandbreite} = \frac{q^2}{12} = \text{konstant}$$

- Oversampling verteilt Quantisierungsrauschen über grösseren Frequenzbereich
- Da die Rauschleistung konstant ist, wird die Rauschleistungsdichte (also die 'Amplitude' des Rauschens) kleiner
- Ein Digitalfilter reduziert die Bandbreite des ADCs weiter

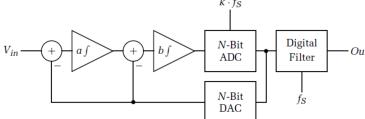


### 16.5.1 Noise-Shaping



- Nicht nur Oversampling und Rauschen gleichmässig verteilen, sondern Rauschleistungsdichte 'formen'
- Nur bei Sigma-Delta-Wandlern möglich

### 16.6 Sigma-Delta-Wandler 2. Ordnung



$$\text{SNR} \approx \log_{10} \left( \frac{3}{2} \cdot \frac{2 \cdot M + 1}{\pi^{2M}} \cdot \text{OSR}^{2M+1} \right)$$

OSR Oversampling-Rate  
 M Ordnung des Modulators

- Ordnung  $M = 2 \Rightarrow 2$  Integratoren
- Quantisierungsrauschen  $Q(s)$  wird mit Hochpass 2. Ordnung gefiltert
- Je höher Ordnung  $M$ , desto stärker das Noise-Shaping (6 dB pro Ordnung und Oktave)
- Je höher Oversampling (OSR), desto höher SNR (3 dB Oktave)

### 17 Multi-Bit Modulatoren

Anstatt eines Komparators ADCs mit mehreren Bits für den Aufbau des Sigma-Delta-Modulators verwendet.

- + Dynamikgewinn von ca. 6 dB pro zusätzliche Bit.

- Aufwändiger Flash-ADC (parallele Komparatoren) nötig, da in einem Takt gewandelt werden muss

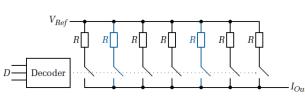
#### 17.1 1 Bit vs. Multi-Bit ADC (im Modulator)

- ADC ist unproblematisch, da hinter Integrator (siehe Blockschaltbild Abschnitt 16.1) und daher Teil vom Quantisierungsfehler
- 1-Bit ADC (Komparator) nichtlinear ⇒ ADC-Verstärkung signalabhängig
- Es entsteht ein nichtlineares System

#### 17.2 1 Bit vs. Multi-Bit DAC (im Modulator)

- DAC muss volle Präzision des (gesamten) Wandlers haben  
 – DAC-Spannung wird direkt mit Eingangsspannung 'verrechnet'
- 1-Bit DAC ist perfekt linear (nur Offset- und Gain-Fehler, welche statisch kompensierbar sind)
- DAC muss sehr genau sein ⇒ kann kalibriert werden  
 – Drifttemperatur und Alterung sind dennoch ein Problem

#### 17.3 Dynamic Element Matching (DEM), Mismatch-Shaping



- Widerstände des DAC müssen perfekt matchen (so gut wie DAC-Genauigkeit)
  - In der Praxis ist das nicht möglich!
  - ⇒ mismatch

- Dynamic Element Matching (DEM): Spezieller Algorithmus
  - Einschalten der einzelnen Widerstände wird dynamisch umgestaltet, so dass Ausgangskennlinie des DAC 'durchschnittlich linear'
  - Systematischer Fehler wird in Zufallsfehler (Rauschen) umgewandelt
- Mismatch-Shaping
  - Zufallsfehler (Rauschen) wird mit Noise-Shaping gedämpft

## 17.4 Fazit Sigma-Delta-Modulatoren

- + Signal wird nicht (wenig) verändert mit Tiefpass
- + 1 Bit DAC perfekt linear
- + 1. SNR-Erhöhung durch Oversampling (3 dB pro Oktave)
- + 2. SNR-Erhöhung durch Noise Shaping (6 dB pro Oktave)
- + 3. SNR-Erhöhung durch ADC/DAC im Modulator (+6 dB pro Bit)
- + Modulatoren 1. Ordnung immer stabil (90° Phasenschiebung)
- + Modulatoren 2. Ordnung meistens stabil
  - Modulatoren höherer Ordnung können instabil werden
  - 1 Bit ADC (Komparator) nichtlinear
  - **Pattern Noise**

## 17.5 Digitalfilter

Der digitale Teil des Sigma-Delta-ADCs kann auf mehrere Arten realisiert werden. Das Digitalfilter soll die folgenden Aufgaben erfüllen:

- Reduktion des Rauschens (wegen Noise-Shaping viel Rauschen bei hohen Frequenzen)
  - Erhöhung der Auflösung
  - Reduktion der Sample Rate

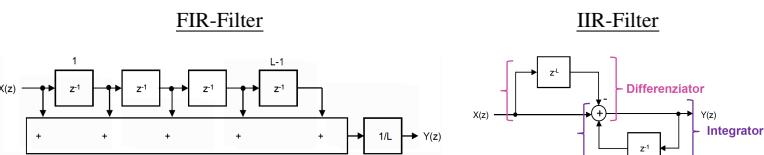
### 17.5.1 Mittelwertbildung

Einfachste Mittelwertbildung umgesetzt mittels countern → Funktionsweise und Formel siehe Abschnitt 16.2

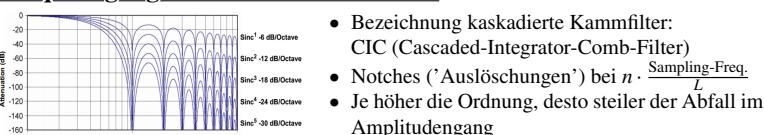
### 17.5.2 Kammfilter (Mittelwertfilter)

$Z^{-1}$  um 1 Takt verschieben  
 $Z^{-L}$  um  $L$  Takte verschieben

FIR Finite Impulse Response  
 IIR Infinite Impulse Response



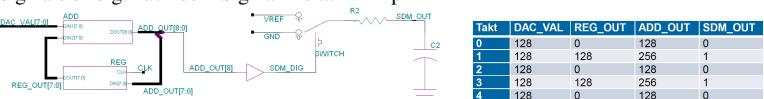
### Frequenzgang kaskadierte Kammfilter



- Bezeichnung kaskadierte Kammfilter: CIC (Cascaded-Integrator-Comb-Filter)
- Notches ('Auslösungen') bei  $n \cdot \frac{\text{Sampling-Freq.}}{L}$
- Je höher die Ordnung, desto steiler der Abfall im Amplitudengang

## 18 Sigma-Delta-DAC

Die finale Realisierung des DACs erfolgt als **PWM-DAC**. Die Generierung des PWM-Signals erfolgt nach dem Sigma-Delta-Prinzip



### 18.1 Pattern-Noise

Für einen 8-Bit DAC ist der digitale Wert 129 ungünstig, da in der Bitsequenz irgendwann zwei '1' hintereinander auftauchen. Dies führt zu einer grossen Periodendauer, welche ein **Pattern Noise** beim DAC verursacht, da die '0' und '1' möglichst gleichmäßig auf die gesamte Periode verteilt werden.

### 18.2 Bilanz Sigma-Delta-DAC

- Verhalten wie analoger Modulator (Blockschaltbild)
- Im Mittel gleich viele '1' und '0' wie bei PWM =  $\frac{n}{N}$
- '1' werden möglichst gleichmäßig in Periode verteilt ( $N \cdot T_{clk}$ )
- Gleichmässige Verteilung ergibt regelmässige Sequenzen → periodische Signale → unerwünschte Frequenzkomponenten (Pattern Noise)

## 19 Rauschen

### 19.1 Übersicht der Größen und Zusammenhänge

$e_n$	Rauschspannungsdichte	$[e_n] = \frac{V}{\sqrt{Hz}}$
$v_n$	Rauschspannung ( <b>Effektivwert</b> )	$[v_n] = V$
$e_n^2$ (oder $S$ )	Rauschleistungsdichte	$[e_n^2] = \frac{V^2}{Hz}$
$E$	Rauschleistung	$[E] = V^2$

$$E = \int_0^\infty e_n^2 df$$

$$E = v_n^2$$

Hinweis: Ein guter Anhaltspunkt für die Zusammenhänge sind die Einheiten!

## 19.2 Rauschen in der Elektronik

- Alle Teile eines elektronischen Systems rauschen!
- Messpfad: Es sollen keine Störsignale zum Messsignal addiert werden
  - Ausser bei perfekter Abschirmung und Temperatur 0 K gibt es **immer** Störereinflüsse
- ADC und DAC: Quantisierungsrauschen  $q$  (Quantisierungsschritt)
  - Quantisierungsrauschen (Auflösung) soll etwa so gross gewählt werden, wie das elektronische Rauschen
- 'Reine DC-Spannungen' gibt es nicht!
  - Auch DC-Signale haben Spannungs-Schwankungen

### 19.3 Arten von Rauschen

- **Thermisches Rauschen**
- **Flicker Noise**  $\frac{1}{f}$ -Noise
- Shot Noise
- Burst (Popcorn) Noise
- Avalanche Noise

#### 19.3.1 Thermisches Rauschen

- Entsteht durch **zufällige Bewegung der Ladungsträger** aufgrund der **Wärmeenergie** und der **Quantisierung der Ladung**
- Ist über die Frequenzen **gleichverteilt**
- Begriff: Weisses Rauschen
  - Anderer Ausdruck: Johnson Noise

#### 19.3.2 Flicker Noise (Funkelrauschen)

- Entsteht am **Übergang** von zwei Materialien
  - u.a. in MOS-FET, wenn sich Elektronen in Fehlerstellen zw. Silizium und Gate-Oxid oder zw. Gate-Oxid und Gate verfangen und nach gewissen Zeit zufällig wieder freikommen
- Rauschleistung nimmt **umgekehrt proportional zur Frequenz ab** ⇒  $\frac{1}{f}$ -Noise
- Jede Dekade liefert die gleiche Rauschleistung

## 19.4 Amplitude und Leistung des Rauschens

Hinweis: Als 'Leistung' gilt die **quadratierte Spannung**

$$\text{Mittelwert der Rauschspannung} \quad \overline{v_n}(t) = \frac{1}{T} \int_T v_n(t) dt = 0$$

$$\text{Mittelwert der Rauschleistung (Varianz)} \quad \overline{v_n(t)^2} = \overline{E} = \frac{1}{T} \int_T v_n^2(t) dt \neq 0$$

$$\text{Effektivwert (Wurzel der Varianz)} \quad v_{n,\text{rms}} = \sqrt{\overline{v_n(t)^2}}$$

#### 19.4.1 Berechnung von Rauschen (!)

- Signale und Rauschen addieren sich **nicht gleich**
  - Deterministische **Signale: Amplituden** addieren sich
  - Stochastische Rauschquellen: **Rauschleistungen** addieren sich

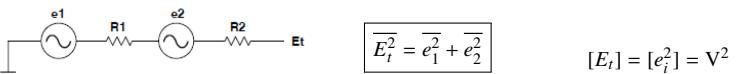
## 19.5 Rauschen von Widerständen

- **Jeder Widerstand rauscht, unabhängig vom Stromfluss**
- Rauschen kann auf folgende zwei Arten modelliert werden

$E = \overline{v_n^2} = 4kTRB$	$E = \overline{i_n^2} = 4kTGB$
$\overline{v_n^2}$ mittlere Rauschleistung $\overline{i_n^2}$ mittlerer Rauschleistung $R$ Widerstand $G$ Leitwert $B$ Bandbreite $T$ absolute Temperatur $k$ Boltzmann-Konstante $k = 1.38 \cdot 10^{-23} \frac{J}{K}$	$\overline{v_n^2} = V^2$ $\overline{i_n^2} = A^2$ $[v_n^2] = V^2$ $[i_n^2] = A^2$ $[R] = \Omega$ $[G] = S$ $[B] = Hz$ $[T] = K$ $[k] = 1.38 \cdot 10^{-23} \frac{J}{K}$

$$\text{Mittlere Rauschleistungsdichte (in)} \frac{V^2}{Hz} : 4kTR$$

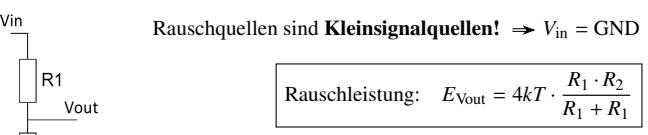
#### 19.5.1 Serieschaltung von Widerständen



Nicht die Rauschspannungen, sondern die Rauschleistungen müssen addiert werden!

### 19.6 Rauschen von Spannungsteilern

Vin



Rauschquellen sind **Kleinsignalquellen!** ⇒  $V_{in} = GND$

$$\text{Rauschleistung: } E_{Vout} = 4kT \cdot \frac{R_1 \cdot R_2}{R_1 + R_2}$$

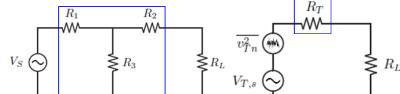
$$\text{Rauschspannung: } V_{rausch} = \sqrt{E_{Vout}}$$

### 19.7 Rauschen von Netzwerken

#### 19.7.1 Widerstandsnetzwerke

Widerstands-Netzwerke rauschen gleich stark wie der äquivalente Ersatzwiderstand

## Beispiel: Rauschen von Widerstandsnetzwerk



Ersatzwiderstand:  $R_T = R_2 + R_1 \parallel R_3$   
 Rauschleistung:  $E = v_{Tn}^2 = 4kR_T B$   
 Rauschspannung:  $v_{Tn} = \sqrt{v_{Tn}^2} = \sqrt{E}$

→ Nicht vorhandene Elemente auf Null setzen!

**Hinweis:** Die meisten Elemente werden mit dem Noise-Gain  $A_{noise}$  multipliziert  
 (Verstärkung nicht-invertierender OpAmp)

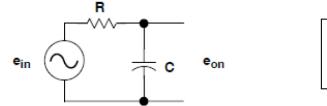
$$A_{noise} = \frac{R_1 + R_2}{R_1} = 1 + \frac{R_2}{R_1}$$

## 19.7.2 RC-Netzwerke

- Kapazitäten und Induktivitäten rauschen nicht!
- Kapazitäten und Induktivitäten beeinflussen die **Bandbreite** des Systems!

Rauschspannung indirekt beeinflusst

⇒ Sobald Kapazitäten oder Induktivitäten in einem Netzwerk vertreten sind, sind die Widerstände für das Rauschen egal!



Rauschspannung Ausgang:  $e_{on} = \sqrt{\frac{kR}{C}}$

## Beispiel: Rauschen von RC-Netzwerken

Rauschspannungsdichte Widerstand:  $e_{in} = \sqrt{4kTR}$

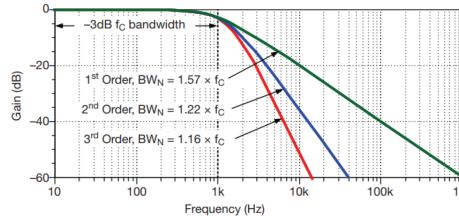
$$e_{on} = e_{in} \sqrt{\int_0^\infty \frac{1}{1+2\pi fRC} df} = e_{in} \sqrt{\frac{1}{1+2\pi fRC} \left[ \tan^{-1}(2\pi fRC) \right]_0^\infty} = e_{in} \sqrt{\frac{1}{1+2\pi RC} \frac{\pi}{2}}$$

Rauschspannung Ausgang:  $e_{on} = \sqrt{4kTR} \sqrt{\frac{1}{4RC}} = \sqrt{\frac{kR}{C}}$

## 19.8 Rauschbandbreite

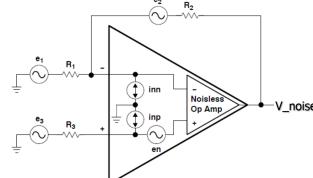
- In Realität werden Signal und Rauschen Tiefpass-gefiltert
- Rauschbandbreite nicht identisch mit 3 dB-Bandbreite!**  
 ⇒ ENB (Effective Noise Bandwidth)

Für  $n$  kaskadierte Butterworth-Filter 1. Ordnung mir Grenzfrequenz  $f_c = \frac{1}{2\pi RC}$  verhält sich das ENB gemäss:



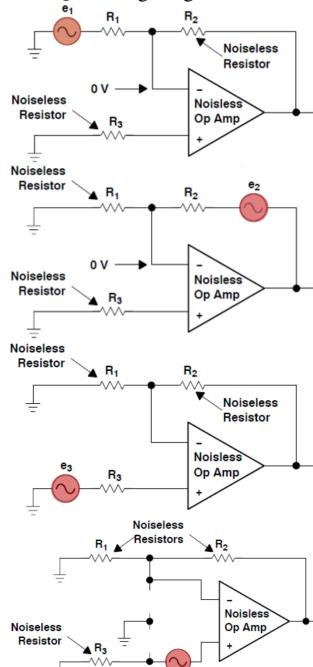
Filterordnung	ENB
1	$1.57 \cdot f_c$
2	$1.11 \cdot f_c$
3	$1.05 \cdot f_c$
4	$1.025 \cdot f_c$

## 19.9 Rauschen von OpAmps



- 6 Rauschquellen
  - $e_1, e_2, e_3$  sind **Rauschspannungen** der Widerstände
  - $e_n$  ist Rauschspannungsdichte des OpAmps
  - $i_{nn}, i_{np}$  sind Eingangsströme des OpAmps
- Ausgangsspannung  $V_{noise}$  wird berechnet mittels **Superposition**

Jede Quelle trägt folgendermassen zum gesamten Rauschen bei (exkl. Stromquellen):



Beitrag von  $R_1$  wird **invertierend** verstärkt

$$\text{Rauschspannung: } -\frac{R_2}{R_1} \cdot e_1$$

$$\text{Rauschleistung: } \left(-\frac{R_2}{R_1}\right) \cdot e_1^2$$

Beitrag von  $R_2$  wird **nicht** verstärkt

$$\text{Rauschspannung: } 1 \cdot e_2$$

$$\text{Rauschleistung: } 1 \cdot e_2^2$$

Beitrag von  $R_3$  wird **nicht-invertierend** verstärkt

$$\text{Rauschspannung: } \frac{R_1+R_2}{R_1} \cdot e_3$$

$$\text{Rauschleistung: } \left(\frac{R_1+R_2}{R_1}\right) \cdot e_3^2$$

Beitrag von  $e_n$  (OpAmp) wird **nicht-invertierend** verstärkt

$$\text{Rauschspannung: } \frac{R_1+R_2}{R_1} \cdot e_n$$

$$\text{Rauschleistung: } \left(\frac{R_1+R_2}{R_1}\right) \cdot e_n^2$$

Für die **obige Beschaltung** (nicht allgemeingültig) ergibt sich somit gesamthaft:

$$V_{noise} = \sqrt{\int_0^\infty \left[ 4kTR_2 \left( \frac{R_1+R_2}{R_1} \right)^2 + 4kTR_3 \left( \frac{R_1+R_2}{R_1} \right)^2 + (i_{nn}R_2)^2 + (i_{np}R_3)^2 + \left( e_n \left( \frac{R_1+R_2}{R_1} \right) \right)^2 \right] df}$$

→ Nicht vorhandene Elemente auf Null setzen!

**Hinweis:** Die meisten Elemente werden mit dem Noise-Gain  $A_{noise}$  multipliziert  
 (Verstärkung nicht-invertierender OpAmp)

$$A_{noise} = \frac{R_1 + R_2}{R_1} = 1 + \frac{R_2}{R_1}$$

## 19.9.1 Vereinfachte Berechnung – Rauschen von OpAmps

Die vereinfachte Berechnung darf angewendet werden wenn: (UND-Verknüpfung)

- Bandbreite  $B \gg$  Noise Corner Frequency  $f_{enc}$   
 ⇒ Bandbreite  $B > 10$  kHz
- Widerstand  $R_3 = 0$  (⇒ Abschnitt 19.9)

$$V_{noise} = \sqrt{4kT \cdot R_2 \cdot A_{noise} \cdot \underbrace{\frac{\pi}{2} \frac{\text{GBP}}{\text{AOVP}}}_{\text{ENB}} + e_w^2 \cdot \underbrace{A_{noise}^2 \frac{\pi}{2} \frac{\text{GBP}}{\text{AOVP}}}_{\text{ENB}}}$$

ENB Effective Noise Bandwidth [ENB] = Hz

GBW Gain Bandwidth (Product) [GBW] = Hz

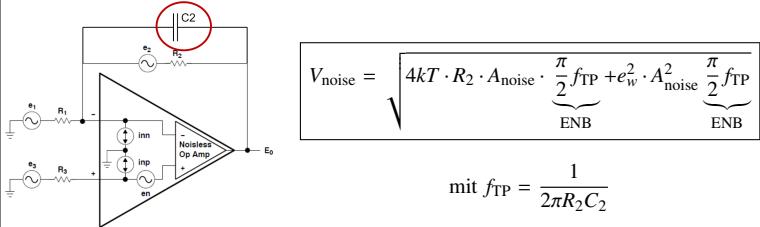
$A_{noise}$  Noise Gain [ $A_{noise}$ ] = 1

$e_w$  Rauschspannungsdichte (Datenblatt OpAmp) [ $e_w$ ] =  $\frac{V}{\sqrt{\text{Hz}}}$

$k$  Boltzmann-Konstante  $k = 1.38 \cdot 10^{-23} \frac{\text{J}}{\text{K}}$

**Optimalfall:** Widerstände rauschen gleich viel wie OpAmp

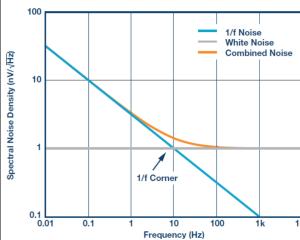
## 19.9.2 OpAmp Tiefpass – Vereinfachte Berechnung



$$V_{noise} = \sqrt{4kT \cdot R_2 \cdot A_{noise} \cdot \underbrace{\frac{\pi}{2} f_{TP} + e_w^2 \cdot A_{noise}^2 \frac{\pi}{2} f_{TP}}_{\text{ENB}}}$$

mit  $f_{TP} = \frac{1}{2\pi R_2 C_2}$

## 19.9.3 Arten von Rauschen in OpAmps

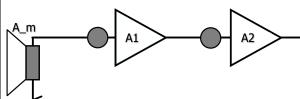


## 19.10 Noise und Signal to Noise Ratio (SNR)

$$\text{SNR} = \frac{V_{signal}}{V_{rausch}}$$

$$\text{SNR}_{\text{dB}} = 20 \cdot \log_{10}(\text{SNR})$$

## Beispiel: Rauschen bei mehrstufigen Verstärkern



Bei mehrstufigen Verstärkern sollten **große Verstärkungen möglichst 'weit vorne'** in der Signalkette vorkommen.

$$v_{n,\text{tot}} = \sqrt{(v_{mic} \cdot A_{mic} \cdot A_1 \cdot A_2)^2 + (v_{OPV_1} \cdot A_1 \cdot A_2)^2 + (v_{OPV_2} \cdot A_2)^2}$$

## 19.11 Rauschen vermindern

- Weniger Rauschen ⇔ mehr Strom
  - Gilt für Widerstände und aktive Bauteile
- Bandbreite auf das Nötigste begrenzen
  - Tiefpass > 1. Ordnung ⇒ ENB verkleinern
- Verstärkung möglichst früh in Signalkette
- Nicht-invertierender OpAmp besser als invertierender OpAmp
- Verstärker parallel schalten
  - $n$ -mal mehr Strom ⇔  $\frac{1}{\sqrt{n}}$ -mal weniger Rauschen
- Differentielle Signale verwenden
  - Amplitude doppelt so gross
- Referenzspannung filtern
- Signal HP-filtern ⇒ Reduktion  $\frac{1}{f}$ -Noise
- Chopper- oder Sutozeroing-Verstärker ⇒ Reduktion  $\frac{1}{f}$ -Noise
- Correlated Double Sampling (CDS)
- Kühlen (teuer!)

## 20 Reale Bauteile

### 20.1 Impedanzen – Übersicht

$$Z_C = \frac{1}{j\omega C}$$

$$Z_L = j\omega L$$

$$|Z| = \sqrt{R_{\text{tot}}^2 + X_{\text{tot}}^2}$$

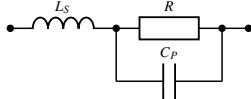
$$f_{\text{res}} = \frac{1}{2\pi\sqrt{RC}}$$

## 20.2 Reale Widerstände

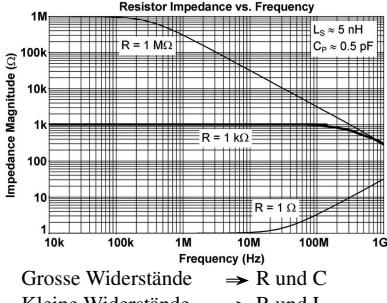
$$R = \frac{\rho \cdot l}{A}$$

$R$  Widerstand (@ 20 °)       $[R] = \Omega$   
 $\rho$  spez. Widerstand       $[\rho] = \frac{\Omega \text{mm}^2}{\text{m}}$   
 $l$  Länge des Leiters       $[l] = \text{m}$   
 $A$  Querschnitt des Leiters       $[A] = \text{m}^2$

### 20.2.1 Ersatzschaltung und Frequenzabhängigkeit



$R$  nom. Widerstand  
 $L_s$  Zuleitung  
 $C_p$  zwischen Anschlüssen



Grosse Widerstände  $\Rightarrow R$  und  $C$   
Kleine Widerstände  $\Rightarrow R$  und  $L$

### 20.2.2 Temperaturabhängigkeit

$R_\vartheta = R_{20} + \Delta R$	$R_\vartheta$ Widerstand bei Temperatur $\vartheta$	$[R_\vartheta] = \Omega$
$R_{20}$	Widerstand bei 20 °C	$[R_{20}] = \Omega$
$\alpha$	Temperaturkoeffizient	$[\alpha] = \frac{1}{K}$
$\Delta\vartheta = R_{20} \cdot \alpha \cdot \Delta\vartheta$	Temperaturdifferenz $\vartheta - 20^\circ C$	$[\Delta\vartheta] = ^\circ C$

Achtung: Leistungs-Derating bei steigender Temperatur beachten!

### 20.2.3 Kenngrößen

- Widerstandswert
- Toleranz
- Temperaturkoeffizient  $\alpha$
- max. Verlustleistung

### 20.2.4 Auswahlkriterien

- Bauform (Größe)
- Leistung (Verlustwärme)
- Widerstandsmaterial
- Genauigkeit und Langlebigkeit

## 20.3 Spezielle Widerstände

### 20.3.1 Thermistoren

Thermistoren sind **temperaturabhängige** Widerstände.

#### NTC (neg. temp. Koeffizient, Heissleiter)

- Widerstandswert **sinkt** mit steigender Temperatur
  - Temperatursensoren
  - Einschaltstrombegrenzung
- Widerstandswert **steigt** mit steigender Temperatur
  - Temperatursensoren
  - Selbst-rückstellende Sicherungen
  - Selbst-regelndes Heizelement

$$R = R_{20} \cdot e^{B \cdot \left( \frac{1}{T} - \frac{1}{T_{20}} \right)}$$

$$R = R_{20} \cdot (1 + A \cdot \vartheta + b \cdot \vartheta^2)$$

### 20.3.2 Varistoren

Varistoren sind **spannungsabhängige** Widerstände.

- Alternativ: Voltage Dependent Resistor (VDR)
- Verringern Widerstand bei steigender Spannung (Verhalten sich wie Z-Diode aber für beide Polaritäten)
- Eingesetzt für:
  - Begrenzung von Überspannungs-Impulsen
  - Eingangs-Schutzschaltungen

### 20.3.3 Fotowiderstände (LDR)

- Light Dependent Resistor (LDR)
- Trifft Licht auf die foto-empfindliche Fläche des Fotowiderstands, so verringert sich der Widerstand durch den inneren foto-elektrischen Effekt
- Relativ langsame Widerstands-Änderung
  - Mehrere ms Verzögerung
- Heutzutags werden statt LDRs meist Photodioden eingesetzt

### 20.3.4 Druck- und dehnungsabhängige Widerstände

- Dehnmessstreifen (Strain Gage, Strain Gauge)
- Ändern ihren Widerstandswert in Abhängigkeit ihrer Dehnung bzw. Zugspannung
- Folienwiderstände, welche aufgeklebt werden
- Häufig in Brückenschaltungen verwendet

### 20.3.5 Verstellbare Widerstände, Potentiometer

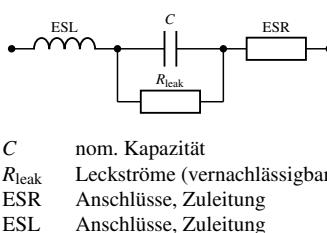
- Fester Widerstand mit Abgriff dazwischen ( $\Rightarrow$  'Spannungsteiler')
- Potentiometer geeignet für häufiges Verstellen
  - Alternative heute: Digitale Potentiometer
- Trimpotentiometer nur für gelegentliches Verstellen geeignet
  - Alternative heute: Winkelencoder mit Hall-Sensor

## 20.4 Reale Kondensatoren

$$C = \frac{\varepsilon_0 \cdot \varepsilon_r \cdot A}{d}$$

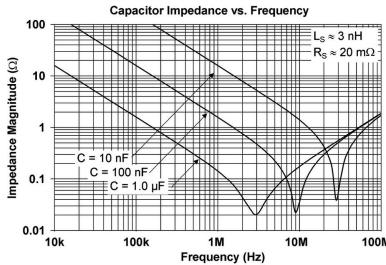
$C$  Kapazität (**Plattenkondensator!**)  
 $\varepsilon_0$  elektrische Feldkonstante  $8.85 \cdot 10^{-12}$   
 $\varepsilon_r$  relative Permittivität  
 $A$  Fläche der Platten  
 $d$  Abstand zwischen Platten

## 20.4.1 Ersatzschaltung und Frequenzabhängigkeit



$C$  nom. Kapazität  
 $R_{\text{leak}}$  Leckströme (vernachlässigbar!)  
 $\text{ESR}$  Anschlüsse, Zuleitung  
 $\text{ESL}$  Anschlüsse, Zuleitung

$$|Z| = \sqrt{|R|^2 + (|X_C| - |X_L|)^2}$$



Bei Resonanz:  $|X_C| = |X_L| \Rightarrow Z$  rein resistiv (tiefster Punkt in Diagramm)

Hinweis: Für eine optimale Stützung der Speisung werden mehrere Kondensatoren mit verschiedenen Kapazitätswerten parallelgeschaltet

### 20.4.2 Temperaturabhängigkeit

- Abhängig von Dielektrikum  
 $\Rightarrow$  Kennlinien

### 20.4.3 Spannungsabhängigkeit

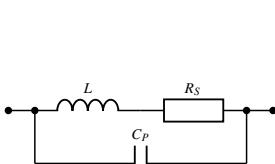
- Abhängig von Dielektrikum  
 $\Rightarrow$  Kennlinien
- Faustregel: Je höher die maximale Spannung des kondensators, desto weniger ändert die Kapazität

### 20.4.4 Verschiedene Typen von Kondensatoren

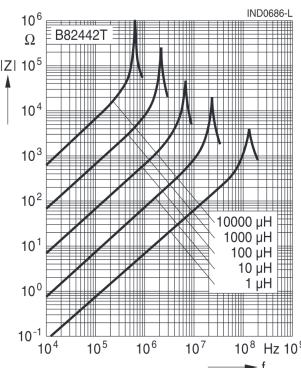
- **Elektrolytkondensatoren (Elkos)**
  - Gepolte Kondensatoren
  - Wenn bei tieferer Temperatur eingesetzt als spezifiziert:  $-10^\circ C$  verdoppelt Lebenserwartung
- **Tantalkondensatoren**
  - Gepolte Kondensatoren
  - Große Kapazität bei kleiner Abmessung
  - Tantal ist problematisch im Abbau
- **Folien-Filmkondensatoren**
  - Sind selbstheilend
  - Hohe Genauigkeit
  - Relativ teuer
- **Kondis mit einstellbarer Kapazität**
  - Zum Einstellen von Schwingfrequenzen
  - Trimmer
- **Super-Caps**
  - Kapazitäten bis 3000 F
  - 10 % Energiedichte von Akkus  
 $\Rightarrow$  10-fache Leistungsdichte
  - Schnell geladen / entladen
  - Sehr kleine Spannungsfestigkeit

## 20.5 Reale Spulen

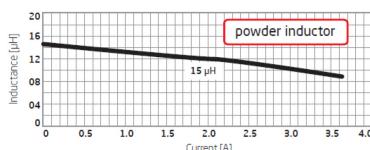
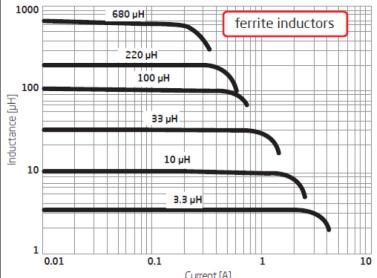
### 20.5.1 Ersatzschaltung und Frequenzabhängigkeit



$R$  nom. Widerstand  
 $L_s$  Zuleitung  
 $C_p$  zwischen Anschlüssen



### 20.5.2 Induktivität und Strom



- Spule mit Ferritkern (links): Abrupter Abfall der Induktivität
- Spule mit Eisenkern (rechts): Kein abrupter Abfall der Induktivität

### 20.5.3 Einsatzgebiete von Spulen 20.5.4 Ferritperlen

- Transformator
- Galvanische Trennung
- DC-DC-Wandler
- HF-Anwendungen
- Entstörung (EMV)
- Auch Ferrite Bead genannt
- Dämpfung von HF-Störungen
  - Hohe Impedanzen bei hohen Frequenzen
- Kleiner DC-Widerstand

## 21 Printed Circuit Boards (PCBs)

### 21.1 Allgemeine Informationen

#### 21.1.1 Aufgaben PCB

- Elektrische Verbindung zwischen Bauteilen
- Mechanische Befestigung der Bauteile
- Wärmeabfuhr
- Ev. Abschirmfunktion
- Ev. Antennen (kleine Spulen)

#### 21.1.2 Testen von PCBs

- Lot überprüfen
  - Automatische Röntgen-Inspektion (AXI)
- Elektrische Überprüfung
  - In-Circuit-Test (ICT)
- Bestückung
  - Automatische optische Inspektion (AOI)

#### 21.1.3 Ausführungen von PCBs

- Anzahl der Lagen (Layer)
  - (4-Lagen als Standard)
- Flex-Leiterplatten
  - Stark elatisches Grundmaterial
- Starr-Flex-Leiterplatten
  - Kombination aus starr und flexibel

#### 21.1.4 Gehäuse (Komponenten)

- THT: through-hole-technology
- SMD/SMT: surface mounted device / surface mounted technology
- BGA: Ball grid array
- CSP: chip scale package
- DCA: direct chip attach

### 21.2 Aufbau von PCBs

#### 21.2.1 Lagen-Aufbau

Ein 4-lagiges PCB ist folgendermassen aufgebaut:

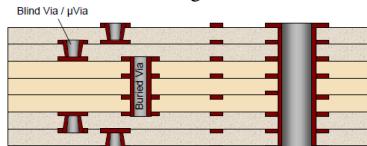
Material	Lagen	Typ	Dicke in mm
Cu-Folie	Lage 1		0.018
Prepreg		Prepreg 7628	0.180
Prepreg		Prepreg 7628	0.180
Kupfer	Lage 2		0.035
Innenlage		FR4-Kern	0.900
Kupfer	Lage 3		0.035
Prepreg		Prepreg 7628	0.180
Prepreg		Prepreg 7628	0.180
Cu-Folie	Lage 4		0.018

#### Hinweise und Eigenschaften zum Lagen-Aufbau

- Die Gesamt-Dicke eines PCBs ist meist 1.6 mm (unabhängig von der Anzahl Layer)
- PCBs sind immer symmetrisch aufgebaut
- In die Innenlagen sind meist Speisungs-Layer (Flächen mit Speisungen)
- Das Basismaterial FR4 besteht aus Epoxidharz und Glasfasergewebe

#### 21.2.2 Durchkontaktierung (Via)

Die verschiedenen Lagen des PCBs werden mit Vias miteinander verbunden.



- Buried Via (Vergraben Durchkontaktierung)
- Blind Via (Sackloch)
- Micro Via

### 21.3 Herstellungsprozess von PCBs

- Vorbereitung und Belichtung der Innenlage (Kern aus FR4)
- Ätzen der Innenlage (Kupfer wird abgeätzt)
- Aussenlage aufbringen und verpressen
- Löcher für Durchkontaktierungen (Vias) bohren
- Durchkontaktieren der Vias (elektrisch verbinden)
- Belichten und Cu-Abscheiden der Aussenlagen
- Aussenlagen ätzen (Leiterbahnen bleiben übrig)
- Lötstoppmaske (solder mask) aufbringen
- Oberfläche veredeln (Lötspuren mit Nickel oder Gold überziehen)
- Bestückungsdruck (silk-screen)
- Fräslinien, Bohrungen (ohne Durchkontaktierung), Tests

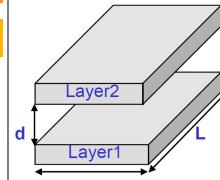
### 21.4 Elektrische Eigenschaften von PCBs

#### 21.4.1 Widerstand von Leitungen

$$R = \frac{\rho \cdot l}{w \cdot d}$$

$R$  Widerstand (@ 20 °)       $[R] = \Omega$   
 $\rho$  spez. Widerstand       $[\rho] = \frac{\Omega \text{mm}^2}{\text{m}}$   
 $l$  Länge des Leiters       $[l] = \text{m}$   
 $w$  Breite des Leiters       $[w] = \text{m}$   
 $d$  Dicke des Leiters (35 µm)       $[d] = \text{m}$

### 21.4.2 Kapazität von Leitungen



$$C = \frac{\epsilon_0 \cdot \epsilon_r \cdot W \cdot L}{d}$$

$$C \quad \text{Kapazität (Plattenkondensator!)}$$

$$\epsilon_0 \quad \text{elektrische Feldkonstante } 8.85 \cdot 10^{-12}$$

$$\epsilon_r \quad \text{relative Permittivität (FR4: } \epsilon_r = 4.5)$$

$$A = W \cdot L \quad \text{Fläche der Platten}$$

$$d \quad \text{Abstand zwischen Platten}$$

$$[C] = \text{F}$$

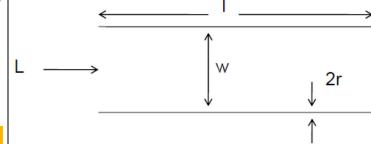
$$[\epsilon_0] = \frac{\text{F}}{\text{m}}$$

$$[\epsilon_r] = 1$$

$$[A] = \text{m}$$

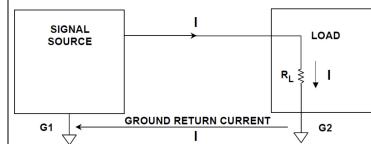
$$[d] = \text{m}$$

#### 21.4.3 Induktivität von Leitungen



$$\text{Für } l \gg w \gg r \quad L = \frac{\mu \cdot l}{\pi} \cdot \ln\left(\frac{w}{r}\right)$$

#### 21.5 Signalfluss auf dem PCB



- Strom fließt immer zurück!
  - Leitung oder ground planes
- Rückstrom nimmt Weg des geringsten Widerstands (geringste Impedanz)

## 22 Anhang

### 22.1 E-Reihen

10		12		15		18		22		27		33		39		47		56		68		82	
11		13		16		20		24		30		36		43		51		62		75		91	

E6-Reihe: blau markierte

E24-Reihe: ganze Tabelle

E12-Reihe: obere Zeile

E24-Reihe: ganze Tabelle