Elektronik 2

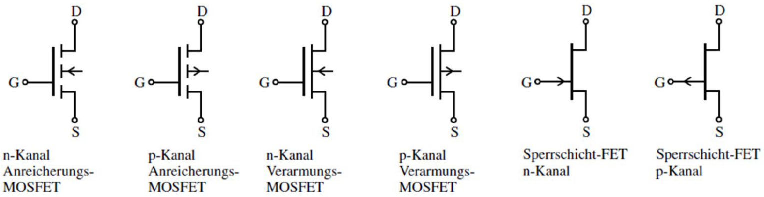
FS 24 Guido Keel (Michael Lehmann)
Autoren:
Authors

Version:
1.0.20240428
https://github.com/P4ntomime/elektronik-2

Inhaltsverzeichnis

1 Feldeffekt-Transistoren

1.1 FET-Typen und Symbole



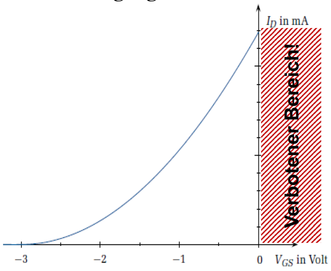
1.1.1 Anschlüsse eines FET

Kanal von **D**rain zu **S**ource (Stromfluss), gesteuert von **G**ate (und Bulk)

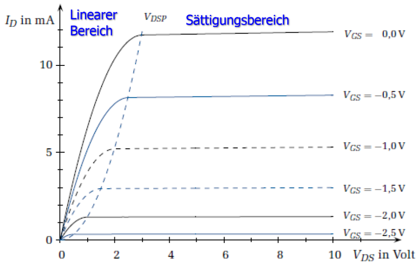
1.2 Sperrschicht-FET / Junction FET (JFET)

1.2.1 Kennlinien

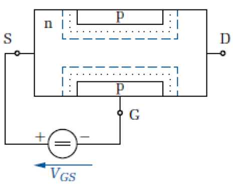
Eingangskennlinie



Ausgangskennlinien



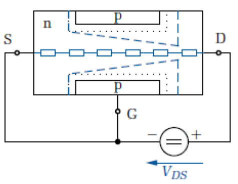
1.2.2 Linearer Bereich (gesteuerter Widerstand)



- Für **kleinen Spannung-Unterschied** V_{DS}
- V_{GS} ändert Dicke der Raumladungszone (Kanal)
- n-Kanal JFET: Je negativer V_{GS}, desto weniger Strom fliesst bzw. desto enger der Kanal

$$I_D = \frac{2 \cdot I_{DSS}}{V_p^2}\left(V_{GS} - V_p - \frac{V_{DS}}{2}\right)V_{DS}$$

1.2.3 Sättigungs-Bereich (Stromquelle)



- Für hohes V_{DS} wird leitender Kanal abgeschürt
  $\Rightarrow$ Strom kann nicht weiter steigen (Stromquelle)
- Übergang gest. Widerstand zu Stromquelle @ V_{DSP}
  $\Rightarrow V_{DSP} = V_{GS} - V_p$ (V_p = Pinch-Off-Spannung)

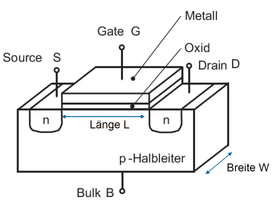
$$I_D = \frac{I_{DSS}}{V_p^2} \cdot (V_{GS} - V_p)^2$$

Verstärkungsmass Transkonduktanz:

$$g_m = \frac{2 \cdot I_{DSS}}{V_p^2} \cdot (V_{GS} - V_p) = \frac{2}{|V_p|} \cdot \sqrt{I_{DSS} \cdot I_D} \qquad [g_m] = \text{S}$$

1.3 MOS-FETs

1.3.1 Aufbau

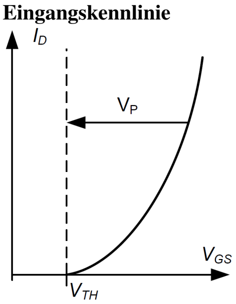


L	Länge des Transistors
W	Breite des Transistors

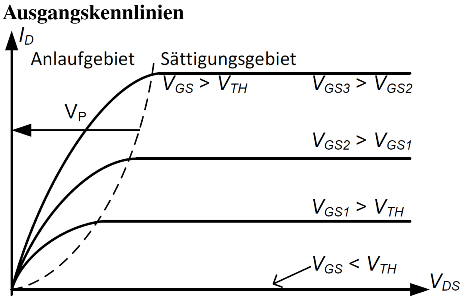
- N-Kanal FET: Drain und Source sind n-dotiert
- Kanal ist p-dotiert

1.3.2 Kennlinien

Eingangskennlinie



Ausgangskennlinien



1.3.3 Bereiche

- **Sperrbereich:** $V_{GS} < V_{TH}$
- **Linearer (Widerstands-)Bereich / Anlaufbereich:** $V_{GS} > V_{TH}$
- **Sättigungsbereich (Stromquelle):** $V_{DS} > V_{GS} - V_{TH}$

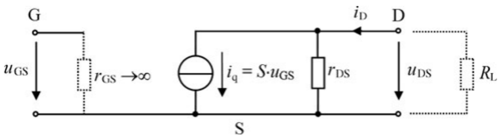
Anlaufbereich (Linearer Bereich)

$$I_{D,lin} = \beta \cdot (V_{GS} - V_{TH} - \frac{V_{DS}}{2}) \cdot V_{DS}$$

Sättigungsbereich (Stromquelle)

$$I_{D,sat} = \frac{\beta}{2} \cdot (V_{GS} - V_{TH})^2$$

1.3.4 Kleinsignal-Ersatzschaltung (MOS-FET)



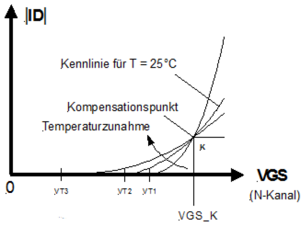
$$\beta = \frac{KP \cdot W}{L}$$

$$KP = C_{oc} \cdot \mu_n \approx 100 \frac{\mu\text{A}}{\text{V}^2}$$

$$S = g_m = \beta \cdot (V_{GS} - V_{TH}) = \sqrt{2 \cdot \beta \cdot I_D} = \sqrt{2 \cdot \frac{KP \cdot W}{L} \cdot I_D}$$

$$\frac{1}{r_{DS}} = g_{DS} = \lambda \cdot I_D$$

1.3.5 Temperaturabhängigkeit der Übrtragungskennlinie



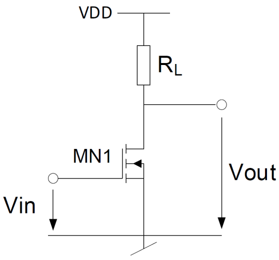
Für den n-Kanal FET gilt:

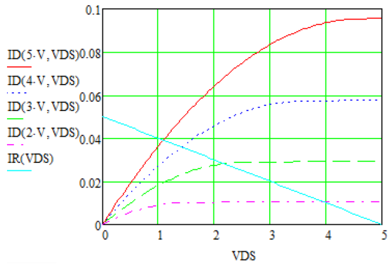
- Threshold-Spannung V_{TH} sinkt mit 1-2 $\frac{\mu\text{V}}{\text{K}}$
- β sinkt mit steigender Temperatur
- Im Kompensationspunkt bleibt I_D für fixes V_{GS} konstant

1.4 Verstärkerschaltungen mit FETs

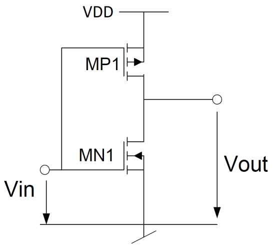
1.4.1 Source-Schaltung mit Lastwiderstand

Um den Arbeitspunkt der Schaltung zu bestimmen, wird die Lastgerade von R_L in das Ausgangskennlinienfeld eingezeichnet





1.4.2 Push-Pull / Digitaler Inverter



- V_{in} geht auf NMOS und PMOS
- Ermöglicht grössere Verstärkung

Für $V_{in} \approx \frac{V_{DD}}{2}$ gilt:

$$A_{V0} = -(g_{m1} + g_{m2}) \cdot (r_{DS1} || r_{DS2})$$

1.5 MOS-FET als (Leistungs-)Schalter

Wenn der FET als Schalter eingesetzt wird, so arbeitet er im **linearen Bereich** ($V_{GS} > V_{TH}$, d.h. $V_{out} < V_{DD} - V_{TH}$)

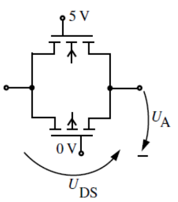
$$I_{D,lin} = \beta \cdot (V_{GS} - V_{TH} - \frac{V_{DS}}{2}) \cdot V_{DS} \qquad r_{DS} = \frac{\mathrm{d}V_{DS}}{\mathrm{d}I_D} = \frac{1}{\beta \cdot (V_{GS} - V_{TH})}$$

Schalter geschlossen: $R_{FET} = R_{DS(on)}$ Schalter offen: $R_{FET} = \infty$

1.5.1 Verlustleistung / Erwärmung

$$P_V = R_{DS} * I_{DS}^2 = 0\,\text{W} \qquad \Delta T = R_{th} \cdot P_V$$

1.6 Transmission Gate



Im Bild links gilt: $V_{DD} = 5\,\text{V}$, $V_{SS} = 0\,\text{V}$

- NMOS (oben) leitet für $V_{in} < V_{DD} - T_{TH,n}$
- PMOS (unten) leitet für $V_{in} > V_{SS} - T_{TH,p}$
- Source und Drain austauschbar
  $\Rightarrow$ Strom kann in beide Richtungen fliessen

2 Transistor-Transistor-Logik

- Meist statischer Stromverbrauch
- Asymmetrische Schaltschwellen (weniger Marge als CMOS-Logik)

2.1 Resistor Transistor Logik (RTL)

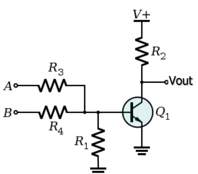


Bild: NOR-Gate

- Ausgangsspannung $V_{out} = V_+$ oder $V_{out} = V_{CE,sat}$
- **Fan-Out ist begrenzt** (Werden zu viele weitere Gatter an den Ausgang gehängt, so reicht der Strom nicht mehr, um diese zu treiben $\Rightarrow$ Spannungslevel stimmen nicht mehr, um Transisoren durchzusteuern)

2.2 Dioden-Transistor-Logik (DTL)

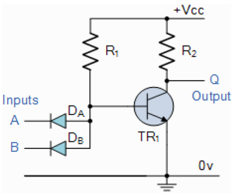
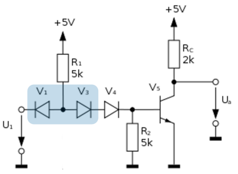
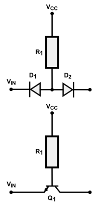


Bild: NAND-Gate
- **Fan-Out grösser**, da Transistor aktiv nach '0' zieht
- R_2 muss keine Gatter treiben (kein grosser Stromfluss)
- Nachteile: Sehr tiefer Störabstand; Transistor leitet schon bei Spannungen, welche kaum $> 0\,\mathrm{V}$ sind

2.3 Transistor-Transistor-Logik (TTL)





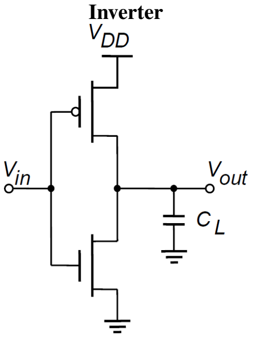
- Schaltschwelle am Eingang wird durch Dioden V_3 und V_4 um 1.4 V erhöht
- Dioden V_1 und V_3 bilden npn-Struktur $\Rightarrow$ npn-Transistor

3 CMOS-Logik

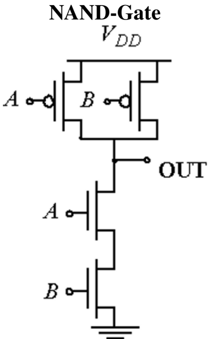
- Entweder leitender Pfad nach V_{SS} (NMOS) oder V_{DD} (PMOS)
- Kein statischer Stromverbrauch
- Langsamer als Bipolar
- Symmetrische Schaltschwellen bei ca. $\frac{V_{DD}}{2}$ (Übertrgaungskennlinie)
- Output-Level V_{ol}, V_{oh} näher bei Speisung als Input Level V_{il}, V_{ih} $\Rightarrow$ mehr Marge
- Höhere Speisespannung $\Rightarrow$ weniger propagation delay
- Nicht geeignet zur Datenübertragung über längere Strecken (kein 50 Ω Abschluss)

3.1 Grundgatter in CMOS-Logik

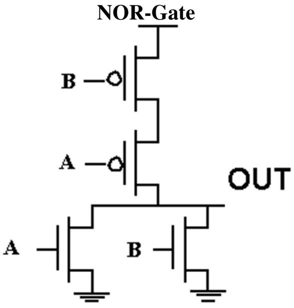
Inverter



NAND-Gate

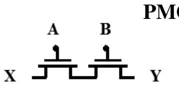


NOR-Gate

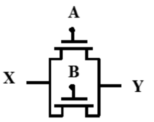


3.2 Dualität NMOS - PMOS

PMOS

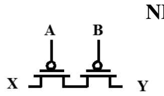


Y = X if A and B

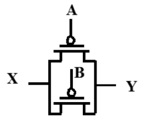


Y = X if A OR B

NMOS



$Y = X$ if $\overline{A}$ AND $\overline{B} = \overline{A+B}$



$Y = X$ if $\overline{A}$ OR $\overline{B} = \overline{AB}$

3.3 Verlustleistung bei CMOS-Logik

$$\boxed{P_V = C \cdot V_{CC}^2 \cdot f}$$

C	Kapazität (aus Datenblatt)
f	Frequenz

3.4 Verzögerungszeit

Linearer Bereich

$$\boxed{t_{pHL} = 0.69 \cdot R_{on} \cdot C_L}$$

$\Rightarrow$ Exponentielle Entladung!

Sättigung (Stromquellen-Bereich)

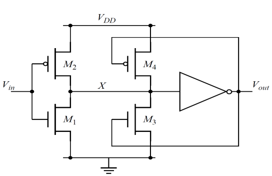
$$\boxed{t_{pHL} = \frac{C_L \cdot \frac{V_{swing}}{2}}{I_{sat}} \approx \frac{C_L}{k_n \cdot V_{DD}}}$$

$\Rightarrow$ Lineare Entladung!

4 Schmitt-Trigger

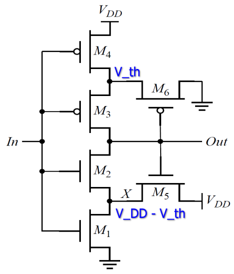
- Schaltschwellen müssen nicht sehr genau sein
- Schmitt-Trigger garantieren auch bei verrauschten Signalen saubere (einmalige) Schaltschwellen, dank der Hysterese

4.1 Aufbau nichtinvertierender digitaler Schmitt-Trigger



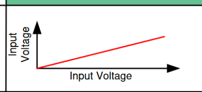
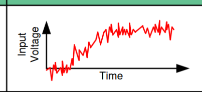
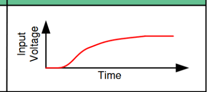
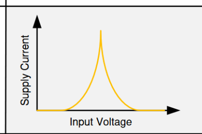
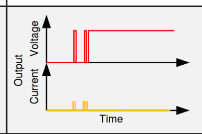
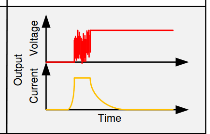
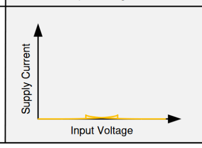
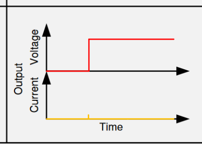
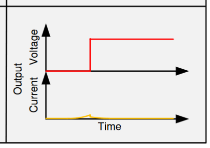
- M_1, M_2: Digitale Inverter
- M_3, M_4: 'gesteuerte Widerstände
- **Für $V_{out} = 0$**: M_4 leitet, M_3 sperrt
- **Für $V_{out} = 1$**: M_3 leitet, M_4 sperrt
- M_3, M_4 verschieben Schaltschwellen abhängig von V_{out} $\Rightarrow$ Hysterese

4.2 Aufbau invertierender digitaler Schmitt-Trigger



- Ohne M_5, M_6: Normaler Inverter mit je 2 Serie-Transistoren
- **Für $V_{out} = 1$**: Durch M_5 fliesst Strom in M_1
- V_{in} muss höher sein, um Strom der PMOS aufzunehmen $\Rightarrow$ Höhere Schaltschwelle für High-Log-Übergang
- 'Inverses' gilt für M_6 und M_4

4.3 Schmitt-Trigger vs. CMOS-Logik

	Low Power	Noise Rejection	Supports Slow Inputs
Input Voltage Waveforms			
Standard CMOS Input Response Waveforms			
Schmitt-trigger CMOS Input Response Waveforms			

5 Signalübertragung

5.1 Leitungstheorie

- Leitungen haben Widerstände, Kapazitäten und Induktivitäten $\Rightarrow$ RLC-Netzwerke
- **Fortpflanzungsgeschwindigkeit Signal:** $v = 10 - 20\,\mathrm{cm/ns}$ (Lichtgeschwindigkeit: $c = 0\,\mathrm{cm/ns}$)
- Ev. **Impedanzanpassungen** zur Verhinderung von **Reflexionen** nötig (meistens 50 Ω)
- CMOS-Logik: tiefen Quellenwiderstand, hohen Eingangswiderstand $\Rightarrow$ Nicht geeignet zur Datenübertragung über 'längere Strecken'

5.2 Einfluss / Relevanz von Refelxionen

5.2.1 Keine Reflexionen

Wenn nichts anderes bekannt gilt: $T_r = \frac{1}{10} \cdot T$

$$\boxed{T_d < \frac{1}{2} \cdot T_r}$$

$T_r = T_f$	Anstiegs- / bzw. Abfallzeit des Signals
T_d	Laufzeit des Signals
T	Periodendauer

5.2.2 Reflexionen

$$\boxed{l > \frac{1 \cdot 10^7\ \frac{\mathrm{m}}{\mathrm{s}}}{f_{max}}}$$

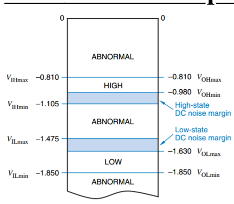
f_{max}	Maximal enthaltene Frequenz im Signal
l	Länge der Leitung

6 High-Speed-Logik

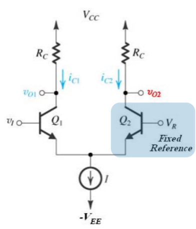
- Sättigung verhindern, da langsam (bei Bipolar-Transistoren)
- Reduzierter Spannungshub
- Stromsteuerung, da Ströme schneller geschaltet werden als Spannungen

6.1 Emitter Coupled Logic (ECL)

6.1.1 Emitter Coupled Logic (ECL)

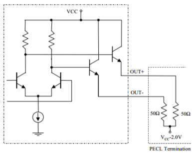


- 2 Familien: 10k (langsamer) und 100k (schneller)
- Positive Speisung: $V_{CC} = 0\,\mathrm{V}$
- Negative Speisung: $V_{EE} = -4.5\,\mathrm{V}$ / $V_{EE} = -5.2\,\mathrm{V}$
- ICs werden warm (40 mW pro Gatter)



- Eingangssignal V_I wird mit fixer Referenz V_R verglichen
- Von $V_R - 100\,\mathrm{mV}$ bis $V_R + 100\,\mathrm{mV}$ **kippt Ausgangsspannung** von V_{CC} auf $V_{CC} - R_C \cdot I_C$
- **Differentieller Spannungshub** der Ausgänge: $V_{diff} = \pm R_C \cdot I_C$
- Spannungspegel **nicht** kompatibel zu CMOS / TTL

6.1.2 Positive Emitter Coupled Logic PECL

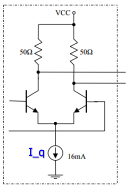


- Positive Speisung: $V_{CC} = 5\,\mathrm{V}$
- Negative Speisung: $V_{EE} = 0\,\mathrm{V}$
- Ausgangsbeschaltung mit $50\,\Omega$ Abschluss zu $V_{CC} - 2\,\mathrm{V}$ $\Rightarrow$ Reduktion der Reflexionen!
- Spannungspegel sind kompatibel zu CMOS / TTL

6.1.3 Low Voltage Positive ECL (LVPECL)

- Speisespannungen: $V_{CC} = 3.3\,\mathrm{V}$; $V_{EE} = 0\,\mathrm{V}$
- Weniger Leisutng als $5\,\mathrm{V}$ Logik; leichter anpassbar an $3.3\,\mathrm{V}$ Logik

6.2 Current Mode Logic (CML)



- Terminierung am Eingang der Folgestufe gegen V_{CC}
- Äquivalenter Widerstand: $R_{C_{eq}} = 50\,\Omega \,||\, 50\,\Omega = 25\,\Omega$

$$\boxed{\text{Differentielle Spannung: } V_{diff} = \pm R_{C_{eq}} \cdot I_q}$$

6.2.1 CML vs. ECL

ECL

- Diff-Amp mit Transistor-Bufffer; Ausgang am Emitter
- Single-ended Input (2. Eingang auf fixer Spannung)
- Single-ended Output (z.T. auch differentiell)

CML

- Ausgang direkt vom Diff-Amp
- Differentieller Input und differentieller Output
- Impedanzanpassung zur Reduktion von Reflexionen ($50\,\Omega$)

6.2.2 Vorteile / Nachteile von CML gegenüber CMOS-Logik

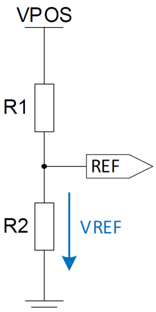
+ high Speed
+ konstanter Strom (kaum Speisungseinbrüche)
+ differentiell: wenig Störung
+ kann Kabel treiben

- hoher statischer Stromverbrauch
- differentiell: benötigt doppelt so viele Leitungen
- aufwändiges PCB-Layout wegen angepassten Leistungsimpedanzen nötig

7 Spannungsreferenzen

- Referenzspannungsquellen liefern idealerweise Ausgangsspannungen, welche **unabhängig** von Temperatur, Speisespannung und Last sind
- 2 Hauptprinzipien: Zenerdioden (meistens mit $V_Z = 5.6\,\mathrm{V}$) und Bandgap-Quellen mit $V_{out} = 1.25\,\mathrm{V}$

7.1 Spanungsteiler



Speisespannungsabhängigkeit

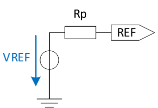
Spannungsänderung: $\boxed{\Delta V_{ref} = \Delta V_{POS} \dfrac{R_2}{R_1 + R_2}}$

Sensitivität: $\boxed{S^{V_{ref}}_{V_{POS}} = \dfrac{\frac{\Delta V_{ref}}{\Delta V_{POS}}}{\frac{\Delta V_{POS}}{V_{POS}}} = 1 \Rightarrow \text{schlecht}}$

Temperaturabhängigkeit

Da die Widerstände **gleichen Temperaturkoeffizeienten** haben ändert sich der Strom durch R_1 und R_2, jedoch nicht das Widerstandsverhältnis $\Rightarrow$ V_{ref} bleibt **konstant** $\Rightarrow$ gut

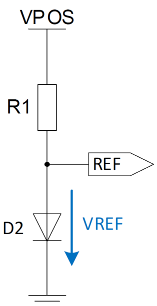
Spannungsänderung bei Lastwechsel



Ersatzschaltung der Referenzquelle durch Thévenin-Äquivalent mit

$R_P = R_1 || R_2$ $\Rightarrow$ sehr lastabhängig, da R_P gross

7.2 Diodenreferenz



$$\boxed{V_{ref} = V_D = n \cdot V_T \cdot \ln\left(\frac{I}{I_S}\right) \quad \text{mit } V_T = \frac{kT}{q} \approx 25\,\mathrm{mA}}$$

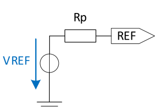
Speisespannungsabhängigkeit

Sensitivität: $\boxed{S^{V_{ref}}_{I} = \dfrac{1}{\ln\left(\frac{I}{I_S}\right)} = 0.065 \Rightarrow \text{gut}}$

Temperaturabhängigkeit

Diode hat einen **Temperaturkoeffizeint von $-2\frac{\mathrm{mV}}{\mathrm{K}}$**, d.h. V_{ref} ändert ebenfalls mit $-2\frac{\mathrm{mV}}{\mathrm{K}}$ $\Rightarrow$ schlecht

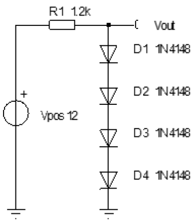
Spannungsänderung bei Lastwechsel



Diode durch Kleinsignal-Ersatzschaltung ersatzen und Ersatzschaltung der Referenzquelle durch Thévenin-Äquivalent mit

$R_P = R_1 || r_D$ $\Rightarrow$ weniger lastabhängig, da $r_D = \dfrac{n \cdot V_T}{I_D} \approx 7\,\Omega$

7.3 Spannungsreferenz mit mehreren Dioden

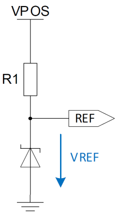


m = Anzahl Dioden in Serie (links: $m = 4$)

- Strom durch Dioden muss $> 0\,\mathrm{A}$ sein, damit $V_D \approx 0.7\,\mathrm{V}$
- Spannung über m Dioden: $\boxed{V_{out} = m \cdot V_D}$
- Max. Ausgangsstrom: $\boxed{I_{out,max} = \dfrac{V_{pos} - V_{out}}{R_1}}$
- **Temperaturabhängigkeit:** $TK_{tot} = m \cdot -2\frac{\mathrm{mV}}{\mathrm{K}}$

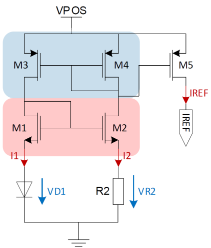
7.4 Spannungsreferenz mit Zenerdioden (Shunt-Regler)

Shunt-Regler: Überflüssiger Strom wird durch ein Element abgeführt $\Rightarrow$ Je nach Last wird mehr oder weniger Strom in Z-Diode verheizt



- V_{REF} entspricht Zener-Spannung der Z-Diode
- Häufigste Zener-Spannung: $5.6\,\mathrm{V}$ $\Rightarrow$ TK $= 0\frac{\mathrm{mV}}{\mathrm{K}}$
- Strom $I = \frac{V_{POS} - V_{REF}}{R_1}$ fliesst entweder durch Diode oder durch Last
- $I_{out} < I_{out,max} = \frac{V_{POS} - V_{REF}}{R_1}$

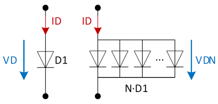
7.5 Bootstrap-Referenz (V_D Stromquelle)



- Stromspiegel M_3 und M_4 $\Rightarrow$ $I_1 = I_2$
- Stromspiegel M_1 und M_2 $\Rightarrow$ $V_{GS1} = V_{GS1}$ da $I_1 = I_2$
- Da Temperaturkoeffizeint von $V_{D1} \approx -2\frac{\mathrm{mV}}{\mathrm{K}}$ nimmt I_{out} mit steigender Temperatur ab $\Rightarrow$ schlechte Referenz
- Schaltung hat zwei mögliche Arbeitspunkte (AP $I_1 = I_2 = 0$ ist unerwünscht!)

$\boxed{V_{D1} = I_2 \cdot R_2 = V_{R2}}$ $\boxed{I_{REF} = I_1 = I_2}$

7.6 Proportional To Absolute Temperature (PTAT)

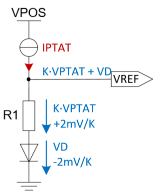


$$V_D = n \cdot \frac{kT}{q} \cdot \ln\left(\frac{I_D}{I_S}\right) \qquad V_{DN} = n \cdot \frac{kT}{q} \cdot \ln\left(\frac{I_D}{N \cdot I_S}\right)$$

$$\boxed{\Delta V_D = V_D - V_{DN} = n \cdot \frac{kT}{q} \cdot \ln(N) = TK \cdot T}$$

$\Rightarrow \Delta V_T$ ist Proportional zur absoluten Temperatur T

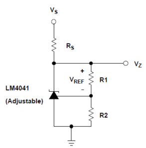
7.7 Bandgap-Spannungsreferenz



$$\boxed{V_{REF} = K \cdot V_{PTAT} + V_D}$$

- Der positive Temperaturkoeffizient von V_{PTAT} wird mit dem Faktor K verstärkt, sodass $K \cdot TK_{PTAT} = +2\frac{\mathrm{mV}}{\mathrm{K}}$
- Der nun positive Temperaturkoeffizient wird mit einer Diodenquelle mit $TK_{Diode} = -2\frac{\mathrm{mV}}{\mathrm{K}}$ kompensiert
- Der gesamte Temperaturkoeffizient $TK_{bandgap} = 0\frac{\mathrm{mV}}{\mathrm{K}}$
- V_{REF} buffern, damit der Ausgang belastet werden darf

Beispiel: LM4041 Shunt Voltage Bandgap Reference

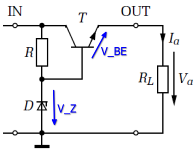


$$\boxed{V_{out} = V_Z = V_{REF}\left(1 + \frac{R_2}{R_1}\right)}$$

- Einstellbare Referenzspannung $V_Z = V_{out}$
- Interne Referenz: $V_{REF} = 1.25\,\mathrm{V}$ (Bandgap-Referenz)

8 Lineare Spannungsregler

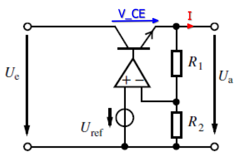
8.1 Spannungsstabilisierung mit Z-Diode und BJT



$$\boxed{V_{out} = V_Z - V_{BE}}$$

- Ausgang kann viel Strom liefern
- Ausgangsspannung **sinkt** um ca. $20\,\mathrm{mV}$ bei **Verdoppelung** des Stroms
- Ausgangsspannung **sinkt** um $-2\frac{\mathrm{mV}}{\mathrm{K}}$
- **Keine Regelung** der Ausgangsspannung
- Schnell und stabil, aber nicht genau

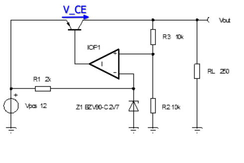
8.2 Linearer Spannungsregler



$\boxed{V_a = V_{ref}\left(1 + \frac{R_1}{R_2}\right)}$ $\boxed{P_V = V_{CE} \cdot I}$

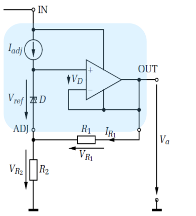
- OpAmp Ausgang ändert so lange, bis für die Spannungen gilt: $V_{R2} = V_{ref}$ ($= 1.25\,\mathrm{V}$)
- Minimaler Spannungsabfall V_{CE} über Regler: bis $2.5\,\mathrm{V}$
- Regler kann sehr warm werden $\Rightarrow$ Verlustleistung P_V

8.3 Low-Dropout-Regler mit pnp-Längstransistor (LDO)



- Feedback auf **positiven** OpAmp-Eingang!
- Ansteuerung Längstransistor mit Basisspannung $< V_{out}$
- Kleiner minimaler Spannungsabfall V_{CE} über Regler ($V_{CE,sat}$)
- Auch erhältlich mit PMOS-Transistor statt pnp-Transistor
  ⇒ Dropout-Spannung über Regler (PMOS) ist dann abhängig vom Laststrom (PMOS = gesteuerter Widerstand)

8.4 Einstellbarer Serie-Spannungsregler



$$\boxed{V_a = V_{ref} \cdot \left(1 + \frac{R_2}{R_1}\right) + I_{adj} \cdot R_2}$$

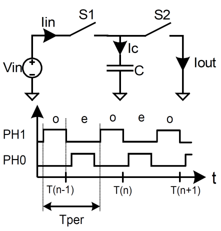
- Widerstände R_1 und R_2 sind **extern** beschaltet!
- Interne Referenz: $V_{ref} = 1.25\,\mathrm{V}$ (Bandgap)
- OpAmp regelt, damit $V_{R1} = V_{ref}$
- Damit wird $V_{R2} = V_{ref} \cdot \frac{R_2}{R_1} + I_{adj} \cdot R_2$

9 Spannungswandler mit Ladungspumpen

- Ladung kann **nicht springen** und nicht vernichtet werden
  ⇒ Ladung wird umverteilt!
- Ladungspumpen sind billige, effiziente Spannungswandler (Wirkungsgrad $> 99\,\%$ möglich)

$$\boxed{Q = C \cdot V}$$

9.1 Grundprinzip Switched-Capacitor-Schaltungen (SC)

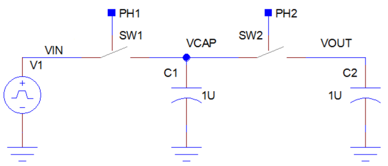


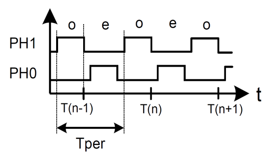
Hinweis: R_S entspricht dem Schalter-Widerstand
Weiter gilt: $t^* = t - \frac{T}{2}$

Phase PH1 (S1 geschl.)	$I_{in} = I_C = \frac{V_{in}}{R_S} \cdot e^{\frac{t}{R_S \cdot C}}$
Phase PH2 (S2 geschl.)	$I_C = -I_{out} = -\frac{V_{in}}{R_S} \cdot e^{\frac{t^*}{R_S \cdot C}}$
Durchschnittl. Strom	$\overline{I_{out}} = \frac{\Delta Q}{T} = \frac{C}{T} \cdot V_{in}$

Der 'switched capacitor' C hat einen **äquivalenten Widerstand** $R_{eq} = \frac{T}{C} = \frac{1}{f \cdot C}$

9.2 Grundprinzip Ladungspumpen



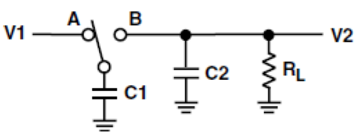


Ausgangsspannung V_{out} nähert sich schrittweise exponentiell der Eingangsspannung an!
Im ersten Zyklus ist $V_{out} = 0\,\mathrm{V}$

Phase PH1	Kapazität C_1 wird auf V_{in} geladen
	$Q_1 = C_1 \cdot V_{in}$ und $Q_2 = C_2 \cdot V_{out}$
Phase PH2	Ladung **verschiebt** sich von C_1 auf C_2, bis beide Kapazitäten dieselbe Spannung aufweisen
	$Q_{tot} = Q_1 + Q_2 = C_1 \cdot V_{in} + C_2 \cdot V_{out}$
	⇒ Neue Ausgangsspannung: $V_{out} = \frac{Q_{tot}}{C_1 + C_2}$

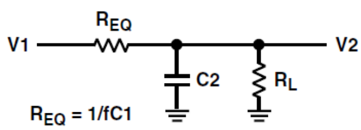
9.3 Allgemeine Funktionsweise geschaltete Kapazitäten

Switched Capacitor C_1



- Strom fliesst in 'Paketen':
  $\Delta Q = C_1 \cdot \Delta V$
- Durchschnittlicher Strom proportional zu C_1, ΔV und Schaltfrequenz f

Ersatzschaltung mit R_{eq}

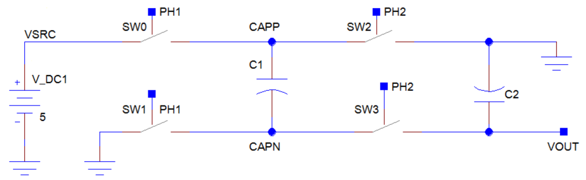


- Durchschnittlicher Strom proportional zu ΔV und $\frac{1}{R}$
- Geschaltetes C_1 bildet äquivalenten Widerstand $R_{eq} = \frac{1}{f \cdot C_1} = \frac{T}{C}$

Für beide Schaltungen gilt, dass der **finale Wert der Ausgangsspannung** $V_{out} = V_2$ durch den **Spannungsteiler** von R_L und R_{eq} bestimmt wird:

$$\boxed{V_{out} = V_{in} \cdot \frac{R_L}{R_{eq} + R_L}} \qquad \boxed{I = \frac{V_1 - V_2}{R_{eq}}}$$

9.4 Spannungsinversion mit Switched Capacitors



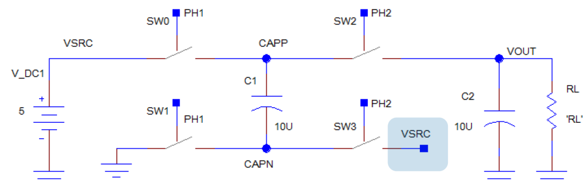
Ausgangsspannung V_{out} nähert sich schrittweise exponentiell $-V_{SRC}$ an!
Im ersten Zyklus ist $V_{out} = 0\,\mathrm{V}$

Phase PH1	Kapazität C_1 wird auf V_{SRC} geladen
	$Q_1 = C_1 \cdot V_{SRC}$ und $Q_2 = C_2 \cdot V_{out}$
Phase PH2	Positiver Anschluss von C_1 wird mit GND verbunden
	⇒ Negativer Anschluss von C_1 auf Potential $-V_{SRC}$
	$Q_{tot} = Q_2 - Q_1 = C_2 \cdot V_{out} - C_1 \cdot V_{SRC}$
	⇒ Neue Ausgangsspannung: $V_{out} = \frac{Q_{tot}}{C_1 + C_2}$

Für $C_1 = C_2$ ändert sich die Ausgangsspannung V_{out} folgendermassen:

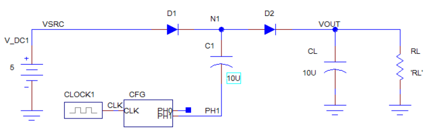
$$V_{out} = (-\frac{1}{2}, -\frac{3}{4}, -\frac{7}{8} \cdots - 1) \cdot V_{SRC}$$

9.5 Spanungsverdoppler mit Switched Capacitors



- PH1: C_1 wird auf Eingangsspannung V_{in} aufgeladen
- PH2: Negativer Anschluss CAPN wird mit V_{SRC} verbunden ⇒ Positiver Anschluss C_1 springt auf $2 \cdot V_{SRC}$
- Ladung teilt sich zwischen C_1 und C_2 auf, sodass V_{out} schrittweise ansteigt

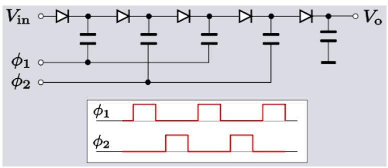
9.6 Dickson Charge Pump (Spannungsvervielfacher)



- Mehrstufige Spannungsvervielfacher (hier: einstufig)
- Anzahl Dioden n
- Kaskadierung möglich

$$\boxed{V_{out} = n \cdot (V_{SRC} - V_D)}$$

9.6.1 Mehrstufige Dickson Charge Pump



- Mehrstufige Spannungsvervielfacher (hier: $n = 5$)

$$\boxed{V_{out} = n \cdot (V_{SRC} - V_D)}$$

10 Schaltregler

SMPS (switched-mode-power-supply) sind getaktete Systeme, deren übliche Schaltfrequenzen im Bereich von $20\,\mathrm{kHz}$ bis zu einigen MHz liegen.

10.1 Spannungswandler mit Spulen

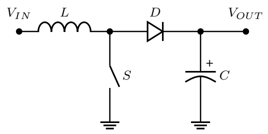
- **Grundprinzip**
  - Energie wird au einer (Spannungs-)Quelle bezogen, in verlustarmen Elementen (**Spulen**, Kondensatoren) zwischengespeichert, auf die gewünschte Spannung gebracht und stabilisiert.
- **Gemeinsamkeiten aller aufgeführten Spannungswandler mit Spulen**
  - Energie wird in Magnetfeld gespeichert $E_L = \frac{1}{2} L \cdot i_L^2$
  - Spannung über Spule bewirkt Änderung des Stroms
    $V_L = L \cdot \frac{di_L}{dt}$ oder $I_L = \frac{1}{L} \int V_L(t)\,dt + I_0 = \frac{V_L}{L} \cdot t + I_0$
  - Zur Stabilisierung der Spannung werden Kondensatoren benötigt (potentieller LC-Schwingkreis!)
  - Für die meisten Rechnungen kann man annehmen, dass:
    - V_{in} und V_{out} **konstant** sind
    - Die **Schalter ideal** sind (kein Schaltwiderstand)
    - die**Dioden keinen Spannungsabfall** haben

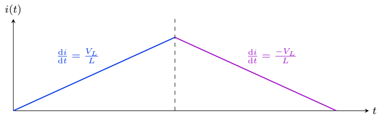
Hinweis: Zur Steigerung der Effizienz werden Dioden manchmal durch MOS-FETs ersetzt ('nur' $R_{DS,on}$ statt grosser Spannungsabfall). Die Schalter werden in der Praxis ebenfalls mit einem FET realisiert.

10.2 Energien in den Komponenten

Energie in Spule	$E_L = \frac{1}{2} \cdot L \cdot i_L^2$
Energie in Kondensator	$E_C = \frac{1}{2} \cdot C \cdot V_C^2$
Energie in Last (pro Periode)	$E_{load} = \frac{1}{2} P_{load} \cdot T_{clk} = \frac{1}{2} \cdot \frac{V_{out}^2}{R_{load}} \cdot T_{clk}$

10.3 Aufwärtswandler (Boost, Step-Up Converter)





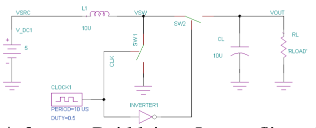
1. Phase Energie in Spule speichern	**2. Phase** Entmagnetisierung
• Schalter geschlossen • $V_L = V_{in}$ liegt an Spule an • i_L muss nicht bei $I_0 = 0$ starten!	• Schalter offen • Strom sinkt, wenn $V_{out} > V_{in}$ • Eingeschwungener Zustand: $i_L = I_0$

In **beiden Phasen** gelten die folgenden Formeln:

Ladephase	$\Delta I_{L_{on}} = \frac{1}{L} \cdot V_{in} \cdot t_{on}$
	$I_{L_{on}} = \frac{1}{L} \cdot V_{in} \cdot t_{on} + I_0$
Entladephase	$\Delta I_{L_{off}} = \frac{1}{L} \cdot (V_{in} - V_{out}) \cdot t_{off}$
	$I_{L_{off}} = \frac{1}{L} \cdot (V_{in} - V_{out}) \cdot t_{off} + I_0$
Gleichgewicht (eingeschwungen)	$\Delta I_{L_{on}} = -\Delta I_{L_{off}}$
Ausgangsspannung	$V_{out} = V_{in} \cdot \left(1 + \frac{t_{on}}{t_{off}}\right)$

Die **Ausgangsspannung** V_{out} ist **abhängig von der Last** $\Rightarrow$ Bei hochohmiger Last kann die Ausgangsspannung sehr gross werden!

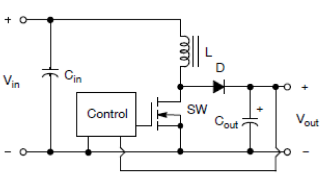
10.3.1 Synchronous Boost Converter

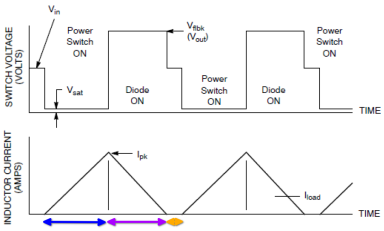


- Diode ersetzt durch Schalter SW2
- Entweder SW1 **oder** SW2 geschlossen
- VSW somit immer leitend verbunden, entweder mit GND oder mit V_{out}
  $\Rightarrow$ In Spule fliesst immer ein Strom

Achtung: Bei kleinen Lasten fliesst Strom in die Quelle zurück und die Verlustleistung in der Spule ist grösser (Drahtwiderstand)

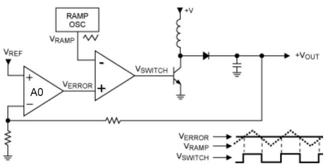
10.4 Aufwärtswandler: Lückender Betrieb





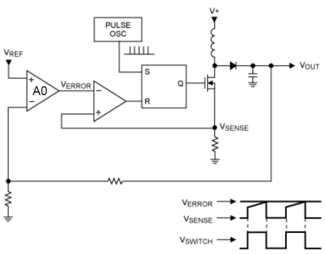
- Es existiert ein 3. Zustand, in welchem kein Strom durch Spule fliesst
- Aus $i_L = 0$ folgt $V_L = 0$
- Schalter SW offen, damit Spannung am Knoten SW $= V_{in}$ wird $\Rightarrow$ Diode sperrt
- Control schliesst Schalter, nachdem $V_{out} < V_{out,soll}$ ist $\Rightarrow$ **Regelung** von V_{out}

10.4.1 Regelung der Ausgangsspannung: voltage-mode control



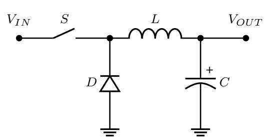
- Verstärker mit Verstäkung A0
- Komparator vergleicht V_{ERROR} mit V_{RAMP}
- $V_{OUT} - V_{REF}$ $\Uparrow$, V_{ERROR} $\Uparrow$, Schalter muss länger geschlossen bleiben $\Rightarrow$ grösserer Duty Cycle $\Rightarrow$ V_{OUT} $\Uparrow$

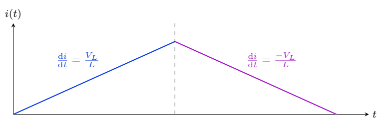
10.4.2 Regelung der Ausgangsspannung: current-mode control



- Strom wird mit Shund-Widerstand durch Spannung V_{SENSE} gemessen
- Verstärker mit Verstäkung A0
- Komparator resettiert Flip-Flop $\Rightarrow$ Schalter (FET) öffnet
- Häufiger zur Regelung verwendet als vorherige Schaltung

10.5 Abwärtswandler (Buck, Step-Down Converter)

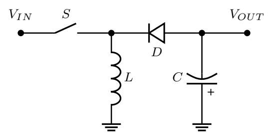


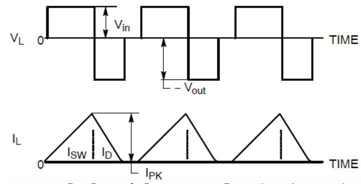


Vereinfachungen: V_{out} konstant, kein Spannungsabfall über Diode und Schalter
Formeln gelten nur, wenn immer ein Strom in der Spule fliesst

Ladephase	$\Delta I_{L_{on}} = \frac{1}{L} \cdot (V_{in} - V_{out}) \cdot t_{on}$
	$I_{L_{on}} = \frac{1}{L} \cdot (V_{in} - V_{out}) \cdot t_{on} + I_0$
Entladephase	$\Delta I_{L_{off}} = -\frac{1}{L} \cdot V_{out} \cdot t_{off}$
	$I_{L_{off}} = -\frac{1}{L} \cdot V_{out} \cdot t_{off} + I_0$
Gleichgewicht (eingeschwungen)	$\Delta I_{L_{on}} = -\Delta I_{L_{off}}$
Ausgangsspannung	$V_{out} = V_{in} \cdot \frac{t_{on}}{T}$

10.6 Invertierender Wandler (Buck-Boost Converter)

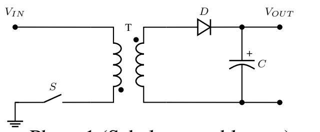




Der Converter kann im buck-mode oder boost-mode betrieben werden buck-mode: Duty Cycle $\frac{t_{on}}{T} < 0.5$; boost-mode: Duty Cycle $\frac{t_{on}}{T} > 0.5$

Ladephase	$\Delta I_{L_{on}} = \frac{1}{L} \cdot V_{in} \cdot t_{on}$
Entladephase ($V_{out} < 0$)	$\Delta I_{L_{off}} = \frac{1}{L} \cdot V_{out} \cdot t_{off}$
Gleichgewicht (eingeschwungen)	$\Delta I_{L_{on}} = -\Delta I_{L_{off}}$
Ausgangsspannung	$V_{out} = -V_{in} \cdot \frac{t_{on}}{t_{off}}$

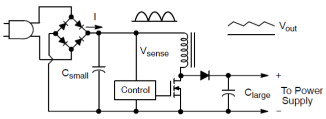
10.7 Flyback (Sperrwandler)



- Ermöglicht **galvanische Trennung** zwischen Ein- und Ausgang
- Transformator mit grosser Induktivität nötig zur Energiespeicherung (mit Luftspalt)

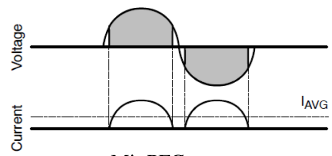
- Phase 1 (Schalter geschlossen)
  - Linear steigender Strom auf Primärseite; Energie wird im Magnetfeld gespeichert
- Phase 2 (Schalter offen)
  - Linear sinkender Strom auf Sekundärseite; Magnetfeld baut sich über Sekundärspule ab
- Phase 3 (LC-Schwingkreis)
  - C parallel zu Schalter auf Primärseite wird wirksam

10.8 Power Fail Control (PFC)



Ohne PFC

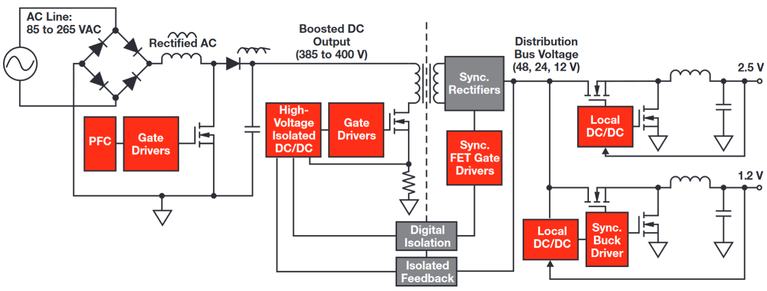
- Strom fliesst nur wenn $V_{in} > V_C$ (nur bei Spannungsmaximum)
  $\Rightarrow$ erzeugt Oberwellen (Blindleistung)



Mit PFC

- Strom soll **möglichst sinusförmig** fliessen, nicht nur beim Spannungsmaximum
- Lösung: 1. Stufe mit Boost Converter

10.9 Aufbau Modernes Netzteil



- 1. Stufe: Gleichrichtung und Boost Converter mit PFC
- 2. Stufe: Reduktion auf Systemspannung (Bus voltage) mit Flyback-Converter
- 3. Stufe: Buck Converter (ev. mehrere)

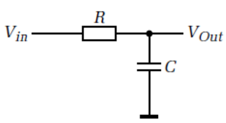
10.10 Fazit Spannungswandler SMPS

- Geschaltete Spannungsregler generrieren weniger Verlustleistung als Linearregler
- Ausgangsspannung geschalteter Spannungsregler hat **Rippel** der Schaltfrequenz
  $\Rightarrow$ Muss ev. mit Linearregler zusätzlich stabilisiert werden

11 Analoge Filter

$f_{3\,\mathrm{dB}}$	Cut-Off-Frequency, Corner-Frequency Dämpfung von 3 dB (d.h. Amplitude wird mit $\frac{1}{\sqrt{2}}$ 'verstärkt'), Phase: $-45°$
f_S	Sampling-Frequenz (ADC, digitale Filter) $\Rightarrow$ Alle Frequenzen über $\frac{f_S}{2}$ müssen unterdrückt werden
UTF	Übertragungsfunktion $G(s)$

11.1 Tiefpassfilter 1. Ordnung



$$\boxed{G(s) = \frac{V_{out}}{V_{in}} = \frac{1}{1 + s \cdot \underbrace{R \cdot C}_{T}}} \qquad \boxed{f_{3\,\mathrm{dB}} = \frac{1}{2\pi \underbrace{RC}_{T}}}$$

Hinweis: Die Zeitkonstante T entspricht immer dem Parameter vor dem s. Beim Tiefpass 1. Ordnung entspricht dies $T = R \cdot C$

11.2 Bodeplot Tiefpassfilter 1. und 2. Ordnung

1. Ordnung

- Abfall von -20dB / Dekade
- Phasenschiebung von maximal $-90°$ (bei $f_g = -45°$)

2. Ordnung

- Abfall von -40dB / Dekade
- Phasenschiebung von maximal $-180°$ (bei $f_g = -90°$)

11.3 Filter 2. Ordnung

11.3.1 Kaskadierung von zwei gleichen Filtern

$$G_{11}(s) = \frac{1}{1 + s \cdot \underbrace{R \cdot C}_{T_2}} \cdot \frac{1}{1 + s \cdot \underbrace{R \cdot C}_{T_2}} \qquad T_2 = \frac{\sqrt{\sqrt{2}-1}}{2\pi f_{3\,\mathrm{dB}}} \approx 0.64 \cdot T_1$$

Daraus folgt, dass bei 2 identischen Stufen die Grenzfrequenz $f_{3\,\mathrm{dB}}$ der einzelnen Stufen $\frac{1}{0.64} = 1.56$ mal **höher** gewählt werden muss als bei einem Filter 1. Ordnung.

11.3.2 Filter 2. Ordnung mit komplexen Polen

$$G(s) = \frac{A_0 \cdot p_1 \cdot p_2}{(p_1 + s) \cdot (p_2 + s)} = \frac{A_0 \cdot \omega_0^2}{s^2 + \frac{\omega_0}{Q} s + \omega_0^2}$$

$$p_{1,2} = \frac{\omega_0}{2Q}(1 \pm \sqrt{1 - 4Q^2})$$

p_i	Polstellen komplex für $Q > \frac{1}{2}$
Q	Polgüte / Filtergüte
ω_0	Polfrequenz

11.4 Filter höherer Ordnung

- Systeme höherer Ordnung können aufgeteilt werden in kaskadierte Teilsysteme 1. und 2. Ordnung
- Höhere Ordnung und komplexe Pole ermöglichen steileren Übergang zwischen Durchlass- und Sperrbereich

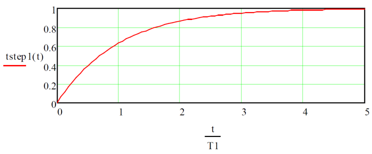
Folgende Filter erzielen durch unterschiedliche Polverteilungen unterschiedliches Verhalten:

- **Butterworth:** Konstant im Durchlassbereich der UTF
- **Bessel:** Beste Rechteckübertragung, kein Überschwingen
- **Tschebyscheff:** Steilster Abfall im Sperrbereich der UTF

11.5 Zeitverhalten: Schrittantwort

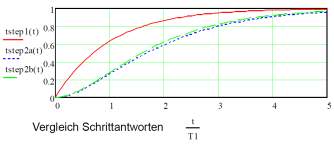
1. Frenqenzbereich: **Multiplikation** der UTF mit $\frac{1}{s}$
2. Rücktransformation in den Zeitbereich, um $t_{step}(t)$ zu erhalten

11.5.1 Tiefpass 1. Ordnung



$$t_{step,1}(t) = 1 - e^{-\frac{t}{T_1}}$$

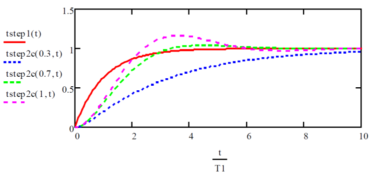
11.5.2 Tiefpass 2. Ordnung



$$t_{step2a}(t) = 1 - e^{-\frac{t}{T_1}} \cdot \left(1 + \frac{t}{T_1}\right)$$

$$t_{step2b}(t) = 1 - \left(\frac{T_1 \cdot e^{-\frac{t}{T_1}} - T_2 \cdot e^{-\frac{t}{T_2}}}{T_1 - T_2}\right)$$

11.6 Schrittantworten verschiedener Polgüten



Komplexe Pole ($Q > 0$) führt zu Überschwingern.
Bei einer Polgüte von $Q = \frac{1}{\sqrt{2}} \approx 0.7$ (grüne Kruve) schwingt das System am schnellsten ein!

11.7 Filter 2. Ordnung

Tiefpass

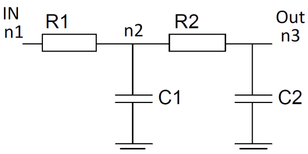
$$\boxed{G(s) = \frac{V_{out}}{V_{in}} = \frac{A_0}{1 + \frac{1}{\omega_0 \cdot Q} s + \frac{1}{\omega_0^2} s^2}}$$

Bandpass

$$\boxed{G(s) = \frac{V_{out}}{V_{in}} = \frac{A \cdot \frac{\omega_0}{Q} \cdot s}{s^2 + \frac{\omega_0}{Q} s + \omega_0^2}}$$

Passive RC-Filter können maximal Güte 0.5 haben (entkoppelte reelle Pole). Filter höherer Güte benötigen entweder Spulen oder **Verstärker**.

Beispiel: UTF Tiefpass 2. Ordnung

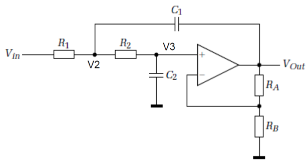


$$A_0 = 1 \qquad \omega_0 = \frac{1}{\sqrt{C_1 C_2 R_1 R_2}}$$

$$Q = \frac{\sqrt{C_1 C_2 R_1 R_2}}{C_1 R_1 + C_2 R_1 + C_2 R_2}$$

$$G(s) = \frac{V_{out}}{V_{in}} = \frac{1}{1 + (C_1 R_1 + C_2 R_1 + C_2 R_2) \cdot s + C_1 C_2 R_1 R_2 \cdot s^2}$$

11.8 Sallen-Key-Filter (Einfachmitkopplung)



OpAmp: $V_{out} = G_0 \cdot V_3 = \left(1 + \frac{R_A}{R_B}\right) \cdot V_3$

$$\omega_0 = \frac{1}{\sqrt{C_1 C_2 R_1 R_2}}$$

$$Q = \frac{\sqrt{C_1 C_2 R_1 R_2}}{C_2(R_1 + R_2) + C_1 R_1 \cdot (1 - G_0)}$$

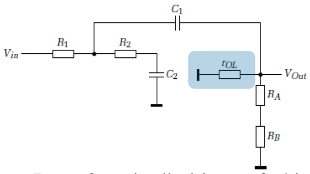
$$\boxed{G(s) = \frac{G_0}{C_1 C_2 R_1 R_2 \cdot s^2 + [C_2(R_1 + R_2) + C_1 R_1 (1 - G_0)] \cdot s + 1}}$$

Stromgleichungen:

$$\text{V2:} \quad 0 = (V_2 - V_{in}) \frac{1}{R_1} + (V_2 - V_3) \frac{1}{R_2} + (V_2 - V_{out}) \cdot s \cdot C_1$$

$$\text{V3:} \quad 0 = (V_3 - V_2) \frac{1}{R_2} + V_3 \cdot s \cdot C_2$$

11.8.1 Sallen-Key-Filter bei hohen Frequnezen

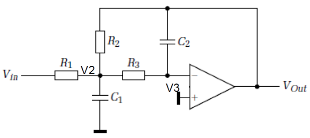


$$\boxed{\frac{V_{out}}{V_{in}} =\approx \frac{r_{OL}}{R_1 + r_{OL}}}$$

r_{OL} ist der OpAmp open-loop Ausgangswiderstand (bei hohen Frequenzen $\approx 100\,\Omega$)

- Dämpfung ist limitiert auf obigen Spannungsteiler $\Rightarrow$ Sallen-Key-Filter sind nicht geeignet für Systeme mit hohen Frequenzanteilen z.B. PWM-DAC

11.9 Multiple-Feedback-Struktur



OpAmp: $G_0 = -\frac{R_2}{R_1}$

$$Q = \frac{\sqrt{C_1 C_2 R_1 R_2}}{C_2\left(R_2 + R_2 + R_3 \frac{R_2}{R_1}\right)}$$

$$\boxed{G(s) = \frac{G_0}{1 + C_2\left(R_2 + R_2 + R_3 \frac{R_2}{R_1}\right) \cdot s + C_1 C_2 R_2 R_3 \cdot s^2}}$$

Stromgleichungen:

$$\text{V2:} \quad 0 = (V_2 - V_{in}) \frac{1}{R_1} + (V_2 - V_{out}) \frac{1}{R_2} + (V_2 - V_3) \frac{1}{R_3} + V_2 \cdot s \cdot C_1$$

$$\text{V3:} \quad 0 = (V_3 - V_2) \frac{1}{R_3} + (V_3 - V_{out}) \cdot s \cdot C_2$$

11.10 Sallen-Key vs. Multiple-Feedback Struktur

Sallen-Key

- Nicht-invertierend
- Q sensitiver auf Toleranzen
- Vorwärtspfad für hohe Frequenzen
- Noise-Gain: A
- Eher für
  - Hochpass
  - kleine Verstärkungen

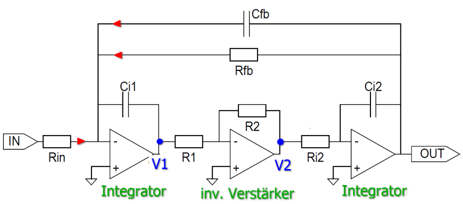
Multiple-Feedback

- Invertierend
- f_g sensitiver auf Toleranzen
- Noise-Gain: $A + 1$
- Eher für
  - Tiefpass, Bandpass
  - grössere Verstärkungen

11.11 Vorgehen: UTF aus OPV-Filterschaltung ermitteln

- Stromgleichungen (Knotengleichungen) aufstellen
- Gleichungen ineinander einsetzen
- Umformen nach $G(s) = \frac{V_{out}}{V_{in}}$

11.12 Zustandsvariablen-Filter (Biquad-Filter)



Mit dieser Topologie sind alle drei **Parameter** f_0, Q und A_0 **frei wählbar!**
An V_{out} herrscht **Tiefpass-Verhalten.**

$$\boxed{G(s) = \frac{-\frac{R_{fb}}{R_{in}}}{s^2 \cdot C_{i1} C_{i2} R_{fb} R_{i2} \frac{R_1}{R_2} + s \cdot C_{fb} R_{fb} + 1}}$$

$$f_0 = \frac{1}{2\pi \sqrt{C_{i1} C_{i2} R_{fb} R_{i2} \frac{R_1}{R_2}}} \qquad Q = \frac{1}{C_{fb}} \sqrt{C_{i1} C_{i2} \frac{R_1}{R_2 R_{fb}}} \qquad A_0 = -\frac{R_{fb}}{R_{in}}$$

11.12.1 Allgemein: FIlter mit mehreren OpAmps

Mit der Filter-Struktur aus Abschnitt 11.12 können auch Bandpass- und Hochpass-Filter gebildet werden:

- **Tiefpass:** Abgriff beim 3. OpAmp (V_{out} gemäss Abschnitt 11.12)
- **Bandpass:** Abgriff beim 2. OpAmp (an Knoten V2)
- **Hochpass:** Abgriff beim 2. OpAmp, Einspeisung am neg. Eingang des 2. OpAmps

11.13 Analyse von Filterschaltungen mit Signalflussdiagrammen

Aktive Filterschaltungen (mit OpAmps) können mittels Signalflussdiagrammen (SFDs) analysiert werden. Dazu wird die gesamte Schaltung in einzelne Komponenten aufgeteilt. Diese Komponeten werden dann mit Impedanz- bzw. Admittanzfunktionen abgebildet. Um die Übertragungsfunktion (UTF) der gesamten Schaltung zu erhalten, muss die **Regel von Mason** angewendet werden.

11.13.1 Eingangsadmittanzen / (Eingangsimpedanzen)

Hinweis: Es wird normalerweise mit Eingangs**admittanzen** gearbeitet!

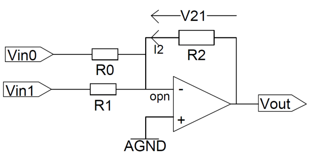
Komponente	Admittanz Y	(Impedanz Z)
Widerstand R	$Y_{res} = \frac{1}{R}$	$(Z_{res} = R)$
Kapazität C	$Y_{cap} = s \cdot C$	$(Z_{cap} = \frac{1}{s \cdot C})$
Induktivität L	$Y_{ind} = \frac{1}{s \cdot L}$	$(Z_{ind} = s \cdot L)$

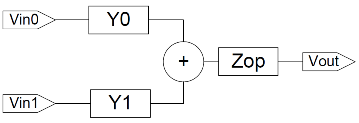
11.13.2 OpAmp Impedanzfunktionen

Hinweis: Es geht um **negatives Feedback** bzw. **Gegenkopplung**

Schaltung (Feedback)	Impedanz Z
Widerstand R_f im Feedback	$Z_{op} = -R_f$
Kapazität C_f im Feedback	$Z_{op} = -\frac{1}{s \cdot C_f}$
$R_f C_f$ (parallel) im Feedback	$Z_{op} = -\frac{R_f}{1+s \cdot C_f \cdot R_f}$

Beispiel: Summierender Verstärker

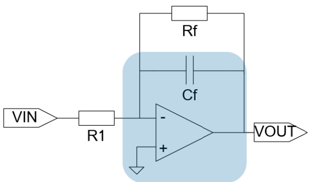


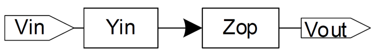


$$V_{out} = Z_{op} \cdot (Y_0 \cdot V_{in0} + Y_1 \cdot V_{in1})$$

$$Y_0 = \frac{1}{R_0} \qquad Y_1 = \frac{1}{R_1} \qquad Z_{op} = -R_f$$

Beispiel: Aktiver Tiefpass 1. Ordnung





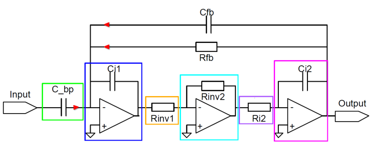
$$Y_{in} = \frac{1}{R_1} \qquad Z_{op} = -\frac{R_f}{1 + s \cdot C_f \cdot R_f}$$

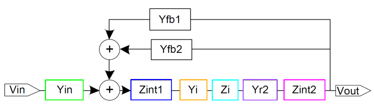
$$G(s) = \frac{V_{out}}{V_{in}} = Y_{in} \cdot Z_{op} = -\frac{R_f}{1 + s \cdot C_f \cdot R_f} \cdot \frac{1}{R_1}$$

11.14 Regel von Mason (vereinfacht)

$$\text{UTF:} \quad G(s) = \frac{V_{out}}{V_{in}} = \frac{\text{Produkt der Transmittanzen im Vorwärtspfad}}{1 - \text{Summe aller Schleifentransmittanzen}}$$

Beispiel: Analyse Bandpass mittels SFD und Regel von Mason





$$G(s) = \frac{V_{out}}{V_{in}} = \frac{Y_{in} \cdot Z_{int1} \cdot Y_i \cdot Z_i \cdot Y_{r2} \cdot Z_{int2}}{1 - (Y_{fb1} - Y_{fb2}) \cdot Z_{int1} \cdot Y_i \cdot Z_i \cdot Y_{r2} \cdot Z_{int2}}$$

12 Anhang

12.1 Temperaturabhängigkeit von Widerständen

$$\boxed{R_\vartheta = R_{20} + \Delta R}$$

$$\boxed{\Delta R = R_{20} \cdot \alpha \cdot \Delta\vartheta}$$

R_ϑ	Widerstand bei Temperatur ϑ	$[R_\vartheta] = \Omega$
R_{20}	Widerstand bei 20 °C	$[R_{20}] = \Omega$
α	Temperaturkoeffizient	$[\alpha] = \frac{1}{\mathrm{K}}$
$\Delta\vartheta$	Temperaturdifferenz $\vartheta - 20\,°\mathrm{C}$	$[\Delta\vartheta] = °\mathrm{C}$