

# Elektronik 2

FS 24 Guido Keel (Michael Lehmann)

Autoren:

Authors

Version:

1.0.20240324

<https://github.com/P4ntomime/elektronik-2>

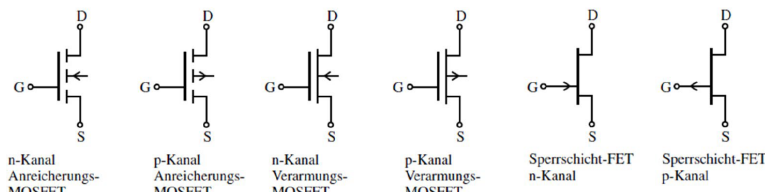


## Inhaltsverzeichnis

<b>1</b>	<b>Feldeffekt-Transistoren</b>	<b>2</b>			
1.1	FET-Typen und Symbole . . . . .	2	4.2	Aufbau invertierender digitaler Schmitt-Trigger . . . . .	3
1.2	Sperrschicht-FET / Junction FET (JFET) . . . . .	2	4.3	Schmitt-Trigger vs. CMOS-Logik . . . . .	3
1.3	MOS-FETs . . . . .	2	<b>5</b>	<b>Signalübertragung</b>	<b>3</b>
1.4	Verstärkerschaltungen mit FETs . . . . .	2	5.1	Leitungstheorie . . . . .	3
1.5	MOS-FET als (Leistungs-)Schalter . . . . .	2	5.2	Einfluss / Relevanz von Reflexionen . . . . .	3
1.6	Transmission Gate . . . . .	2	<b>6</b>	<b>High-Speed-Logik</b>	<b>3</b>
<b>2</b>	<b>Transistor-Transistor-Logik</b>	<b>2</b>	6.1	Emitter Coupled Logic (ECL) . . . . .	3
2.1	Resistor Transistor Logik (RTL) . . . . .	2	6.2	Current Mode Logic (CML) . . . . .	4
2.2	Dioden-Transistor-Logik (DTL) . . . . .	3	<b>7</b>	<b>Spannungsreferenzen</b>	<b>4</b>
2.3	Transistor-Transistor-Logik (TTL) . . . . .	3	7.1	Spannungsteiler . . . . .	4
<b>3</b>	<b>CMOS-Logik</b>	<b>3</b>	7.2	Diodenreferenz . . . . .	4
3.1	Grundgatter in CMOS-Logik . . . . .	3	7.3	Spannungsreferenz mit mehreren Dioden . . . . .	4
3.2	Dualität NMOS - PMOS . . . . .	3	7.4	Spannungsreferenz mit Zenerdioden (Shunt-Regler) . . . . .	4
3.3	Verlustleistung bei CMOS-Logik . . . . .	3	7.5	Bootstrap-Referenz (VD Stromquelle) . . . . .	4
3.4	Verzögerungszeit . . . . .	3	7.6	Proportional To Absolute Temperature (PTAT) . . . . .	4
<b>4</b>	<b>Schmitt-Trigger</b>	<b>3</b>	7.7	Bandgap-Spannungsreferenz . . . . .	4
4.1	Aufbau nichtinvertierender digitaler Schmitt-Trigger . . . . .	3	<b>8</b>	<b>Lineare Spannungsregler</b>	<b>4</b>

# 1 Feldeffekt-Transistoren

## 1.1 FET-Typen und Symbole

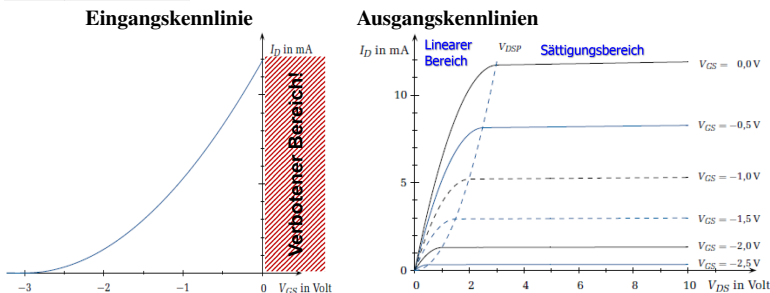


### 1.1.1 Anschlüsse eines FET

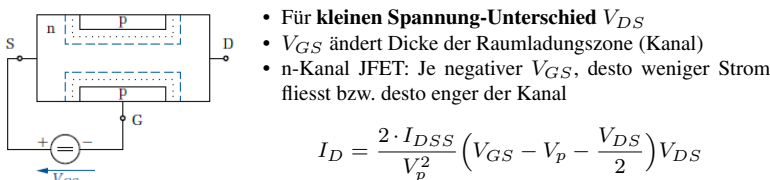
Kanal von Drain zu Source (Stromfluss), gesteuert von Gate (und Bulk)

## 1.2 Sperrschicht-FET / Junction FET (JFET)

### 1.2.1 Kennlinien



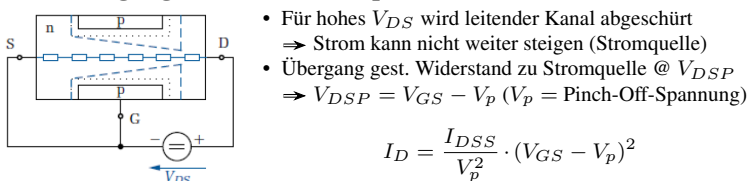
### 1.2.2 Linearer Bereich (gesteuerter Widerstand)



- Für kleinen Spannung-Unterschied  $V_{DS}$
- $V_{GS}$  ändert Dicke der Raumladungszone (Kanal)
- n-Kanal JFET: Je negativer  $V_{GS}$ , desto weniger Strom fließt bzw. desto enger der Kanal

$$I_D = \frac{2 \cdot I_{DSS}}{V_p^2} (V_{GS} - V_p - \frac{V_{DS}}{2}) V_{DS}$$

### 1.2.3 Sättigungs-Bereich (Stromquelle)



- Für hohes  $V_{DS}$  wird leitender Kanal abgeschnitten  
⇒ Strom kann nicht weiter steigen (Stromquelle)
- Übergang gest. Widerstand zu Stromquelle @  $V_{DSP}$   
⇒  $V_{DSP} = V_{GS} - V_p$  ( $V_p$  = Pinch-Off-Spannung)

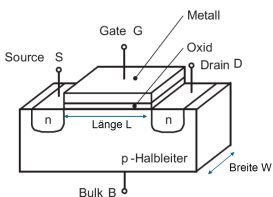
$$I_D = \frac{I_{DSS}}{V_p^2} \cdot (V_{GS} - V_p)^2$$

Verstärkungsmass Transkonduktanz:

$$g_m = \frac{2 \cdot I_{DSS}}{V_p^2} \cdot (V_{GS} - V_p) = \frac{2}{|V_p|} \cdot \sqrt{I_{DSS} \cdot I_D} \quad [g_m] = S$$

## 1.3 MOS-FETs

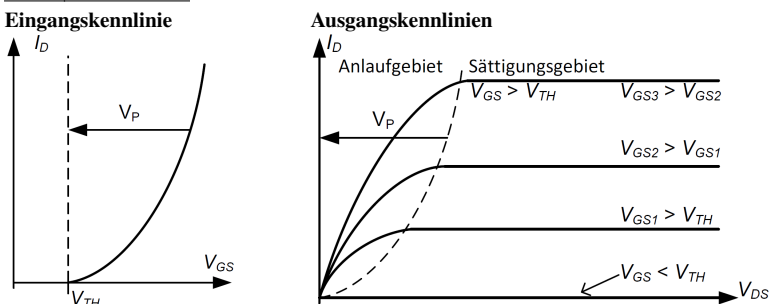
### 1.3.1 Aufbau



L Länge des Transistors  
W Breite des Transistors

- N-Kanal FET: Drain und Source sind n-dotiert
- Kanal ist p-dotiert

### 1.3.2 Kennlinien



### 1.3.3 Bereiche

- Sperrbereich:  $V_{GS} < V_{TH}$
- Linearer (Widerstands-)Bereich / Anlaufbereich:  $V_{GS} > V_{TH}$
- Sättigungsbereich (Stromquelle):  $V_{DS} > V_{GS} - V_{TH}$

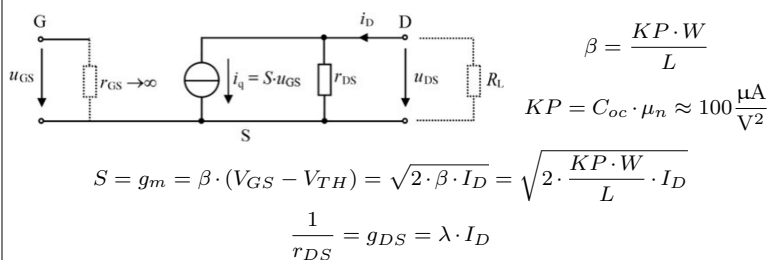
Anlaufbereich (Linearer Bereich)

Sättigungsbereich (Stromquelle)

$$I_{D,lin} = \beta \cdot (V_{GS} - V_{TH} - \frac{V_{DS}}{2}) \cdot V_{DS}$$

$$I_{D,sat} = \frac{\beta}{2} \cdot (V_{GS} - V_{TH})^2$$

## 1.3.4 Kleinsignal-Ersatzschaltung (MOS-FET)



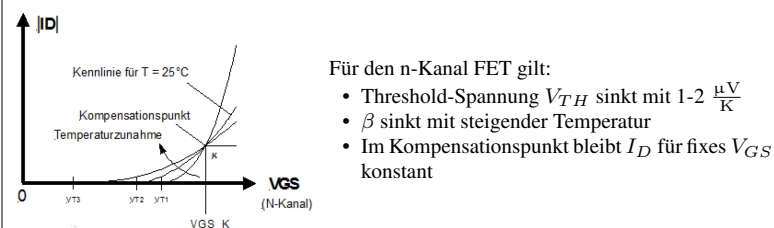
$$\beta = \frac{KP \cdot W}{L}$$

$$KP = C_{oc} \cdot \mu_n \approx 100 \frac{\mu A}{V^2}$$

$$S = g_m = \beta \cdot (V_{GS} - V_{TH}) = \sqrt{2 \cdot \beta \cdot I_D} = \sqrt{2 \cdot \frac{KP \cdot W}{L} \cdot I_D}$$

$$\frac{1}{r_{DS}} = g_{DS} = \lambda \cdot I_D$$

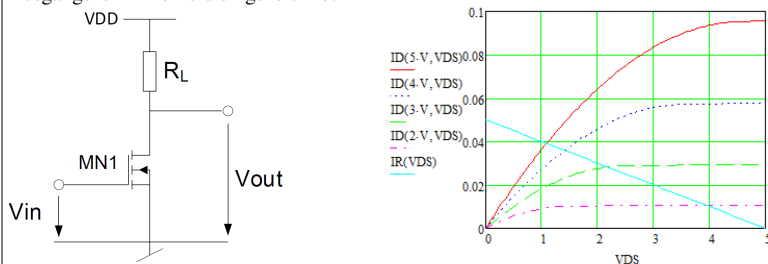
## 1.3.5 Temperaturabhängigkeit der Übertragungskennlinie



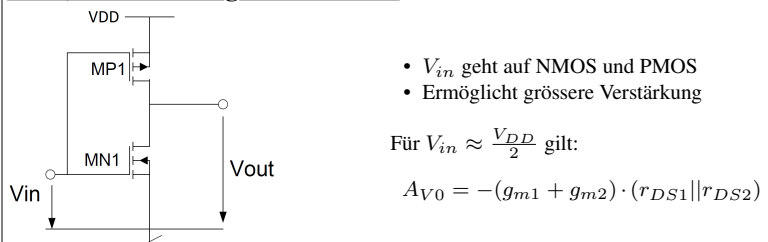
## 1.4 Verstärkerschaltungen mit FETs

### 1.4.1 Source-Schaltung mit Lastwiderstand

Um den Arbeitspunkt der Schaltung zu bestimmen, wird die Lastgerade von  $R_L$  in das Ausgangskennlinienfeld eingezeichnet



### 1.4.2 Push-Pull / Digitaler Inverter



- $V_{in}$  geht auf NMOS und PMOS
- Ermöglicht grössere Verstärkung

Für  $V_{in} \approx \frac{V_{DD}}{2}$  gilt:

$$A_{V0} = -(g_{m1} + g_{m2}) \cdot (r_{DS1} || r_{DS2})$$

## 1.5 MOS-FET als (Leistungs-)Schalter

Wenn der FET als Schalter eingesetzt wird, so arbeitet er im **linearen Bereich** ( $V_{GS} > V_{TH}$ , d.h.  $V_{out} < V_{DD} - V_{TH}$ )

$$I_{D,lin} = \beta \cdot (V_{GS} - V_{TH} - \frac{V_{DS}}{2}) \cdot V_{DS} \quad r_{DS} = \frac{dV_{DS}}{dI_D} = \frac{1}{\beta \cdot (V_{GS} - V_{TH})}$$

Schalter geschlossen:  $R_{FET} = R_{DS(on)}$

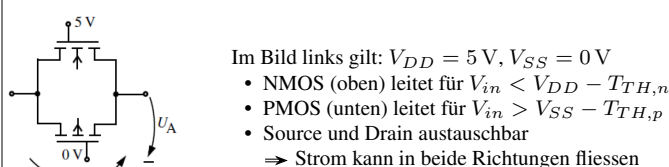
Schalter offen:  $R_{FET} = \infty$

### 1.5.1 Verlustleistung / Erwärmung

$$P_V = R_{DS} \cdot I_{DS}^2 = 0 \text{ W}$$

$$\Delta T = R_{th} \cdot P_V$$

## 1.6 Transmission Gate



Im Bild links gilt:  $V_{DD} = 5 \text{ V}$ ,  $V_{SS} = 0 \text{ V}$

- NMOS (oben) leitet für  $V_{in} < V_{DD} - V_{TH,n}$
- PMOS (unten) leitet für  $V_{in} > V_{SS} - V_{TH,p}$
- Source und Drain austauschbar  
⇒ Strom kann in beide Richtungen fließen

## 2 Transistor-Transistor-Logik

- Meist statischer Stromverbrauch
- Asymmetrische Schaltschwellen (weniger Marge als CMOS-Logik)

### 2.1 Resistor Transistor Logik (RTL)

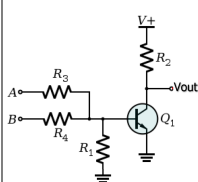


Bild: NOR-Gate

- Ausgangsspannung  $V_{out} = V_+$  oder  $V_{out} = V_{CE,sat}$
- Fan-Out ist begrenzt** (Werden zu viele weitere Gatter an den Ausgang gehängt, so reicht der Strom nicht mehr, um diese zu treiben ⇒ Spannungslevel stimmen nicht mehr, um Transistoren durchzusteuern)

## 2.2 Dioden-Transistor-Logik (DTL)

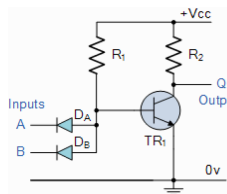
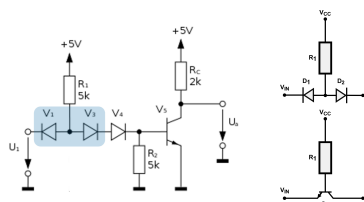


Bild: NAND-Gate

- **Fan-Out grösser**, da Transistor aktiv nach '0' zieht
- $R_2$  muss keine Gatter treiben (kein grosser Stromfluss)
- Nachteile: Sehr tiefer Störabstand; Transistor leitet schon bei Spannungen, welche kaum  $> 0\text{ V}$  sind

## 2.3 Transistor-Transistor-Logik (TTL)

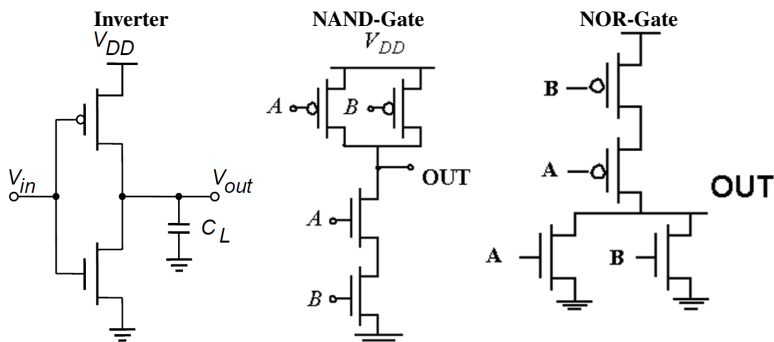


- Schaltschwelle am Eingang wird durch Dioden  $V_3$  und  $V_4$  um  $1.4\text{ V}$  erhöht
- Dioden  $V_1$  und  $V_3$  bilden npn-Struktur  $\Rightarrow$  npn-Transistor

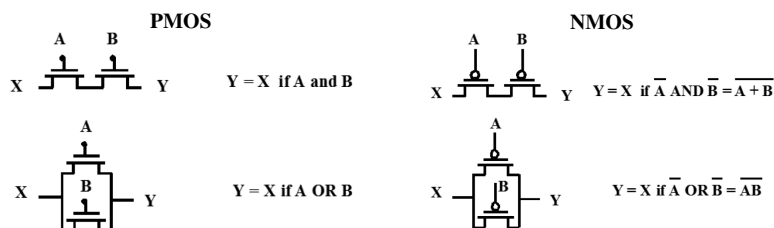
## 3 CMOS-Logik

- Entweder leitender Pfad nach  $V_{SS}$  (NMOS) oder  $V_{DD}$  (PMOS)
- Kein statischer Stromverbrauch
- Langsamer als Bipolar
- Symmetrische Schaltschwellen bei ca.  $\frac{V_{DD}}{2}$  (Übertragungskennlinie)
- Output-Level  $V_{ol}$ ,  $V_{oh}$  näher bei Speisung als Input Level  $V_{il}$ ,  $V_{ih}$   $\Rightarrow$  mehr Marge
- Höhere Speisespannung  $\Rightarrow$  weniger propagation delay
- Nicht geeignet zur Datenübertragung über längere Strecken (kein  $50\ \Omega$  Abschluss)

### 3.1 Grundgatter in CMOS-Logik



### 3.2 Dualität NMOS - PMOS



### 3.3 Verlustleistung bei CMOS-Logik

$$P_V = C \cdot V_{CC}^2 \cdot f$$

$C$  Kapazität (aus Datenblatt)  
 $f$  Frequenz

### 3.4 Verzögerungszeit

Linearer Bereich

$$t_{pHL} = 0.69 \cdot R_{on} \cdot C_L$$

$\Rightarrow$  Exponentielle Entladung!

Sättigung (Stromquellen-Bereich)

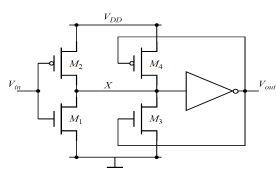
$$t_{pHL} = \frac{C_L \cdot \frac{V_{swing}}{2}}{I_{sat}} \approx \frac{C_L}{k_n \cdot V_{DD}}$$

$\Rightarrow$  Lineare Entladung!

## 4 Schmitt-Trigger

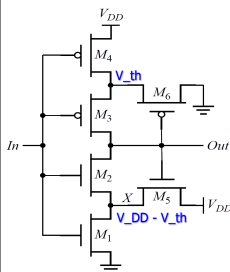
- Schaltschwellen müssen nicht sehr genau sein
- Schmitt-Trigger garantieren auch bei verrauschten Signalen saubere (einmalige) Schaltschwellen, dank der Hysterese

### 4.1 Aufbau nichtinvertierender digitaler Schmitt-Trigger



- $M_1, M_2$ : Digitale Inverter
- $M_3, M_4$ : gesteuerte Widerstände
- Für  $V_{out} = 0$ :  $M_4$  leitet,  $M_3$  sperrt
- Für  $V_{out} = 1$ :  $M_3$  leitet,  $M_4$  sperrt
- $M_3, M_4$  verschieben Schaltschwellen abhängig von  $V_{out} \Rightarrow$  Hysterese

## 4.2 Aufbau invertierender digitaler Schmitt-Trigger



- Ohne  $M_5, M_6$ : Normaler Inverter mit je 2 Serie-Transistoren
- Für  $V_{out} = 1$ : Durch  $M_5$  fliesst Strom in  $M_1$
- $V_{in}$  muss höher sein, um Strom der PMOS aufzunehmen  $\Rightarrow$  Höhere Schaltschwelle für High-Log-Übergang
- 'Inverses' gilt für  $M_6$  und  $M_4$

### 4.3 Schmitt-Trigger vs. CMOS-Logik

	Low Power	Noise Rejection	Supports Slow Inputs
Input Voltage Waveforms			
Standard CMOS Input			
Response Waveforms			
Schmitt-trigger CMOS Input			
Response Waveforms			

## 5 Signalübertragung

### 5.1 Leitungstheorie

- Leitungen haben Widerstände, Kapazitäten und Induktivitäten  $\Rightarrow$  RLC-Netzwerke
- **Fortpflanzungsgeschwindigkeit Signal**:  $v = 10 - 20\text{ cm/ns}$  (Lichtgeschwindigkeit:  $c = 0\text{ cm/ns}$ )
- Ev. **Impedanzanpassungen** zur Verhinderung von **Reflexionen** nötig (meistens  $50\ \Omega$ )
- CMOS-Logik: tiefen Quellenwiderstand, hohen Eingangswiderstand  $\Rightarrow$  Nicht geeignet zur Datenübertragung über 'längere Strecken'

### 5.2 Einfluss / Relevanz von Reflexionen

#### 5.2.1 Keine Reflexionen

Wenn nichts anderes bekannt gilt:  $T_r = \frac{1}{10} \cdot T$

$$T_d < \frac{1}{2} \cdot T_r$$

$T_r = T_f$  Anstiegs- / bzw. Abfallzeit des Signals  
 $T_d$  Laufzeit des Signals  
 $T$  Periodendauer

#### 5.2.2 Reflexionen

$$l > \frac{1 \cdot 10^7 \frac{\text{m}}{\text{s}}}{f_{max}}$$

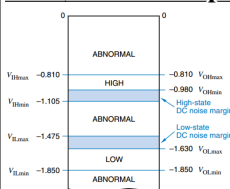
$f_{max}$  Maximal enthaltene Frequenz im Signal  
 $l$  Länge der Leitung

## 6 High-Speed-Logik

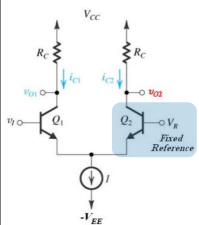
- Sättigung verhindern, da langsam (bei Bipolar-Transistoren)
- Reduzierter Spannungshub
- Stromsteuerung, da Ströme schneller geschaltet werden als Spannungen

### 6.1 Emitter Coupled Logic (ECL)

#### 6.1.1 Emitter Coupled Logic (ECL)

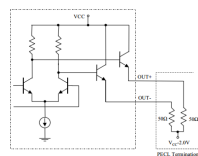


- 2 Familien: 10k (langsamer) und 100k (schneller)
- Positive Speisung:  $V_{CC} = 0\text{ V}$
- Negative Speisung:  $V_{EE} = -4.5\text{ V} / V_{EE} = -5.2\text{ V}$
- ICs werden warm ( $40\text{ mW}$  pro Gatter)



- Eingangssignal  $V_I$  wird mit fixer Referenz  $V_R$  verglichen
- Von  $V_R - 100\text{ mV}$  bis  $V_R + 100\text{ mV}$  **kippt Ausgangsspannung** von  $V_{CC}$  auf  $V_{CC} - R_C \cdot I_C$
- **Differentieller Spannungshub** der Ausgänge:  $V_{diff} = \pm R_C \cdot I_C$
- Spannungspegel **nicht** kompatibel zu CMOS / TTL

### 6.1.2 Positive Emitter Coupled Logic PECL

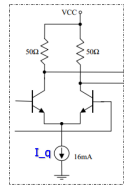


- Positive Speisung:  $V_{CC} = 5\text{ V}$
- Negative Speisung:  $V_{EE} = 0\text{ V}$
- Ausgangsbeschaltung mit  $50\ \Omega$  Abschluss zu  $V_{CC} - 2\text{ V}$   
⇒ Reduktion der Reflexionen!
- Spannungsepegel sind kompatibel zu CMOS / TTL

### 6.1.3 Low Voltage Positive ECL (LVPECL)

- Speisespannungen:  $V_{CC} = 3.3\text{ V}$ ;  $V_{EE} = 0\text{ V}$
- Weniger Leistung als  $5\text{ V}$  Logik; leichter anpassbar an  $3.3\text{ V}$  Logik

### 6.2 Current Mode Logic (CML)



- Terminierung am Eingang der Folgestufe gegen  $V_{CC}$
- Äquivalenter Widerstand:  $R_{Ceq} = 50\ \Omega \parallel 50\ \Omega = 25\ \Omega$

$$\text{Differenzielle Spannung: } V_{diff} = \pm R_{Ceq} \cdot I_q$$

#### 6.2.1 CML vs. ECL

ECL

CML

- Diff-Amp mit Transistor-Buffer; Ausgang am Emitter
- Single-ended Input (2. Eingang auf fixer Spannung)
- Single-ended Output (z.T. auch differentiell)
- Ausgang direkt vom Diff-Amp
- Differentieller Input und differentieller Output
- Impedanzanpassung zur Reduktion von Reflexionen ( $50\ \Omega$ )

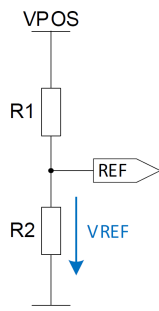
#### 6.2.2 Vorteile / Nachteile von CML gegenüber CMOS-Logik

- + high Speed
- + konstanter Strom (kaum Speisungseinbrüche)
- + differentiell: wenig Störung
- + kann Kabel treiben
- hoher statischer Stromverbrauch
- differentiell: benötigt doppelt so viele Leitungen
- aufwändiges PCB-Layout wegen angepassten Leistungsimpedanzen nötig

### 7 Spannungsreferenzen

- Referenzspannungsquellen liefern idealerweise Ausgangsspannungen, welche **unabhängig** von Temperatur, Speisespannung und Last sind
- 2 Hauptprinzipien: Zenerdioden (meistens mit  $V_Z = 5.6\text{ V}$ ) und Bandgap-Quellen mit  $V_{out} = 1.25\text{ V}$

#### 7.1 Spannungsteiler



##### Speisespannungsabhängigkeit

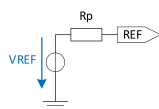
$$\text{Spannungsänderung: } \Delta V_{ref} = \Delta V_{POS} \frac{R_2}{R_1 + R_2}$$

$$\text{Sensitivität: } \frac{V_{ref}}{V_{POS}} = \frac{\Delta V_{ref}}{\Delta V_{POS}} = 1 \Rightarrow \text{schlecht}$$

##### Temperaturabhängigkeit

Da die Widerstände **gleichen Temperaturkoeffizienten** haben ändert sich der Strom durch  $R_1$  und  $R_2$ , jedoch nicht das Widerstandsverhältnis ⇒  $V_{ref}$  bleibt **konstant** ⇒ gut

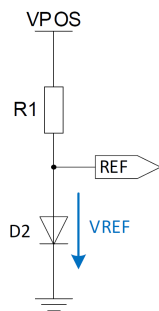
##### Spannungsänderung bei Lastwechsel



Ersatzschaltung der Referenzquelle durch Thévenin-Äquivalent mit

$$R_P = R_1 \parallel R_2 \Rightarrow \text{sehr lastabhängig, da } R_P \text{ gross}$$

#### 7.2 Diodenreferenz



$$V_{ref} = V_D = n \cdot V_T \cdot \ln\left(\frac{I}{I_S}\right) \quad \text{mit } V_T = \frac{kT}{q} \approx 25\text{ mV}$$

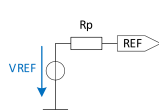
##### Speisespannungsabhängigkeit

$$\text{Sensitivität: } \frac{V_{ref}}{I} = \frac{1}{\ln\left(\frac{I}{I_S}\right)} = 0.065 \Rightarrow \text{gut}$$

##### Temperaturabhängigkeit

Diode hat einen **Temperaturkoeffizienten von  $-2\text{ mV/K}$** , d.h.  $V_{ref}$  ändert ebenfalls mit  $-2\text{ mV/K}$  ⇒ schlecht

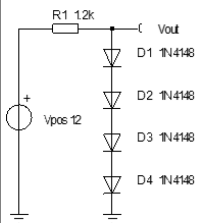
##### Spannungsänderung bei Lastwechsel



Diode durch Kleinsignal-Ersatzschaltung ersetzen und Ersatzschaltung der Referenzquelle durch Thévenin-Äquivalent mit

$$R_P = R_1 \parallel r_D \Rightarrow \text{weniger lastabhängig, da } r_D = \frac{n \cdot V_T}{I_D} \approx 7\ \Omega$$

### 7.3 Spannungsreferenz mit mehreren Dioden



$m = \text{Anzahl Dioden in Serie (links: } m = 4)$

- Strom durch Dioden muss  $> 0\text{ A}$  sein, damit  $V_D \approx 0.7\text{ V}$

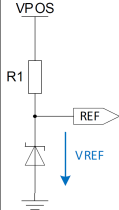
$$\text{Spannung über } m \text{ Dioden: } V_{out} = m \cdot V_D$$

$$\text{Max. Ausgangsstrom: } I_{out,max} = \frac{V_{pos} - V_{out}}{R_1}$$

$$\text{Temperaturabhängigkeit: } TK_{tot} = m \cdot -2\text{ mV/K}$$

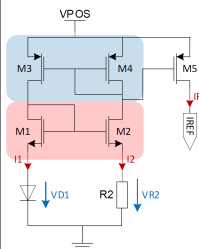
### 7.4 Spannungsreferenz mit Zenerdioden (Shunt-Regler)

**Shunt-Regler:** Überflüssiger Strom wird durch ein Element abgeführt ⇒ Je nach Last wird mehr oder weniger Strom in Z-Diode verheizt



- $V_{REF}$  entspricht Zener-Spannung der Z-Diode
- Häufigste Zener-Spannung:  $5.6\text{ V} \Rightarrow TK = 0\text{ mV/K}$
- Strom  $I = \frac{V_{POS} - V_{REF}}{R_1}$  fließt entweder durch Diode oder durch Last
- $I_{out} < I_{out,max} = \frac{V_{POS} - V_{REF}}{R_1}$

### 7.5 Bootstrap-Referenz ( $V_D$ Stromquelle)



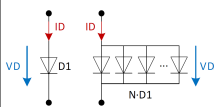
- Stromspiegel  $M_3$  und  $M_4 \Rightarrow I_1 = I_2$
- Stromspiegel  $M_1$  und  $M_2 \Rightarrow V_{GS1} = V_{GS2}$  da  $I_1 = I_2$
- Da Temperaturkoeffizient von  $V_{D1} \approx -2\text{ mV/K}$  nimmt  $I_{out}$  mit steigender Temperatur ab ⇒ schlechte Referenz
- Schaltung hat zwei mögliche Arbeitspunkte (AP  $I_1 = I_2 = 0$  ist unerwünscht!)

$$V_{D1} = I_2 \cdot R_2 = V_{R2}$$

$$I_{REF} = I_1 = I_2$$

### 7.6 Proportional To Absolute Temperature (PTAT)

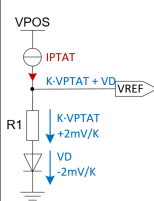
$$V_D = n \cdot \frac{kT}{q} \cdot \ln\left(\frac{I_D}{I_S}\right) \quad V_{DN} = n \cdot \frac{kT}{q} \cdot \ln\left(\frac{I_D}{N \cdot I_S}\right)$$



$$\Delta V_D = V_D - V_{DN} = n \cdot \frac{kT}{q} \cdot \ln(N) = TK \cdot T$$

⇒  $\Delta V_T$  ist Proportional zur absoluten Temperatur  $T$

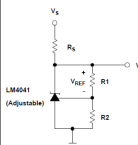
### 7.7 Bandgap-Spannungsreferenz



$$V_{REF} = K \cdot V_{PTAT} + V_D$$

- Der positive Temperaturkoeffizient von  $V_{PTAT}$  wird mit dem Faktor  $K$  verstärkt, sodass  $K \cdot TK_{PTAT} = +2\text{ mV/K}$
- Der nun positive Temperaturkoeffizient wird mit einer Diodenquelle mit  $TK_{Diode} = -2\text{ mV/K}$  kompensiert
- Der gesamte Temperaturkoeffizient  $TK_{bandgap} = 0\text{ mV/K}$
- $V_{REF}$  buffern, damit der Ausgang belastet werden darf

#### Beispiel: LM4041 Shunt Voltage Bandgap Reference



$$V_{out} = V_Z = V_{REF} \left(1 + \frac{R_2}{R_1}\right)$$

- Einstellbare Referenzspannung  $V_Z = V_{out}$
- Interne Referenz:  $V_{REF} = 1.25\text{ V}$  (Bandgap-Referenz)

### 8 Lineare Spannungsregler