

# Elektronik 2

FS 24 Guido Keel (Michael Lehmann)

Autoren:

Authors

Version:

1.0.20240509

<https://github.com/P4ntomime/elektronik-2>

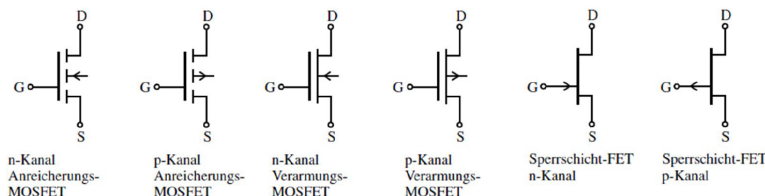


## Inhaltsverzeichnis

<b>1 Feldeffekt-Transistoren</b>	<b>2</b>	<b>9 Spannungswandler mit Ladungspumpen</b>	<b>5</b>
1.1 FET-Typen und Symbole	2	9.1 Grundprinzip Switched-Capacitor-Schaltungen (SC)	5
1.2 Sperrschicht-FET / Junction FET (JFET)	2	9.2 Grundprinzip Ladungspumpen	5
1.3 MOS-FETs	2	9.3 Allgemeine Funktionsweise geschaltete Kapazitäten	5
1.4 Verstärkerschaltungen mit FETs	2	9.4 Spannungsinversion mit Switched Capacitors	5
1.5 MOS-FET als (Leistungs-)Schalter	2	9.5 Spanungsverdoppler mit Switched Capacitors	5
1.6 Transmission Gate	2	9.6 Dickson Charge Pump (Spannungsvervielfacher)	5
<b>2 Transistor-Transistor-Logik</b>	<b>2</b>	<b>10 Schaltregler</b>	<b>5</b>
2.1 Resistor Transistor Logik (RTL)	2	10.1 Spannungswandler mit Spulen	5
2.2 Dioden-Transistor-Logik (DTL)	3	10.2 Energien in den Komponenten	5
2.3 Transistor-Transistor-Logik (TTL)	3	10.3 Aufwärtswandler (Boost, Step-Up Converter)	5
<b>3 CMOS-Logik</b>	<b>3</b>	10.4 Aufwärtswandler: Lückender Betrieb	6
3.1 Grundgatter in CMOS-Logik	3	10.5 Abwärtswandler (Buck, Step-Down Converter)	6
3.2 Dualität NMOS – PMOS	3	10.6 Invertierender Wandler (Buck-Boost Converter)	6
3.3 Verlustleistung bei CMOS-Logik	3	10.7 Flyback (Sperrwandler)	6
3.4 Verzögerungszeit	3	10.8 Power Fail Control (PFC)	6
<b>4 Schmitt-Trigger</b>	<b>3</b>	10.9 Aufbau Modernes Netzteil	6
4.1 Aufbau nichtinvertierender digitaler Schmitt-Trigger	3	10.10 Fazit Spannungswandler SMPS	6
4.2 Aufbau invertierender digitaler Schmitt-Trigger	3	<b>11 Analoge Filter</b>	<b>6</b>
4.3 Schmitt-Trigger vs. CMOS-Logik	3	11.1 Tiefpassfilter 1. Ordnung	6
<b>5 Signalübertragung</b>	<b>3</b>	11.2 Bodeplot Tiefpassfilter 1. und 2. Ordnung	6
5.1 Leitungstheorie	3	11.3 Filter 2. Ordnung	7
5.2 Einfluss / Relevanz von Reflexionen	3	11.4 Filter höherer Ordnung	7
<b>6 High-Speed-Logik</b>	<b>3</b>	11.5 Zeitverhalten: Schrittantwort	7
6.1 Emitter Coupled Logic (ECL)	3	11.6 Schrittantworten verschiedener Polgüten	7
6.2 Current Mode Logic (CML)	4	11.7 Filter 2. Ordnung	7
<b>7 Spannungsreferenzen</b>	<b>4</b>	11.8 Sallen-Key-Filter (Einfachmitkopplung)	7
7.1 Spannungsteiler	4	11.9 Multiple-Feedback-Struktur	7
7.2 Diodenreferenz	4	11.10 Sallen-Key vs. Multiple-Feedback Struktur	7
7.3 Spannungsreferenz mit mehreren Dioden	4	11.11 Vorgehen: UTF aus OPV-Filterschaltung ermitteln	7
7.4 Spannungsreferenz mit Zenerdioden (Shunt-Regler)	4	11.12 Zustandsvariablen-Filter (Biquad-Filter)	7
7.5 Bootstrap-Referenz (VD Stromquelle)	4	11.13 Analyse von Filterschaltungen mit Signalflussdiagrammen	8
7.6 Proportional To Absolute Temperature (PTAT)	4	11.14 Regel von Mason (vereinfacht)	8
7.7 Bandgap-Spannungsreferenz	4	11.15 Switched-Capacitor-Verstärker	8
<b>8 Lineare Spannungsregler</b>	<b>4</b>	11.16 Vergleich RC- und SC-Integrator	8
8.1 Spannungsstabilisierung mit Z-Diode und BJT	4	11.17 RC- / SC-Filter	8
8.2 Linearer Spannungsregler	4	11.18 Fazit Filter	8
8.3 Low-Dropout-Regler mit pnp-Längstransistor (LDO)	4	<b>12 Sigma-Delta-Wandler</b>	<b>8</b>
8.4 Einstellbarer Serie-Spannungsregler	5	12.1 Single-Slope-Wandler	8
		12.2 Dual-Slope-Wandler	8
		12.3 Sigma-Delta-Wandler	9
		<b>13 Anhang</b>	<b>9</b>
		13.1 Temperaturabhängigkeit von Widerständen	9

# 1 Feldeffekt-Transistoren

## 1.1 FET-Typen und Symbole

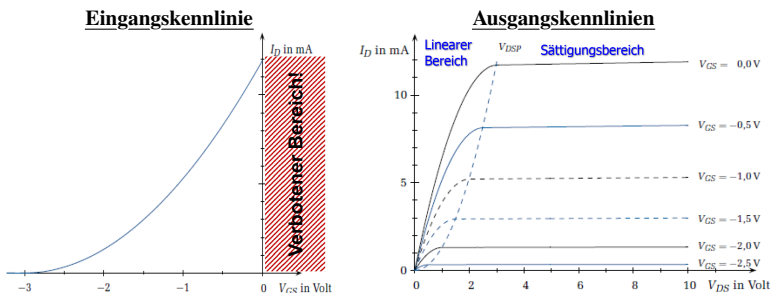


### 1.1.1 Anschlüsse eines FET

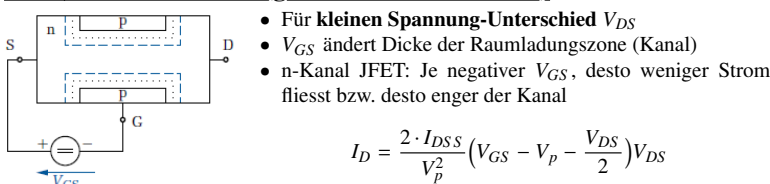
Kanal von Drain zu Source (Stromfluss), gesteuert von Gate (und Bulk)

## 1.2 Sperrschicht-FET / Junction FET (JFET)

### 1.2.1 Kennlinien



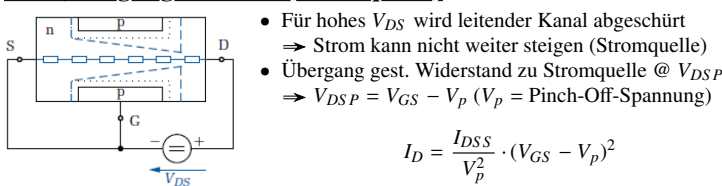
### 1.2.2 Linearer Bereich (gesteuerter Widerstand)



- Für kleinen Spannung-Unterschied  $V_{DS}$
- $V_{GS}$  ändert Dicke der Raumladungszone (Kanal)
- n-Kanal JFET: Je negativer  $V_{GS}$ , desto weniger Strom fließt bzw. desto enger der Kanal

$$I_D = \frac{2 \cdot I_{DSS}}{V_p^2} (V_{GS} - V_p - \frac{V_{DS}}{2}) V_{DS}$$

### 1.2.3 Sättigungs-Bereich (Stromquelle)



- Für hohes  $V_{DS}$  wird leitender Kanal abgeschnürt  
⇒ Strom kann nicht weiter steigen (Stromquelle)
- Übergang gest. Widerstand zu Stromquelle @  $V_{DSP}$   
⇒  $V_{DSP} = V_{GS} - V_p$  ( $V_p$  = Pinch-Off-Spannung)

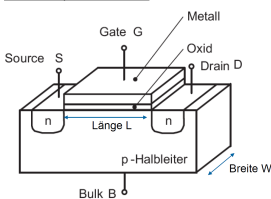
$$I_D = \frac{I_{DSS}}{V_p^2} \cdot (V_{GS} - V_p)^2$$

Verstärkungsmass Transkonduktanz:

$$g_m = \frac{2 \cdot I_{DSS}}{V_p^2} \cdot (V_{GS} - V_p) = \frac{2}{|V_p|} \cdot \sqrt{I_{DSS} \cdot I_D} \quad [g_m] = S$$

## 1.3 MOS-FETs

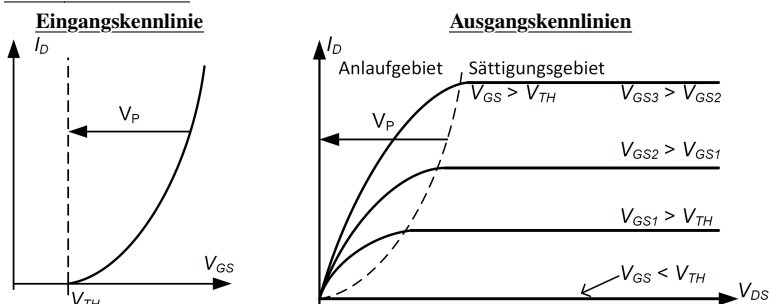
### 1.3.1 Aufbau



L Länge des Transistors  
W Breite des Transistors

- N-Kanal FET: Drain und Source sind n-dotiert
- Kanal ist p-dotiert

### 1.3.2 Kennlinien



### 1.3.3 Bereiche

- Sperrbereich:  $V_{GS} < V_{TH}$
- Linearer (Widerstands-)Bereich / Anlaufbereich:  $V_{GS} > V_{TH}$
- Sättigungsbereich (Stromquelle):  $V_{DS} > V_{GS} - V_{TH}$

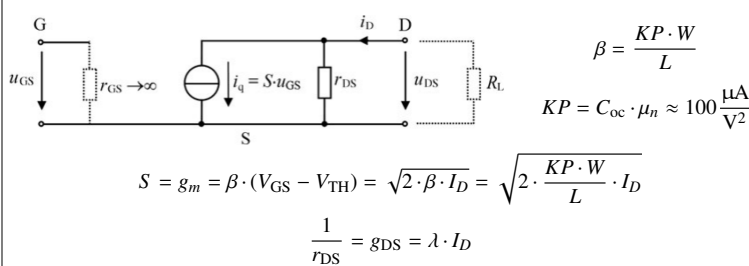
Anlaufbereich (Linearer Bereich)

Sättigungsbereich (Stromquelle)

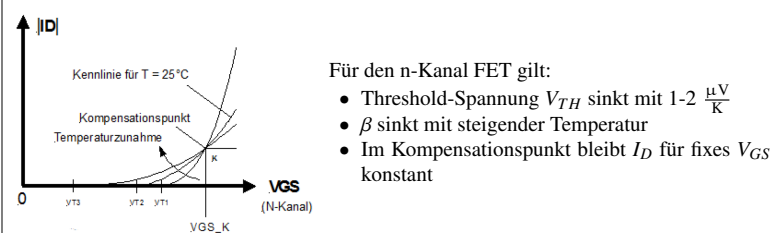
$$I_{D,lin} = \beta \cdot (V_{GS} - V_{TH} - \frac{V_{DS}}{2}) \cdot V_{DS}$$

$$I_{D,sat} = \frac{\beta}{2} \cdot (V_{GS} - V_{TH})^2$$

## 1.3.4 Kleinsignal-Ersatzschaltung (MOS-FET)



## 1.3.5 Temperaturabhängigkeit der Übertragungskennlinie



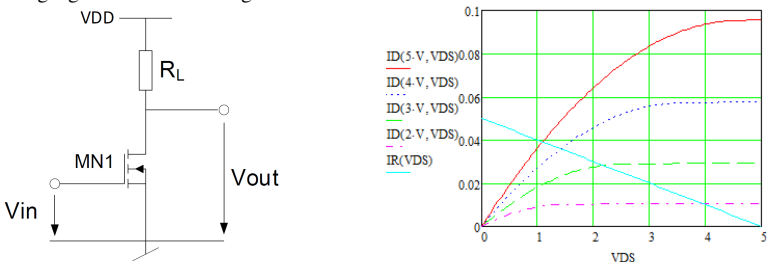
Für den n-Kanal FET gilt:

- Threshold-Spannung  $V_{TH}$  sinkt mit 1-2  $\frac{\mu V}{K}$
- $\beta$  sinkt mit steigender Temperatur
- Im Kompensationspunkt bleibt  $I_D$  für festes  $V_{GS}$  konstant

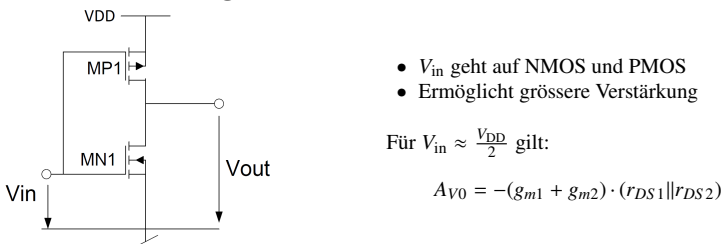
## 1.4 Verstärkerschaltungen mit FETs

### 1.4.1 Source-Schaltung mit Lastwiderstand

Um den Arbeitspunkt der Schaltung zu bestimmen, wird die Lastgerade von  $R_L$  in das Ausgangskennlinienfeld eingezeichnet:



### 1.4.2 Push-Pull / Digitaler Inverter



- $V_{in}$  geht auf NMOS und PMOS
- Ermöglicht grössere Verstärkung

Für  $V_{in} \approx \frac{V_{DD}}{2}$  gilt:

$$AV_0 = -(g_{m1} + g_{m2}) \cdot (r_{DS1} || r_{DS2})$$

## 1.5 MOS-FET als (Leistungs-)Schalter

Wenn der FET als Schalter eingesetzt wird, so arbeitet er im **linearen Bereich** ( $V_{GS} > V_{TH}$ , d.h.  $V_{out} < V_{DD} - V_{TH}$ )

$$I_{D,lin} = \beta \cdot (V_{GS} - V_{TH} - \frac{V_{DS}}{2}) \cdot V_{DS}$$

$$r_{DS} = \frac{dV_{DS}}{dI_D} = \frac{1}{\beta \cdot (V_{GS} - V_{TH})}$$

Schalter geschlossen:  $R_{FET} = R_{DS(on)}$

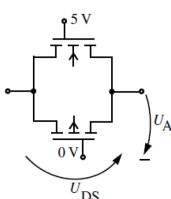
Schalter offen:  $R_{FET} = \infty$

### 1.5.1 Verlustleistung / Erwärmung

$$P_V = R_{DS} \cdot I_{DS}^2 = 0 W$$

$$\Delta T = R_{th} \cdot P_V$$

## 1.6 Transmission Gate



Im Bild links gilt:  $V_{DD} = 5 V$ ,  $V_{SS} = 0 V$

- NMOS (oben) leitet für  $V_{in} < V_{DD} - V_{TH,n}$
- PMOS (unten) leitet für  $V_{in} > V_{SS} - V_{TH,p}$
- Source und Drain austauschbar  
⇒ Strom kann in beide Richtungen fließen

## 2 Transistor-Transistor-Logik

- Meist statischer Stromverbrauch
- Asymmetrische Schaltschwellen (weniger Marge als CMOS-Logik)

### 2.1 Resistor Transistor Logik (RTL)

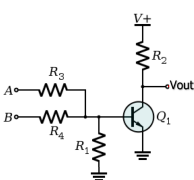


Bild: NOR-Gate

- Ausgangsspannung  $V_{out} = V_+$  oder  $V_{out} = V_{CE,sat}$
- Fan-Out ist begrenzt** (Werden zu viele weitere Gatter an den Ausgang gehängt, so reicht der Strom nicht mehr, um diese zu treiben ⇒ Spannungslevel stimmen nicht mehr, um Transistoren durchzusteuern)

## 2.2 Dioden-Transistor-Logik (DTL)

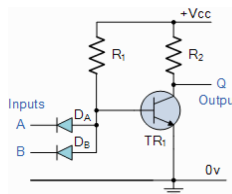
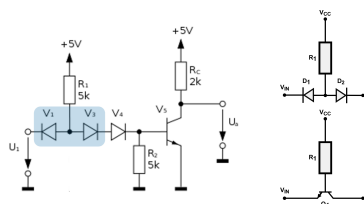


Bild: NAND-Gate

- **Fan-Out grösser**, da Transistor aktiv nach '0' zieht
- $R_2$  muss keine Gatter treiben (kein grosser Stromfluss)
- Nachteile: Sehr tiefer Störabstand; Transistor leitet schon bei Spannungen, welche kaum  $> 0\text{ V}$  sind

## 2.3 Transistor-Transistor-Logik (TTL)

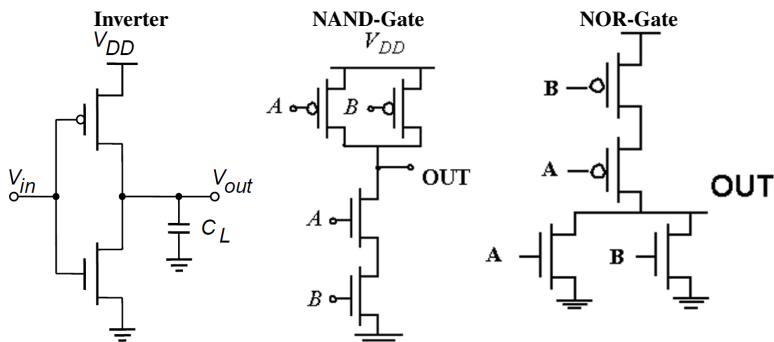


- Schaltschwelle am Eingang wird durch Dioden  $V_3$  und  $V_4$  um  $1.4\text{ V}$  erhöht
- Dioden  $V_1$  und  $V_3$  bilden npn-Struktur  $\Rightarrow$  npn-Transistor

## 3 CMOS-Logik

- Entweder leitender Pfad nach  $V_{SS}$  (NMOS) oder  $V_{DD}$  (PMOS)
- Kein statischer Stromverbrauch
- Langsamer als Bipolar
- Symmetrische Schaltschwellen bei ca.  $\frac{V_{DD}}{2}$  (Übertragungskennlinie)
- Output-Level  $V_{ol}$ ,  $V_{oh}$  näher bei Speisung als Input Level  $V_{il}$ ,  $V_{ih}$   $\Rightarrow$  mehr Marge
- Höhere Speisespannung  $\Rightarrow$  weniger propagation delay
- Nicht geeignet zur Datenübertragung über längere Strecken (kein  $50\ \Omega$  Abschluss)

### 3.1 Grundgatter in CMOS-Logik



### 3.2 Dualität NMOS – PMOS



### 3.3 Verlustleistung bei CMOS-Logik

$$P_V = C \cdot V_{CC}^2 \cdot f$$

$C$  Kapazität (aus Datenblatt)  
 $f$  Frequenz

### 3.4 Verzögerungszeit

Linearer Bereich

$$t_{pHL} = 0.69 \cdot R_{on} \cdot C_L$$

$\Rightarrow$  Exponentielle Entladung!

Sättigung (Stromquellen-Bereich)

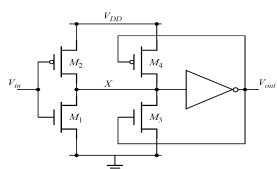
$$t_{pHL} = \frac{C_L \cdot \frac{V_{swing}}{2}}{I_{sat}} \approx \frac{C_L}{k_n \cdot V_{DD}}$$

$\Rightarrow$  Lineare Entladung!

## 4 Schmitt-Trigger

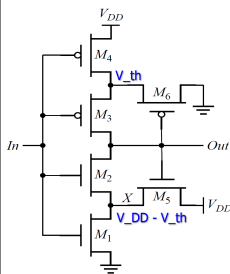
- Schaltschwellen müssen nicht sehr genau sein
- Schmitt-Trigger garantieren auch bei verrauschten Signalen saubere (einmalige) Schaltschwellen, dank der Hysterese

### 4.1 Aufbau nichtinvertierender digitaler Schmitt-Trigger



- $M_1, M_2$ : Digitale Inverter
- $M_3, M_4$ : gesteuerte Widerstände
- Für  $V_{out} = 0$ :  $M_4$  leitet,  $M_3$  sperrt
- Für  $V_{out} = 1$ :  $M_3$  leitet,  $M_4$  sperrt
- $M_3, M_4$  verschieben Schaltschwellen abhängig von  $V_{out} \Rightarrow$  Hysterese

## 4.2 Aufbau invertierender digitaler Schmitt-Trigger



- Ohne  $M_5, M_6$ : Normaler Inverter mit je 2 Serie-Transistoren
- Für  $V_{out} = 1$ : Durch  $M_5$  fliesst Strom in  $M_1$
- $V_{in}$  muss höher sein, um Strom der PMOS aufzunehmen  $\Rightarrow$  Höhere Schaltschwelle für High-Log-Übergang
- 'Inverses' gilt für  $M_6$  und  $M_4$

### 4.3 Schmitt-Trigger vs. CMOS-Logik

	Low Power	Noise Rejection	Supports Slow Inputs
Input Voltage Waveforms			
Standard CMOS Input Response Waveforms			
Schmitt-trigger CMOS Input Response Waveforms			

## 5 Signalübertragung

### 5.1 Leitungstheorie

- Leitungen haben Widerstände, Kapazitäten und Induktivitäten  $\Rightarrow$  RLC-Netzwerke
- **Fortpflanzungsgeschwindigkeit Signal**:  $v = 10 - 20\text{ cm/ns}$  (Lichtgeschwindigkeit:  $c = 0\text{ cm/ns}$ )
- Ev. **Impedanzanpassungen** zur Verhinderung von **Reflexionen** nötig (meistens  $50\ \Omega$ )
- CMOS-Logik: tiefen Quellenwiderstand, hohen Eingangswiderstand  $\Rightarrow$  Nicht geeignet zur Datenübertragung über 'längere Strecken'

### 5.2 Einfluss / Relevanz von Reflexionen

#### 5.2.1 Keine Reflexionen

Wenn nichts anderes bekannt gilt:  $T_r = \frac{1}{10} \cdot T$

$$T_d < \frac{1}{2} \cdot T_r$$

$T_r = T_f$  Anstiegs- / bzw. Abfallzeit des Signals  
 $T_d$  Laufzeit des Signals  
 $T$  Periodendauer

#### 5.2.2 Reflexionen

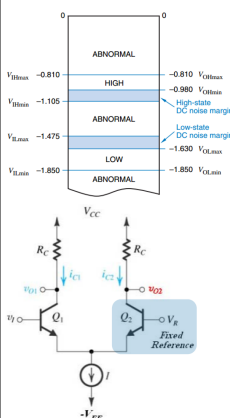
$$l > \frac{1 \cdot 10^7 \frac{\text{m}}{\text{s}}}{f_{\max}}$$

$f_{\max}$  Maximal enthaltene Frequenz im Signal  
 $l$  Länge der Leitung

## 6 High-Speed-Logik

- Sättigung verhindern, da langsam (bei Bipolar-Transistoren)
- Reduzierter Spannungshub
- Stromsteuerung, da Ströme schneller geschaltet werden als Spannungen

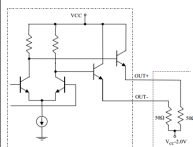
### 6.1 Emitter Coupled Logic (ECL)



- 2 Familien: 10k (langsamer) und 100k (schneller)
- Positive Speisung:  $V_{CC} = 0\text{ V}$
- Negative Speisung:  $V_{EE} = -4.5\text{ V}$  /  $V_{EE} = -5.2\text{ V}$
- ICs werden warm ( $40\text{ mW}$  pro Gatter)

- Eingangssignal  $V_1$  wird mit fixer Referenz  $V_R$  verglichen
- Von  $V_R - 100\text{ mV}$  bis  $V_R + 100\text{ mV}$  kippt **Ausgangsspannung** von  $V_{CC}$  auf  $V_{CC} - R_C \cdot I_C$
- **Differentieller Spannungshub** der Ausgänge:  $V_{diff} = \pm R_C \cdot I_C$
- Spannungspegel **nicht** kompatibel zu CMOS / TTL

#### 6.1.1 Positive Emitter Coupled Logic PECL

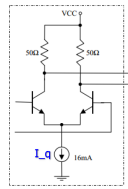


- Positive Speisung:  $V_{CC} = 5\text{ V}$
- Negative Speisung:  $V_{EE} = 0\text{ V}$
- Ausgangsbeschaltung mit  $50\ \Omega$  Abschluss zu  $V_{CC} - 2\text{ V}$   $\Rightarrow$  Reduktion der Reflexionen!
- Spannungspegel sind kompatibel zu CMOS / TTL

### 6.1.2 Low Voltage Positive ECL (LVPECL)

- Speisespannungen:  $V_{CC} = 3.3\text{ V}$ ;  $V_{EE} = 0\text{ V}$
- Weniger Leistung als 5 V Logik; leichter anpassbar an 3.3 V Logik

### 6.2 Current Mode Logic (CML)



- Terminierung am Eingang der Folgestufe gegen  $V_{CC}$
- Äquivalenter Widerstand:  $R_{Ceq} = 50\ \Omega \parallel 50\ \Omega = 25\ \Omega$

$$\text{Differentielle Spannung: } V_{\text{diff}} = \pm R_{Ceq} \cdot I_q$$

#### 6.2.1 CML vs. ECL

##### ECL

- Diff-Amp mit Transistor-Buffer; Ausgang am Emitter
- Single-ended Input (2. Eingang auf fixer Spannung)
- Single-ended Output (z.T. auch differentiell)

##### CML

- Ausgang direkt vom Diff-Amp
- Differentieller Input und differentieller Output
- Impedanzanpassung zur Reduktion von Reflexionen (50  $\Omega$ )

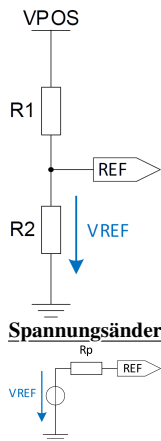
#### 6.2.2 Vorteile / Nachteile von CML gegenüber CMOS-Logik

- + high Speed
- + konstanter Strom (kaum Speisungseinbrüche)
- + differentiell: wenig Störung
- + kann Kabel treiben
- hoher statischer Stromverbrauch
- differentiell: benötigt doppelt so viele Leitungen
- aufwändiges PCB-Layout wegen angepassten Leistungsimpedanzen nötig

### 7 Spannungsreferenzen

- Referenzspannungsquellen liefern idealerweise Ausgangsspannungen, welche **unabhängig** von Temperatur, Speisespannung und Last sind
- 2 Hauptprinzipien: Zenerdioden (meistens mit  $V_Z = 5.6\text{ V}$ ) und Bandgap-Quellen mit  $V_{\text{out}} = 1.25\text{ V}$

#### 7.1 Spannungsteiler



##### Speisespannungsabhängigkeit

Spannungsänderung:

$$\Delta V_{\text{ref}} = \Delta V_{\text{POS}} \frac{R_2}{R_1 + R_2}$$

Sensitivität:

$$\frac{V_{\text{ref}}}{V_{\text{POS}}} = \frac{\frac{\Delta V_{\text{ref}}}{\Delta V_{\text{POS}}}}{\frac{\Delta V_{\text{POS}}}{V_{\text{POS}}}} = 1 \Rightarrow \text{schlecht}$$

##### Temperaturabhängigkeit

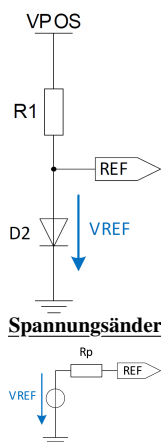
Da die Widerstände **gleiche Temperaturkoeffizienten** haben ändert sich der Strom durch  $R_1$  und  $R_2$ , jedoch nicht das Widerstandsverhältnis  $\Rightarrow V_{\text{ref}}$  bleibt **konstant**  $\Rightarrow$  gut

##### Spannungsänderung bei Lastwechsel

Ersatzschaltung der Referenzquelle durch Thévenin-Äquivalent mit

$$R_P = R_1 \parallel R_2 \Rightarrow \text{sehr lastabhängig, da } R_P \text{ gross}$$

#### 7.2 Diodenreferenz



$$V_{\text{ref}} = V_D = n \cdot V_T \cdot \ln\left(\frac{I}{I_S}\right) \quad \text{mit } V_T = \frac{kT}{q} \approx 25\text{ mV}$$

##### Speisespannungsabhängigkeit

Sensitivität:

$$\frac{V_{\text{ref}}}{I} = \frac{1}{\ln\left(\frac{I}{I_S}\right)} = 0.065 \Rightarrow \text{gut}$$

##### Temperaturabhängigkeit

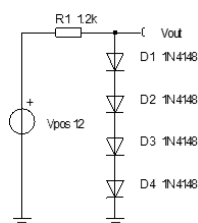
Diode hat einen **Temperaturkoeffizient von  $-2\frac{\text{mV}}{\text{K}}$** , d.h.  $V_{\text{ref}}$  ändert ebenfalls mit  $-2\frac{\text{mV}}{\text{K}}$   $\Rightarrow$  schlecht

##### Spannungsänderung bei Lastwechsel

Diode durch Kleinsignal-Ersatzschaltung ersetzen und Ersatzschaltung der Referenzquelle durch Thévenin-Äquivalent mit

$$R_P = R_1 \parallel r_D \Rightarrow \text{weniger lastabhängig, da } r_D = \frac{n \cdot V_T}{I_D} \approx 7\ \Omega$$

#### 7.3 Spannungsreferenz mit mehreren Dioden



$m$  = Anzahl Dioden in Serie (links:  $m = 4$ )

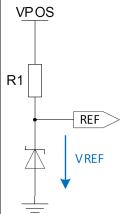
- Strom durch Dioden muss  $> 0\text{ A}$  sein, damit  $V_D \approx 0.7\text{ V}$
- Spannung über  $m$  Dioden:  $V_{\text{out}} = m \cdot V_D$

$$\text{Max. Ausgangsstrom: } I_{\text{out,max}} = \frac{V_{\text{pos}} - V_{\text{out}}}{R_1}$$

- **Temperaturabhängigkeit:**  $TK_{\text{tot}} = m \cdot -2\frac{\text{mV}}{\text{K}}$

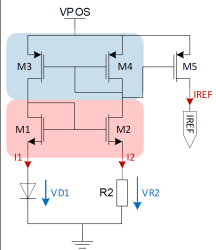
#### 7.4 Spannungsreferenz mit Zenerdioden (Shunt-Regler)

**Shunt-Regler:** Überflüssiger Strom wird durch ein Element abgeführt  $\Rightarrow$  Je nach Last wird mehr oder weniger Strom in Z-Diode verheizt



- $V_{\text{REF}}$  entspricht Zener-Spannung der Z-Diode
- Häufigste Zener-Spannung:  $5.6\text{ V} \Rightarrow TK = 0\frac{\text{mV}}{\text{K}}$
- Strom  $I = \frac{V_{\text{POS}} - V_{\text{REF}}}{R_1}$  fließt entweder durch Diode oder durch Last
- $I_{\text{out}} < I_{\text{out,max}} = \frac{V_{\text{POS}} - V_{\text{REF}}}{R_1}$

#### 7.5 Bootstrap-Referenz ( $V_D$ Stromquelle)



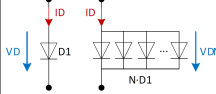
- Stromspiegel  $M_3$  und  $M_4 \Rightarrow I_1 = I_2$
- Stromspiegel  $M_1$  und  $M_2 \Rightarrow V_{GS1} = V_{GS2}$  da  $I_1 = I_2$
- Da Temperaturkoeffizient von  $V_{D1} \approx -2\frac{\text{mV}}{\text{K}}$  nimmt  $I_{\text{out}}$  mit steigender Temperatur ab  $\Rightarrow$  schlechte Referenz
- Schaltung hat zwei mögliche Arbeitspunkte (AP  $I_1 = I_2 = 0$  ist unerwünscht!)

$$V_{D1} = I_2 \cdot R_2 = V_{R2}$$

$$I_{\text{REF}} = I_1 = I_2$$

#### 7.6 Proportional To Absolute Temperature (PTAT)

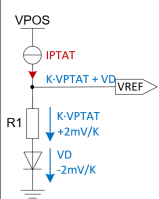
$$V_D = n \cdot \frac{kT}{q} \cdot \ln\left(\frac{I_D}{I_S}\right) \quad V_{DN} = n \cdot \frac{kT}{q} \cdot \ln\left(\frac{I_D}{N \cdot I_S}\right)$$



$$\Delta V_D = V_D - V_{DN} = n \cdot \frac{kT}{q} \cdot \ln(N) = TK \cdot T$$

$\Rightarrow \Delta V_T$  ist Proportional zur absoluten Temperatur  $T$

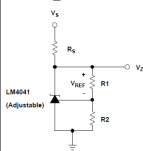
#### 7.7 Bandgap-Spannungsreferenz



$$V_{\text{REF}} = K \cdot V_{\text{PTAT}} + V_D$$

- Der positive Temperaturkoeffizient von  $V_{\text{PTAT}}$  wird mit dem Faktor  $K$  verstärkt, sodass  $K \cdot TK_{\text{PTAT}} = +2\frac{\text{mV}}{\text{K}}$
- Der nun positive Temperaturkoeffizient wird mit einer Diodenquelle mit  $TK_{\text{Diode}} = -2\frac{\text{mV}}{\text{K}}$  kompensiert
- Der gesamte Temperaturkoeffizient  $TK_{\text{bandgap}} = 0\frac{\text{mV}}{\text{K}}$
- $V_{\text{REF}}$  buffern, damit der Ausgang belastet werden darf

#### Beispiel: LM4041 Shunt Voltage Bandgap Reference

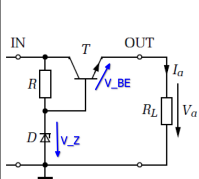


$$V_{\text{out}} = V_Z = V_{\text{REF}} \left(1 + \frac{R_2}{R_1}\right)$$

- Einstellbare Referenzspannung  $V_Z = V_{\text{out}}$
- Interne Referenz:  $V_{\text{REF}} = 1.25\text{ V}$  (Bandgap-Referenz)

### 8 Lineare Spannungsregler

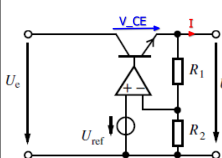
#### 8.1 Spannungsstabilisierung mit Z-Diode und BJT



$$V_{\text{out}} = V_Z - V_{\text{BE}}$$

- Ausgang kann viel Strom liefern
- Ausgangsspannung **sinkt** um ca. 20 mV bei **Verdoppelung** des Stroms
- Ausgangsspannung **sinkt** um  $-2\frac{\text{mV}}{\text{K}}$
- **Keine Regelung** der Ausgangsspannung
- Schnell und stabil, aber nicht genau

#### 8.2 Linearer Spannungsregler

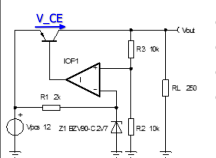


$$V_a = V_{\text{ref}} \left(1 + \frac{R_1}{R_2}\right)$$

$$P_V = V_{\text{CE}} \cdot I$$

- OpAmp Ausgang ändert so lange, bis für die Spannungen  $V_{R2} = V_{\text{ref}} (= 1.25\text{ V})$  gilt
- Minimaler Spannungsabfall  $V_{\text{CE}}$  über Regler: bis 2.5 V
- Regler kann sehr warm werden  $\Rightarrow$  Verlustleistung  $P_V$

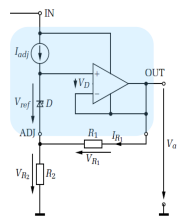
#### 8.3 Low-Dropout-Regler mit pnp-Längstransistor (LDO)



- Feedback auf **positiven** OpAmp-Eingang!
- Ansteuerung Längstransistor mit Basisspannung  $< V_{\text{out}}$
- Kleiner minimaler Spannungsabfall  $V_{\text{CE}}$  über Regler ( $V_{\text{CE,sat}}$ )
- Auch erhältlich mit PMOS-Transistor statt pnp-Transistor  $\Rightarrow$  Dropout-Spannung über Regler (PMOS) ist dann abhängig vom Laststrom (PMOS = gesteuerter Widerstand)



## 8.4 Einstellbarer Serie-Spannungsregler



$$V_a = V_{ref} \cdot \left(1 + \frac{R_2}{R_1}\right) + I_{adj} \cdot R_2$$

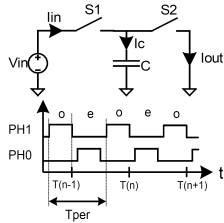
- Widerstände  $R_1$  und  $R_2$  sind **extern** beschaltet!
- Interne Referenz:  $V_{ref} = 1.25 \text{ V}$  (Bandgap)
- OpAmp regelt, damit  $V_{R1} = V_{ref}$
- Damit wird  $V_{R2} = V_{ref} \cdot \frac{R_2}{R_1} + I_{adj} \cdot R_2$

## 9 Spannungswandler mit Ladungspumpen

- Ladung kann **nicht springen** und nicht vernichtet werden  
⇒ Ladung wird umverteilt!
- Ladungspumpen sind billige, effiziente Spannungswandler (Wirkungsgrad > 99 % möglich)

$$Q = C \cdot V$$

### 9.1 Grundprinzip Switched-Capacitor-Schaltungen (SC)



**Hinweis:**  $R_S$  entspricht dem Schalter-Widerstand  
Weiter gilt:  $t^* = t - \frac{T}{2}$

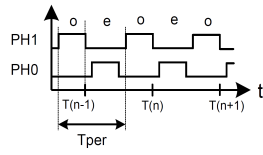
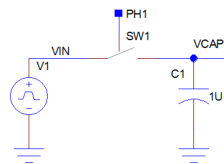
$$\text{Phase PH1 (S1 geschl.)} \quad I_{in} = I_C = \frac{V_{in}}{R_S} \cdot e^{\frac{t}{R_S \cdot C}}$$

$$\text{Phase PH2 (S2 geschl.)} \quad I_C = -I_{out} = -\frac{V_{in}}{R_S} \cdot e^{\frac{t}{R_S \cdot C}}$$

$$\text{Durchschnittl. Strom} \quad \overline{I_{out}} = \frac{\Delta Q}{T} = \frac{C}{T} \cdot V_{in}$$

Der 'switched capacitor'  $C$  hat einen **äquivalenten Widerstand**  $R_{eq} = \frac{T}{C} = \frac{1}{f \cdot C}$

### 9.2 Grundprinzip Ladungspumpen



**Ausgangsspannung  $V_{out}$  nähert sich schrittweise exponentiell der Eingangsspannung an!**  
Im ersten Zyklus ist  $V_{out} = 0 \text{ V}$

**Phase PH1** Kapazität  $C_1$  wird auf  $V_{in}$  geladen

$$Q_1 = C_1 \cdot V_{in} \text{ und } Q_2 = C_2 \cdot V_{out}$$

**Phase PH2** Ladung **verschiebt** sich von  $C_1$  auf  $C_2$ , bis beide Kapazitäten dieselbe Spannung aufweisen

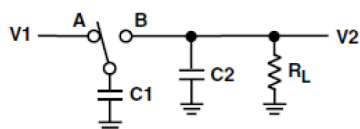
$$Q_{tot} = Q_1 + Q_2 = C_1 \cdot V_{in} + C_2 \cdot V_{out}$$

$$\Rightarrow \text{Neue Ausgangsspannung: } V_{out} = \frac{Q_{tot}}{C_1 + C_2}$$

**Wichtig:** Die PH0 muss vollständig abgeschlossen sein, bevor PH2 beginnt.

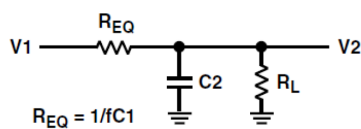
### 9.3 Allgemeine Funktionsweise geschaltete Kapazitäten

Switched Capacitor  $C_1$



- Strom fließt in 'Paketen':  
 $\Delta Q = C_1 \cdot \Delta V$
- Durchschnittlicher Strom proportional zu  $C_1$ ,  $\Delta V$  und Schaltfrequenz  $f$

Ersatzschaltung mit  $R_{eq}$



$$R_{eq} = 1/fC1$$

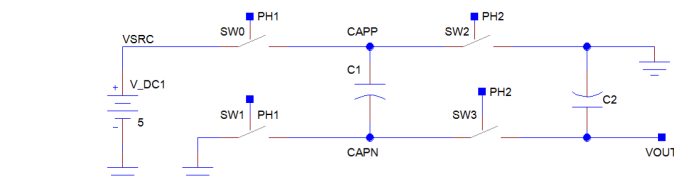
- Durchschnittlicher Strom proportional zu  $\Delta V$  und  $\frac{1}{R}$
- Geschaltetes  $C_1$  bildet äquivalenten Widerstand  $R_{eq} = \frac{1}{f \cdot C_1} = \frac{T}{C}$

Für beide Schaltungen gilt, dass der **finale Wert der Ausgangsspannung**  $V_{out} = V_2$  durch den **Spannungsteiler** von  $R_L$  und  $R_{eq}$  bestimmt wird:

$$V_{out} = V_{in} \cdot \frac{R_L}{R_{eq} + R_L}$$

$$I = \frac{V_1 - V_2}{R_{eq}}$$

### 9.4 Spannungsinversion mit Switched Capacitors



**Ausgangsspannung  $V_{out}$  nähert sich schrittweise exponentiell  $-V_{SRC}$  an!**

Im ersten Zyklus ist  $V_{out} = 0 \text{ V}$

**Phase PH1** Kapazität  $C_1$  wird auf  $V_{SRC}$  geladen

$$Q_1 = C_1 \cdot V_{SRC} \text{ und } Q_2 = C_2 \cdot V_{out}$$

**Phase PH2** Positiver Anschluss von  $C_1$  wird mit GND verbunden

⇒ Negativer Anschluss von  $C_1$  auf Potential  $-V_{SRC}$

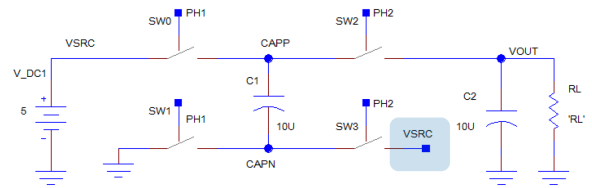
$$Q_{tot} = Q_2 - Q_1 = C_2 \cdot V_{out} - C_1 \cdot V_{SRC}$$

$$\Rightarrow \text{Neue Ausgangsspannung: } V_{out} = \frac{Q_{tot}}{C_1 + C_2}$$

Für  $C_1 = C_2$  ändert sich die Ausgangsspannung  $V_{out}$  folgendermassen:

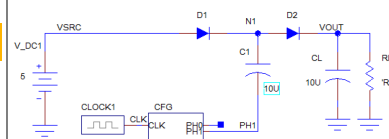
$$V_{out} = \left(-\frac{1}{2}, -\frac{3}{4}, -\frac{7}{8} \dots -1\right) \cdot V_{SRC}$$

### 9.5 Spannungsverdoppler mit Switched Capacitors



- PH1:  $C_1$  wird auf Eingangsspannung  $V_{in}$  aufgeladen
- PH2: Negativer Anschluss CAPN wird mit  $V_{SRC}$  verbunden  
⇒ Positiver Anschluss  $C_1$  springt auf  $2 \cdot V_{SRC}$
- Ladung teilt sich zwischen  $C_1$  und  $C_2$  auf, sodass  $V_{out}$  schrittweise ansteigt

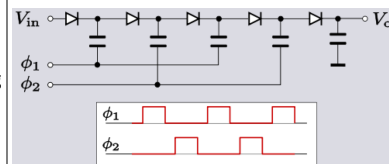
### 9.6 Dickson Charge Pump (Spannungsvervielfacher)



- Mehrstufige Spannungsvervielfacher (hier: einstufig)
- Anzahl Dioden  $n$
- Kaskadierung möglich

$$V_{out} = n \cdot (V_{SRC} - V_D)$$

#### 9.6.1 Mehrstufige Dickson Charge Pump



- Mehrstufige Spannungsvervielfacher (hier:  $n = 5$ )

$$V_{out} = n \cdot (V_{SRC} - V_D)$$

## 10 Schaltregler

**SMPS** (switched-mode-power-supply) sind getaktete Systeme, deren übliche Schaltfrequenzen im Bereich von 20 kHz bis zu einigen MHz liegen.

### 10.1 Spannungswandler mit Spulen

- Grundprinzip**
  - Energie wird aus einer (Spannungs-)Quelle bezogen, in verlustarmen Elementen (**Spulen**, Kondensatoren) zwischengespeichert, auf die gewünschte Spannung gebracht und stabilisiert.
- Gemeinsamkeiten aller aufgeführten Spannungswandler mit Spulen**
  - Energie wird in Magnetfeld gespeichert  $E_L = \frac{1}{2} L \cdot i_L^2$
  - Spannung über Spule bewirkt Änderung des Stroms  
 $V_L = L \cdot \frac{di_L}{dt}$  oder  $i_L = \frac{1}{L} \int V_L(t) dt + I_0 = \frac{V_L}{L} \cdot t + I_0$
  - Zur Stabilisierung der Spannung werden Kondensatoren benötigt (potentieller LC-Schwingkreis!)
  - Für die meisten Rechnungen kann man annehmen, dass:
    - $V_{in}$  und  $V_{out}$  **konstant** sind
    - Die **Schalter ideal** sind (kein Schaltwiderstand)
    - Die **Dioden keinen Spannungsabfall** haben

**Hinweis:** Zur Steigerung der Effizienz werden Dioden manchmal durch MOS-FETs ersetzt ('nur'  $R_{DS,on}$  statt grosser Spannungsabfall). Die Schalter werden in der Praxis ebenfalls mit einem FET realisiert.

### 10.2 Energien in den Komponenten

Energie in Spule

$$E_L = \frac{1}{2} \cdot L \cdot i_L^2$$

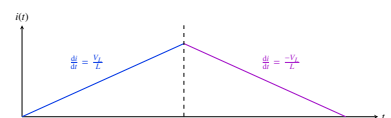
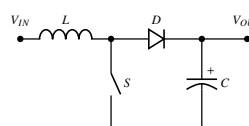
Energie in Kondensator

$$E_C = \frac{1}{2} \cdot C \cdot V_C^2$$

Energie in Last (pro Periode)

$$E_{load} = \frac{1}{2} P_{load} \cdot T_{clk} = \frac{1}{2} \cdot \frac{V_{out}^2}{R_{load}} \cdot T_{clk}$$

### 10.3 Aufwärtswandler (Boost, Step-Up Converter)



**1. Phase** Energie in Spule speichern | **2. Phase** Entmagnetisierung

- Schalter geschlossen
- $V_L = V_{in}$  liegt an Spule an
- $i_L$  muss nicht bei  $I_0 = 0$  starten!
- Schalter offen
- Strom sinkt, wenn  $V_{out} > V_{in}$
- Eingeschwungener Zustand:  $i_L = I_0$

In **beiden Phasen** gelten die folgenden Formeln:

## Ladephase

$$\Delta I_{L-on} = \frac{1}{L} \cdot V_{in} \cdot t_{on}$$

$$I_{L-on} = \frac{1}{L} \cdot V_{in} \cdot t_{on} + I_0$$

$$\Delta I_{L-off} = \frac{1}{L} \cdot (V_{in} - V_{out}) \cdot t_{off}$$

$$I_{L-off} = \frac{1}{L} \cdot (V_{in} - V_{out}) \cdot t_{off} + I_0$$

$$\Delta I_{L-on} = -\Delta I_{L-off}$$

$$V_{out} = V_{in} \cdot \left(1 + \frac{t_{on}}{t_{off}}\right)$$

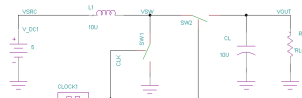
## Entladephase

Gleichgewicht (eingeschwungen)

Ausgangsspannung

Die Ausgangsspannung  $V_{out}$  ist **abhängig von der Last**  $\Rightarrow$  Bei hochohmiger Last kann die Ausgangsspannung sehr gross werden!

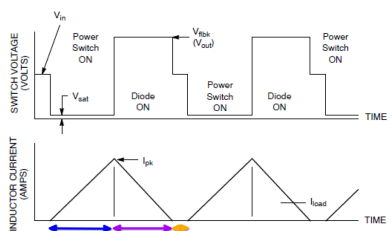
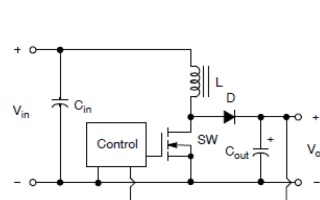
### 10.3.1 Synchronous Boost Converter



- Diode ersetzt durch Schalter SW2
- Entweder SW1 **oder** SW2 geschlossen
- VSW somit immer leitend verbunden, entweder mit GND oder mit  $V_{out}$   
 $\Rightarrow$  In Spule fliesst immer ein Strom

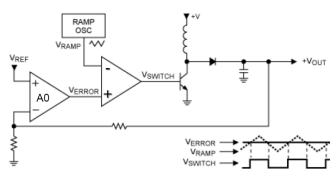
**Achtung:** Bei kleinen Lasten fliesst Strom in die Quelle zurück und die Verlustleistung in der Spule ist grösser (Drahtwiderstand)

### 10.4 Aufwärtswandler: Lückender Betrieb



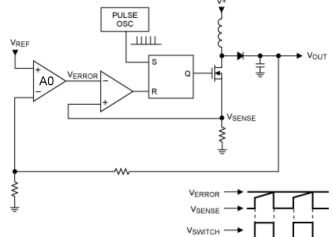
- Es existiert ein **3. Zustand**, in welchem kein Strom durch Spule fliesst
- Aus  $i_L = 0$  folgt  $V_L = 0$
- Schalter SW offen, damit Spannung am Knoten SW =  $V_{in}$  wird  $\Rightarrow$  Diode sperrt
- Control schliesst Schalter, nachdem  $V_{out} < V_{out,soll}$  ist  $\Rightarrow$  **Regelung** von  $V_{out}$

#### 10.4.1 Regelung der Ausgangsspannung: voltage-mode control



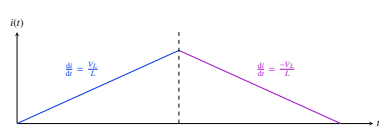
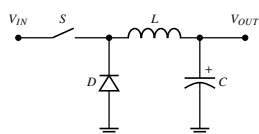
- Verstärker mit Verstärkung A0
- Komparator vergleicht  $V_{ERROR}$  mit  $V_{RAMP}$
- $V_{OUT} - V_{REF} \uparrow$ ,  $V_{ERROR} \uparrow$ , Schalter muss länger geschlossen bleiben  
 $\Rightarrow$  grösserer Duty Cycle  $\Rightarrow V_{OUT} \uparrow$

#### 10.4.2 Regelung der Ausgangsspannung: current-mode control



- Strom wird mit Shunt-Widerstand durch Spannung  $V_{SENSE}$  gemessen
- Verstärker mit Verstärkung A0
- Komparator resettet Flip-Flop  
 $\Rightarrow$  Schalter (FET) öffnet
- Häufiger zur Regelung verwendet als vorherige Schaltung

### 10.5 Abwärtswandler (Buck, Step-Down Converter)



**Vereinfachungen:**  $V_{out}$  konstant, kein Spannungsabfall über Diode und Schalter  
**Formeln gelten nur, wenn immer ein Strom in der Spule fliesst**

## Ladephase

$$\Delta I_{L-on} = \frac{1}{L} \cdot (V_{in} - V_{out}) \cdot t_{on}$$

$$I_{L-on} = \frac{1}{L} \cdot (V_{in} - V_{out}) \cdot t_{on} + I_0$$

$$\Delta I_{L-off} = -\frac{1}{L} \cdot V_{out} \cdot t_{off}$$

$$I_{L-off} = -\frac{1}{L} \cdot V_{out} \cdot t_{off} + I_0$$

$$\Delta I_{L-on} = -\Delta I_{L-off}$$

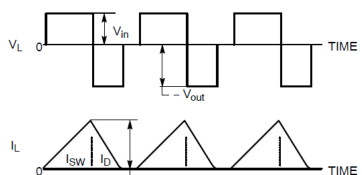
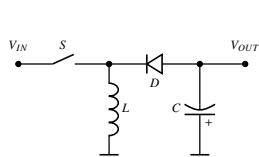
$$V_{out} = V_{in} \cdot \frac{t_{on}}{T}$$

## Entladephase

Gleichgewicht (eingeschwungen)

Ausgangsspannung

### 10.6 Invertierender Wandler (Buck-Boost Converter)



Der Converter kann im **buck-mode** oder **boost-mode** betrieben werden buck-mode: Duty Cycle  $\frac{t_{on}}{T} < 0.5$ ; boost-mode: Duty Cycle  $\frac{t_{on}}{T} > 0.5$

## Ladephase

Entladephase ( $V_{out} < 0$ )

Gleichgewicht (eingeschwungen)

Ausgangsspannung

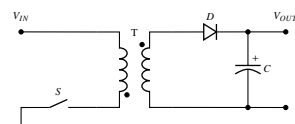
$$\Delta I_{L-on} = \frac{1}{L} \cdot V_{in} \cdot t_{on}$$

$$\Delta I_{L-off} = \frac{1}{L} \cdot V_{out} \cdot t_{off}$$

$$\Delta I_{L-on} = -\Delta I_{L-off}$$

$$V_{out} = -V_{in} \cdot \frac{t_{on}}{t_{off}}$$

### 10.7 Flyback (Sperrwandler)



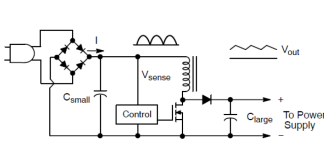
- Ermöglicht **galvanische Trennung** zwischen Ein- und Ausgang
- Transformator mit grosser Induktivität nötig zur Energiespeicherung (mit Luftspalt)

- Phase 1 (Schalter geschlossen)
  - Linear steigender Strom auf Primärseite; Energie wird im Magnetfeld gespeichert

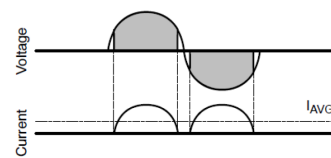
- Phase 2 (Schalter offen)
  - Linear sinkender Strom auf Sekundärseite; Magnetfeld baut sich über Sekundärspule ab

- Phase 3 (LC-Schwingkreis)
  - C parallel zu Schalter auf Primärseite wird wirksam

### 10.8 Power Fail Control (PFC)



Ohne PFC

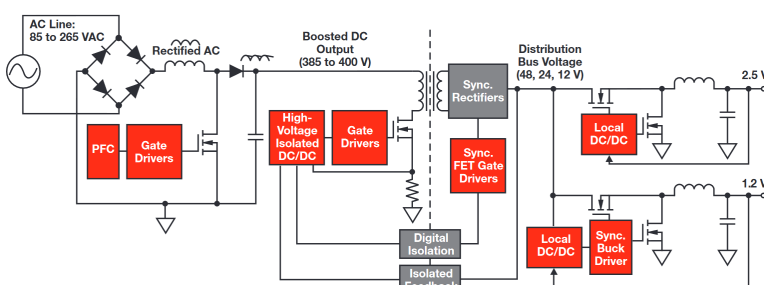


Mit PFC

- Strom fliesst nur wenn  $V_{in} > V_C$  (nur bei Spannungsmaximum)  
 $\Rightarrow$  erzeugt Oberwellen (Blindleistung)

- Strom soll **möglichst sinusförmig** fließen, nicht nur beim Spannungsmaximum
- Lösung: 1. Stufe mit Boost Converter

### 10.9 Aufbau Modernes Netzteil



- 1. Stufe: Gleichrichtung und Boost Converter mit PFC
- 2. Stufe: Reduktion auf Systemspannung (Bus voltage) mit Flyback-Converter
- 3. Stufe: Buck Converter (ev. mehrere)

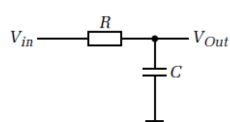
### 10.10 Fazit Spannungswandler SMPS

- Geschaltete Spannungsregler generieren weniger Verlustleistung als Linearregler
- Ausgangsspannung geschalteter Spannungsregler hat **Rippel** der Schaltfrequenz  
 $\Rightarrow$  Muss ev. mit Linearregler zusätzlich stabilisiert werden

### 11 Analoge Filter

- $f_{3dB}$  Cut-Off-Frequency, Corner-Frequency  
Dämpfung von 3 dB (d.h. Amplitude wird mit  $\frac{1}{\sqrt{2}}$  'verstärkt'), Phase:  $-45^\circ$
- $f_s$  Sampling-Frequenz (ADC, digitale Filter)  
 $\Rightarrow$  Alle Frequenzen über  $\frac{f_s}{2}$  müssen unterdrückt werden
- UTF Übertragungsfunktion  $G(s)$

#### 11.1 Tiefpassfilter 1. Ordnung



$$G(s) = \frac{V_{out}}{V_{in}} = \frac{1}{1 + s \cdot \underbrace{R \cdot C}_T}$$

$$f_{3dB} = \frac{1}{2\pi \underbrace{RC}_T}$$

**Hinweis:** Die Zeitkonstante  $T$  entspricht immer dem Parameter vor dem  $s$ . Beim Tiefpass 1. Ordnung entspricht dies  $T = R \cdot C$

#### 11.2 Bodeplot Tiefpassfilter 1. und 2. Ordnung

1. Ordnung

2. Ordnung

- Abfall von  $-20$  dB / Dekade
- Phasenschiebung von maximal  $-90^\circ$  (bei  $f_g = -45^\circ$ )
- Abfall von  $-40$  dB / Dekade
- Phasenschiebung von maximal  $-180^\circ$  (bei  $f_g = -90^\circ$ )

## 11.3 Filter 2. Ordnung

### 11.3.1 Kaskadierung von zwei gleichen Filtern

$$G_{11}(s) = \frac{1}{1 + s \cdot \underbrace{R \cdot C}_{T_2}} \cdot \frac{1}{1 + s \cdot \underbrace{R \cdot C}_{T_2}} \quad T_2 = \frac{\sqrt{2} - 1}{2\pi f_{3\text{dB}}} \approx 0.64 \cdot T_1$$

Daraus folgt, dass bei 2 identischen Stufen die Grenzfrequenz  $f_{3\text{dB}}$  der einzelnen Stufen  $\frac{1}{0.64} = 1.56$  mal **höher** gewählt werden muss als bei einem Filter 1. Ordnung.

### 11.3.2 Filter 2. Ordnung mit komplexen Polen

$$G(s) = \frac{A_0 \cdot p_1 \cdot p_2}{(p_1 + s) \cdot (p_2 + s)} = \frac{A_0 \cdot \omega_0^2}{s^2 + \frac{\omega_0}{Q} s + \omega_0^2} \quad \begin{array}{ll} p_i & \text{Polstellen} \\ & \text{komplex für } Q > \frac{1}{2} \\ Q & \text{Polgüte / Filtergüte} \\ \omega_0 & \text{Polfrequenz} \end{array}$$

$$p_{1,2} = \frac{\omega_0}{2Q} (1 \pm \sqrt{1 - 4Q^2})$$

## 11.4 Filter höherer Ordnung

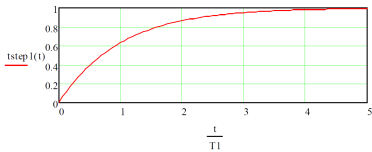
- Systeme höherer Ordnung können in kaskadierte Teilsysteme 1. & 2. Ordnung aufgeteilt werden
  - Höhere Ordnung und komplexe Pole ermöglichen steileren Übergang zwischen Durchlass- und Sperrbereich
- Folgende Filter erzielen durch unterschiedliche Polverteilungen untersch. Verhalten:

- Butterworth:** Konstant im Durchlassbereich der UTF
- Bessel:** Beste Rechteckübertragung, kein Überspringen
- Tschebyscheff:** Steilster Abfall im Sperrbereich der UTF

## 11.5 Zeitverhalten: Schrittantwort

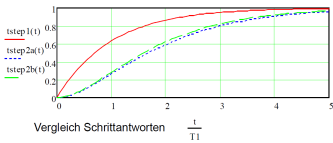
- Frequenzbereich: **Multiplikation** der UTF mit  $\frac{1}{s}$
- Rücktransformation in den Zeitbereich, um  $t_{\text{step}}(t)$  zu erhalten

### 11.5.1 Tiefpass 1. Ordnung



$$t_{\text{step},1}(t) = 1 - e^{-\frac{t}{T_1}}$$

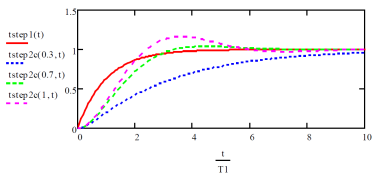
### 11.5.2 Tiefpass 2. Ordnung



$$t_{\text{step}2a}(t) = 1 - e^{-\frac{t}{T_1}} \cdot \left(1 + \frac{t}{T_1}\right)$$

$$t_{\text{step}2b}(t) = 1 - \left( \frac{T_1 \cdot e^{-\frac{t}{T_1}} - T_2 \cdot e^{-\frac{t}{T_2}}}{T_1 - T_2} \right)$$

## 11.6 Schrittantworten verschiedener Polgüten



Komplexe Pole ( $Q > 0$ ) führt zu Überspringern.  
Bei einer Polgüte von  $Q = \frac{1}{\sqrt{2}} \approx 0.7$  (**grüne Krurve**) schwingt das System am schnellsten ein!

## 11.7 Filter 2. Ordnung

### Tiefpass

$$G(s) = \frac{V_{\text{out}}}{V_{\text{in}}} = \frac{A_0}{\frac{1}{\omega_0^2} s^2 + \frac{1}{\omega_0 \cdot Q} s + 1}$$

### Hochpass

$$G(s) = \frac{V_{\text{out}}}{V_{\text{in}}} = \frac{A_0 \cdot \frac{1}{\omega_0^2} \cdot s^2}{\frac{1}{\omega_0^2} s^2 + \frac{\omega_0}{Q} s + \omega_0^2}$$

### Bandpass

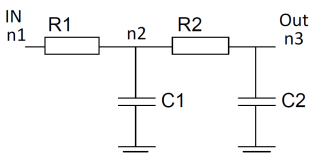
$$G(s) = \frac{V_{\text{out}}}{V_{\text{in}}} = \frac{A \cdot \frac{\omega_0}{Q} \cdot s}{s^2 + \frac{1}{\omega_0 \cdot Q} s + 1}$$

### Aufbau Nenner

- Alle Terme positiv
- $s^2$ -Term definiert Grenzfrequenz
- Im  $s$ -Term ist Dämpfung enthalten
  - $s$ -Term gross  $\Rightarrow$  grosse Dämpfung
  - $s$ -Term = 0  $\Rightarrow$  Oszillator!

Passive RC-Filter können maximal Güte 0.5 haben (entkoppelte reelle Pole). Filter höherer Güte benötigen entweder Spulen oder **Verstärker**.

### Beispiel: UTF Tiefpass 2. Ordnung

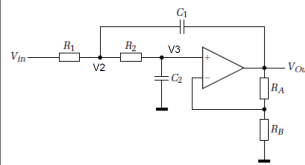


$$A_0 = 1 \quad \omega_0 = \frac{1}{\sqrt{C_1 C_2 R_1 R_2}}$$

$$Q = \frac{\sqrt{C_1 C_2 R_1 R_2}}{C_1 R_1 + C_2 R_1 + C_2 R_2}$$

$$G(s) = \frac{V_{\text{out}}}{V_{\text{in}}} = \frac{1}{1 + (C_1 R_1 + C_2 R_1 + C_2 R_2) \cdot s + C_1 C_2 R_1 R_2 \cdot s^2}$$

## 11.8 Sallen-Key-Filter (Einfachmitkopplung)



$$\text{OpAmp: } V_{\text{out}} = G_0 \cdot V_3 = \left(1 + \frac{R_A}{R_B}\right) \cdot V_3$$

$$\omega_0 = \frac{1}{\sqrt{C_1 C_2 R_1 R_2}}$$

$$Q = \frac{\sqrt{C_1 C_2 R_1 R_2}}{C_2 (R_1 + R_2) + C_1 R_1 (1 - G_0)}$$

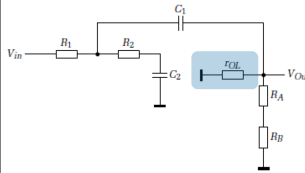
$$G(s) = \frac{G_0}{C_1 C_2 R_1 R_2 \cdot s^2 + [C_2 (R_1 + R_2) + C_1 R_1 (1 - G_0)] \cdot s + 1}$$

### Stromgleichungen:

$$V_2: 0 = (V_2 - V_{\text{in}}) \frac{1}{R_1} + (V_2 - V_3) \frac{1}{R_2} + (V_2 - V_{\text{out}}) \cdot s \cdot C_1$$

$$V_3: 0 = (V_3 - V_2) \frac{1}{R_2} + V_3 \cdot s \cdot C_2$$

### 11.8.1 Sallen-Key-Filter bei hohen Frequenzen

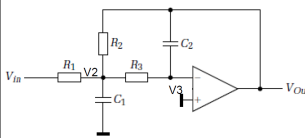


$$\frac{V_{\text{out}}}{V_{\text{in}}} \approx \frac{r_{\text{OL}}}{R_1 + r_{\text{OL}}}$$

$r_{\text{OL}}$  ist der OpAmp open-loop Ausgangswiderstand (bei hohen Frequenzen  $\approx 100 \Omega$ )

- Dämpfung ist limitiert auf obigen Spannungsteiler  $\Rightarrow$  Sallen-Key-Filter sind nicht geeignet für Systeme mit hohen Frequenzanteilen z.B. PWM-DAC

## 11.9 Multiple-Feedback-Struktur



$$\text{OpAmp: } G_0 = -\frac{R_2}{R_1}$$

$$Q = \frac{\sqrt{C_1 C_2 R_1 R_2}}{C_2 (R_2 + R_2 + R_3 \frac{R_2}{R_1})}$$

$$G(s) = \frac{G_0}{1 + C_2 (R_2 + R_2 + R_3 \frac{R_2}{R_1}) \cdot s + C_1 C_2 R_2 R_3 \cdot s^2}$$

### Stromgleichungen:

$$V_2: 0 = (V_2 - V_{\text{in}}) \frac{1}{R_1} + (V_2 - V_{\text{out}}) \frac{1}{R_2} + (V_2 - V_3) \frac{1}{R_3} + V_2 \cdot s \cdot C_1$$

$$V_3: 0 = (V_3 - V_2) \frac{1}{R_3} + (V_3 - V_{\text{out}}) \cdot s \cdot C_2$$

## 11.10 Sallen-Key vs. Multiple-Feedback Struktur

### Sallen-Key

- Nicht-invertierend
- $Q$  sensitiver auf Toleranzen
- Vorwärtspfad für hohe Frequenzen
- Noise-Gain:  $A$
- Eher für
  - Hochpass
  - kleine Verstärkungen

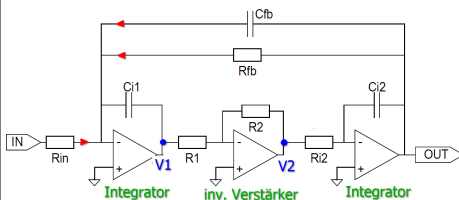
### Multiple-Feedback

- Invertierend
- $f_g$  sensitiver auf Toleranzen
- Noise-Gain:  $A + 1$
- Eher für
  - Tiefpass, Bandpass
  - grössere Verstärkungen

## 11.11 Vorgehen: UTF aus OPV-Filterschaltung ermitteln

- Stromgleichungen (Knotengleichungen) aufstellen
- Gleichungen ineinander einsetzen
- Umformen nach  $G(s) = \frac{V_{\text{out}}}{V_{\text{in}}}$

## 11.12 Zustandsvariablen-Filter (Biquad-Filter)



Mit dieser Topologie sind alle drei **Parameter**  $f_0$ ,  $Q$  und  $A_0$  **frei wählbar!**  
An  $V_{\text{out}}$  herrscht **Tiefpass-Verhalten**.

$$G(s) = \frac{-\frac{R_{fb}}{R_{in}}}{s^2 \cdot C_{i1} C_{i2} R_{fb} R_{i2} \frac{R_1}{R_2} + s \cdot C_{fb} R_{fb} + 1}$$

$$f_0 = \frac{1}{2\pi \sqrt{C_{i1} C_{i2} R_{fb} R_{i2} \frac{R_1}{R_2}}} \quad Q = \frac{1}{C_{fb}} \sqrt{C_{i1} C_{i2} \frac{R_1}{R_2 R_{fb}}} \quad A_0 = -\frac{R_{fb}}{R_{in}}$$

### 11.12.1 Allgemein: Filter mit mehreren OpAmps

Mit der Filter-Struktur aus Abschnitt 11.12 können auch Bandpass- und Hochpass-Filter gebildet werden:

- Tiefpass:** Abgriff beim 3. OpAmp ( $V_{\text{out}}$  gemäss Abschnitt 11.12)
- Bandpass:** Abgriff beim 2. OpAmp (an Knoten V2)
- Hochpass:** Abgriff beim 2. OpAmp, Einspeisung am neg. Eingang des 2. OpAmps

## 11.13 Analyse von Filterschaltungen mit Signalfussdiagrammen

Aktive Filterschaltungen (mit OpAmps) können mittels Signalfussdiagrammen (SFDs) analysiert werden. Dazu wird die gesamte Schaltung in einzelne Komponenten aufgeteilt. Diese Komponenten werden dann mit Impedanz- bzw. Admittanzfunktionen abgebildet. Um die Übertragungsfunktion (UTF) der gesamten Schaltung zu erhalten, muss die **Regel von Mason** angewendet werden.

### 11.13.1 Eingangsadmittanzen / (Eingangsimpedanzen)

**Hinweis:** Es wird normalerweise mit Eingangsadmittanzen gearbeitet!

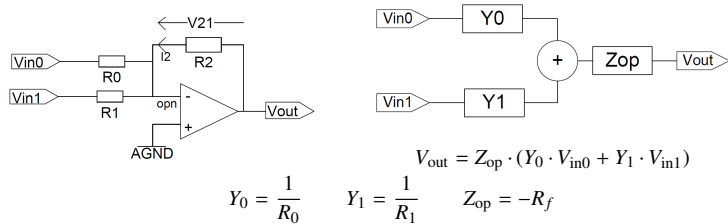
Komponente	Admittanz $Y$	(Impedanz $Z$ )
Widerstand $R$	$Y_{\text{res}} = \frac{1}{R}$	$(Z_{\text{res}} = R)$
Kapazität $C$	$Y_{\text{cap}} = s \cdot C$	$(Z_{\text{cap}} = \frac{1}{s \cdot C})$
Induktivität $L$	$Y_{\text{ind}} = \frac{1}{s \cdot L}$	$(Z_{\text{ind}} = s \cdot L)$

### 11.13.2 OpAmp Impedanzfunktionen

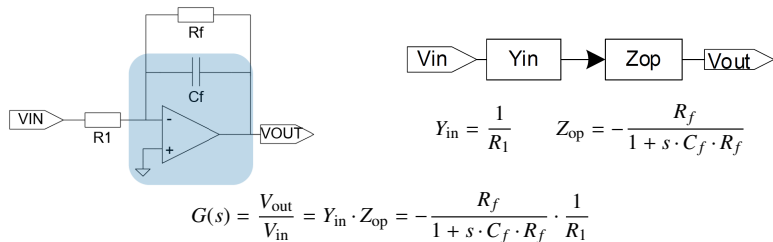
**Hinweis:** Es geht um negatives Feedback bzw. Gegenkopplung

Schaltung (Feedback)	Impedanz $Z$
Widerstand $R_f$ im Feedback	$Z_{\text{op}} = -R_f$
Kapazität $C_f$ im Feedback	$Z_{\text{op}} = -\frac{1}{s \cdot C_f}$
$R_f C_f$ (parallel) im Feedback	$Z_{\text{op}} = -\frac{R_f}{1 + s \cdot C_f \cdot R_f}$

### Beispiel: Summierender Verstärker



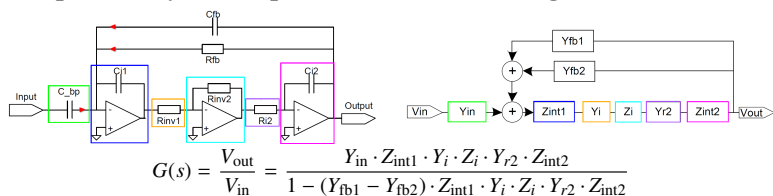
### Beispiel: Aktiver Tiefpass 1. Ordnung



## 11.14 Regel von Mason (vereinfacht)

$$\text{UTF: } G(s) = \frac{V_{\text{out}}}{V_{\text{in}}} = \frac{\text{Produkt der Transmittanzen im Vorwärtspfad}}{1 - \text{Summe aller Schleifentransmittanzen}}$$

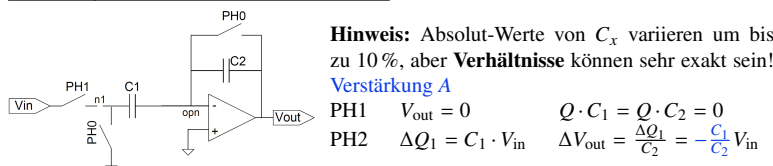
### Beispiel: Analyse Bandpass mittels SFD und Regel von Mason



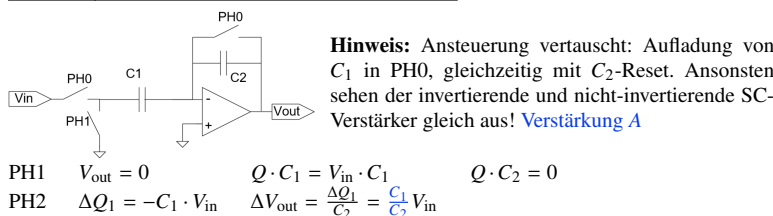
## 11.15 Switched-Capacitor-Verstärker

⇒ Funktionsweise von SC-Schaltungen siehe Abschnitt 9.2

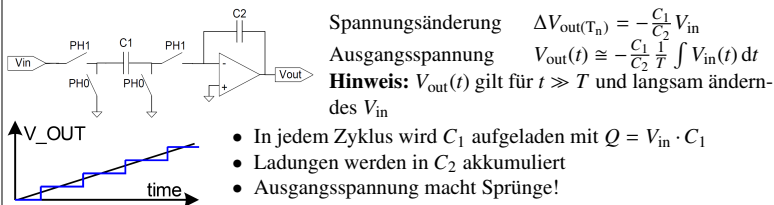
### 11.15.1 Invertierender Verstärker



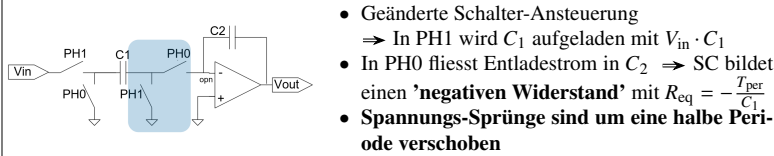
### 11.15.2 Nicht-invertierender Verstärker



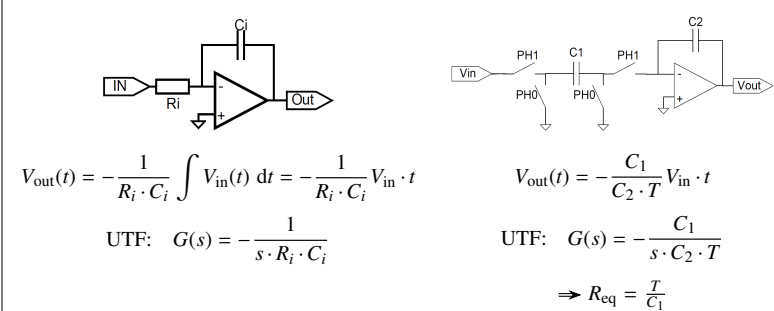
## 11.15.3 (Invertierender) SC-Integrator



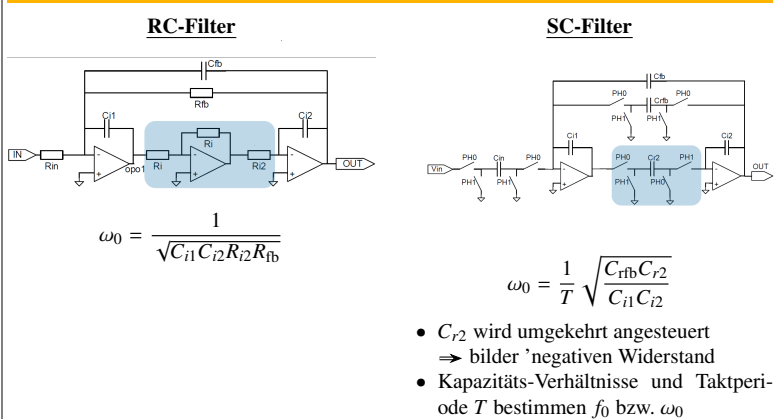
## 11.15.4 Nicht-invertierender SC-Integrator



## 11.16 Vergleich RC- und SC-Integrator



## 11.17 RC- / SC-Filter



## 11.18 Fazit Filter

- Aktive Filter sind nötig für Polgüten  $> 0.5$  (oder Spulen)
- Filter werden aufgeteilt in Stufen 1. oder 2. Ordnung
- Strukturen mit mehreren opAmps sind weniger sensitiv auf Bauteiltoleranzen und auf Nichtidealitäten der OpAmps
- Als **integrierte Schaltungen** werden oft Switched-Capacitor-Schaltungen eingesetzt

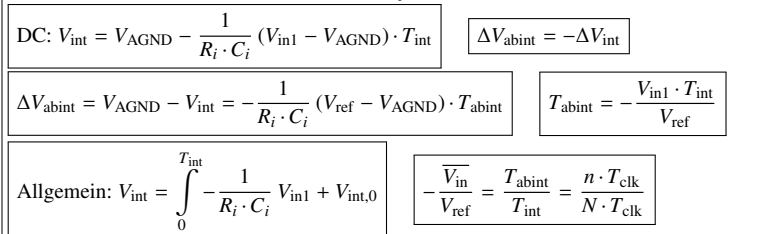
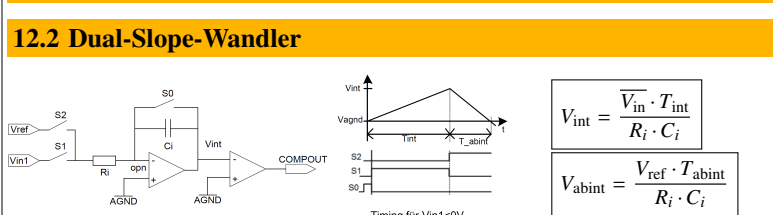
## 12 Sigma-Delta-Wandler

$n$	Anzahl Bits	
$D$	Quantaler Wert	$D < 2^n$
$d$	Quantisierungsschritt	
$B_0$	Bitwert 0 (LSB)	
$B_{n-1}$	Bitwert $n - 1$ (MSB)	

$$q = \frac{V_{\text{refp}} - V_{\text{refn}}}{2^n}$$

$$D = \frac{V_{\text{in}} - V_{\text{vrefn}}}{V_{\text{refp}} - V_{\text{refn}}} 2^n$$

## 12.1 Single-Slope-Wandler

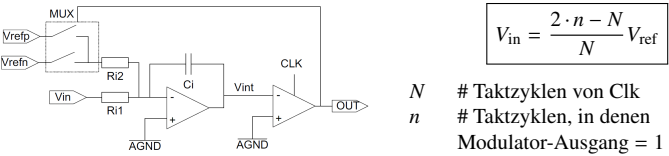




12.2.1 Frequenzverhalten vom Dual-Slope-Wandler

Frequenzen  $f = \frac{1}{T}$  , wobei  $T$  der Integrationszeit entspricht, werden perfekt unterdrückt  
⇒ Integrationszeit  $T = 20\text{ ms}$  unterdrückt Netzbrumm von 50 Hz

12.3 Sigma-Delta-Wandler



13 Anhang

13.1 Temperaturabhängigkeit von Widerständen

$R_{\vartheta} = R_{20} + \Delta R$	$R_{\vartheta}$	Widerstand bei Temperatur $\vartheta$	$[R_{\vartheta}] = \Omega$
	$R_{20}$	Widerstand bei 20 °C	$[R_{20}] = \Omega$
	$\alpha$	Temperaturkoeffizient	$[\alpha] = \frac{1}{K}$
$\Delta R = R_{20} \cdot \alpha \cdot \Delta \vartheta$	$\Delta \vartheta$	Temperaturdifferenz $\vartheta - 20\text{ °C}$	$[\Delta \vartheta] = \text{°C}$