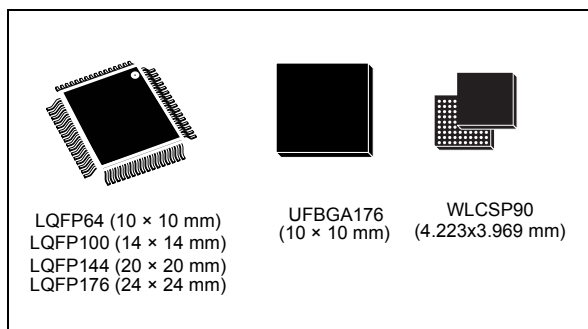


Arm® Cortex®-M4 32b 微控制器+FPU, 210DMIPS, 最高1MB Flash/192+4KB RAM, USB OTG HS/FS, 以太网, 17个定时器, 3个ADC, 15个通信接口, 以及摄像头。

数据表 - production data

特性

- 包含ST最先进的专利技术
- 核心: 采用Arm® 32位Cortex®-M4 CPU与FPU, 配备自适应实时加速器 (ART Accelerator), 支持从闪存中零等待状态执行, 最高频率达168 MHz, 具备内存保护单元, 性能达210 DMIPS/, 1.25 DMIPS/MHz (Dhrystone 2.1), 并支持DSP指令。
- 回忆
 - 最多1 MB的闪存 最多192+4 KB的SRAM, 包括64 KB的CCM (核心耦合内存) 数据RAM
 - 512字节的OTP存储器 灵活的静态内存控制器, 支持闪速存储器、SRAM、PSRAM、NOR型和NAND型存储器
- LCD并行接口, 8080/6800模式
- 时钟、复位和电源管理
 - 1.8 V至3.6 V应用电源和I/O 上电复位(PO R)、电源检测寄存器(PDR)、电源电压检测(PVD)和欠压检测(BOR) 4-MHz至26 MHz晶体振荡器 内置16 MHz工厂校准的RC振荡器 (1%精度) 用于实时时钟(RTC)的32 kHz校准振荡器 内置32 kHz RC振荡器并带校准功能
- 低功耗运行
 - 睡眠、停止和待机模式 - RTC的VBAT供电, 32位备份寄存器x, 可选4 KB备份SRAM +
- 3×12位、2.4 MSPS A/D转换器: 最多24个通道, 三路交织模式下可达7.2 MSPS
- 2个×12位D/A转换器
- 通用型DMA: 16通道DMA控制器, 支持FIFO和突发传输



- 多达17个定时器: 多达十二个16位和两个32位定时器, 最高可达168 MHz, 每个最多4个IC/O C/PWM或脉冲计数器及四相 (增量) 编码器输入。
- 调试模式
 - 串行线调试(SWD) & JTAG 接口 – Cortex-M4 嵌入式跟踪宏单元™
- 多达140个带中断能力的I/O端口——多达136个快速I/O, 最高达84 MHz——多达138个5 V容限I/O。
- 多达15个通信接口
 - 最多3个×双向I2C接口 (SMBus/PMBus) – 最多4个USART/2个UART (10.5 Mbps, ISO 7816 接口, LIN, IrDA, 调制解调器控制) – 最多3个SPI (42 Mbps), 其中2个具有多路复用全双工I2S, 通过内部音频PLL或外部时钟实现音频类精度 – 2个×CAN接口 (2.0B Active) – SDIO 接口
- 高级连接性
 - USB 2.0全速设备/主机/OTG控制器, 集成片上PHY USB 2.0高速/全速设备/主机/OTG控制器, 配备专用DMA通道、集成全速PHY及ULPI 接口 支持IEEE 1588v2硬件的10/100以太网MAC, 配备专用DMA通道, 兼容MII/RMII接口

- 8位至14位并行摄像头接口，高达54 Mbytes/s
 - 真随机数生成器
 - CRC计算单元
- 96位唯一ID
 - RTC：亚秒级精度，硬件日历
 - 所有包装均符合ECOPACK2标准

表1. 设备

Reference	摘要Part number
STM32F405xx	STM32F405RG, STM32F405VG, STM32F405ZG, STM32F405OG, STM32F405OE
STM32F407xx	STM32F407VG, STM32F407IG, STM32F407ZG, STM32F407VE, STM32F407ZE, STM32F407IE



目录

1 引言	13	2 描述	
.....	14	2.1 全系列兼容性	
.....	17		
3 功能概述	20		
3.0.1 带FPU的Arm® Cortex®-M4核心，内置闪存和SRAM ...	21	3.0.2 自适应实时内存加速器 (ART Accelerator)	21
.....	21	3.0.3 内存保护单元	21
.....	21	3.0.4 内置闪存存储器	21
.....	21	3.0.5 循环冗余校验 (CRC) 计算单元	22
.....	22	3.0.6 内置SRAM	22
.....	22	3.0.7 多AHB总线矩阵	22
.....	23	3.0.8 直接内存访问控制器 (DMA)	23
.....	23	3.0.9 灵活静态存储器控制器 (FSMC)	24
.....	24	3.0.10 嵌套向量中断控制器 (NVIC)	24
11 外部中断/事件控制器 (EXTI)	24	3.0.12 时钟与启动	24
.....	24	3.0.13 启动模式	25
.....	25	3.0.14 电源方案	25
.....	25	3.0.15 电源看门狗	25
25 3.0.16 电压调节器	27	3.0.17 调节器开关/内部复位开关功能	30
.....	30	3.0.18 实时时钟 (RTC)、备份SRAM及备份寄存器	30
.....	31	3.0.19 低功耗模式	31
.....	32	3.0.20 VBAT操作	32
.....	32	3.0.21 定时器与看门狗	32
.....	32	3.0.22 集成电路互连总线接口 (I2C)	35
.....	35	3.0.23 通用同步异步收发器 (USART)	35
.....	36	3.0.24 串行外设接口 (SPI)	36
.....	36	3.0.25 集成电路互连声音总线 (I2S)	36
.....	37	3.0.26 音频锁相环 (音频PLL, PLLI2S)	37
.....	37	3.0.27 安全数字输入/输出接口 (SDIO)	37
.....	37	3.0.28 支持IEEE 1588标准的以太网MAC接口及专用DMA	37

3.0.29 控制器局域网 (bxCAN)	38
3.0.30 通用串行总线 On-The-Go 全速 (OTG_FS)	38
3.0.31 通用串行总线 On-The-Go 高速 (OTG_HS)	39
3.0.32 数字照相机接口 (DCMI)	39
3.0.33 真随机数生成器 (RNG)	39
3.0.34 通用输入/输出 (GPIOs)	39
3.0.35 模数转换器 (ADCs)	40
3.0.36 温度传感器	40
3.0.37 数模转换器 (DAC)	40
3.0.38 串行线 JTAG 调试端口 (SWJ-DP)	41
3.0.39 嵌入式跟踪宏单元™	41
4 引脚排列图和引脚描述	42
5 内存映射	72
6 电气特性	77
6.1 参数条件	77
6.1.1 最小值和最大值	77
6.1.2 典型值	77
6.1.3 典型曲线	77
6.1.4 负载电容	77
6.1.5 引脚输入电压	77
6.1.6 电源方案	78
6.1.7 电流消耗测量	79
6.2 绝对最大额定值	79
6.3 工作条件	80
6.3.1 一般工作条件	80
6.3.2 VCAP_1/VCAP_2 外部电容	83
6.3.3 上电/下电时的工作条件（稳压器开启）	83
6.3.4 上电/下电时的工作条件（稳压器关闭）	83
6.3.5 嵌入式复位和电源控制模块特性	84
6.3.6 供电电流特性	85
6.3.7 从低功耗模式唤醒时间	99
6.3.8 外部时钟源特性	100
6.3.9 内部时钟源特性	104
6.3.10 锁相环特性	105

6.3.11 PLL 扩频时钟生成 (SSCG) 特性.....	
107 6.3.12 存储器特性.....	
. 109 6.3.13 EMC 特性.....	
. 111 6.3.14 绝对最大额定值 (电气敏感性)	
... 113 6.3.15 I/O 电流注入特性.....	
... 114 6.3.16 I/O 端口特性.....	
. 115 6.3.17 NRST 引脚特性.....	
120 6.3.18 TIM 定时器特性.....	1
21 6.3.19 通信接口.....	1
22 6.3.20 CAN (控制器局域网) 接口.....	
134 6.3.21 12 位 ADC 特性.....	1
34 6.3.22 温度传感器特性.....	13
9 6.3.23 VBAT 监视特性.....	140
6.3.24 嵌入式参考电压.....	140 6
.3.25 DAC 电气特性.....	140 6.
3.26 FSMC 特性.....	143 6.3
.27 相机接口 (DCMI) 时序规范.....	161 6.3.
28 SD/SDIO MMC 卡主机接口 (SDIO) 特性.....	162
6.3.29 RTC 特性.....	163
 7 包信息	164
7.1 设备标记	164
7.2 WLCSP90 封装信息	165
7.3 LQFP64 封装信息 (5W)	168
7.4 LQFP100 封装信息 (1L)	171
7.5 LQFP144 封装信息 (1A)	174
7.6 UFBGA(176+25) 封装信息 (A0E7)	178
7.7 LQFP176 封装信息 (1T)	180
7.8 热特性	184
 8 订购信息	185
 附录A 应用框图	186
A.1 USB OTG全速(FS)接口解决方案	186
A.2 USB OTG高速(HS)接口解决方案	188
A.3 以太网接口解决方案	189

9 重要安全通知
10 修订历史 192



表格列表

表 1. 设备概要

表45. ESD绝对最大额定值.....

表94. LQFP144 - 机械特性 175 表95. UFBGA(176+25)
) - 机械特性 178 表96. UFBGA(176+25) - PCB设计规则示例
(0.65毫米间距BGA) 179 表97. LQFP176 - 机械特性
..... 181 表98. 封装热特性 184
表99. 文档修订历史 192

图目录

图1. STM32F10xx/STM32F40xxx的LQFP64兼容板设计.....	17	图
. STM32F10xx/STM32F2/STM32F40xxx 的LQFP100封装兼容板设计.....	18	图
图STM32F10xx/STM32F2/STM32F40xxx 的LQFP144封装兼容板设计.....	18	图
图STM32F2与STM32F40xxx 的LQFP176和BGA176封装兼容板设计.....	19	图
图STM32F40xxx框图.....	20	图
多AHB矩阵.....	23	图
内部复位关闭时的电源监视器互连.....	26	图
内部复位关闭时的PDR_ON和NRST控制.....	27	图
稳压器关闭.....	28	图
稳压器关闭模式启动		
：慢速VDD斜率 - 在VCAP_1/VCAP_2稳定后电源故障复位解除.....	29	图
稳压器关闭模式启动：快速VDD斜率 - 在VCAP_1/VCAP_2稳定前电源故障复位解除.....	30	图
STM32F40xxx LQFP64引脚排列.....	42	图
STM32F40xxx LQFP100引脚排列.....	43	图
STM32F40xxx LQFP144引脚排列.....	44	图
STM32F40xxx LQFP176引脚排列.....	45	图
STM32F40xxx UFBGA176球形排列.....	46	图
STM32F40xxx WLCSP90球形排列.....	47	图
STM32F40xxx存储器映射.....	72	图
引脚负载条件.....	77	图
引脚输入电压.....	77	图
电源方案.....	78	图
电流消耗测量方案.....	79	图
外部电容CEXT.....	83	图
典型电流消耗与温度关系图，运行模式，代码与数据 处理从Flash（ART加速器开启）或RAM运行，外设关闭.....	88	图
典型电流消耗与温度关系图，运行模式，代码与数据 处理从Flash（ART加速器开启）或RAM运行，外设开启.....	88	图
典型电流消耗与温度关系图，运行模式，代码与数据 处理从Flash（ART加速器关闭）或RAM运行，外设关闭.....	89	图
典型电流消耗与温度关系图，运行模式，代码与数据 处理从Flash（ART加速器关闭）或RAM运行，外设开启.....	89	图
典型VBAT电流消耗（LSE和RTC开启/备份RAM关闭）.....	92	图
典型VBAT电流消耗（LSE和RTC开启/备份RAM开启）.....	93	图
高速外部时钟源AC时序图.....	101	图
低速外部时钟源AC时序图.....	102	图
典型8 MHz晶体应用电路.....	103	图
典型32.768 kHz晶体应用电路.....	104	图
ACCLSI与温度关系图.....	105	图
PLL输出时钟中心扩展模式波形.....	108	图
PLL输出时钟下降扩展模式波形.....	109	图
I/O AC特性定义.....	119	图
推荐的NRST引脚保护.....	120	图
SPI时序图 - 从机模式和CPHA = 0.....	125	图

图40. SPI时序图 - 从设备模式和CPHA = 1	125	图. SPI时序图 - 主设备模式	126
图. I2S从设备时序图 (飞利浦协议)	128	图. I2S主设备时序图 (飞利浦协议) (1)	128
图. USB OTG FS时序: 数据信号上升和下降时间定义	130	图. ULPI时序图	131
图. 以太网SMI时序图	132	图. 以太网RMII时序图	133
图. 以太网MII时序图	133	图. ADC精度特性	136
0. 使用带模拟开关功能的FT/TT引脚的ADC典型连接图	137	图. 电源和参考去耦 (VREF+未连接到VDDA)	138
图. 电源和参考去耦 (VREF+连接到VDDA)	139	图. 12位缓冲/非缓冲DAC	143
图. 异步非复用SRAM/PSRAM/NOR读波形	144	图. 异步非复用SRAM/PSRAM/NOR写波形	145
图. 异步复用PSRAM/NOR读波形	146	图. 异步复用PSRAM/NOR写波形	147
图. 同步复用NOR/PSRAM读时序	148	图. 同步复用PSRAM写时序	150
图. 同步非复用NOR/PSRAM读时序	151	图. 同步非复用PSRAM写时序	153
图. PC Card/CompactFlash控制器通用存储器读取波形	154	图. PC Card/CompactFlash控制器通用存储器写入波形	155
图. PC Card/CompactFlash控制器属性存储器读取波形	156	图. PC Card/CompactFlash控制器属性存储器写入波形	157
图. PC Card/CompactFlash控制器I/O空间读取波形	157	图. PC Card/CompactFlash控制器I/O空间写入波形	158
图. NAND控制器读取波形	160	图. NAND控制器写入波形	160
图. DCMI时序图	161	图. SDIO高速模式	162
图. SD默认模式	163	图. WLCSP90 - 4.223 x 3.969 mm, 0.400 mm间距晶圆级芯片尺寸封装外形尺寸	165
图. WLCSP90 - 4.223 x 3.969 mm, 0.400 mm间距晶圆级芯片尺寸推荐焊盘尺寸	166	图. WLCSP90标记示例 (封装顶视图)	167
图. LQFP64 - 外形尺寸(15)	168	图. LQFP64 - 焊盘尺寸示例	170
图. LQFP100 - 外形尺寸(15)	171	图. LQFP100 - 焊盘尺寸示例	173
图. LQFP144 - 外形尺寸(15)	174	图. LQFP144 - 焊盘尺寸示例	177
图. UFBGA(176+25) - 外形尺寸	178	图. UFBGA(176+25) - 焊盘尺寸示例	179
图. LQFP176 - 外形尺寸(15)	180	图. LQFP176 - 焊盘尺寸示例	183
图. USB控制器配置为仅外设模式并使用			

1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 16 17 18 19 20 21 22 23 24 25 26 27 28 29 30 31 32 33 34 35 36 37 38 39 40 41 42 43 44 45 46 47 48 49 50 51 52 53 54 55 56 57 58 59 60 61 62 63 64 65 66 67 68 69 70 71 72 73 74 75 76 77 78 79 80 81 82 83 84 85 86 87 88 89 90 91 92 93 94 95 96 97 98 99 100 101 102 103 104 105 106 107 108 109 110 111 112 113 114 115 116 117 118 119 120 121 122 123 124 125 126 127 128 129 130 131 132 133 134 135 136 137 138 139 140 141 142 143 144 145 146 147 148 149 150 151 152 153 154 155 156 157 158 159 160 161 162 163 164 165 166 167 168 169 170 171 172 173 174 175 176 177 178 179 180 181 182 183 184 185 186 187 188 189 190 191 192 193 194 195 196 197 198 199 200 201 202 203 204 205 206 207 208 209 210 211 212 213 214 215 216 217 218 219 220 221 222 223 224 225 226 227 228 229 230 231 232 233 234 235 236 237 238 239 240 241 242 243 244 245 246 247 248 249 250 251 252 253 254 255 256 257 258 259 260 261 262 263 264 265 266 267 268 269 270 271 272 273 274 275 276 277 278 279 280 281 282 283 284 285 286 287 288 289 290 291 292 293 294 295 296 297 298 299 300 301 302 303 304 305 306 307 308 309 310 311 312 313 314 315 316 317 318 319 320 321 322 323 324 325 326 327 328 329 330 331 332 333 334 335 336 337 338 339 340 341 342 343 344 345 346 347 348 349 350 351 352 353 354 355 356 357 358 359 360 361 362 363 364 365 366 367 368 369 370 371 372 373 374 375 376 377 378 379 380 381 382 383 384 385 386 387 388 389 390 391 392 393 394 395 396 397 398 399 400 401 402 403 404 405 406 407 408 409 410 411 412 413 414 415 416 417 418 419 420 421 422 423 424 425 426 427 428 429 430 431 432 433 434 435 436 437 438 439 440 441 442 443 444 445 446 447 448 449 450 451 452 453 454 455 456 457 458 459 460 461 462 463 464 465 466 467 468 469 470 471 472 473 474 475 476 477 478 479 480 481 482 483 484 485 486 487 488 489 490 491 492 493 494 495 496 497 498 499 500 501 502 503 504 505 506 507 508 509 510 511 512 513 514 515 516 517 518 519 520 521 522 523 524 525 526 527 528 529 530 531 532 533 534 535 536 537 538 539 540 541 542 543 544 545 546 547 548 549 550 551 552 553 554 555 556 557 558 559 560 561 562 563 564 565 566 567 568 569 570 571 572 573 574 575 576 577 578 579 580 581 582 583 584 585 586 587 588 589 590 591 592 593 594 595 596 597 598 599 600 601 602 603 604 605 606 607 608 609 610 611 612 613 614 615 616 617 618 619 620 621 622 623 624 625 626 627 628 629 630 631 632 633 634 635 636 637 638 639 640 641 642 643 644 645 646 647 648 649 650 651 652 653 654 655 656 657 658 659 660 661 662 663 664 665 666 667 668 669 670 671 672 673 674 675 676 677 678 679 680 681 682 683 684 685 686 687 688 689 690 691 692 693 694 695 696 697 698 699 700 701 702 703 704 705 706 707 708 709 710 711 712 713 714 715 716 717 718 719 720 721 722 723 724 725 726 727 728 729 730 731 732 733 734 735 736 737 738 739 740 741 742 743 744 745 746 747 748 749 750 751 752 753 754 755 756 757 758 759 760 761 762 763 764 765 766 767 768 769 770 771 772 773 774 775 776 777 778 779 780 781 782 783 784 785 786 787 788 789 790 791 792 793 794 795 796 797 798 799 800 801 802 803 804 805 806 807 808 809 810 811 812 813 814 815 816 817 818 819 820 821 822 823 824 825 826 827 828 829 830 831 832 833 834 835 836 837 838 839 840 841 842 843 844 845 846 847 848 849 850 851 852 853 854 855 856 857 858 859 860 861 862 863 864 865 866 867 868 869 870 871 872 873 874 875 876 877 878 879 880 881 882 883 884 885 886 887 888 889 890 891 892 893 894 895 896 897 898 899 900 901 902 903 904 905 906 907 908 909 910 911 912 913 914 915 916 917 918 919 920 921 922 923 924 925 926 927 928 929 930 931 932 933 934 935 936 937 938 939 940 941 942 943 944 945 946 947 948 949 950 951 952 953 954 955 956 957 958 959 960 961 962 963 964 965 966 967 968 969 970 971 972 973 974 975 976 977 978 979 980 981 982 983 984 985 986 987 988 989 990 991 992 993 994 995 996 997 998 999 1000 1001 1002 1003 1004 1005 1006 1007 1008 1009 1010 1011 1012 1013 1014 1015 1016 1017 1018 1019 1020 1021 1022 1023 1024 1025 1026 1027 1028 1029 1030 1031 1032 1033 1034 1035 1036 1037 1038 1039 1040 1

第1章 引言

本数据手册描述了STM32F405xx和STM32F407xx系列微控制器。欲知STMicroelectronics STM32™系列的更多详情，请参阅**Section 2.1: Full compatibility throughout the family**。

应结合STM32F405xx和STM32F407xx的数据手册阅读STM32F4xx参考手册，该手册可从STMicroelectronics网站获取www.st.com。

关于数据手册和参考手册中设备勘误的信息，请参阅STMicroelectronics网站提供的STM32F405xx和STM32F407xx勘误表（ES0182）www.st.com。

关于Arm®(a) Cortex®-M4核心的信息，请参阅可从www.st.com获取的Cortex®-M4编程手册(PM0214)。

arm

a. Arm 是一个寄存器。是 a registered trademark of Arm Limited (or its subsidiaries) in the US and/or 其他地方。

2 描述

STM32F405xx和STM32F407xx系列基于高性能Arm® Cortex®-M4 32位RISC处理器核心，最高运行频率可达168 MHz。该核心配备单精度浮点单元(FPU)，支持所有Arm单精度数据处理指令及数据类型，并实现了完整的DSP指令集与内存保护单元(MPU)，显著提升了应用安全性。

STM32F405xx和STM32F407xx系列微控制器集成了高速嵌入式存储器（最高达1兆字节的闪存，最高达192千字节的SRAM），最高4千字节的备份SRAM，以及广泛增强型I/O和外设，这些外设通过两个APB总线、三个AHB总线和一個32位多AHB总线矩阵连接。

所有设备均配备三个12位ADC、两个DAC、低功耗实时时钟、十二个通用型16位定时器（其中两个为PWM定时器，用于电机控制）、两个通用型32位定时器，以及一个真随机数生成器（RNG）。它们还具备标准和高级通信接口。

- 最多三个I2C接口
- 三个SPI，两个I2S全双工。为实现音频类别的精度，I2S外设可以通过专用内部音频PLL时钟或外部时钟进行时钟，以实现同步。
- 四 USART 加上两 UART
- 一个USB OTG全速和一个USB OTG高速，具备全速功能（带ULPI）。
- 两个CAN总线
- 一个SDIO/MMC接口
- STM32F407xx设备上仅可用的以太网和摄像头接口

新进高级外设包括SDIO、增强型灵活静态存储器控制接口（FSMC）（适用于100引脚及以上封装的器件）以及用于CMOS传感器的摄像头接口。各零件号可用的外设列表请参阅 *Table 2: STM32F405xx and STM32F407xx: features and peripheral counts*。

STM32F405xx和STM32F407xx系列微控制器可在-40至+105°C的温度范围内工作，电源电压为1.8至3.6V。当设备在0至70°C的温度范围内使用外部电源监控器工作时，电源电压可降至1.7V：请参考 *Section : Internal reset OFF*。全面的节能模式使得低功耗应用的设计成为可能。

STM32F405xx和STM32F407xx系列提供从64引脚到176引脚的各种封装产品。所选设备包含的外设会随着所选设备的不同而变化。

这些特性使其适用于广泛的应用场景：STM32F405xx和STM32F407xx微控制器系列。

- 电机驱动与应用控制
- 医疗设备
- 工业应用：PLC、变频器、断路器
- 打印机，扫描仪
- 报警系统、视频对讲系统和暖通空调
- 家用音频设备

[illegible]

2.1 全系列完全兼容

STM32F405xx和STM32F407xx属于STM32F4系列。它们与STM32F2xx器件完全引脚到引脚、软件和功能兼容，用户可以在开发周期中尝试不同的存储器密度、外设和性能（FPU、更高频率），从而获得更大的自由度。

STM32F405xx和STM32F407xx设备与整个STM32F10xxx系列保持高度兼容性，所有功能引脚均实现针对针兼容。然而，STM32F405xx和STM32F407xx并非STM32F10xxx设备的即插即用替换方案：这两个系列采用不同的电源架构，因此其电源引脚存在差异。尽管如此，从STM32F10xxx转向STM32F40xxx系列的转换过程依然简单，仅影响少数几个引脚。

Figure 4, Figure 3, Figure 2, and Figure 1 provide compatible board designs between the STM32F40xxx, STM32F2, and STM32F10xxx families.

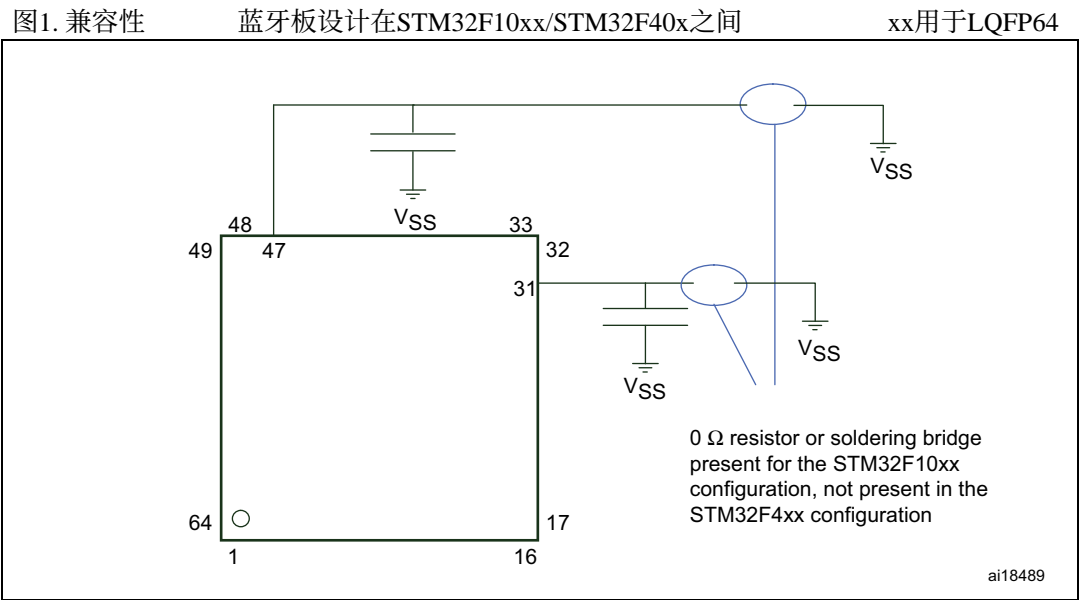


图2. 适用于LQFP100封装的STM32F10xx/STM32F2/STM32F40xxx兼容板设计

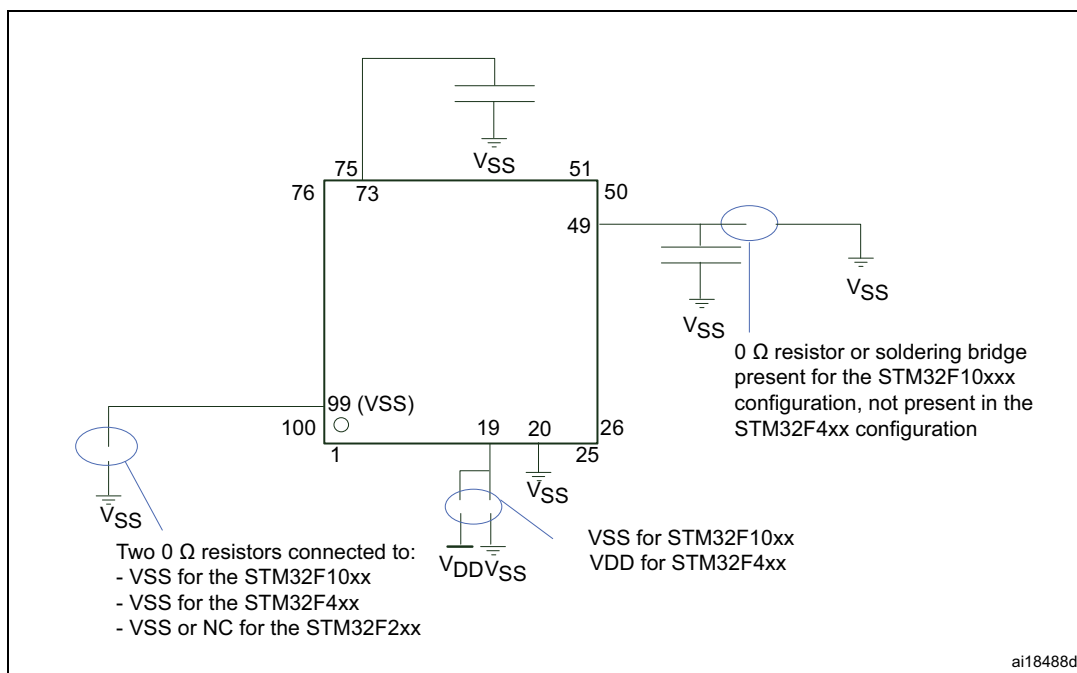


图3. STM32F10xx/STM32F2/STM32F40xxx系列LQFP144封装兼容板设计

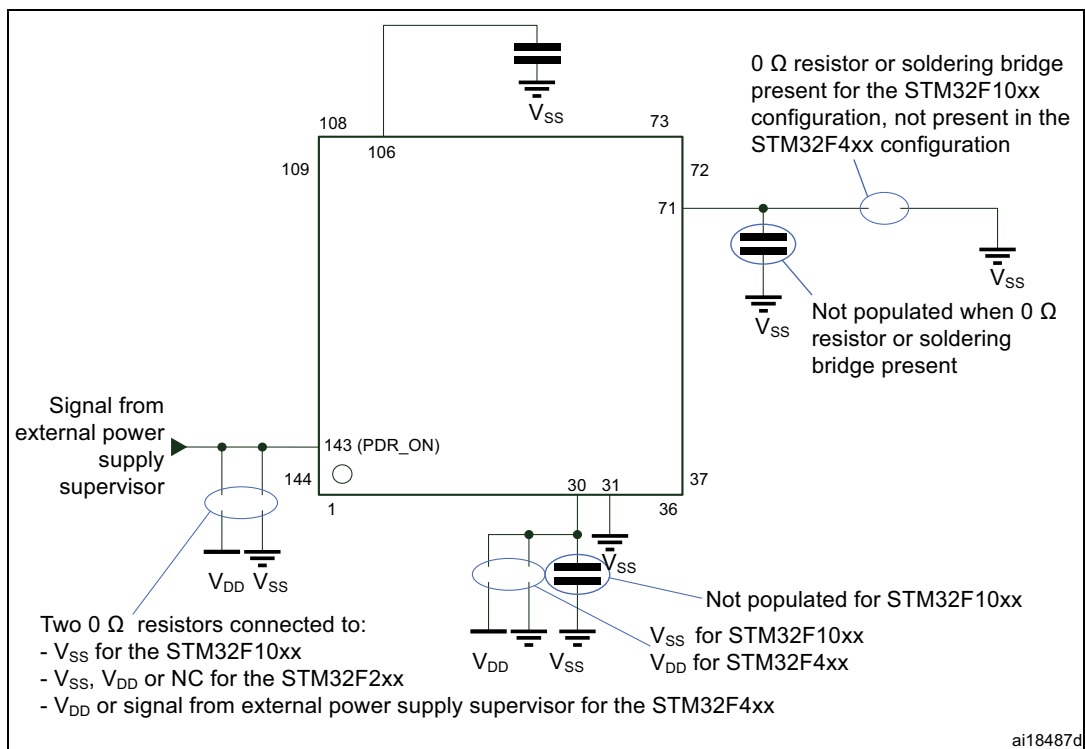


图4. STM32F2与STM32F40xxx之间的兼容板设计
for LQFP176 and BGA176 packages

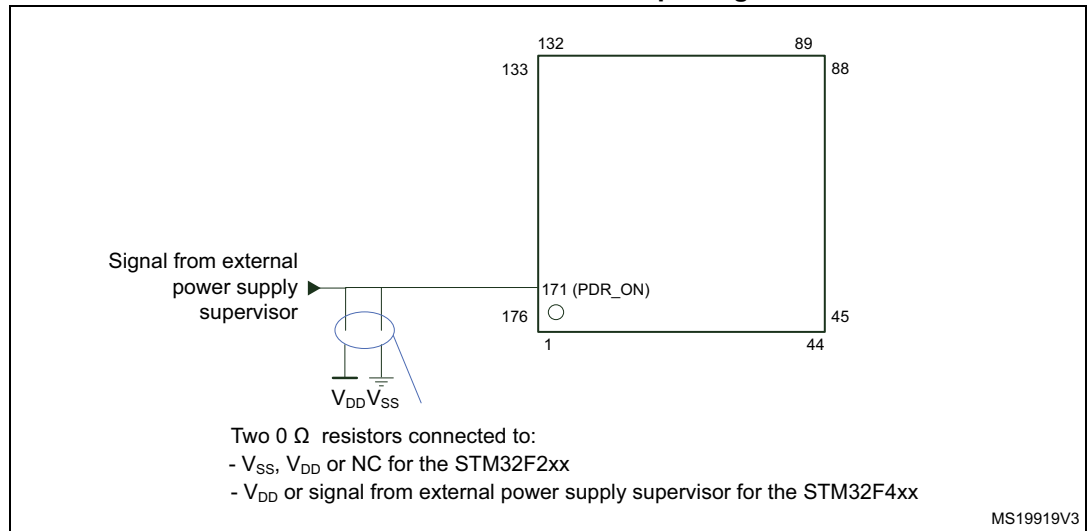
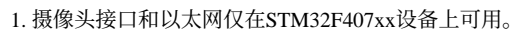


Figure 5. STM32F40xxx block diagram



3.0.1 带有FPU的Arm® Cortex®-M4核心，内置嵌入式闪存和SRAM

Arm Cortex-M4处理器配备浮点运算单元(FPU)，是面向嵌入式系统的最新一代Arm处理器。该处理器旨在提供一个低成本平台，满足MCU实现需求，具有减少的引脚数量和低功耗特性，同时提供卓越的计算性能和先进的中断响应能力。

带有FPU的32位RISC Arm Cortex-M4处理器具有卓越的代码效率，能够在通常与8位和16位设备相关的内存大小下，提供Arm核心预期的高性能。

处理器支持一组DSP指令集，这些指令集能够高效地进行信号处理和复杂算法执行。

其单精度浮点处理单元通过采用元语言开发工具加速软件开发，同时避免了溢出问题。

STM32F405xx和STM32F407xx系列兼容所有Arm工具和软件。

Figure 5展示了STM32F40xxx系列的通用框图。

Note: *Cortex-M4 with FPU is binary compatible with Cortex-M3.*

3.0.2 自适应实时内存加速器（ART 加速器）

ART加速器是一款针对STM32工业标准Arm® Cortex®-M4带FPU处理器进行优化的内存加速器。它平衡了Arm Cortex-M4带FPU相对于闪存技术的固有性能优势，通常在较高频率下，处理器需要等待闪存技术，而ART加速器有效缓解了这一问题。

为了在此频率下充分发挥处理器210 DMIPS的性能，加速器实现了指令预取队列和分支缓存，从而从128位闪存中提高了程序执行速度。基于CoreMark基准测试，得益于ART加速器，其性能相当于在CPU频率高达168 MHz时，从闪存中实现零等待状态的程序执行。

3.0.3 内存保护单元

内存保护单元（MPU）用于管理CPU对内存的访问，以防止一个任务意外破坏任何其他活动任务所使用的内存或资源。该内存区域最多可划分为8个受保护区域，这些区域可进一步细分为8个子区域。保护区域的大小范围在32字节到整个4GB可寻址内存之间。

MPU对于那些需要防止其他任务不当行为而保护关键或认证代码的应用尤其有用。它通常由实时操作系统（RTOS）管理。如果程序访问了MPU禁止的内存位置，RTOS可以检测到并采取行动。在RTOS环境中，内核可以根据要执行的过程动态更新MPU区域设置。

MPU是可选的，对于不需要它的应用，可以绕过MPU。

3.0.4 嵌入式闪存

STM32F40xxx系列设备内置了512千字节或1兆字节的闪存，用于存储程序和数据，此外还配备了512字节的一次性可编程存储器。

3.0.5 循环冗余校验计算 单位

CRC（循环冗余校验）计算单元用于从一个32位数据字和一个固定的生成多项式获取CRC码。

除其他应用外，基于CRC的技术还用于验证数据传输或存储的完整性。在EN/IEC 60335-1标准范围内，它们提供了一种验证闪存完整性的方法。CRC计算单元有助于在运行时计算软件签名，以便与链接时生成并存储在特定内存位置的参考签名进行比较。

3.0.6 嵌入式SRAM

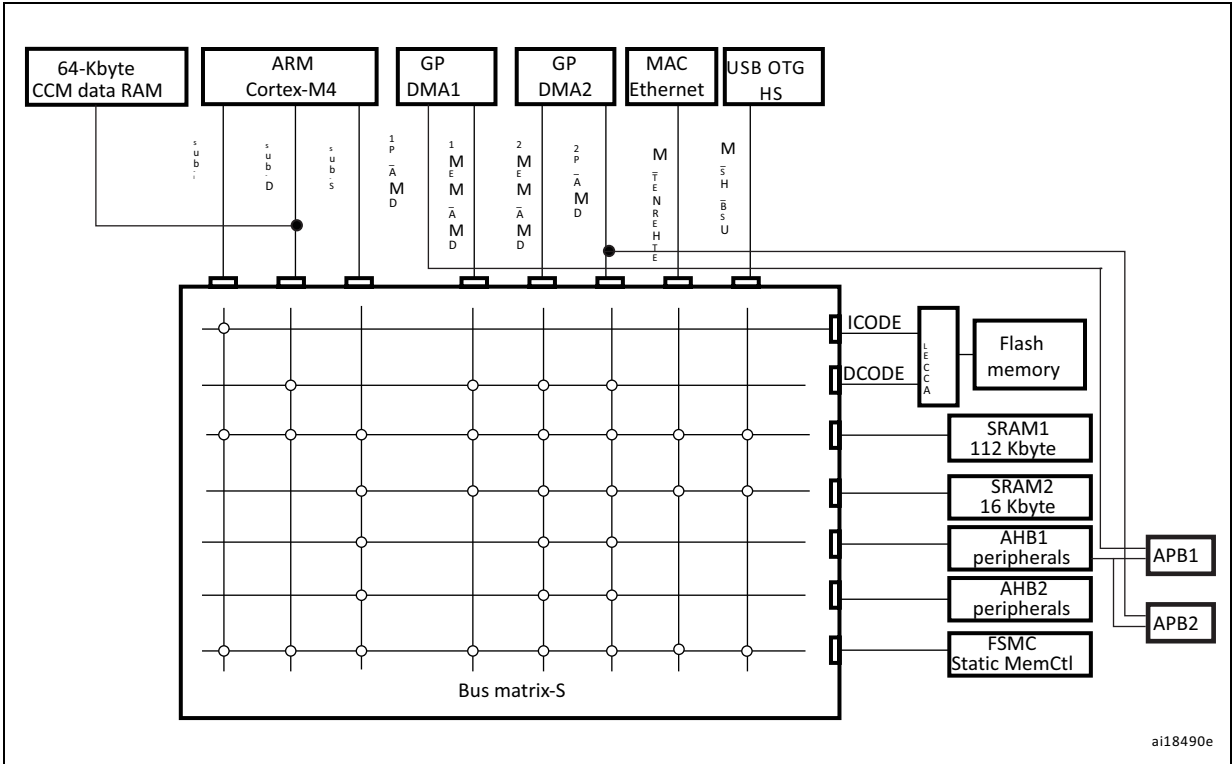
所有STM32F40xxx产品嵌入：

- 系统SRAM最多可达192 Kbytes，其中包括64 Kbytes的CCM（核心耦合内存）数据RAM。RAM内存以CPU时钟速度进行访问（读/写），且无等待状态。
- 4 KB的备份SRAM，此区域仅能从CPU访问。其内容受保护，防止不期望的写访问，并在待机或VBAT模式下保留。

3.0.7 多AHB总线矩阵

32位多AHB总线矩阵连接了所有主设备（CPU、DMA、以太网、USB HS）和从设备（闪存、RAM、FSMC、AHB外设和APB外设），即使多个高速外设同时工作，也能确保无缝且高效的运行。

图6. 多AHB矩阵



3.0.8 DMA控制器（DMA）

设备配备了两个通用双端口DMA（DMA1和DMA2），每个DMA拥有8个通道，能够处理内存到内存、外设到内存以及内存到外设的传输。它们为APB/AHB外设配备了专用FIFO，支持突发传输，并旨在提供最大的外设带宽（AHB/APB）。

两个DMA控制器支持环形缓冲区管理，因此当控制器到达缓冲区末尾时无需特定代码。此外，这两个DMA控制器还具备双缓冲功能，能够自动执行两个内存缓冲区的使用与切换，无需任何特殊代码。

每个流都连接到专用硬件DMA请求，并且支持每个流的软件触发。通过软件进行配置，源和目标之间的传输大小是独立的。

DMA 可用于以下主要外设：

- 串行外设接口和集成电路互连标准
- 集成电路总线
- 通用异步收发器
- 通用、基础和高级控制定时器 TIMx
- 数字模拟转换器
- 安全数字输入/输出
- 相机接口（DCMI）
- ADC。模数转换器

3.0.9 灵活的静态内存控制器 (FSMC) (FMC)

FSMC嵌入到STM32F405xx和STM32F407xx系列中。它拥有四个片选输出，支持以下模式：PCCard/Compact Flash、SRAM、PSRAM、NOR Flash和NAND Flash。

功能概览：

- 写FIFO
- 同步访问的最大FSMC_CLK频率为60 MHz。

LCD并行接口

FSMC可以配置为与大多数图形LCD控制器无缝集成。它支持Intel 8080和Motorola 6800模式，并且足够灵活以适应特定的LCD接口。这种LCD并行接口能力使得使用嵌入式控制器的LCD模块构建成本效益高的图形应用变得容易，同时也便于采用配备专用加速功能的外部控制器构建高性能解决方案。

3.0.10 嵌套向量中断控制器 (NVIC)

STM32F405xx 和 STM32F407xx 嵌入式能够管理 16 级优先级、处理高达 82 个可屏蔽中断通道以及 Cortex®-M4 带有 FPU 核心的 16 个中断线的嵌套向量中断控制器。

- 紧密耦合的NVIC提供低延迟中断处理
- 中断入口向量地址直接传递给核心
- 允许早处理中断
- 晚到的、更高优先级中断的处理
- 支持尾链
- 处理器状态自动保存
- 中断退出时恢复中断入口，且无指令开销

该硬件模块提供灵活的中断管理功能，具有最小的中断延迟。

3.0.11 外部中断/事件控制器 (EXTI)

外部中断/事件控制器包含23条边沿检测线，用于产生中断/事件请求。每条线可独立配置触发事件（上升沿、下降沿、两者），并可独立屏蔽。挂起寄存器保存中断请求状态。EXTI能检测脉冲宽度小于内部APB2时钟周期的外部线路。最多140个GPIO可连接至16条外部中断线。

3.0.12 时钟与启动

重置后，默认选用16 MHz内部RC振荡器作为CPU时钟。该16 MHz内部RC振荡器经过工厂校准，在整个温度范围内提供1%的精度。随后，应用程序可以选择将RC振荡器或一个4-26 MHz的外部时钟源作为系统时钟。此时钟可以被监控以检测故障。若检测到故障，系统将自动切换回内部RC振荡器，并产生一个软件中断（如果已启用）。该时钟源输入到PLL，从而允许频率提升至最高168 MHz。同样，对PLL进行完整的中断管理。

时钟输入在必要时可用（例如，如果间接使用的外部振荡器失效）。

多个预分频器允许配置三个AHB总线、高速APB（APB2）总线域和低速APB（APB1）总线域。三个AHB总线的最大频率为168 MHz，而高速APB总线域的最大频率为84 MHz。低速APB总线域允许的最大频率为42 MHz。

设备嵌入了专用的PLL（PLLI2S），可实现音频类性能。在此情况下，I2S主时钟可以从8 kHz到192 kHz生成所有标准采样频率。

3.0.13 启动模式

在启动时，使用启动引脚选择三个启动选项之一：

- 从用户闪存启动
- 从系统内存启动
- 从嵌入式SRAM启动

启动加载程序位于系统内存中，用于通过DFU（设备固件更新）使用USART1（PA9/PA10）、USART3（PC10/PC11或PB10/PB11）、CAN2（PB5/PB13）以及USB OTG FS设备模式（PA11/PA12）重新编程闪存。

3.0.14 供电方案

- VDD = 1.8至3.6V：用于I/O和内部稳压器（当启用时）的外部电源，通过VDD引脚外部提供。
- VSSA、VDDA = 1.8 至 3.6 V：用于ADC、DAC、复位模块、RC和PLL的外部模拟电源。VDDA和VSSA必须分别连接到VDD和VSS。
- VBAT = 1.65至3.6V：当VDD未存在时，为实时时钟、外部32kHz振荡器以及通过电源开关访问的备份寄存器提供电源。

请参阅 *Figure 21: Power supply scheme* 了解更多详情。

Note: *V_{DD}/V_{DDA} minimum value of 1.7 V is obtained when the device operates in reduced temperature range, and with the use of an external power supply supervisor (refer to Section : Internal reset OFF).*

Refer to Table 2 in order to identify the packages supporting this option.

3.0.15 电源管理

内部复位开启

在嵌入PDR_ON引脚的封装上，通过保持PDR_ON高电平来启用电源监督器。而在所有其他封装上，电源监督器始终处于使能状态。

该设备集成了电源上电复位（POR）/掉电复位（PDR）电路，与欠压复位（BOR）电路相耦合。上电时，POR/PDR始终处于激活状态，确保从1.8 V电压开始正常运行。当达到1.8 V的POR阈值后，选项字节加载过程启动，用于确认或修改默认的BOR阈值，或永久禁用BOR。通过选项字节，可提供三种BOR阈值选择。当VDD电压低于指定阈值VPOR/PDR或VBOR时，设备将保持在复位模式，无需外部复位电路。

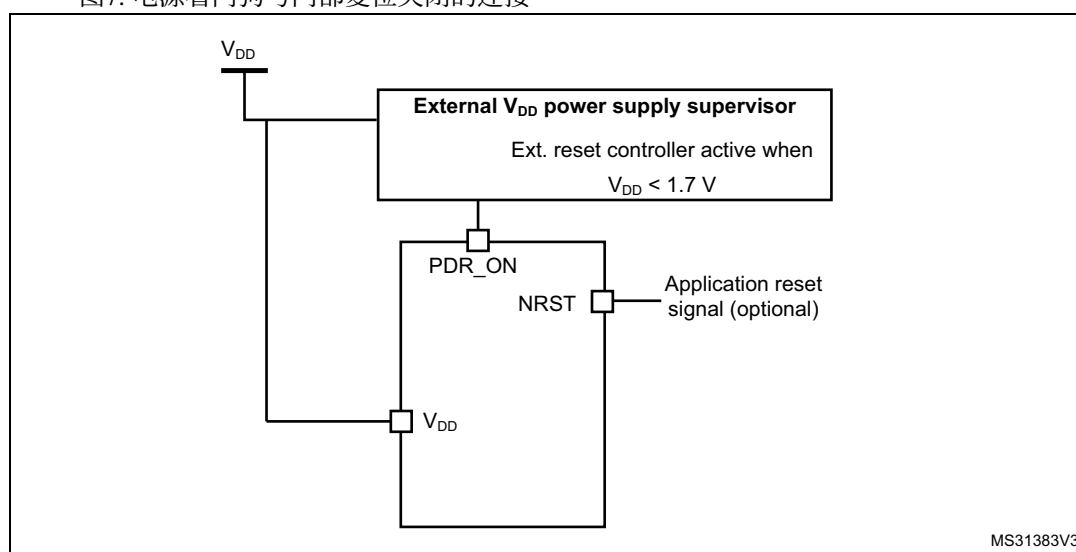
该设备还配备了嵌入式可编程电压检测器(PVD)，用于监控VDD/VDDA电源，并将其与VPVD阈值进行比较。当VDD/VDDA电压降至VPVD阈值以下和/或高于VPVD阈值时，可以产生中断。随后，中断服务程序可以生成警告信息和/或将MCU置于安全状态。PVD功能由软件启用。

内部复位关闭

此功能仅适用于配备PDR_ON引脚的套餐。内部上电复位(POR)/掉电复位(PDR)电路通过PDR_ON引脚被禁用。

外部电源看门狗应监控VDD，并在VDD低于指定阈值时保持设备处于复位模式。PDR_ON应连接到此外部电源看门狗。参见Figure 7: Power supply supervisor interconnection with internal reset OFF。

图7. 电源看门狗与内部复位关闭的连接



1. PDR = 1.7伏用于缩小温度范围；PDR = 1.8伏适用于所有温度范围。

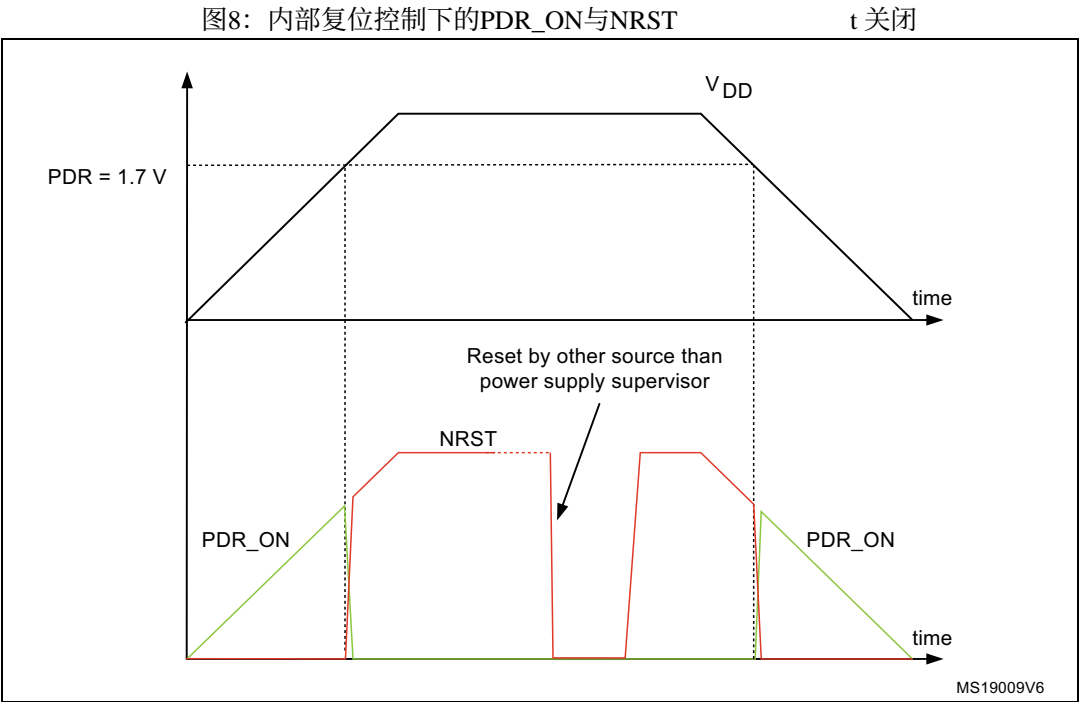
规定的VDD阈值，即在复位状态下必须保持的最低电压，为1.8 V（见Figure 7）。当设备在0至70 °C的温度范围内运行时，该供电电压可降至1.7 V。

全面的节能模式允许设计低功耗应用。

当内部复位关闭时，以下集成功能不再被支持：

- 集成电源上电复位（POR）/掉电复位（PDR）电路被禁用
- 掉电复位（BOR）电路被禁用
- 嵌入式可编程电压检测器(PVD)被禁用
- VBAT功能已不再可用，且VBAT引脚应连接至VDD。

除了LQFP64和LQFP100之外，所有封装都允许通过PDR_ON信号禁用内部复位。



1. PDR = 1.7 V用于缩小温度范围; PDR = 1.8 V适用于所有温度范围。

3.0.16 电压调节器

该调节器有四种工作模式:

- 稳压器开启 – 主稳压器模式(MR)
– 低功耗稳压器(LPR) – 关断
- 调节器关闭

调节器开启

在嵌入BYPASS_REG引脚的封装上, 通过保持BYPASS_REG低电平来使能稳压器。在所有其他封装中, 稳压器始终处于使能状态。

有三个{v*} 嵌入式电子设备电源模式由软件配置, 当调节器工作时, r 开启:

- 在名义调节模式(运行状态下采用不同电压缩放)和主调节器模式(MR模式)中, 为在最大频率与动态功耗之间取得最佳平衡, 提供了不同的电压缩放方案。请参考 *Table 14: General operating conditions*。
- LPR在停止模式中使用。LP调节器模式在进入停止模式时通过软件配置。
- 待机模式下使用关断功能。仅在进入待机模式时才会激活关断模式。此时, 调节器输出呈现高阻抗状态, 核心电路被切断电源, 从而实现零功耗。寄存器和SRAM中的内容将丢失。

应在VCAP_1和VCAP_2引脚上连接两个外部陶瓷电容器。请参考
*Figure 21: Power supply scheme*和*Figure 16: VCAP_1/VCAP_2 operating conditions*。

所有包装均配备调节器开启功能。

调节器关闭

此功能仅适用于配备BYPASS_REG引脚的型号。当BYPASS_REG保持高电平时，稳压器将被禁用。在稳压器关闭模式下，可通过VCAP_1和VCAP_2引脚外部接入V12电压源。

由于内部电压调整无法自主管理，外部电压值必须与目标最大频率保持一致。请参考
Table 14: General operating conditions。

应将两个2.2 μF 的陶瓷电容器替换为两个100 nF的退耦电容器。

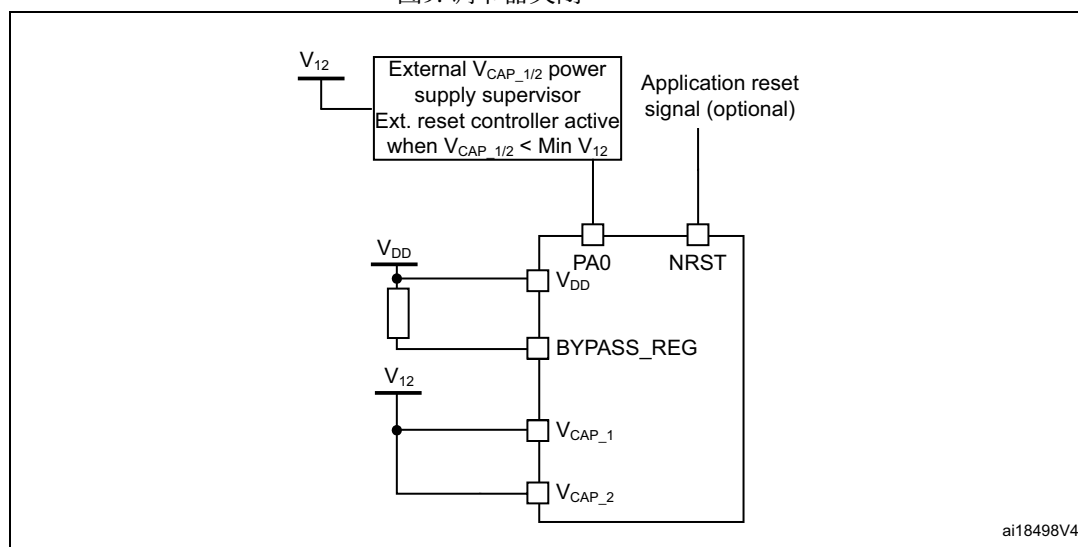
参见*Figure 21: Power supply scheme*

当调节器关闭时，V12不再进行内部监控。应使用外部电源看门狗来监控逻辑电源域的V12。PA0引脚应为此目的而使用，并作为V12电源域的上电复位。

在调节器关闭模式下，以下功能不再支持：

- PA0不能用作GPIO引脚，因为它可以复位V12逻辑电源域的一部分，而这一部分不会由NRST引脚复位。
- 只要PA0保持低电平，上电复位时就无法使用调试模式。因此，如果需要在复位或复位前使用调试连接，必须分别对PA0和NRST引脚进行管理。
- 待机模式不可用

图9. 调节器关闭

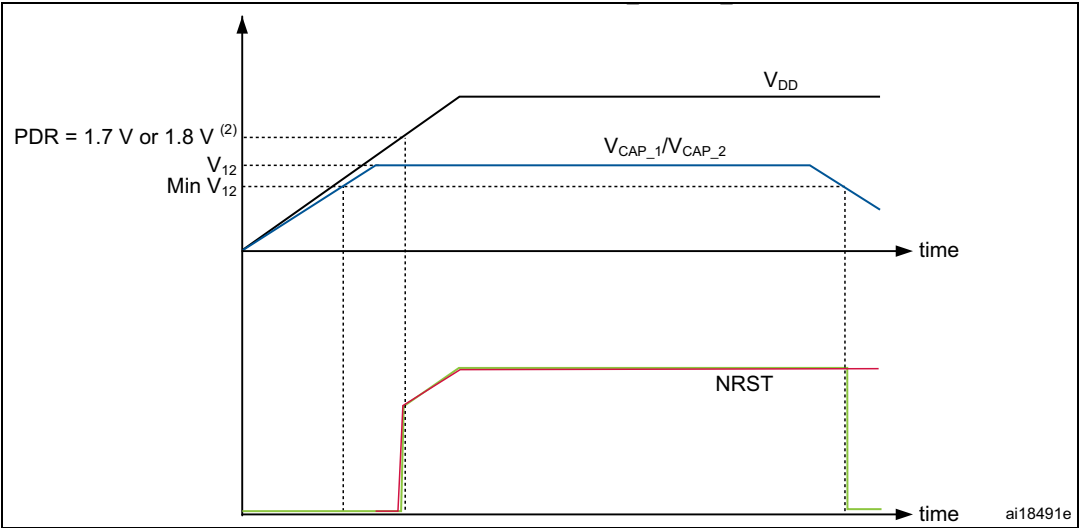


必须遵守以下条件：

- VDD应始终高于VCAP_1和VCAP_2，以防止电源域之间的电流注入。
- 如果VCAP_1和VCAP_2达到V12最小值所需时间快于VDD达到1.8V所需时间，则应保持PA0低电平，以覆盖两种条件：直至VCAP_1和VCAP_2达到V12最小值，以及直至VDD达到1.8V（参见Figure 10）。
- 否则，如果VCAP_1和VCAP_2达到V12最小值所需的时间比VDD达到1.8V所需的时间更慢，则PA0可能被外部拉低（参见Figure 11）。
- 如果VCAP_1和VCAP_2低于V12最小值且VDD高于1.8V，则必须在PA0引脚上置位复位信号。

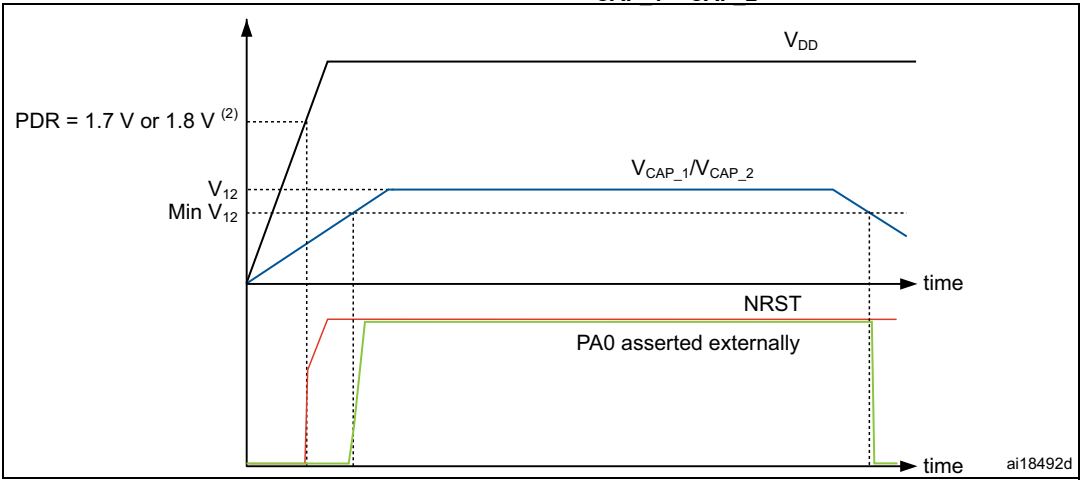
Note: The minimum value of V_{12} depends on the maximum frequency targeted in the application (see Table 14: General operating conditions).

图10. 稳压器关闭模式下的启动：缓慢的VDD斜率 - 电源关闭复位在V之后上升



1. 此图适用于内部复位模式无论为开或关。 2. PDR = 1.7 V，适用于缩小的温度范围；PDR = 1.8 V，适用于所有温度范围。

图11. 稳压器关闭模式下的启动：快速VDD斜率 - 电源下降复位在V之前上升



1. 无论内部复位模式（ON或OFF）如何，此图均有效。 2. PDR = 1.7 V适用于缩小的温度范围；PDR = 1.8 V适用于所有温度范围。

3.0.17 调节器开关及内部复位开关可用性

表3. 调节器开/关及内部复位开/关可用性

	Regulator ON	Regulator OFF	Internal reset ON	Internal reset OFF
LQFP64 LQFP100	Yes	No	Yes	No
LQFP144			Yes PDR_ON set to V _{DD}	Yes PDR_ON connected to an external power supply supervisor
WLCSP90 UFBGA176 LQFP176	Yes BYPASS_REG set to V _{SS}	Yes BYPASS_REG set to V _{DD}		

3.0.18 实时时钟（RTC）、备份SRAM和备份寄存器

STM32F405xx 和 STM32F407xx 的后备域包括：

- 实时时钟（RTC）
- 4千字节的备份SRAM
- 20个备份寄存器

实时时钟(RTC)是一个独立的BCD计数器/定时器。专用寄存器包含以BCD格式表示的秒、分、时（12/24小时制）、星期、日期、月份和年份。系统自动处理28、29（闰年）、30和31天的月份。RTC提供可编程闹钟和可编程周期性中断，支持从停机和待机模式唤醒。此外，还可用二进制格式表示子秒值。

由32.768kHz外部晶体、谐振器或振荡、内部低功耗RC振荡器或高速外部时钟除以2到31进行时钟驱动。内部低速RC

具有典型的32 kHz频率。RTC可以通过外部512 Hz输出进行校准，以补偿任何石英自然偏差。

使用两个闹钟寄存器可以在特定时间生成报警，且日历字段可以独立屏蔽进行报警比较。为生成周期性中断，提供了一个16位可编程二进制自动重载向下计数器，具有可编程分辨率，允许从每120 μs到每36小时实现自动唤醒和周期性闹钟。

一个20位预分频器用于时间基准时钟。默认配置是从32.768 kHz时钟生成1秒的时间基准。

4-K字节备份SRAM是一个类似EEPROM的内存区域，可用于存储在VBAT和待机模式下需要保留的数据。此内存区域默认处于禁用状态，以最大限度地降低功耗（参见 *Section 3.0.19: Low-power modes*）。可通过软件启用。

备份寄存器是32位寄存器，用于在VDD电源不存在时存储80字节的用户应用数据。备份寄存器不会因系统复位、电源复位或设备从待机模式唤醒而被重置（参见 *Section 3.0.19: Low-power modes*）。

额外的32位寄存器包含可编程闹钟的亚秒、秒、分钟、小时、日和日期。

与后备SRAM类似，RTC和后备寄存器通过一个开关供电，该开关由VDD供电（当VDD存在时）或由VBAT引脚供电。

3.0.19 低功耗模式

STM32F405xx 和 STM32F407xx 支持三种低功耗模式，以实现低功耗、短启动时间和可用唤醒源之间的最佳折衷：

- 休眠模式 在休眠模式下，仅CPU停止工作。所有外设继续运行，当发生中断/事件时，可以唤醒CPU。
- 停止模式 Stop模式在保持SRAM和寄存器内容的同时实现了最低的功耗。V12域中的所有时钟被停止，PLL、HSI RC和HSE晶体振荡器被禁用。电压调节器也可以设置为正常模式或低功耗模式。设备可以通过任何EXTI引线（EXTI引线源可以是16条外部线、PVD输出、RTC闹钟/唤醒/复位/时间戳事件、USB OTG FS/HS唤醒或以太网唤醒）从停止模式中唤醒。
- 待机模式 待机模式旨在实现最低功耗。内部电压调节器被关闭，因此整个V12域断电。锁相环(PLL)、高速内部RC振荡器(HSI RC)和高速外部时钟(HSE晶体振荡器)同样被关闭。进入待机模式后，

待机模式下，除备份域中的寄存器和选中的备份SRAM外，SRAM和寄存器内容会丢失。

当发生外部复位（NRST引脚）、IWDG复位、WKUP引脚上的上升沿，或RTC闹钟/唤醒/篡改/时间戳事件时，设备退出待机模式。

当嵌入式电压调节器被旁路且V12域由外部电源控制时，不支持待机模式。

3.0.20 备用电池操作

VBAT引脚允许从外部电池、外部超级电容器或VDD（当没有外部电池和外部超级电容器时）为设备的VBAT域供电。

当VDD未提供时，VBAT操作被激活。

VBAT引脚为实时时钟、备份寄存器和备份SRAM供电。

Note: When the microcontroller is supplied from V_{BAT} , external interrupts and RTC alarm/events do not exit it from V_{BAT} operation.

When PDR_ON pin is not connected to V_{DD} (internal reset OFF), the V_{BAT} functionality is no more available and V_{BAT} pin should be connected to V_{DD} .

3.0.21 定时器和看门狗

STM32F405xx 和 STM32F407xx 设备包含两个高级控制定时器、八个通用定时器、两个基本定时器和两个看门狗定时器。

在调试模式下，所有计时器计数器可以暂停。

Table 4比较了高级控制型、通用型和基础型定时器的特性。

表4. 计时器特性对比

Timer type	Timer	Counter resolution	Counter type	Prescaler factor	DMA request generation	Capture/compare channels	Complementary output	Max interface clock (MHz)	Max timer clock (MHz)
Advanced-control	TIM1, TIM8	16-bit	Up, Down, Up/down	Any integer between 1 and 65536	Yes	4	Yes	84	168

表4. 定时器功能对比（续）

Timer type	Timer	Counter resolution	Counter type	Prescaler factor	DMA request generation	Capture/compare channels	Complementary output	Max interface clock (MHz)	Max timer clock (MHz)
General purpose	TIM2, TIM5	32-bit	Up, Down, Up/down	Any integer between 1 and 65536	Yes	4	No	42	84
	TIM3, TIM4	16-bit	Up, Down, Up/down	Any integer between 1 and 65536	Yes	4	No	42	84
	TIM9	16-bit	Up	Any integer between 1 and 65536	No	2	No	84	168
	TIM10, TIM11	16-bit	Up	Any integer between 1 and 65536	No	1	No	84	168
	TIM12	16-bit	Up	Any integer between 1 and 65536	No	2	No	42	84
	TIM13, TIM14	16-bit	Up	Any integer between 1 and 65536	No	1	No	42	84
Basic	TIM6, TIM7	16-bit	Up	Any integer between 1 and 65536	Yes	0	No	42	84

高级控制定时器（TIM1，TIM8）

高级控制定时器（TIM1、TIM8）可视为在6个通道上复用的三相PWM发生器。它们具有互补PWM输出，并带有可编程插入死区时间。它们也可被视为完整的通用定时器。其4个独立通道可用于：

- 输入捕获
- 输出比较
- PWM生成（边沿或中心对齐模式）
- 单脉冲模式输出

若配置为标准16位定时器，其功能与通用TIMx定时器相同。若配置为16位PWM发生器，则具备完整的调制能力（0-100%）。

高级控制定时器可通过Timer Link功能与TIMx定时器协同工作，实现同步或事件串联。

TIM1和TIM8支持独立的DMA请求生成。

通用定时器(TIMx)

STM32F40xxx设备中嵌入了十个可同步的通用定时器（STM32F40xxx设备之间的差异请参见Table 4）。

- 定时器2、定时器3、定时器4、定时器5

STM32F40xxx系列包含4个功能完整的通用定时器：TIM2、TIM5、TIM3和TIM4。TIM2和TIM5定时器基于32位自动重载向上/向下计数器和16位预分频器。TIM3和TIM4定时器基于16位自动重载向上/向下计数器和16位预分频器。它们均具备4个独立通道，用于输入捕获/输出比较、PWM或单脉冲模式输出。这使得

多达16个输入捕获/输出比较/脉宽调制功能，适用于最大封装。

通用定时器TIM2、TIM3、TIM4、TIM5可以协同工作，也可以通过Timer Link功能与其它通用定时器及高级控制定时器TIM1和TIM8同步或进行事件链式处理。

这些通用定时器中的任何一个都可以用来生成PWM输出。

TIM2、TIM3、TIM4和TIM5均具备独立的DMA请求生成功能。它们能够处理正交（增量型）编码器信号以及1至4个霍尔传感器的数字输出。

- TIM9, TIM10, TIM11, TIM12, TIM13, 以及TIM14

这些定时器基于一个16位自动重载递增计数器和一个16位预分频器。TIM10、TIM11、TIM13和TIM14具有一个独立通道，而TIM9和TIM12在输入捕获/输出比较、PWM或单脉冲模式输出方面拥有两个独立通道。它们可以与TIM2、TIM3、TIM4、TIM5的全功能通用定时器同步，也可用作简单的时间基准。

基本定时器 TIM6 和 TIM7

这些定时器主要用于DAC触发和波形生成，也可作为通用16位时间基准。

TIM6 和 TIM7 支持独立的 DMA 请求生成。

独立的看门狗

独立看门狗基于一个12位降计数器和8位预分频器。它由独立的32kHz内部RC振荡器时钟驱动，并且由于其与主时钟无关，可以在停机和待机模式下运行。当发生问题时，它可以作为看门狗重置设备，或者用作自由运行定时器以管理应用程序超时。它可以通过选项字节进行硬件或软件配置。

窗口看门狗

窗口看门狗基于一个可设为自由运行的7位递减计数器，当出现故障时可用作看门狗重置设备。它由主时钟驱动，具备提前警告中断功能，并且在调试模式下计数器可以冻结。

SysTick定时器

此定时器专为实时操作系统设计，也可作为标准倒计数器使用。其特点包括：

- 一个24位递减计数器
- 自动重新加载功能
- 可屏蔽的系统中断生成，当计数器达到0时
- 可编程时钟源。

3.0.22 集成电路互连接口 (I²C)

最多三个I²C总线接口可工作于多主模式和从模式。它们支持标准模式（最高100 kHz）和快速模式（最高400 kHz）。支持7/10位寻址模式以及7位双地址模式（作为从设备）。嵌入了硬件CRC生成/验证功能。

它们可以通过DMA服务，并且支持SMBus 2.0/PMBus。

3.0.23 通用同步/异步收发器 (USART)

STM32F405xx 和 STM32F407xx 集成了四个通用同步/异步收发器 (USART1、USART2、USART3 和 USART6) 以及两个通用异步收发器 (UART4 和 UART5)。

这六个接口提供异步通信、IrDA SIR ENDEC支持、多处理器通信模式、单线半双工通信模式，并具备LIN主/从功能。USART1和USART6接口最高可实现10.5 Mbit/s的通信速率，而其他可用接口最高支持5.25 Mbit/s的通信速度。

USART1、USART2、USART3 和 USART6 还提供 CTS 和 RTS 信号的硬件管理、智能卡模式（符合 ISO 7816 标准）以及类似 SPI 的通信能力。所有接口都可以由 DMA 控制器服务。

表5. USART特性对比

USART name	Standard features	Modem (RTS/CTS)	LIN	SPI master	IrDA	Smartcard (ISO 7816)	Max. baud rate in Mbit/s (oversampling by 16)	Max. baud rate in Mbit/s (oversampling by 8)	APB mapping
USART1	X	X	X	X	X	X	5.25	10.5	APB2 (max. 84 MHz)
USART2	X	X	X	X	X	X	2.62	5.25	APB1 (max. 42 MHz)
USART3	X	X	X	X	X	X	2.62	5.25	APB1 (max. 42 MHz)
UART4	X	-	X	-	X	-	2.62	5.25	APB1 (max. 42 MHz)
UART5	X	-	X	-	X	-	2.62	5.25	APB1 (max. 42 MHz)
USART6	X	X	X	X	X	X	5.25	10.5	APB2 (max. 84 MHz)

3.0.24 串行外设接口 (SPI)

STM32F40xxx系列微控制器最多可配备三个SPI接口，支持从机和主机模式下的全双工和单工通信。SPI1最高可达到42 Mbits/s的通信速率，而SPI2和SPI3则最高支持21 Mbit/s。3位预分频器提供8种主机模式频率选择，帧格式可配置为8位或16位。硬件CRC生成/校验功能支持基本的SD卡/MMC模式。所有SPI接口均可通过DMA控制器进行服务。

SPI接口可配置为在主模式和从模式下的通信中采用TI模式。

3.0.25 集成声音 (I2S)

提供了两个标准的I2S接口（复用SPI2和SPI3）。它们既可以作为主模式或从模式运行，支持全双工和半双工通信模式，并且可以配置为以16位/32位分辨率作为输入或输出通道。支持的音频采样频率范围从8kHz到192kHz。当任一或两个I2S接口配置为主模式时，主时钟可以输出至外部DAC/CODEC，其频率为采样频率的256倍。

所有I2Sx都可以由DMA控制器服务。

3.0.26 音频锁相环 (PLLI2S)

这些设备配备了一个额外的专用锁相环 (PLL)，用于音频I2S应用。它能够在使用USB外设的同时，实现无错误的I2S采样时钟精度，而不会牺牲CPU性能。

PLL I2S配置可以修改，以便在不关闭用于CPU、USB和以太网接口的主PLL的情况下管理I2S采样率的更改。

音频锁相环可以以极低的误差进行编程，从而获得从8KHz到192KHz的采样率。

除了音频锁相环，还可以使用主时钟输入引脚将I2S流与外部PLL（或编解码器输出）同步。

3.0.27 安全数字输入/输出接口 (SDIO)

提供了一个SD/SDIO/MMC主机接口，该接口支持多媒体卡系统规范版本4.2，并可在三种不同的数据总线模式下运行：1位（默认）、4位和8位。

该接口支持高达48 MHz的数据传输速率，并符合SD存储卡规范2.0版。

也支持SDIO卡规范版本2.0，具有两种不同的数据总线模式：1位（默认）和4位。

当前版本仅支持同时插入一张SD/SDIO/MMC4.2卡，以及兼容MMC4.1或更早版本的卡。

除SD/SDIO/MMC外，此接口完全符合CE-ATA数字协议Rev1.1。

3.0.28 以太网MAC接口，配备专用DMA及IEEE 1588支持

外设仅在STM32F407xx设备上可用。

STM32F407xx系列设备提供了一个符合IEEE-802.3-2002标准的媒体访问控制器(MAC)，用于通过行业标准的介质独立接口(MII)或简化的介质独立接口(RMII)进行以太网局域网通信。STM32F407xx需要一个外部物理接口设备(PHY)来连接到物理局域网总线（如双绞线、光纤等）。该PHY通过17个信号连接到STM32F407xx的MII端口，或通过9个信号连接到RMII端口，并可使用STM32F407xx提供的25 MHz（MII）时钟进行时钟。

STM32F407xx 包含以下特性：

- 支持10和100 Mbit/s速率
- 专用DMA控制器，允许在专用SRAM与描述符之间进行高速传输（详情请参阅STM32F40xxx/41xxx参考手册）。
- 带标签的MAC帧支持（VLAN支持）
- 半双工（CSMA/CD）和全双工操作
- MAC控制子层（控制帧）支持
- 32位CRC生成与移除
- 多种地址过滤模式，用于物理地址和多播地址（多播和组地址）
- 每个传输或接收帧的32位状态码
- 内部FIFO用于缓冲传输和接收帧。传输FIFO和接收FIFO均为2千字节。
- 支持符合IEEE 1588 2008（PTP V2）标准的硬件PTP（精确时间协议），时间戳比较器连接到TIM2输入。
- 当系统时间大于目标时间时触发中断

3.0.29 控制器局域网 (bxCAN)

这两个CAN控制器符合2.0A和B（主动）规范，最高比特率为1 Mbit/s。它们能够接收和发送11位标识符的标准帧以及29位标识符的扩展帧。每个CAN控制器配备三个发送邮箱、两个具有3级深度的接收FIFO和28个共享的可扩展滤波器组（即使仅使用一个CAN控制器，所有功能依然可用）。每个CAN控制器分配了256字节的SRAM。

3.0.30 通用串行总线 On-The-Go 全速 (OTG_FS)

STM32F405xx和STM32F407xx系列微控制器集成了带内置收发器的USB OTG全速设备/主机/OTG外设。USB OTG FS外设符合USB 2.0规范和OTG 1.0规范，具有可软件配置的端点设置和休眠/唤醒功能。USB OTG全速控制器需要一个专用的48 MHz时钟，该时钟由连接到HSE振荡器的锁相环(PLL)生成。主要特性包括：

- 接收和发送FIFO的总和为320 × 35位，具有动态FIFO尺寸。
- 支持会话请求协议(SRP)和主机协商协议(HNP)
- 4个双向端点
- 8个主机通道支持周期性OUT功能
- HNP/SNP/IP内部（无需任何外部电阻器）
- 在OTG/主机模式下，连接总线供电设备时需要电源开关。

3.0.31 通用串行总线随身高速 (OTG) G_HS)

STM32F405xx和STM32F407xx设备集成了一个USB OTG高速（最高480 Mb/s）设备/主机/OTG外设。USB OTG高速模式同时支持全速和高速操作。它集成了用于全速操作（12 MB/s）的收发器，并为高速操作（480 MB/s）提供UTMI低引脚接口（ULPI）。当在高速模式下使用USB OTG高速时，需要连接到ULPI的外部PHY设备。

USB OTG高速外设符合USB 2.0规范和OTG 1.0规范，具备软件可配置端点设置，并支持挂起/恢复功能。USB OTG全速控制器需要一个由连接到HSE振荡器的锁相环生成的专用48兆赫兹时钟。

主要功能如下：

- 组合收发FIFO尺寸为1 Kbit × 35，支持动态FIFO尺寸调整。
- 支持会话请求协议(SRP)和主机协商协议(HNP)
- 6个双向端点
- 12个主机通道支持周期性输出
- 内部全速OTG物理层支持
- 外部高速或高速OTG操作支持ULPI在同步数据速率模式下工作。OTG物理层通过12个信号连接到微控制器的ULPI端口，并可使用60 MHz输出进行时钟驱动。
- 内部 USB DMA
- HNP/SNP/IP内部（无需任何外部电阻器）
- 在OTG/主机模式下，若连接了总线供电设备，则需要电源开关。

3.0.32 数字相机接口 (DCMI)

这 摄像头接口在STM32F405xx开发板上~~not~~可用。 冰。

STM32F407xx产品集成了摄像头接口，可通过8位至14位并行接口连接摄像头模块和CMOS传感器，以接收视频数据。该摄像头接口在54 MHz下可支持高达54 Mbyte/s的数据传输速率。其特点包括：

- 输入像素时钟和同步信号的可编程极性
- 并行数据通信可以是8位、10位、12位或14位。
- 支持8位渐进式视频单色或原始拜耳格式、YCbCr 4:2:2 渐进式视频、RGB 565渐进式视频或压缩数据（如JPEG）。
- 支持连续模式或快照（单帧）模式
- 自动裁剪图像的能力

3.0.33 真随机数生成器(RNG)

所有STM32F405xx和STM32F407xx产品均嵌入了一个真随机数生成器（RNG），该生成器为应用程序提供全熵输出，以32位样本形式呈现。它由一个活体熵源（模拟）和内部调理组件组成。

3.0.34 通用输入/输出 (GPIO) Os)

每个GPIO引脚都可以通过软件配置为输出（推挽或开漏，带或不带上拉或下拉），或输入（浮空，带或不带上拉或下拉）。

或者作为外设复用功能。大多数GPIO引脚与数字或模拟复用功能共享。所有GPIO均具备大电流能力，并可通过速度选择来更好地管理内部噪声、功耗和电磁兼容性。

如果需要，可以通过遵循特定序列来锁定I/O配置，以避免对I/O寄存器进行意外写入。

快速I/O处理功能，允许最大I/O切换频率高达84 MHz。

3.0.35 模数转换器 (ADC)

嵌入式三个12位模数转换器，每个ADC最多共享16个外部通道，可执行单次转换模式或扫描模式的转换。在扫描模式下，对选定的模拟输入进行自动转换。

ADC接口中嵌入的附加逻辑功能允许：

- 同时采样保持
- 交错采样保持

ADC可以由DMA控制器服务。模拟看门狗功能允许非常精确地监控一个、一些或所有选定通道的转换后的电压。当转换后的电压超出设定的阈值时，会产生中断。

为了同步模数转换与定时器，ADC可由TIM1、TIM2、TIM3、TIM4、TIM5或TIM8中的任意一个定时器触发。

3.0.36 温度传感器

温度传感器必须生成一个与温度成线性关系的电压。转换范围在1.8 V至3.6 V之间。温度传感器内部连接至ADC1_IN16输入通道，该通道用于将传感器输出电压转换为数字值。

由于温度传感器的偏移量因芯片而异，存在工艺差异，因此内部温度传感器主要适用于检测温度变化的应用场景，而非绝对温度值。若需获取精确的温度读数，则应使用外部温度传感器元件。

3.0.37 数字模拟转换器 (DAC)

两个12位带缓冲的DAC通道可用于将两个数字信号转换为两个模拟电压信号输出。

此双数字接口支持以下功能。

s: 秒

- 两个DAC转换器：每个输出通道一个
- 8位或12位单调输出
- 12位模式下的数据左对齐或右对齐
- 同步更新能力
- 噪声波生成
- 三角波生成
- 双DAC通道独立或同时转换
- 每个通道的DMA能力
- 外部触发因素用于转化
- 输入电压参考VREF+

设备中使用了八个DAC触发输入。DAC通道通过定时器更新输出进行触发，这些输出也连接到不同的DMA流。

3.0.38 串行线JTAG调试端口(SWJ-DP)

该设备嵌入了Arm SWJ-DP接口，这是一个复合型的JTAG与串行线调试端口，既支持连接串行线调试器，也兼容JTAG探针接入目标系统。

调试使用仅2个引脚，而非JTAG所需的5个（JTAG引脚可复用为具有替代功能的通用输入/输出引脚）：JTAG的TMS和TCK引脚分别与SWDIO和SWCLK共享，通过在TMS引脚上执行特定序列来切换JTAG-DP和SW-DP。

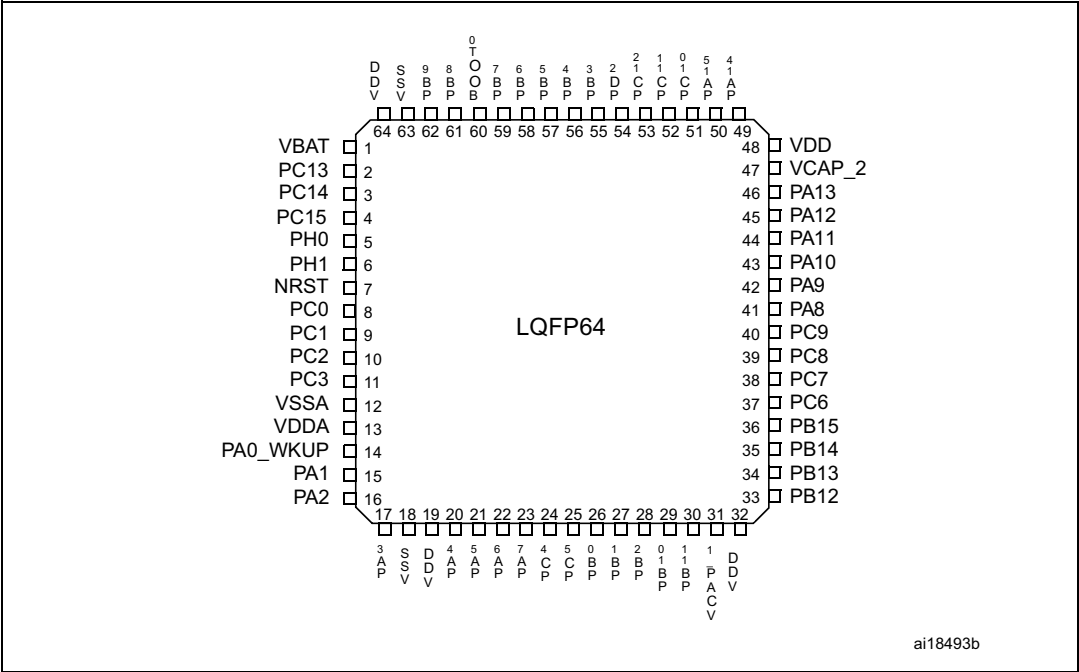
3.0.39 嵌入式跟踪宏单元™

Arm嵌入式追踪宏单元通过从STM32F40xxx经由少量ETM引脚以极高速率流式传输压缩数据，增强了CPU核心内部指令和数据流的可见性，将数据导向外部硬件追踪端口分析器（TPA）设备。TPA设备通过USB、以太网或其他高速通道连接至主机计算机，可实时记录指令与数据流活动，并在运行调试软件的主机计算机上进行格式化显示。TPA硬件可从主流开发工具供应商处商业获取。

嵌入式跟踪宏单元与第三方调试软件工具协同工作。

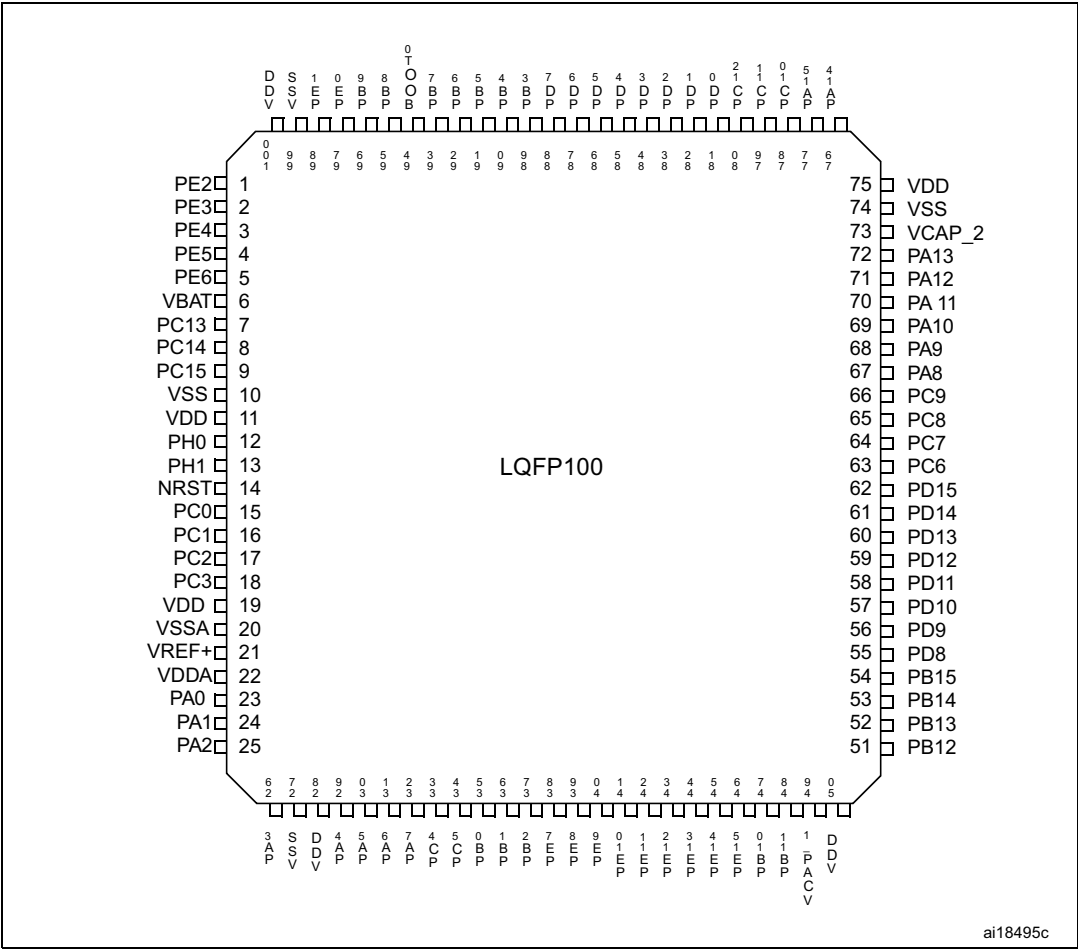
4 引脚排列与引脚描述

Figure 12. STM32F40xxx LQFP64 pinout



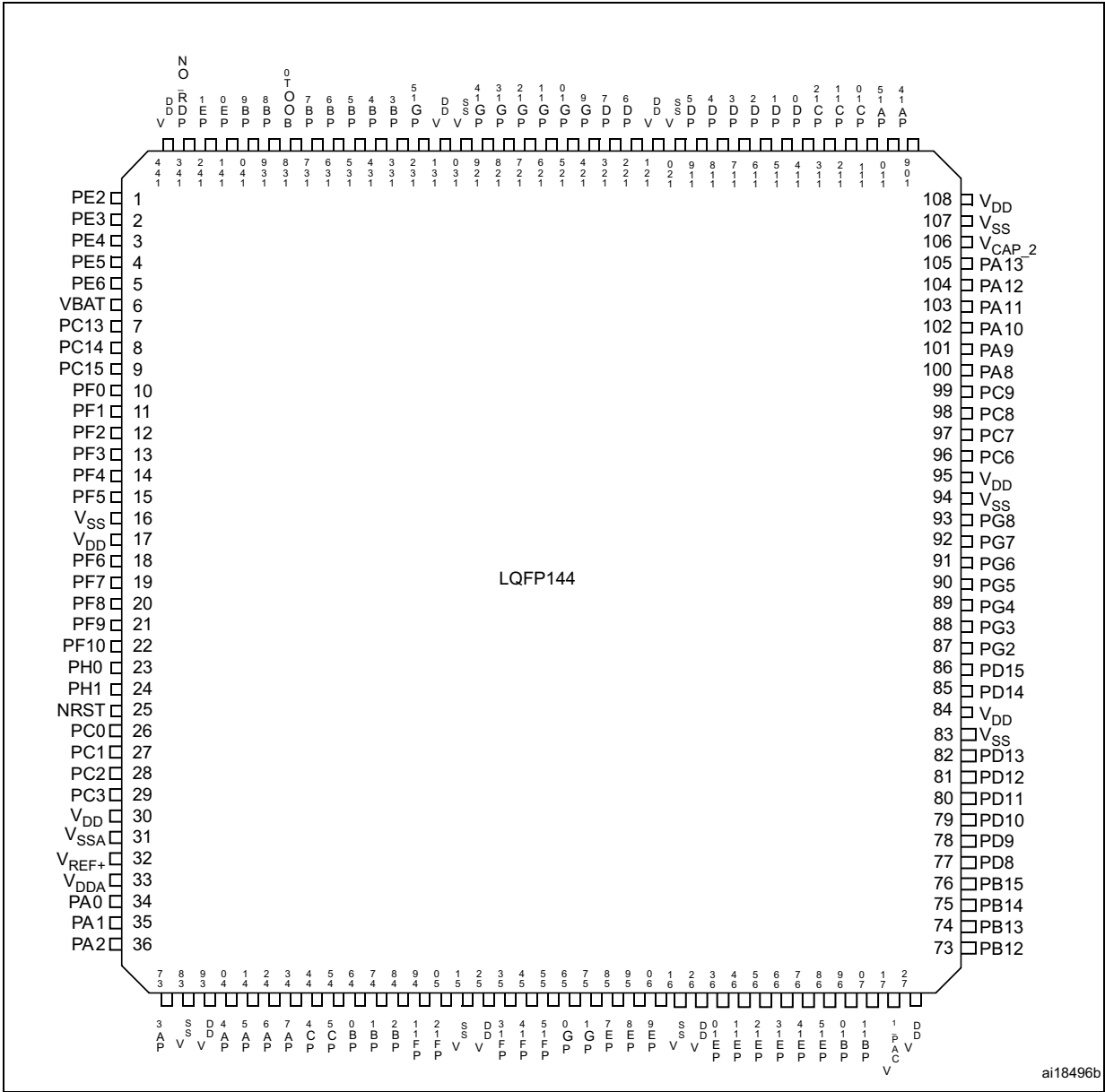
1. 上图显示了封装顶视图。

图13. STM32F40xxx LQFP100引脚排列



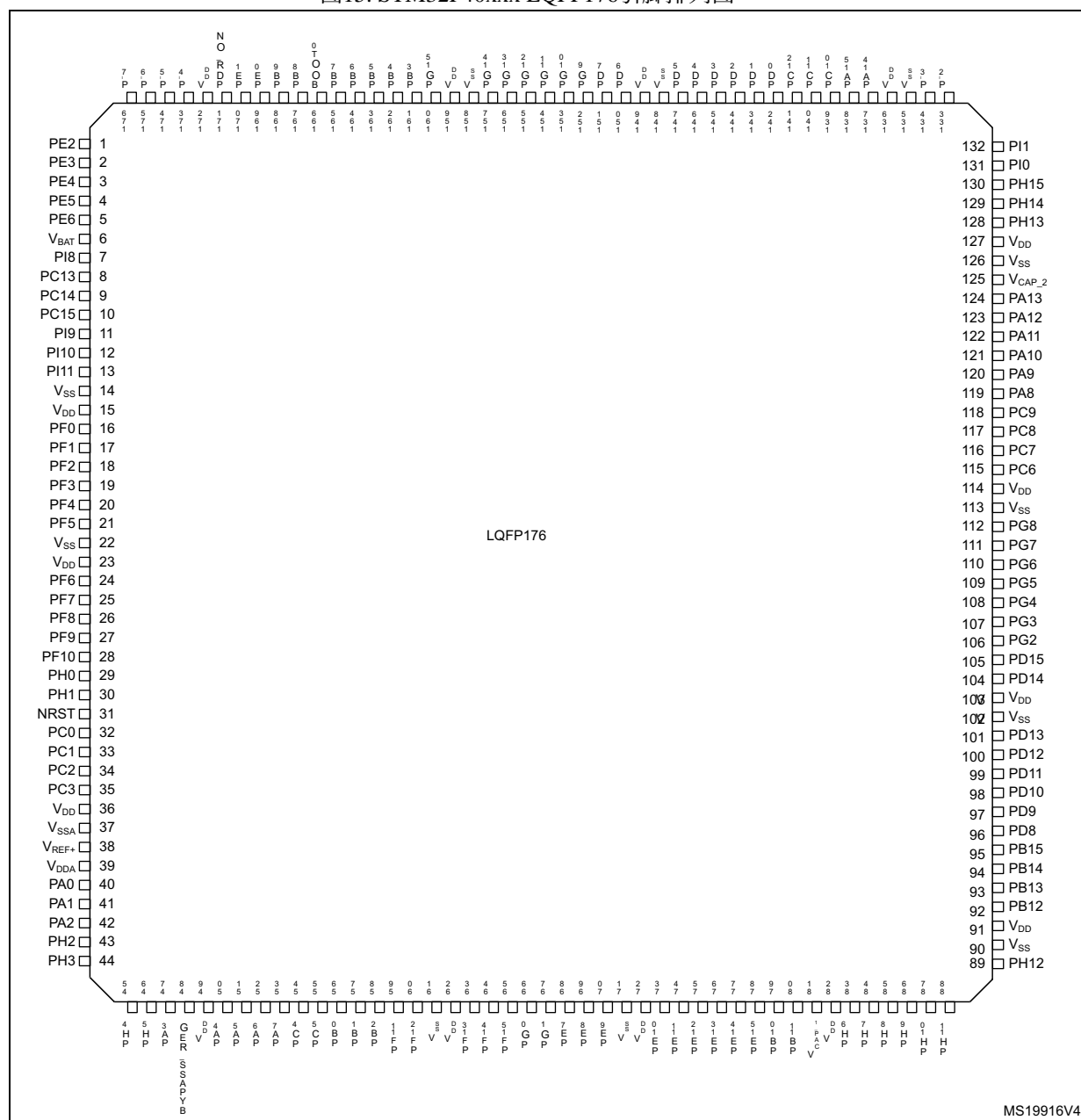
1. 上图显示了封装顶视图。

图14. STM32F40xxx LQFP144引脚排列



1. 上图显示了封装顶视图。

图15. STM32F40xxx LQFP176引脚排列图



1. 上图显示了封装顶视图。

图16. STM32F40xxx 无引脚贴片球栅阵列176封装形式

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
A	PE3	PE2	PE1	PE0	PB8	PB5	PG14	PG13	PB4	PB3	PD7	PC12	PA15	PA14	PA13
B	PE4	PE5	PE6	PB9	PB7	PB6	PG15	PG12	PG11	PG10	PD6	PD0	PC11	PC10	PA12
C	VBAT	PI7	PI6	PI5	VDD	PDR_ON	VDD	VDD	VDD	PG9	PD5	PD1	PI3	PI2	PA11
D	PC13	PI8	PI9	PI4	VSS	BOOT0	VSS	VSS	VSS	PD4	PD3	PD2	PH15	PI1	PA10
E	PC14	PF0	PI10	PI11	<div><div></div><div>VSSVSSVSSVSSVSS</div><div>VSSVSSVSSVSSVSS</div><div>VSSVSSVSSVSSVSS</div><div>VSSVSSVSSVSSVSS</div><div>VSSVSSVSSVSSVSS</div></div>							PH13	PH14	PI0	PA9
F	PC15	VSS	VDD	PH2								VSS	VCAP_2	PC9	PA8
G	PH0	VSS	VDD	PH3								VSS	VDD	PC8	PC7
H	PH1	PF2	PF1	PH4								VSS	VDD	PG8	PC6
J	NRST	PF3	PF4	PH5								VDD	VDD	PG7	PG6
K	PF7	PF6	PF5	VDD								PH12	PG5	PG4	PG3
L	PF10	PF9	PF8	BYPASS_REG								PH11	PH10	PD15	PG2
M	VSSA	PC0	PC1	PC2	PC3	PB2	PG1	VSS	VSS	VCAP_1	PH6	PH8	PH9	PD14	PD13
N	VREF-	PA1	PA0	PA4	PC4	PF13	PG0	VDD	VDD	VDD	PE13	PH7	PD12	PD11	PD10
P	VREF+	PA2	PA6	PA5	PC5	PF12	PF15	PE8	PE9	PE11	PE14	PB12	PB13	PD9	PD8
R	VDDA	PA3	PA7	PB1	PB0	PF11	PF14	PE7	PE10	PE12	PE15	PB10	PB11	PB14	PB15

ai18497b

1. This figure shows the package top view.

图17. STM32F40xxx WLCSP90球节距

	10	9	8	7	6	5	4	3	2	1
A	VBAT	PC13	PDR_ON	BOOT0	PB4	PD7	PD4	PC12	PA14	VDD
B	PC14	PC15	VDD	PB7	PB3	PD6	PD2	PA15	PI1	VCAP_2
C	PA0	VSS	PB9	PB6	PD5	PD1	PC11	PI0	PA12	PA11
D	PC2	BYPASS_REG	PB8	PB5	PD0	PC10	PA13	PA10	PA9	PA8
E	PC0	PC3	VSS	VSS	VDD	VSS	VDD	PC9	PC8	PC7
F	PH0	PH1	PA1	VDD	PE10	PE14	VCAP_1	PC6	PD14	PD15
G	NRST	VDDA	PA5	PB0	PE7	PE13	PE15	PD10	PD12	PD11
H	VSSA	PA3	PA6	PB1	PE8	PE12	PB10	PD9	PD8	PB15
J	PA2	PA4	PA7	PB2	PE9	PE11	PB11	PB12	PB14	PB13

MS30402V1

1. 此图展示了封装凸点视图。

表6. 针脚图图例/缩写

Name	Abbreviation	Definition
Pin name	Unless otherwise specified in brackets below the pin name, the pin function during and after reset is the same as the actual pin name	
Pin type	S	Supply pin
	I	Input only pin
	I/O	Input / output pin
I/O structure	FT	5 V tolerant I/O
	TTa	3.3 V tolerant I/O directly connected to ADC
	B	Dedicated BOOT0 pin
	RST	Bidirectional reset pin with embedded weak pull-up resistor
Notes	Unless otherwise specified by a note, all I/Os are set as floating inputs during and after reset	
Alternate functions	Functions selected through GPIOx_AFR registers	
Additional functions	Functions directly selected/enabled through peripheral registers	

表7. STM32F40xxx引脚和球形焊球定义(1)

Pin number						Pin name (function after reset) ⁽²⁾	Supply	Structure	Section	Alternate functions	Additional functions
46 PFL	09 PCLW	00 PFL	44 PFL	67 AGBFU	67 PFL						
-	-	1	1	A2	1	PE2	I/O	FT	-	TRACECLK/ FSMC_A23 / ETH_MII_TXD3 / EVENTOUT	-
-	-	2	2	A1	2	PE3	I/O	FT	-	TRACED0/FSMC_A19 / EVENTOUT	-
-	-	3	3	B1	3	PE4	I/O	FT	-	TRACED1/FSMC_A20 / DCMI_D4/ EVENTOUT	-
-	-	4	4	B2	4	PE5	I/O	FT	-	TRACED2 / FSMC_A21 / TIM9_CH1 / DCMI_D6 / EVENTOUT	-
-	-	5	5	B3	5	PE6	I/O	FT	-	TRACED3 / FSMC_A22 / TIM9_CH2 / DCMI_D7 / EVENTOUT	-
1	A10	6	6	C1	6	V _{BAT}	S	-	-	-	-
-	-	-	-	D2	7	PI8	I/O	FT	(3)(4)	-	RTC_TAMP1, RTC_TAMP2, RTC_TS
2	A9	7	7	D1	8	PC13	I/O	FT	(3)(4)	-	RTC_OUT, RTC_TAMP1, RTC_TS
3	B10	8	8	E1	9	PC14/OSC32_IN (PC14)	I/O	FT	(3)(4)	-	OSC32_IN ⁽⁵⁾
4	B9	9	9	F1	10	PC15/ OSC32_OUT (PC15)	I/O	FT	(3)(4)	-	OSC32_OUT ⁽⁵⁾
-	-	-	-	D3	11	PI9	I/O	FT	-	CAN1_RX / EVENTOUT	-
-	-	-	-	E3	12	PI10	I/O	FT	-	ETH_MII_RX_ER / EVENTOUT	-
-	-	-	-	E4	13	PI11	I/O	FT	-	OTG_HS_ULPI_DIR / EVENTOUT	-
-	-	-	-	F2	14	V _{SS}	S	-	-	-	-
-	-	-	-	F3	15	V _{DD}	S	-	-	-	-
-	-	-	10	E2	16	PF0	I/O	FT	-	FSMC_A0 / I2C2_SDA / EVENTOUT	-

他/她牙7. STM32F40xxx引脚和焊球定义(1) (续)

包含)

Pin number						Pin name (function after reset) ⁽²⁾	I/O	P	e r u c t i o n	s e r i e s	Alternate functions	Additional functions
4 6 8 10 12 14 16 18 20 22 24 26 28 30 32 34	0 2 4 6 8 10 12 14 16 18 20 22 24 26 28 30 32 34	0 2 4 6 8 10 12 14 16 18 20 22 24 26 28 30 32 34	4 6 8 10 12 14 16 18 20 22 24 26 28 30 32 34	6 8 10 12 14 16 18 20 22 24 26 28 30 32 34	6 8 10 12 14 16 18 20 22 24 26 28 30 32 34							
-	-	-	11	H3	17	PF1	I/O	FT	-	-	FSMC_A1 / I2C2_SCL / EVENTOUT	-
-	-	-	12	H2	18	PF2	I/O	FT	-	-	FSMC_A2 / I2C2_SMBA / EVENTOUT	-
-	-	-	13	J2	19	PF3	I/O	FT	(5)	-	FSMC_A3/EVENTOUT	ADC3_IN9
-	-	-	14	J3	20	PF4	I/O	FT	(5)	-	FSMC_A4/EVENTOUT	ADC3_IN14
-	-	-	15	K3	21	PF5	I/O	FT	(5)	-	FSMC_A5/EVENTOUT	ADC3_IN15
-	C9	10	16	G2	22	V _{SS}	S	-	-	-	-	-
-	B8	11	17	G3	23	V _{DD}	S	-	-	-	-	-
-	-	-	18	K2	24	PF6	I/O	FT	(5)	-	TIM10_CH1 / FSMC_NIORD/ EVENTOUT	ADC3_IN4
-	-	-	19	K1	25	PF7	I/O	FT	(5)	-	TIM11_CH1/FSMC_NREG/ EVENTOUT	ADC3_IN5
-	-	-	20	L3	26	PF8	I/O	FT	(5)	-	TIM13_CH1 / FSMC_NIOWR/ EVENTOUT	ADC3_IN6
-	-	-	21	L2	27	PF9	I/O	FT	(5)	-	TIM14_CH1 / FSMC_CD/ EVENTOUT	ADC3_IN7
-	-	-	22	L1	28	PF10	I/O	FT	(5)	-	FSMC_INTR/ EVENTOUT	ADC3_IN8
5	F10	12	23	G1	29	PH0/OSC_IN (PH0)	I/O	FT	-	-	EVENTOUT	OSC_IN ⁽⁵⁾
6	F9	13	24	H1	30	PH1/OSC_OUT (PH1)	I/O	FT	-	-	EVENTOUT	OSC_OUT ⁽⁵⁾
7	G10	14	25	J1	31	NRST	I/O	RST	-	-	-	-
8	E10	15	26	M2	32	PC0	I/O	FT	(5)	-	OTG_HS_ULPI_STP/ EVENTOUT	ADC123_IN10
9	-	16	27	M3	33	PC1	I/O	FT	(5)	-	ETH_MDC/ EVENTOUT	ADC123_IN11
10	D10	17	28	M4	34	PC2	I/O	FT	(5)	-	SPI2_MISO / OTG_HS_ULPI_DIR / ETH_MII_TXD2 /I2S2ext_SD/ EVENTOUT	ADC123_IN12

图7. STM32F40xxx引脚和焊球定义(1) (续)

包含)

Pin number						Pin name (function after reset) ⁽²⁾	I/O P	Function O	S E R I A L	Alternate functions	Additional functions
4 6 P P L Q	0 9 P S C L W	0 0 1 P F Q L	4 4 1 P F Q L	6 7 1 A G B F U	6 7 1 P F Q L						
11	E9	18	29	M5	35	PC3	I/O	FT	(5)	SPI2_MOSI / I2S2_SD / OTG_HS_ULPI_NXT / ETH_MII_TX_CLK/ EVENTOUT	ADC123_IN13
-	-	19	30	-	36	V _{DD}	S	-	-	-	-
12	H10	20	31	M1	37	V _{SSA}	S	-	-	-	-
-	-	-	-	N1	-	V _{REF-}	S	-	-	-	-
-	-	21	32	P1	38	V _{REF+}	S	-	-	-	-
13	G9	22	33	R1	39	V _{DDA}	S	-	-	-	-
14	C10	23	34	N3	40	PA0/WKUP (PA0)	I/O	FT	(6)	USART2_CTS/ UART4_TX/ ETH_MII_CRX / TIM2_CH1_ETR/ TIM5_CH1 / TIM8_ETR/ EVENTOUT	ADC123_IN0/WK UP ⁽⁵⁾
15	F8	24	35	N2	41	PA1	I/O	FT	(5)	USART2_RTS / UART4_RX/ ETH_RMII_REF_CLK / ETH_MII_RX_CLK / TIM5_CH2 / TIM2_CH2/ EVENTOUT	ADC123_IN1
16	J10	25	36	P2	42	PA2	I/O	FT	(5)	USART2_TX/TIM5_CH3 / TIM9_CH1 / TIM2_CH3 / ETH_MDIO/ EVENTOUT	ADC123_IN2
-	-	-	-	F4	43	PH2	I/O	FT	-	ETH_MII_CRX/EVENTOUT	-
-	-	-	-	G4	44	PH3	I/O	FT	-	ETH_MII_COL/EVENTOUT	-
-	-	-	-	H4	45	PH4	I/O	FT	-	I2C2_SCL / OTG_HS_ULPI_NXT/ EVENTOUT	-
-	-	-	-	J4	46	PH5	I/O	FT	-	I2C2_SDA/ EVENTOUT	-
17	H9	26	37	R2	47	PA3	I/O	FT	(5)	USART2_RX/TIM5_CH4 / TIM9_CH2 / TIM2_CH4 / OTG_HS_ULPI_D0 / ETH_MII_COL/ EVENTOUT	ADC123_IN3
18	E5	27	38	-	-	V _{SS}	S	-	-	-	-

图7. STM32F40xxx引脚和焊球定义(1) (续)

包含)

Pin number						Pin name (function after reset) ⁽²⁾	I/O	P	e r u c t i o n	s e c t i o n	Alternate functions	Additional functions
4 6 P F Q L	0 9 P S C L W	0 0 1 P F Q L	4 4 1 P F Q L	6 7 1 A G B F U	6 7 1 P F Q L							
-	D9	-	-	L4	48	BYPASS_REG	I	FT	-	-	-	-
19	E4	28	39	K4	49	V _{DD}	S	-	-	-	-	-
20	J9	29	40	N4	50	PA4	I/O	TTa	(5)	SPI1_NSS / SPI3_NSS / USART2_CK / DCMI_HSYNC / OTG_HS_SOF/ I2S3_WS/ EVENTOUT	ADC12_IN4 /DAC_OUT1	
21	G8	30	41	P4	51	PA5	I/O	TTa	(5)	SPI1_SCK/ OTG_HS_ULPI_CK / TIM2_CH1_ETR/ TIM8_CH1N/ EVENTOUT	ADC12_IN5/DAC _OUT2	
22	H8	31	42	P3	52	PA6	I/O	FT	(5)	SPI1_MISO / TIM8_BKIN/TIM13_CH1 / DCMI_PIXCLK/TIM3_CH1 / TIM1_BKIN/ EVENTOUT	ADC12_IN6	
23	J8	32	43	R3	53	PA7	I/O	FT	(5)	SPI1_MOSI/ TIM8_CH1N / TIM14_CH1/TIM3_CH2/ ETH_MII_RX_DV / TIM1_CH1N / ETH_RMII_CRS_DV/ EVENTOUT	ADC12_IN7	
24	-	33	44	N5	54	PC4	I/O	FT	(5)	ETH_RMII_RX_D0 / ETH_MII_RX_D0/ EVENTOUT	ADC12_IN14	
25	-	34	45	P5	55	PC5	I/O	FT	(5)	ETH_RMII_RX_D1 / ETH_MII_RX_D1/ EVENTOUT	ADC12_IN15	
26	G7	35	46	R5	56	PB0	I/O	FT	(5)	TIM3_CH3 / TIM8_CH2N/ OTG_HS_ULPI_D1/ ETH_MII_RXD2 / TIM1_CH2N/ EVENTOUT	ADC12_IN8	
27	H7	36	47	R4	57	PB1	I/O	FT	(5)	TIM3_CH4 / TIM8_CH3N/ OTG_HS_ULPI_D2/ ETH_MII_RXD3 / TIM1_CH3N/ EVENTOUT	ADC12_IN9	
28	J7	37	48	M6	58	PB2/BOOT1 (PB2)	I/O	FT	-	-	EVENTOUT	-

包含)

他/她牙7. STM32F40xxx引脚和焊球定义(1) (续)

包含)

Pin number						Pin name (function after reset) ⁽²⁾	e p y n p	e r u c u r s e s s i o n	s e c t i o n	Alternate functions	Additional functions
4 6 P P L Q	0 9 P S C L W	0 0 1 P F F Q L	4 4 1 P F F Q L	6 7 1 A G B F U	6 7 1 P F F Q L						
29	H4	47	69	R12	79	PB10	I/O	FT	-	SPI2_SCK / I2S2_CK / I2C2_SCL/ USART3_TX / OTG_HS_ULPI_D3 / ETH_MII_RX_ER / TIM2_CH3/ EVENTOUT	-
30	J4	48	70	R13	80	PB11	I/O	FT	-	I2C2_SDA/USART3_RX/ OTG_HS_ULPI_D4 / ETH_RMII_TX_EN/ ETH_MII_TX_EN / TIM2_CH4/ EVENTOUT	-
31	F4	49	71	M10	81	V _{CAP_1}	S	-	-	-	-
32	-	50	72	N10	82	V _{DD}	S	-	-	-	-
-	-	-	-	M11	83	PH6	I/O	FT	-	I2C2_SMBA / TIM12_CH1 / ETH_MII_RXD2/ EVENTOUT	-
-	-	-	-	N12	84	PH7	I/O	FT	-	I2C3_SCL / ETH_MII_RXD3/ EVENTOUT	-
-	-	-	-	M12	85	PH8	I/O	FT	-	I2C3_SDA / DCMI_HSYNC/ EVENTOUT	-
-	-	-	-	M13	86	PH9	I/O	FT	-	I2C3_SMBA / TIM12_CH2/ DCMI_D0/ EVENTOUT	-
-	-	-	-	L13	87	PH10	I/O	FT	-	TIM5_CH1 / DCMI_D1/ EVENTOUT	-
-	-	-	-	L12	88	PH11	I/O	FT	-	TIM5_CH2 / DCMI_D2/ EVENTOUT	-
-	-	-	-	K12	89	PH12	I/O	FT	-	TIM5_CH3 / DCMI_D3/ EVENTOUT	-
-	-	-	-	H12	90	V _{SS}	S	-	-	-	-
-	-	-	-	J12	91	V _{DD}	S	-	-	-	-

图7. STM32F40xxx引脚和焊球定义(1) (续)

包含)

Pin number						Pin name (function after reset) ⁽²⁾	I/O	P	e r u c t i o n	s e c t i o n	Alternate functions	Additional functions
4 6 8 P P L Q	0 9 P S C L W	0 0 1 P F F Q	4 4 1 P F F Q	6 7 1 A G B F U	6 7 1 P F F Q							
33	J3	51	73	P12	92	PB12	I/O	FT	-		SPI2_NSS / I2S2_WS / I2C2_SMBA/ USART3_CK/ TIM1_BKIN / CAN2_RX / OTG_HS_ULPI_D5/ ETH_RMII_TXD0 / ETH_MII_TXD0/ OTG_HS_ID/ EVENTOUT	-
34	J1	52	74	P13	93	PB13	I/O	FT	-		SPI2_SCK / I2S2_CK / USART3_CTS/ TIM1_CH1N /CAN2_TX / OTG_HS_ULPI_D6 / ETH_RMII_TXD1 / ETH_MII_TXD1/ EVENTOUT	OTG_HS_VBUS
35	J2	53	75	R14	94	PB14	I/O	FT	-		SPI2_MISO/ TIM1_CH2N / TIM12_CH1 / OTG_HS_DM/ USART3_RTS / TIM8_CH2N/I2S2ext_SD/ EVENTOUT	-
36	H1	54	76	R15	95	PB15	I/O	FT	-		SPI2_MOSI / I2S2_SD/ TIM1_CH3N / TIM8_CH3N / TIM12_CH2 / OTG_HS_DP/ EVENTOUT	RTC_REFIN
-	H2	55	77	P15	96	PD8	I/O	FT	-		FSMC_D13 / USART3_TX/ EVENTOUT	-
-	H3	56	78	P14	97	PD9	I/O	FT	-		FSMC_D14 / USART3_RX/ EVENTOUT	-
-	G3	57	79	N15	98	PD10	I/O	FT	-		FSMC_D15 / USART3_CK/ EVENTOUT	-
-	G1	58	80	N14	99	PD11	I/O	FT	-		FSMC_CLE / FSMC_A16/USART3_CTS/ EVENTOUT	-
-	G2	59	81	N13	100	PD12	I/O	FT	-		FSMC_ALE/ FSMC_A17/TIM4_CH1 / USART3_RTS/ EVENTOUT	-

他/她牙7. STM32F40xxx引脚和焊球定义(1) (续)

包含)

Pin number						Pin name (function after reset) ⁽²⁾	e p y n p	e r u c u r s e s s i o n	s e c t i o n	Alternate functions	Additional functions
4 6 8 P P L Q	0 9 P S C L W	0 0 1 P F Q L	4 4 1 P F Q L	6 7 1 A G B F U	6 7 1 P F Q L						
-	-	60	82	M15	101	PD13	I/O	FT	-	FSMC_A18/TIM4_CH2/ EVENTOUT	-
-	-	-	83	-	102	V _{SS}	S	-	-	-	-
-	-	-	84	J13	103	V _{DD}	S	-	-	-	-
-	F2	61	85	M14	104	PD14	I/O	FT	-	FSMC_D0/TIM4_CH3/ EVENTOUT/ EVENTOUT	-
-	F1	62	86	L14	105	PD15	I/O	FT	-	FSMC_D1/TIM4_CH4/ EVENTOUT	-
-	-	-	87	L15	106	PG2	I/O	FT	-	FSMC_A12/ EVENTOUT	-
-	-	-	88	K15	107	PG3	I/O	FT	-	FSMC_A13/ EVENTOUT	-
-	-	-	89	K14	108	PG4	I/O	FT	-	FSMC_A14/ EVENTOUT	-
-	-	-	90	K13	109	PG5	I/O	FT	-	FSMC_A15/ EVENTOUT	-
-	-	-	91	J15	110	PG6	I/O	FT	-	FSMC_INT2/ EVENTOUT	-
-	-	-	92	J14	111	PG7	I/O	FT	-	FSMC_INT3/USART6_CK/ EVENTOUT	-
-	-	-	93	H14	112	PG8	I/O	FT	-	USART6_RTS / ETH_PPS_OUT/ EVENTOUT	-
-	-	-	94	G12	113	V _{SS}	S	-	-	-	-
-	-	-	95	H13	114	V _{DD}	S	-	-	-	-
37	F3	63	96	H15	115	PC6	I/O	FT	-	I2S2_MCK / TIM8_CH1/SDIO_D6 / USART6_TX / DCMI_D0/TIM3_CH1/ EVENTOUT	-
38	E1	64	97	G15	116	PC7	I/O	FT	-	I2S3_MCK / TIM8_CH2/SDIO_D7 / USART6_RX / DCMI_D1/TIM3_CH2/ EVENTOUT	-
39	E2	65	98	G14	117	PC8	I/O	FT	-	TIM8_CH3/SDIO_D0 /TIM3_CH3/ USART6_CK / DCMI_D2/ EVENTOUT	-

他/她牙7. STM32F40xxx引脚和焊球定义(1) (续)

包含)

Pin number						Pin name (function after reset) ⁽²⁾	I/O	P	e r u c t i o n	s e c t i o n	Alternate functions	Additional functions
4 6 D F L Q	0 9 P S C L W	0 0 1 P F Q L	4 4 1 P F Q L	6 7 1 A G B F U	6 7 1 P F Q L							
40	E3	66	99	F14	118	PC9	I/O	FT	-		I2S_CKIN/ MCO2 / TIM8_CH4/SDIO_D1 / I2C3_SDA / DCMI_D3 / TIM3_CH4/ EVENTOUT	-
41	D1	67	100	F15	119	PA8	I/O	FT	-		MCO1 / USART1_CK/ TIM1_CH1/ I2C3_SCL/ OTG_FS_SOF/ EVENTOUT	-
42	D2	68	101	E15	120	PA9	I/O	FT	-		USART1_TX/ TIM1_CH2 / I2C3_SMBA / DCMI_D0/ EVENTOUT	OTG_FS_VBUS
43	D3	69	102	D15	121	PA10	I/O	FT	-		USART1_RX/ TIM1_CH3/ OTG_FS_ID/DCMI_D1/ EVENTOUT	-
44	C1	70	103	C15	122	PA11	I/O	FT	-		USART1_CTS / CAN1_RX / TIM1_CH4 / OTG_FS_DM/ EVENTOUT	-
45	C2	71	104	B15	123	PA12	I/O	FT	-		USART1_RTS / CAN1_TX/ TIM1_ETR/ OTG_FS_DP/ EVENTOUT	-
46	D4	72	105	A15	124	PA13 (JTMS-SWDIO)	I/O	FT	-		JTMS-SWDIO/ EVENTOUT	-
47	B1	73	106	F13	125	V _{CAP_2}	S	-	-		-	-
-	E7	74	107	F12	126	V _{SS}	S	-	-		-	-
48	E6	75	108	G13	127	V _{DD}	S	-	-		-	-
-	-	-	-	E12	128	PH13	I/O	FT	-		TIM8_CH1N / CAN1_TX/ EVENTOUT	-
-	-	-	-	E13	129	PH14	I/O	FT	-		TIM8_CH2N / DCMI_D4/ EVENTOUT	-
-	-	-	-	D13	130	PH15	I/O	FT	-		TIM8_CH3N / DCMI_D11/ EVENTOUT	-
-	C3	-	-	E14	131	PI0	I/O	FT	-		TIM5_CH4 / SPI2_NSS / I2S2_WS / DCMI_D13/ EVENTOUT	-
-	B2	-	-	D14	132	PI1	I/O	FT	-		SPI2_SCK / I2S2_CK / DCMI_D8/ EVENTOUT	-

图7. STM32F40xxx引脚和焊球定义(1) (续)

包含)

Pin number						Pin name (function after reset) ⁽²⁾	Type	I/O	Speed	Alternate functions	Additional functions
46 PFL	09 PCLW	00 PFLQ	44 PFLQ	67 AGBFU	67 PFLQ						
-	-	-	-	C14	133	PI2	I/O	FT	-	TIM8_CH4 / SPI2_MISO / DCMI_D9 / I2S2ext_SD/ EVENTOUT	-
-	-	-	-	C13	134	PI3	I/O	FT	-	TIM8_ETR / SPI2_MOSI / I2S2_SD / DCMI_D10/ EVENTOUT	-
-	-	-	-	D9	135	V _{SS}	S	-	-	-	-
-	-	-	-	C9	136	V _{DD}	S	-	-	-	-
49	A2	76	109	A14	137	PA14 (JTCK/SWCLK)	I/O	FT	-	JTCK-SWCLK/ EVENTOUT	-
50	B3	77	110	A13	138	PA15 (JTDI)	I/O	FT	-	JTDI/ SPI3_NSS/ I2S3_WS/TIM2_CH1_ETR / SPI1_NSS / EVENTOUT	-
51	D5	78	111	B14	139	PC10	I/O	FT	-	SPI3_SCK / I2S3_CK/ UART4_TX/SDIO_D2 / DCMI_D8 / USART3_TX/ EVENTOUT	-
52	C4	79	112	B13	140	PC11	I/O	FT	-	UART4_RX/ SPI3_MISO / SDIO_D3 / DCMI_D4/USART3_RX / I2S3ext_SD/ EVENTOUT	-
53	A3	80	113	A12	141	PC12	I/O	FT	-	UART5_TX/SDIO_CK / DCMI_D9 / SPI3_MOSI /I2S3_SD / USART3_CK/ EVENTOUT	-
-	D6	81	114	B12	142	PD0	I/O	FT	-	FSMC_D2/CAN1_RX/ EVENTOUT	-
-	C5	82	115	C12	143	PD1	I/O	FT	-	FSMC_D3 / CAN1_TX/ EVENTOUT	-
54	B4	83	116	D12	144	PD2	I/O	FT	-	TIM3_ETR/UART5_RX/ SDIO_CMD / DCMI_D11/ EVENTOUT	-
-	-	84	117	D11	145	PD3	I/O	FT	-	FSMC_CLK/ USART2_CTS/ EVENTOUT	-

包含)

Pin number						Pin name (function after reset) ⁽²⁾	I/O	Input type	Output type	Tri-state	Alternate functions	Additional functions
1 Q P P 4	0 9 P S C L W	0 0 1 P F F L Q	4 4 1 P F F L Q	6 7 1 A G B F U	6 7 1 P F F L Q							
-	A4	85	118	D10	146	PD4	I/O	FT	-	FSMC_NOE/ USART2_RTS/ EVENTOUT	-	
-	C6	86	119	C11	147	PD5	I/O	FT	-	FSMC_NWE/USART2_TX/ EVENTOUT	-	
-	-	-	120	D8	148	V _{SS}	S	-	-	-	-	
-	-	-	121	C8	149	V _{DD}	S	-	-	-	-	
-	B5	87	122	B11	150	PD6	I/O	FT	-	FSMC_NWAIT/ USART2_RX/ EVENTOUT	-	
-	A5	88	123	A11	151	PD7	I/O	FT	-	USART2_CK/FSMC_NE1/ FSMC_NCE2/ EVENTOUT	-	
-	-	-	124	C10	152	PG9	I/O	FT	-	USART6_RX / FSMC_NE2/FSMC_NCE3/ EVENTOUT	-	
-	-	-	125	B10	153	PG10	I/O	FT	-	FSMC_NCE4_1/ FSMC_NE3/ EVENTOUT	-	
-	-	-	126	B9	154	PG11	I/O	FT	-	FSMC_NCE4_2 / ETH_MII_TX_EN/ ETH_RMII_TX_EN/ EVENTOUT	-	
-	-	-	127	B8	155	PG12	I/O	FT	-	FSMC_NE4 / USART6_RTS/ EVENTOUT	-	
-	-	-	128	A8	156	PG13	I/O	FT	-	FSMC_A24 / USART6_CTS /ETH_MII_TXD0/ ETH_RMII_TXD0/ EVENTOUT	-	
-	-	-	129	A7	157	PG14	I/O	FT	-	FSMC_A25 / USART6_TX /ETH_MII_TXD1/ ETH_RMII_TXD1/ EVENTOUT	-	
-	E8	-	130	D7	158	V _{SS}	S	-	-	-	-	
-	F7	-	131	C7	159	V _{DD}	S	-	-	-	-	
-	-	-	132	B7	160	PG15	I/O	FT	-	USART6_CTS / DCMI_D13/ EVENTOUT	-	

他/她牙7. STM32F40xxx引脚和焊球定义(1) (续)

包含)

Pin number						Pin name (function after reset) ⁽²⁾	I/O	P	e r u c t i o n	s e c t i o n	Alternate functions	Additional functions
4 6 P P L Q	0 9 P S C L W	0 0 1 P F Q L	4 4 1 P F Q L	6 7 1 A G B F U	6 7 1 P F Q L							
55	B6	89	133	A10	161	PB3 (JTDO/ TRACESWO)	I/O	FT	-	-	JTDO/ TRACESWO/ SPI3_SCK / I2S3_CK / TIM2_CH2 / SPI1_SCK/ EVENTOUT	-
56	A6	90	134	A9	162	PB4 (NJTRST)	I/O	FT	-	-	NJTRST/ SPI3_MISO / TIM3_CH1 / SPI1_MISO / I2S3ext_SD/ EVENTOUT	-
57	D7	91	135	A6	163	PB5	I/O	FT	-	-	I2C1_SMBA/ CAN2_RX / OTG_HS_ULPI_D7 / ETH_PPS_OUT/TIM3_CH2 / SPI1_MOSI/ SPI3_MOSI / DCMI_D10 / I2S3_SD/ EVENTOUT	-
58	C7	92	136	B6	164	PB6	I/O	FT	-	-	I2C1_SCL/ TIM4_CH1 / CAN2_TX / DCMI_D5/USART1_TX/ EVENTOUT	-
59	B7	93	137	B5	165	PB7	I/O	FT	-	-	I2C1_SDA / FSMC_NL / DCMI_VSYNC / USART1_RX/ TIM4_CH2/ EVENTOUT	-
60	A7	94	138	D6	166	BOOT0	I	B	-	-	-	V _{PP}
61	D8	95	139	A5	167	PB8	I/O	FT	-	-	TIM4_CH3/SDIO_D4/ TIM10_CH1 / DCMI_D6 / ETH_MII_TXD3 / I2C1_SCL/ CAN1_RX/ EVENTOUT	-
62	C8	96	140	B4	168	PB9	I/O	FT	-	-	SPI2_NSS/ I2S2_WS / TIM4_CH4/ TIM11_CH1/ SDIO_D5 / DCMI_D7 / I2C1_SDA / CAN1_TX/ EVENTOUT	-
-	-	97	141	A4	169	PE0	I/O	FT	-	-	TIM4_ETR / FSMC_NBL0 / DCMI_D2/ EVENTOUT	-
-	-	98	142	A3	170	PE1	I/O	FT	-	-	FSMC_NBL1 / DCMI_D3/ EVENTOUT	-
63	-	99	-	D5	-	V _{SS}	S	-	-	-	-	-

表7. STM32F40xxx引脚和球形封装定义(1) (续)

Pin number						Pin name (function after reset) ⁽²⁾	e p y n p	e r u c t i o n	s e t t i n g	Alternate functions	Additional functions
4 6 P P L Q	0 9 P S C L W	0 0 1 P F Q L	4 4 1 P F Q L	6 7 1 A G B F U	6 7 1 P F Q L						
-	A8	-	143	C6	171	PDR_ON	I	FT	-	-	-
64	A1	100	144	C5	172	V _{DD}	S	-	-	-	-
-	-	-	-	D4	173	PI4	I/O	FT	-	TIM8_BKIN / DCMI_D5/ EVENTOUT	-
-	-	-	-	C4	174	PI5	I/O	FT	-	TIM8_CH1 / DCMI_VSYNC/ EVENTOUT	-
-	-	-	-	C3	175	PI6	I/O	FT	-	TIM8_CH2 / DCMI_D6/ EVENTOUT	-
-	-	-	-	C2	176	PI7	I/O	FT	-	TIM8_CH3 / DCMI_D7/ EVENTOUT	-

1. UFBGA176 封装中, F6、F7、F8、F9、F10、G6、G7、G8、G9、G10、H6、H7、H8、H9、H10、J6、J7、J8、J9、J10、K6、K7、K8、K9 和 K10 焊球连接至 VSS, 以实现散热和封装机械稳定性。

2. 功能可用性取决于所选设备。

3. PC13、PC14、PC15 和 PI8 通过电源开关供电。由于开关只能吸收有限电流 (3 mA), 在输出模式下使用 GPIO PC13 到 PC15 和 PI8 受到限制: - 最大负载为 30 pF 时, 速度不应超过 2 MHz。 - 这些 I/O 不能用作电流源 (例如, 用于驱动 LED)。

4. 首次备份域上电后的主功能。之后, 即使在复位后, 其行为仍取决于 RTC 寄存器的内容 (因为这些寄存器不会被主复位重置)。有关如何管理这些 I/O 的详细信息, 请参阅 STMicroelectronics 网站上 STM32F4xx 参考手册中 RTC 寄存器描述部分: www.st.com。

5. FT = 5V 容限, 但当处于模拟模式或振荡器模式时除外 (适用于 PC14、PC15、PH0 和 PH1 引脚)。

6. 如果设备以 UFBGA176 或 WLCSP90 封装形式交付, 并且 BYPASS_REG 引脚设置为 VDD (即调节器关闭/内部复位 ON 模式), 则 PA0 将用作内部复位 (低电平有效)。

表8. FSMC 引脚定义

Pins ⁽¹⁾	FSMC				LQFP100 ⁽²⁾	WLCSP90 ⁽²⁾
	CF	NOR/PSRAM/ SRAM	NOR/PSRAM Mux	NAND 16 bit		
PE2	-	A23	A23	-	Yes	-
PE3	-	A19	A19	-	Yes	-
PE4	-	A20	A20	-	Yes	-
PE5	-	A21	A21	-	Yes	-
PE6	-	A22	A22	-	Yes	-

表8. FSMC引脚定义 (续)

Pins ⁽¹⁾	FSMC				LQFP100 ⁽²⁾	WLCSP90 ⁽²⁾
	CF	NOR/PSRAM/ SRAM	NOR/PSRAM Mux	NAND 16 bit		
PF0	A0	A0	-	-	-	-
PF1	A1	A1	-	-	-	-
PF2	A2	A2	-	-	-	-
PF3	A3	A3	-	-	-	-
PF4	A4	A4	-	-	-	-
PF5	A5	A5	-	-	-	-
PF6	NIORD	-	-	-	-	-
PF7	NREG	-	-	-	-	-
PF8	NIOWR	-	-	-	-	-
PF9	CD	-	-	-	-	-
PF10	INTR	-	-	-	-	-
PF12	A6	A6	-	-	-	-
PF13	A7	A7	-	-	-	-
PF14	A8	A8	-	-	-	-
PF15	A9	A9	-	-	-	-
PG0	A10	A10	-	-	-	-
PG1	-	A11	-	-	-	-
PE7	D4	D4	DA4	D4	Yes	Yes
PE8	D5	D5	DA5	D5	Yes	Yes
PE9	D6	D6	DA6	D6	Yes	Yes
PE10	D7	D7	DA7	D7	Yes	Yes
PE11	D8	D8	DA8	D8	Yes	Yes
PE12	D9	D9	DA9	D9	Yes	Yes
PE13	D10	D10	DA10	D10	Yes	Yes
PE14	D11	D11	DA11	D11	Yes	Yes
PE15	D12	D12	DA12	D12	Yes	Yes
PD8	D13	D13	DA13	D13	Yes	Yes
PD9	D14	D14	DA14	D14	Yes	Yes
PD10	D15	D15	DA15	D15	Yes	Yes
PD11	-	A16	A16	CLE	Yes	Yes
PD12	-	A17	A17	ALE	Yes	Yes
PD13	-	A18	A18	-	Yes	-
PD14	D0	D0	DA0	D0	Yes	Yes

表8. FSMC引脚定义 (续)

Pins ⁽¹⁾	FSMC				LQFP100 ⁽²⁾	WLCSP90 ⁽²⁾
	CF	NOR/PSRAM/ SRAM	NOR/PSRAM Mux	NAND 16 bit		
PD15	D1	D1	DA1	D1	Yes	Yes
PG2	-	A12	-	-	-	-
PG3	-	A13	-	-	-	-
PG4	-	A14	-	-	-	-
PG5	-	A15	-	-	-	-
PG6	-	-	-	INT2	-	-
PG7	-	-	-	INT3	-	-
PD0	D2	D2	DA2	D2	Yes	Yes
PD1	D3	D3	DA3	D3	Yes	Yes
PD3	-	CLK	CLK	-	Yes	-
PD4	NOE	NOE	NOE	NOE	Yes	Yes
PD5	NWE	NWE	NWE	NWE	Yes	Yes
PD6	NWAIT	NWAIT	NWAIT	NWAIT	Yes	Yes
PD7	-	NE1	NE1	NCE2	Yes	Yes
PG9	-	NE2	NE2	NCE3	-	-
PG10	NCE4_1	NE3	NE3	-	-	-
PG11	NCE4_2	-	-	-	-	-
PG12	-	NE4	NE4	-	-	-
PG13	-	A24	A24	-	-	-
PG14	-	A25	A25	-	-	-
PB7	-	NADV	NADV	-	Yes	Yes
PE0	-	NBL0	NBL0	-	Yes	-
PE1	-	NBL1	NBL1	-	Yes	-

1. LQFP144、LQFP176 和 UFBGA176 封装形式提供了完整的 FSMC 功能，而较小封装形式下可用的功能则列于专门的封装列中。 2. 在 100 引脚封装形式的器件中，F 口和 G 口不可用。

[illegible]

[illegible]

[illegible]

[illegible]

[illegible]

[illegible]

5 内存映射

内存映射如图Figure 18所示。

Figure 18. STM32F40xxx memory map

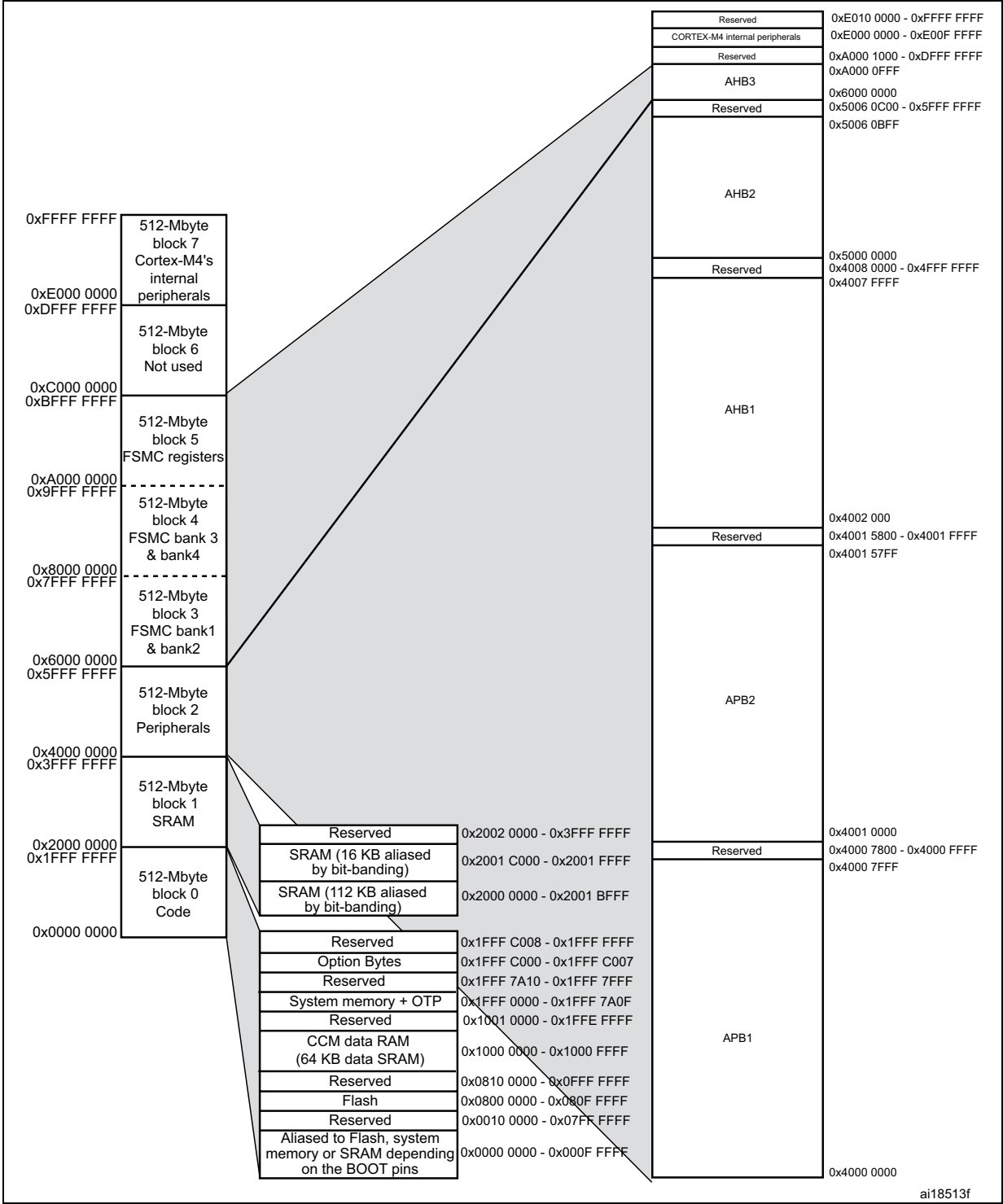


表10. 寄存器边界地址

Bus	Boundary address	Peripheral
	0xE00F FFFF - 0xFFFF FFFF	Reserved
Cortex-M4	0xE000 0000 - 0xE00F FFFF	Cortex-M4 internal peripherals
	0xA000 1000 - 0xDFFF FFFF	Reserved
AHB3	0xA000 0000 - 0xA000 0FFF	FSMC control register
	0x9000 0000 - 0x9FFF FFFF	FSMC bank 4
	0x8000 0000 - 0x8FFF FFFF	FSMC bank 3
	0x7000 0000 - 0x7FFF FFFF	FSMC bank 2
	0x6000 0000 - 0x6FFF FFFF	FSMC bank 1
	0x5006 0C00- 0x5FFF FFFF	Reserved
AHB2	0x5006 0800 - 0x5006 0BFF	RNG
	0x5005 0400 - 0x5006 07FF	Reserved
	0x5005 0000 - 0x5005 03FF	DCMI
	0x5004 0000- 0x5004 FFFF	Reserved
	0x5000 0000 - 0x5003 FFFF	USB OTG FS
	0x4008 0000- 0x4FFF FFFF	Reserved

表10. 寄存器边界地址 (续)

Bus	Boundary address	Peripheral
AHB1	0x4004 0000 - 0x4007 FFFF	USB OTG HS
	0x4002 9400 - 0x4003 FFFF	Reserved
	0x4002 9000 - 0x4002 93FF	ETHERNET MAC
	0x4002 8C00 - 0x4002 8FFF	
	0x4002 8800 - 0x4002 8BFF	
	0x4002 8400 - 0x4002 87FF	
	0x4002 8000 - 0x4002 83FF	
	0x4002 6800 - 0x4002 7FFF	Reserved
	0x4002 6400 - 0x4002 67FF	DMA2
	0x4002 6000 - 0x4002 63FF	DMA1
	0x4002 5000 - 0x4002 5FFF	Reserved
	0x4002 4000 - 0x4002 4FFF	BKPSRAM
	0x4002 3C00 - 0x4002 3FFF	Flash interface register
	0x4002 3800 - 0x4002 3BFF	RCC
	0x4002 3400 - 0x4002 37FF	Reserved
	0x4002 3000 - 0x4002 33FF	CRC
	0x4002 2400 - 0x4002 2FFF	Reserved
	0x4002 2000 - 0x4002 23FF	GPIOI
	0x4002 1C00 - 0x4002 1FFF	GPIOH
	0x4002 1800 - 0x4002 1BFF	GPIOG
	0x4002 1400 - 0x4002 17FF	GPIOF
	0x4002 1000 - 0x4002 13FF	GPIOE
	0x4002 0C00 - 0x4002 0FFF	GPIOD
	0x4002 0800 - 0x4002 0BFF	GPIOC
	0x4002 0400 - 0x4002 07FF	GPIOB
	0x4002 0000 - 0x4002 03FF	GPIOA
	0x4001 5800 - 0x4001 FFFF	Reserved

表10. 寄存器边界地址 (续)

Bus	Boundary address	Peripheral
APB2	0x4001 4C00 - 0x4001 57FF	Reserved
	0x4001 4800 - 0x4001 4BFF	TIM11
	0x4001 4400 - 0x4001 47FF	TIM10
	0x4001 4000 - 0x4001 43FF	TIM9
	0x4001 3C00 - 0x4001 3FFF	EXTI
	0x4001 3800 - 0x4001 3BFF	SYSCFG
	0x4001 3400 - 0x4001 37FF	Reserved
	0x4001 3000 - 0x4001 33FF	SPI1
	0x4001 2C00 - 0x4001 2FFF	SDIO
	0x4001 2400 - 0x4001 2BFF	Reserved
	0x4001 2000 - 0x4001 23FF	ADC1 - ADC2 - ADC3
	0x4001 1800 - 0x4001 1FFF	Reserved
	0x4001 1400 - 0x4001 17FF	USART6
	0x4001 1000 - 0x4001 13FF	USART1
	0x4001 0800 - 0x4001 0FFF	Reserved
	0x4001 0400 - 0x4001 07FF	TIM8
	0x4001 0000 - 0x4001 03FF	TIM1
	0x4000 7800 - 0x4000 FFFF	Reserved

表10. 寄存器边界地址 (续)

Bus	Boundary address	Peripheral
APB1	0x4000 7800 - 0x4000 7FFF	Reserved
	0x4000 7400 - 0x4000 77FF	DAC
	0x4000 7000 - 0x4000 73FF	PWR
	0x4000 6C00 - 0x4000 6FFF	Reserved
	0x4000 6800 - 0x4000 6BFF	CAN2
	0x4000 6400 - 0x4000 67FF	CAN1
	0x4000 6000 - 0x4000 63FF	Reserved
	0x4000 5C00 - 0x4000 5FFF	I2C3
	0x4000 5800 - 0x4000 5BFF	I2C2
	0x4000 5400 - 0x4000 57FF	I2C1
	0x4000 5000 - 0x4000 53FF	UART5
	0x4000 4C00 - 0x4000 4FFF	UART4
	0x4000 4800 - 0x4000 4BFF	USART3
	0x4000 4400 - 0x4000 47FF	USART2
	0x4000 4000 - 0x4000 43FF	I2S3ext
	0x4000 3C00 - 0x4000 3FFF	SPI3 / I2S3
	0x4000 3800 - 0x4000 3BFF	SPI2 / I2S2
	0x4000 3400 - 0x4000 37FF	I2S2ext
	0x4000 3000 - 0x4000 33FF	IWDG
	0x4000 2C00 - 0x4000 2FFF	WWDG
	0x4000 2800 - 0x4000 2BFF	RTC & BKP Registers
	0x4000 2400 - 0x4000 27FF	Reserved
	0x4000 2000 - 0x4000 23FF	TIM14
	0x4000 1C00 - 0x4000 1FFF	TIM13
	0x4000 1800 - 0x4000 1BFF	TIM12
	0x4000 1400 - 0x4000 17FF	TIM7
	0x4000 1000 - 0x4000 13FF	TIM6
	0x4000 0C00 - 0x4000 0FFF	TIM5
	0x4000 0800 - 0x4000 0BFF	TIM4
	0x4000 0400 - 0x4000 07FF	TIM3
	0x4000 0000 - 0x4000 03FF	TIM2

电气特性

6.1 参数条件

除非另有说明，所有电压都参考VSS。

6.1.1 最小值和最大值

除非另有说明，最小值和最大值在最恶劣的环境温度、供电电压和频率条件下通过生产测试进行评估，测试对象为所有设备，环境温度分别为TA = 25 °C和TA = TAm_{ax}（由选定的温度范围确定）。

基于特性分析结果、设计仿真和/或技术特性所确定的数据在表格脚注中说明，且未经生产测试。根据特性分析，最小值和最大值指的是样本测试，代表了平均值±3倍标准差（平均值±3Σ）。

6.1.2 典型值

除非另有说明，典型数据基于TA = 25°C、VDD = 3.3V（适用于1.8V ≤ VDD ≤ 3.6V电压范围）。这些数据仅作为设计指南提供，未经测试。

典型的ADC精度值通过表征一批从标准扩散批中选取的样品在全温度范围内的性能来确定，其中95%的器件误差不超过所指示的(均方根±2Σ)值。

6.1.3 典型曲线

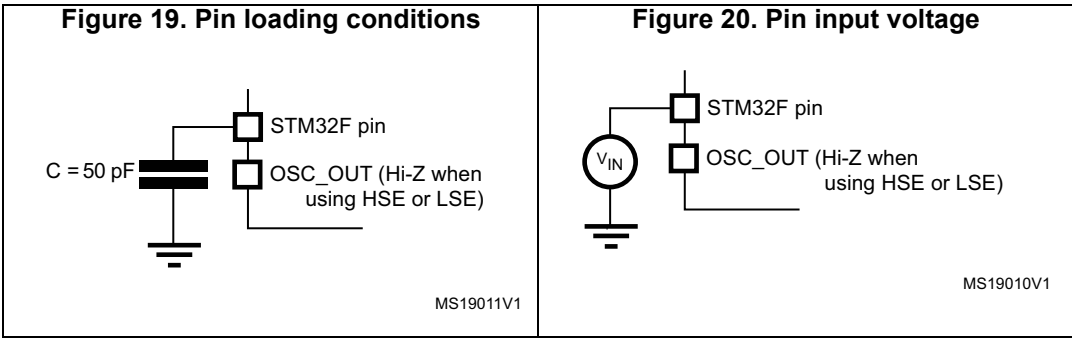
除非另有说明，所有典型曲线仅作为设计指南提供，未经测试。

6.1.4 加载电容器

用于引脚参数测量的加载条件如图Figure 19所示。

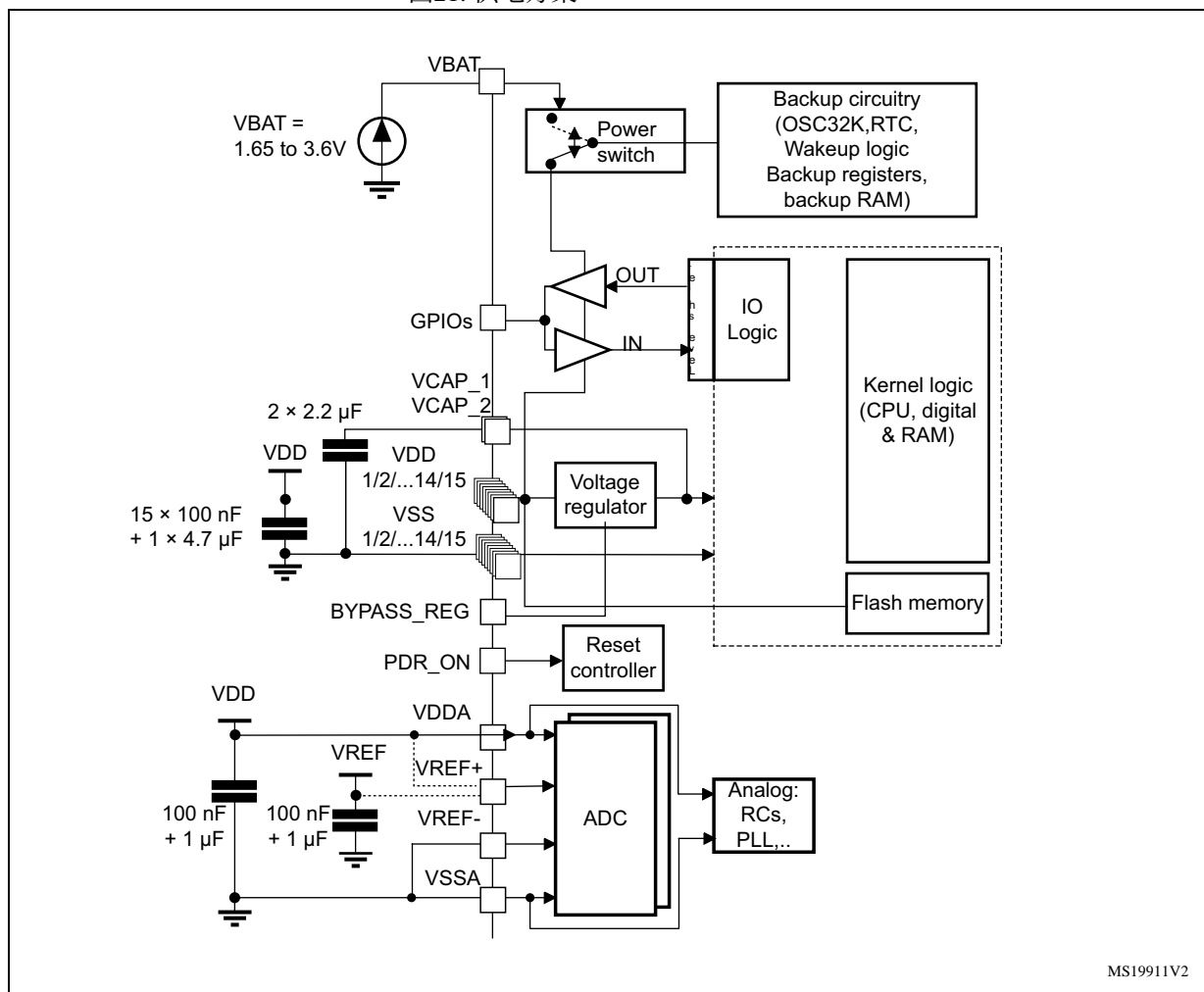
6.1.5 引脚输入电压

设备引脚上的输入电压测量在Figure 20中描述。



6.1.6 供电方案

图21. 供电方案

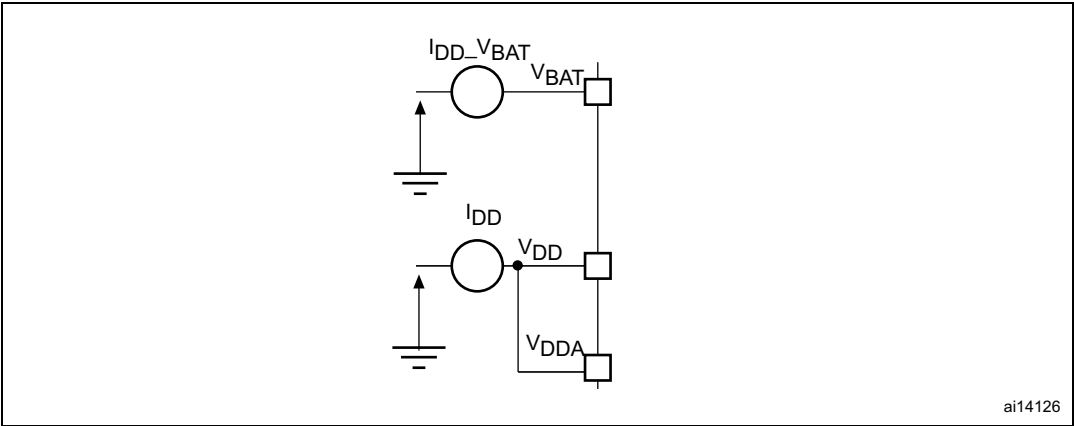


1. 每组电源必须如上图所示使用滤波陶瓷电容器进行退耦。这些电容器应尽可能靠近或位于PCB底面相应引脚下方，以确保器件功能正常。
2. 要连接BYPASS_REG和PDR_ON引脚，请参考Section 3.0.16: Voltage regulator、Table 3.0.15: Power supply 和 supervisor。
3. 当电压调节器关闭时，两个2.2 μF的陶瓷电容器应被替换为两个100 nF的退耦电容器。
4. 4.7 μF的陶瓷电容器必须连接到其中一个VDD引脚。
5. VDDA=VDD与VSSA=VSS。

6.1.7 电流消耗测量

nt

Figure 22. Current consumption measurement scheme



6.2 绝对最大额定值

超过Table 11: Voltage characteristics、Table 12: Current characteristics和Table 13: Thermal characteristics中列出的绝对最大额定值的应力可能导致器件永久性损坏。这些仅为应力额定值，不表示器件在这些条件下的功能操作。长时间暴露在最大额定条件下可能会影响器件的可靠性。器件的任务配置文件（应用条件）符合JEDEC JESD47认证标准，可根据要求提供扩展的任务配置文件。

表11. 电压特性

Symbol	Ratings	Min	Max	Unit
$V_{DD}-V_{SS}$	External main supply voltage (including V_{DDA} , V_{DD}) ⁽¹⁾	-0.3	4.0	V
V_{IN}	Input voltage on five-volt tolerant pin ⁽²⁾	$V_{SS}-0.3$	$V_{DD}+4$	
	Input voltage on any other pin	$V_{SS}-0.3$	4.0	
$ \Delta V_{DDx} $	Variations between different V_{DD} power pins	-	50	mV
$ V_{SSx}-V_{SS} $	Variations between all the different ground pins including V_{REF-}	-	50	
$V_{ESD(HBM)}$	Electrostatic discharge voltage (human body model)	see Section 6.3.14: Absolute maximum ratings (electrical sensitivity)		

1. 所有主电源（VDD、VDDA）和地（VSS、VSSA）引脚必须始终连接到外部电源，在允许的范围内。
2. V_{IN} 最大值必须始终遵守。有关允许的最大注入电流值，请参考Table 12。

表12. 电流特性

Symbol	Ratings	Max.	Unit
I_{VDD}	Total current into V_{DD} power lines (source) ⁽¹⁾	240	mA
I_{VSS}	Total current out of V_{SS} ground lines (sink) ⁽¹⁾	240	
I_{IO}	Output current sunk by any I/O and control pin	25	
	Output current source by any I/Os and control pin	25	
$I_{INJ(PIN)}^{(2)}$	Injected current on five-volt tolerant I/O ⁽³⁾	-5/+0	
	Injected current on any other pin ⁽⁴⁾	±5	
$\Sigma I_{INJ(PIN)}^{(4)}$	Total injected current (sum of all I/O and control pins) ⁽⁵⁾	±25	

1. 所有主电源（VDD、VDDA）和地（VSS、VSSA）引脚必须始终连接到外部电源，在允许的范围内。

2. 负注入会干扰设备的模拟性能。参见Section 6.3.21: 12-bit ADC characteristics中的注释。

3. 对这些I/O无法进行正向注入。负向注入由VIN<VSS产生。IINJ(PIN)不得超过规定值。最大允许输入电压值请参见Table 11。

4. 正向注入由VIN>VDD引起，负向注入由VIN<VSS引起。IINJ(PIN)绝不能超过。最大允许输入电压值请参考Table 11。

当多个输入被注入电流时，最大ΣIINJ(PIN)是正向和负向注入电流（瞬时值）的绝对和。

表13. 热特性

Symbol	Ratings	Value	Unit
T_{STG}	Storage temperature range	-65 to +150	°C
T_J	Maximum junction temperature	125	°C

6.3 操作条件

6.3.1 一般操作条件

表14. 通用操作条件

Symbol	Parameter	Conditions	Min	Typ	Max	Unit
f_{HCLK}	Internal AHB clock frequency	VOS bit in PWR_CR register = 0 ⁽¹⁾	0	-	144	MHz
		VOS bit in PWR_CR register= 1	0	-	168	
f_{PCLK1}	Internal APB1 clock frequency	-	0	-	42	
f_{PCLK2}	Internal APB2 clock frequency	-	0	-	84	
V_{DD}	Standard operating voltage	-	1.8 ⁽²⁾	-	3.6	V
$V_{DDA}^{(3)(4)}$	Analog operating voltage (ADC limited to 1.2 M samples)	Must be the same potential as $V_{DD}^{(5)}$	1.8 ⁽²⁾	-	2.4	V
	Analog operating voltage (ADC limited to 1.4 M samples)		2.4	-	3.6	
V_{BAT}	Backup operating voltage	-	1.65	-	3.6	V

表14. 一般操作条件 (续)

Symbol	Parameter	Conditions	Min	Typ	Max	Unit
V_{12}	Regulator ON: 1.2 V internal voltage on V_{CAP_1}/V_{CAP_2} pins	VOS bit in PWR_CR register = 0 ⁽¹⁾ Max frequency 144MHz	1.08	1.14	1.20	V
		VOS bit in PWR_CR register= 1 Max frequency 168MHz	1.20	1.26	1.32	V
	Regulator OFF: 1.2 V external voltage must be supplied from external regulator on V_{CAP_1}/V_{CAP_2} pins	Max frequency 144MHz	1.10	1.14	1.20	V
		Max frequency 168MHz	1.20	1.26	1.30	V
V_{IN}	Input voltage on RST and FT pins ⁽⁶⁾	$2\text{ V} \leq V_{DD} \leq 3.6\text{ V}$	-0.3	-	5.5	V
		$V_{DD} \leq 2\text{ V}$	-0.3	-	5.2	
	Input voltage on TTa pins	-	-0.3	-	$V_{DDA} + 0.3$	
	Input voltage on B pin	-	-	-	5.5	
P_D	Power dissipation at $T_A = 85\text{ }^\circ\text{C}$ for suffix 6 or $T_A = 105\text{ }^\circ\text{C}$ for suffix 7 ⁽⁷⁾	LQFP64	-	-	435	mW
		LQFP100	-	-	465	
		LQFP144	-	-	500	
		LQFP176	-	-	526	
		UFBGA176	-	-	513	
		WLCSP90	-	-	543	
T_A	Ambient temperature for 6 suffix version	Maximum power dissipation	-40	-	85	$^\circ\text{C}$
		Low-power dissipation ⁽⁸⁾	-40	-	105	
	Ambient temperature for 7 suffix version	Maximum power dissipation	-40	-	105	$^\circ\text{C}$
		Low-power dissipation ⁽⁸⁾	-40	-	125	
T_J	Junction temperature range	6 suffix version	-40	-	105	$^\circ\text{C}$
		7 suffix version	-40	-	125	

1. 在系统时钟频率介于30至144 MHz之间时, 相较于VOS = 1的情况, VOS = 0时, 整个温度范围内的平均预期功耗降低约为10%。 2. 当器件在降额温度范围内工作并采用外部电源监控器时, 可获得1.7 V的VDD/VDDA最小值 (参见 *Section : Internal reset OFF*)。 3. 当使用ADC时, 请参见 *Table 67: ADC characteristics*。 4. 若存在VREF₊引脚, 则必须满足以下条件: $V_{DDA} - V_{REF+} < 1.2\text{ V}$ 。 5. 推荐VDD和VDDA由同一电源供电。在上电和掉电操作期间, VDD与VDDA之间允许的最大压差为300 mV。 6. 为维持高于VDD+0.3V的电压, 必须禁用内部上拉和下拉电阻。 7. 若TA (环境温度) 较低, 则只要TJ (结温) 不超过TJmax, 允许更高的PD (功耗) 值。 8. 在低功耗状态下, 只要TJ不超过TJmax, TA可扩展至该范围。

表15. Lim

依赖于操作电源

范围

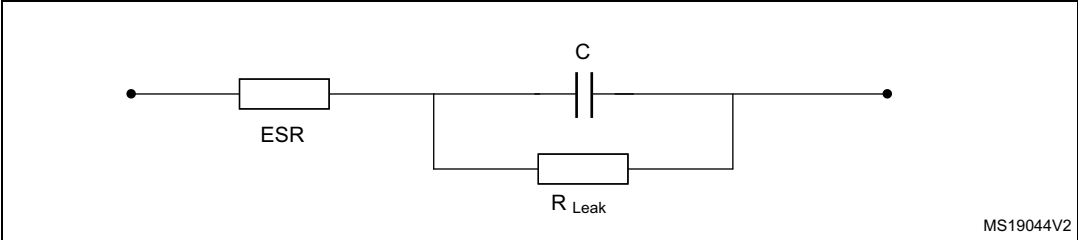
Operating power supply range	ADC operation	Maximum flash memory access frequency with no wait state (f_{Flashmax})	Maximum flash memory access frequency with wait states ^{(1) (2)}	I/O operation	Clock output Frequency on I/O pins	Possible flash memory operations
$V_{\text{DD}} = 1.8$ to $2.1 \text{ V}^{(3)}$	Conversion time up to 1.2 Msps	20 MHz ⁽⁴⁾	160 MHz with 7 wait states	– Degraded speed performance – No I/O compensation	up to 30 MHz	8-bit erase and program operations only
$V_{\text{DD}} = 2.1$ to 2.4 V	Conversion time up to 1.2 Msps	22 MHz	168 MHz with 7 wait states	– Degraded speed performance – No I/O compensation	up to 30 MHz	16-bit erase and program operations
$V_{\text{DD}} = 2.4$ to 2.7 V	Conversion time up to 2.4 Msps	24 MHz	168 MHz with 6 wait states	– Degraded speed performance – I/O compensation works	up to 48 MHz	16-bit erase and program operations
$V_{\text{DD}} = 2.7$ to $3.6 \text{ V}^{(5)}$	Conversion time up to 2.4 Msps	30 MHz	168 MHz with 5 wait states	– Full-speed operation – I/O compensation works	– up to 60 MHz when $V_{\text{DD}} = 3.0$ to 3.6 V – up to 48 MHz when $V_{\text{DD}} = 2.7$ to 3.0 V	32-bit erase and program operations

1. 仅当从闪存执行代码时，此条件适用；当从RAM执行代码时，无需等待状态。 2. 由于ART加速器和128位闪存的存在，此处给出的等待状态数量不会影响从闪存执行代码的速度，因为ART加速器能够实现相当于0等待状态程序执行的性能。 3. 在扩展温度范围内运行并使用外部电源监控器时， $V_{\text{DD}}/V_{\text{DDA}}$ 的最小值为1.7V（参考Section : *Internal reset OFF*）。 4. 预取功能不可用。有关如何调整性能和功耗的详细信息，请参阅AN3430应用笔记。 5. OTG USB FS的电压范围可降至2.7V，但在2.7V至3V之间性能会有所下降。

6.3.2{v*} VCAP_1/VCAP_2 外部电容器

通过将外部电容器CEXT连接到VCAP_1/VCAP_2引脚，实现了主调节器的稳定。CEXT的具体规格在 *Table 16* 中给出。

图23. 外部电容CEXT



1. 图例：ESR 是等效串联电阻。

表16. VCAP_1/VCAP_2工作条件(1)

Symbol	Parameter	Conditions
CEXT	Capacitance of external capacitor	2.2 μ F
ESR	ESR of external capacitor	< 2 Ω

1. 当绕过电压调节器时，两个2.2 μ F VCAP电容缓冲电容器不再需要，应替换为两个100 nF退耦电容器。

6.3.3 O 上电/断电运行条件（调节器开启状态）

受TA的一般操作条件约束。

表17. 上电/下电时的操作条件（稳压器开启）

Symbol	Parameter	Min	Max	Unit
t_{VDD}	V_{DD} rise time rate	20	∞	μ s/V
	V_{DD} fall time rate	20	∞	

6.3.4 上电/下电时的操作条件（稳压器关闭）

受TA的一般操作条件约束。

表18. 通电/断电时的运行条件（调节器关闭）(1)

Symbol	Parameter	Conditions	Min	Max	Unit
t_{VDD}	V_{DD} rise time rate	Power-up	20	∞	μ s/V
	V_{DD} fall time rate	Power-down	20	∞	
t_{VCAP}	V_{CAP_1} and V_{CAP_2} rise time rate	Power-up	20	∞	
	V_{CAP_1} and V_{CAP_2} fall time rate	Power-down	20	∞	

1. 为在掉电时重置内部逻辑，必须在VDD降至V12最小值以下时对PA0引脚施加复位。

6.3.5 嵌入式 双数据速率复位和电源控制模块特性 特性

在 **Table 19** 中给出的参数来源于在 **Table 14** 中总结的环境温度和VDD电源电压条件下的测试。

表19. 嵌入式复位和电源控制块特性

Symbol	Parameter	Conditions	Min	Typ	Max	Unit
V _{PVD}	Programmable voltage detector level selection	PLS[2:0]=000 (rising edge)	2.09	2.14	2.19	V
		PLS[2:0]=000 (falling edge)	1.98	2.04	2.08	V
		PLS[2:0]=001 (rising edge)	2.23	2.30	2.37	V
		PLS[2:0]=001 (falling edge)	2.13	2.19	2.25	V
		PLS[2:0]=010 (rising edge)	2.39	2.45	2.51	V
		PLS[2:0]=010 (falling edge)	2.29	2.35	2.39	V
		PLS[2:0]=011 (rising edge)	2.54	2.60	2.65	V
		PLS[2:0]=011 (falling edge)	2.44	2.51	2.56	V
		PLS[2:0]=100 (rising edge)	2.70	2.76	2.82	V
		PLS[2:0]=100 (falling edge)	2.59	2.66	2.71	V
		PLS[2:0]=101 (rising edge)	2.86	2.93	2.99	V
		PLS[2:0]=101 (falling edge)	2.75	2.84	2.92	V
		PLS[2:0]=110 (rising edge)	2.96	3.03	3.10	V
		PLS[2:0]=110 (falling edge)	2.85	2.93	2.99	V
		PLS[2:0]=111 (rising edge)	3.07	3.14	3.21	V
		PLS[2:0]=111 (falling edge)	2.95	3.03	3.09	V
V _{PVDhyst} ⁽¹⁾	PVD hysteresis	-	-	100	-	mV
V _{POR/PDR}	Power-on/power-down reset threshold	Falling edge	1.60	1.68	1.76	V
		Rising edge	1.64	1.72	1.80	V
V _{PDRhyst} ⁽¹⁾	PDR hysteresis	-	-	40	-	mV
V _{BOR1}	Brownout level 1 threshold	Falling edge	2.13	2.19	2.24	V
		Rising edge	2.23	2.29	2.33	V

表19. Em 片上复位和电源控制模块特性 ics (续)

Symbol	Parameter	Conditions	Min	Typ	Max	Unit
V _{BOR2}	Brownout level 2 threshold	Falling edge	2.44	2.50	2.56	V
		Rising edge	2.53	2.59	2.63	V
V _{BOR3}	Brownout level 3 threshold	Falling edge	2.75	2.83	2.88	V
		Rising edge	2.85	2.92	2.97	V
V _{BORhyst} ⁽¹⁾	BOR hysteresis	-	-	100	-	mV
T _{RSTTEMPO} ⁽¹⁾⁽²⁾	Reset temporization	-	0.5	1.5	3.0	ms
I _{RUSH} ⁽¹⁾	InRush current on voltage regulator power-on (POR or wakeup from Standby)	-	-	160	200	mA
E _{RUSH} ⁽¹⁾	InRush energy on voltage regulator power-on (POR or wakeup from Standby)	V _{DD} = 1.8 V, T _A = 105 °C, I _{RUSH} = 171 mA for 31 μs	-	-	5.4	μC

1. 设计指定。2. 复位定时从上电（POR复位或从VBAT唤醒）开始，直至用户应用程序代码首次读取指令的时刻。

6.3.6 供电电流特性

当前功耗取决于多个参数和因素，如工作电压、环境温度、I/O引脚负载、设备软件配置、工作频率、I/O引脚切换速率、程序在内存中的位置以及执行的二进制代码。

电流消耗如所述在Figure 22: Current consumption measurement scheme中进行测量。

本节给出的所有运行模式电流消耗测量均使用符合CoreMark标准的代码进行。

典型与最大电流消耗

MCU在以下条件放置：

- 在启动时，所有I/O引脚由固件配置为模拟输入。
- 除了明确说明的情况外，所有外围设备都处于禁用状态。
- 闪存访问时间调整为fHCLK频率（0等待状态适用于0至30 MHz，1等待状态适用于30至60 MHz，2等待状态适用于60至90 MHz，3等待状态适用于90至120 MHz，4等待状态适用于120至150 MHz，5等待状态适用于150至168 MHz）。
- 当外设被启用时，HCLK即为系统时钟，fPCLK1 = 为fHCLK/4，fPCLK2 = 为fHCLK/2，除非另有说明。
- 最大值在VDD = 3.6 V和最大环境温度(TA)下获得，典型值在TA= 25 °C和VDD = 3.3 V下，除非另有说明。

表20. 运行模式下的典型和最大电流消耗，代码从闪存（ART加速器启用）或RAM运行（1

Symbol	Parameter	Conditions	f _{HCLK}	Typ	Max ⁽²⁾		Unit
				T _A = 25 °C	T _A = 85 °C	T _A = 105 °C	
I _{DD}	Supply current in Run mode	External clock ⁽³⁾ , all peripherals enabled ⁽⁴⁾⁽⁵⁾	168 MHz	87	102	109	mA
			144 MHz	67	80	86	
			120 MHz	56	69	75	
			90 MHz	44	56	62	
			60 MHz	30	42	49	
			30 MHz	16	28	35	
			25 MHz	12	24	31	
			16 MHz ⁽⁶⁾	9	20	28	
			8 MHz	5	17	24	
			4 MHz	3	15	22	
			2 MHz	2	14	21	
		External clock ⁽³⁾ , all peripherals disabled ⁽⁴⁾⁽⁵⁾	168 MHz	40	54	61	
			144 MHz	31	43	50	
			120 MHz	26	38	45	
			90 MHz	20	32	39	
			60 MHz	14	26	33	
			30 MHz	8	20	27	
			25 MHz	6	18	25	
			16 MHz ⁽⁶⁾	5	16	24	
			8 MHz	3	15	22	
			4 MHz	2	14	21	
			2 MHz	2	14	21	

1. 从SRAM1启动引脚运行代码和数据处理。 2. 通过特性分析，在生产测试中评估了VDD最大值和fHCLK最大值（外设开启）下的性能。 3. 外部时钟为4 MHz，当fHCLK > 25 MHz时，PLL处于开启状态。 4. 当ADC开启（ADC_CR2寄存器中的ADON位被置位）时，模拟部分的额外功耗为每个ADC增加1.6 mA。 5. 当模拟外设模块（如ADC、DAC、HSE、LSE、HSI或LSI）开启时，应考虑额外功耗。 6. 在这种情况下，HCLK = 系统时钟/2。

表21. 运行模式下典型和最大电流消耗，数据处理代码从闪存运行（ART加速器禁用）

Symbol	Parameter	Conditions	f _{HCLK}	Typ	Max ⁽¹⁾		Unit
				T _A = 25 °C	T _A = 85 °C	T _A = 105 °C	
I _{DD}	Supply current in Run mode	External clock ⁽²⁾ , all peripherals enabled ⁽³⁾⁽⁴⁾	168 MHz	93	109	117	mA
			144 MHz	76	89	96	
			120 MHz	67	79	86	
			90 MHz	53	65	73	
			60 MHz	37	49	56	
			30 MHz	20	32	39	
			25 MHz	16	27	35	
			16 MHz	11	23	30	
			8 MHz	6	18	25	
			4 MHz	4	16	23	
			2 MHz	3	15	22	
		External clock ⁽²⁾ , all peripherals disabled ⁽³⁾⁽⁴⁾	168 MHz	46	61	69	
			144 MHz	40	52	60	
			120 MHz	37	48	56	
			90 MHz	30	42	50	
			60 MHz	22	33	41	
			30 MHz	12	24	31	
			25 MHz	10	21	29	
			16 MHz	7	19	26	
			8 MHz	4	16	23	
			4 MHz	3	15	22	
			2 MHz	2	14	21	

1. 通过特性分析评估，外设开启时在最大VDD和最大fHCLK下进行生产测试。 2. 当fHCLK > 25 MHz时，外部时钟为4 MHz，锁相环（PLL）处于开启状态。 3. 当模拟外设模块（如ADC、DAC、HSE、LSE、HSI、LSI）开启时，需额外考虑功耗。 4. 当ADC处于开启状态（ADC_CR2寄存器中的ADON位被置位）时，模拟部分需额外增加每个ADC 1.6 mA的功耗。

图24. 典型电流消耗与温度的关系，运行模式，代码从闪存（ART加速器开启）或RAM运行，且外设关闭

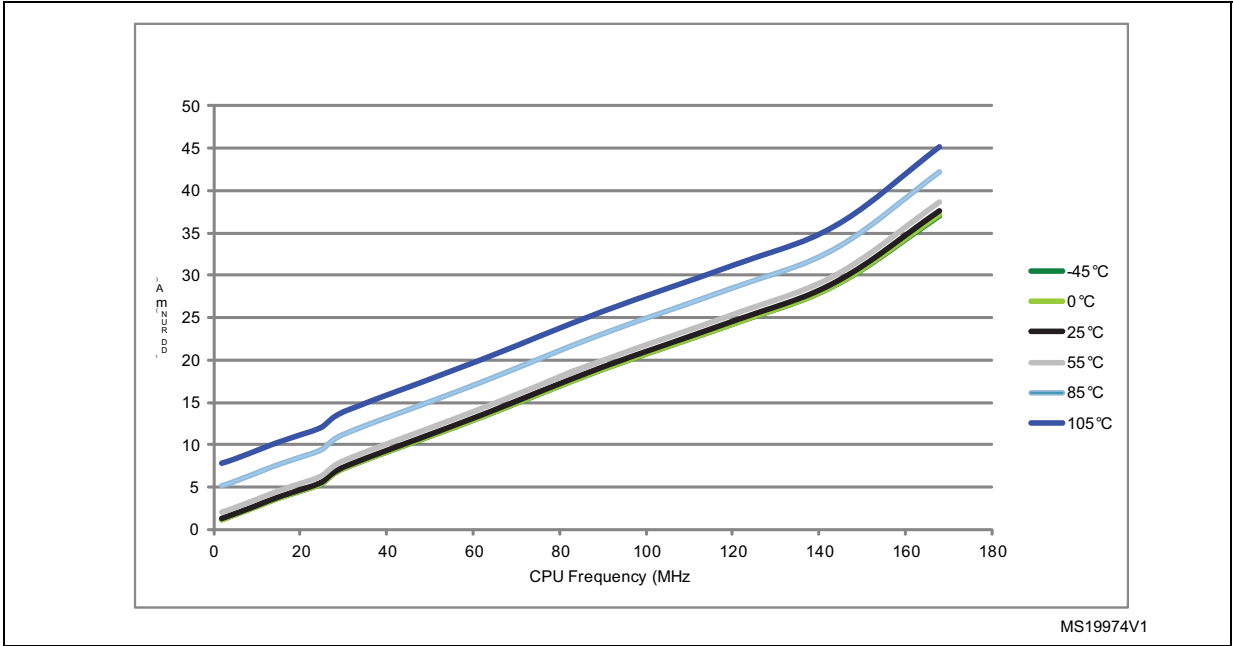


图25. 典型电流消耗与温度的关系，运行模式，代码从Flash（ART加速器开启）或RAM运行，且外设开启

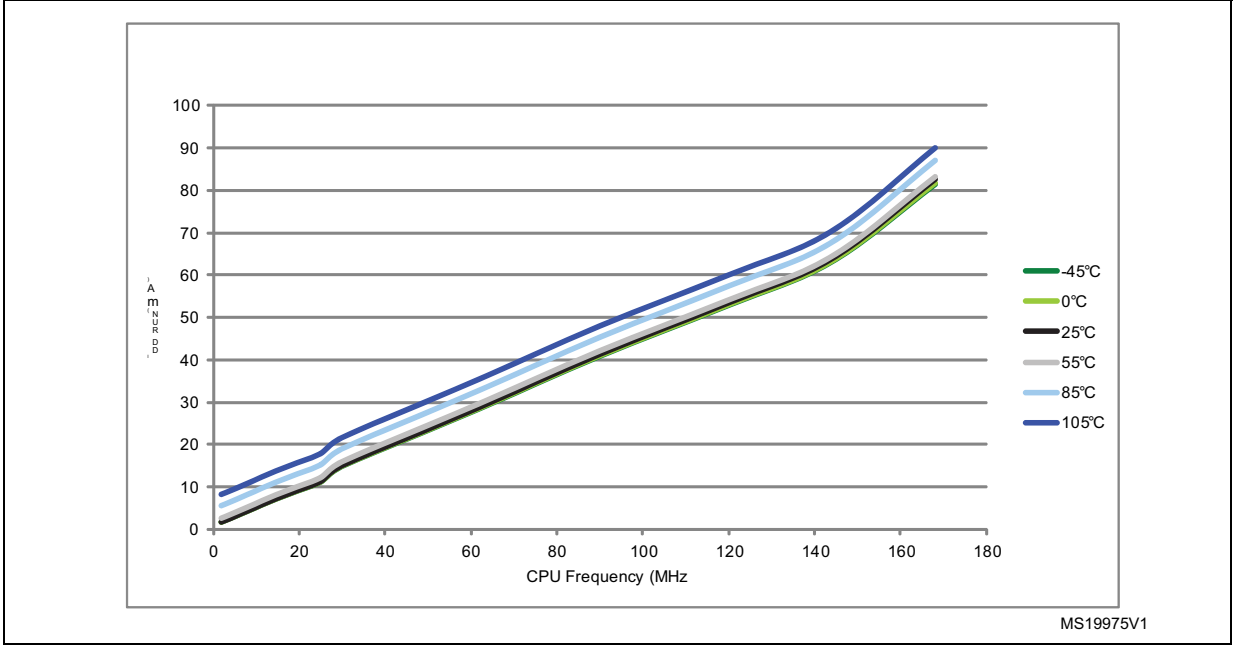


图26. 典型电流消耗与温度的关系，运行模式，数据处理代码从Flash（ART加速器关闭）或RAM运行，且外设关闭。

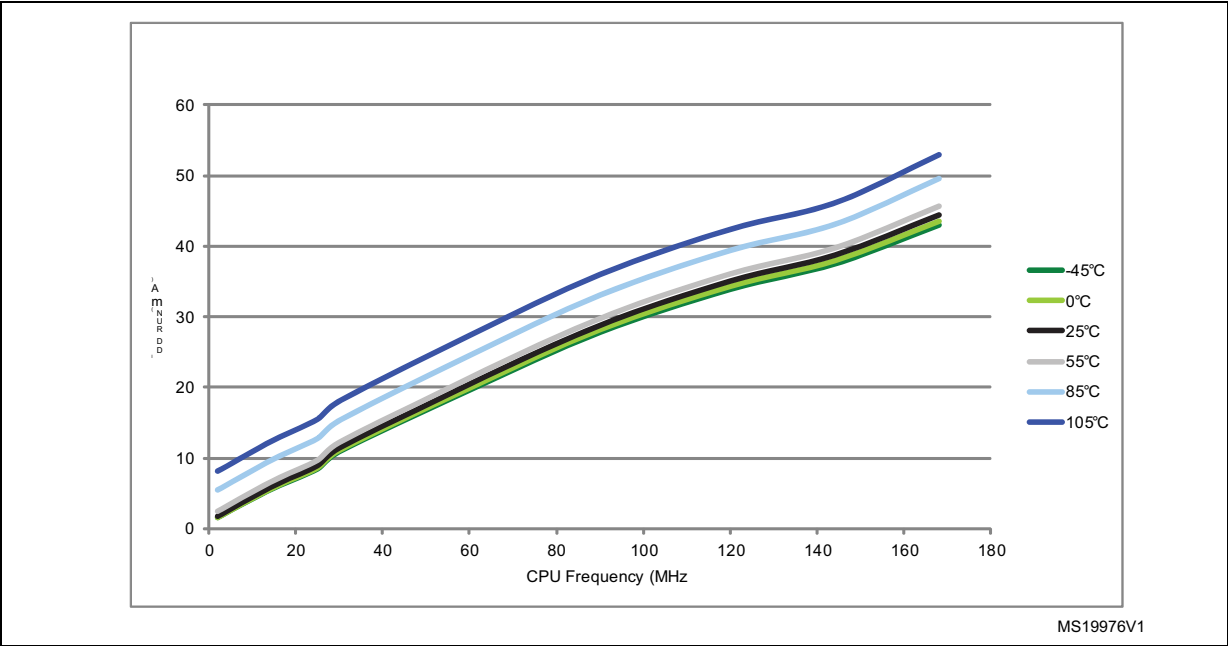


图27. 典型功耗与温度、运行模式的关系，数据处理从Flash（ART加速器关闭）或RAM运行，且外设开启

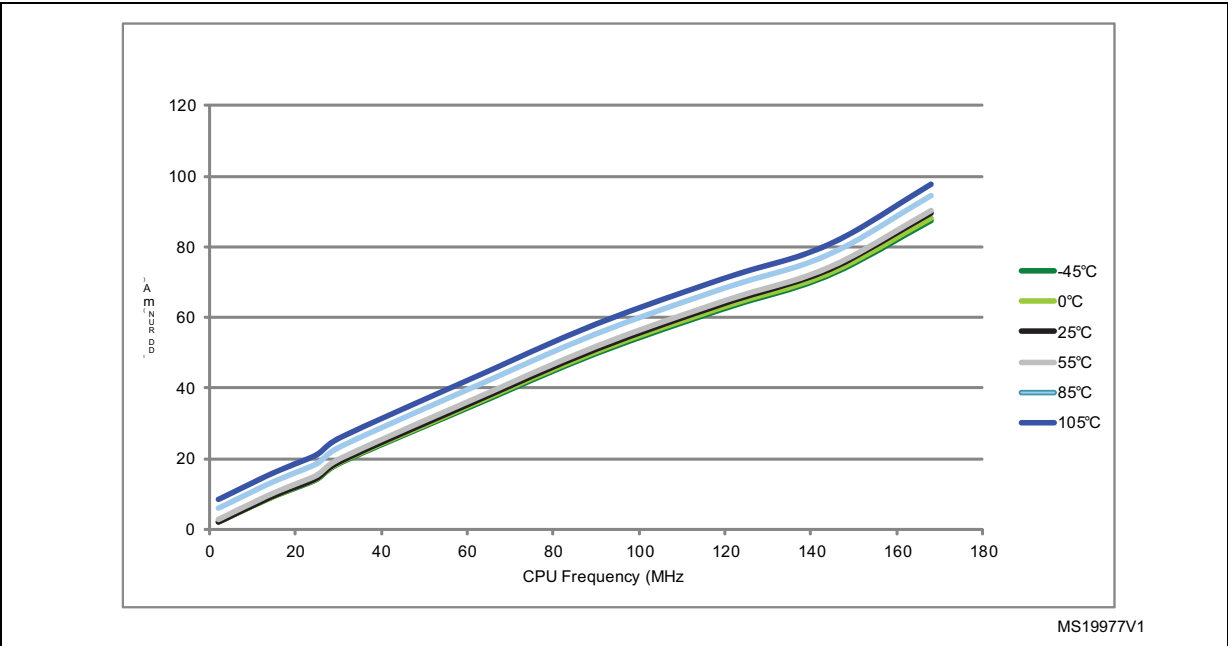


表22。 Sleep状态下的典型和最大电流消耗

p模式

Symbol	Parameter	Conditions	f _{HCLK}	Typ	Max ⁽¹⁾		Unit
				T _A = 25 °C	T _A = 85 °C	T _A = 105 °C	
I _{DD}	Supply current in Sleep mode	External clock ⁽²⁾ , all peripherals enabled ⁽³⁾	168 MHz	59	77	84	mA
			144 MHz	46	61	67	
			120 MHz	38	53	60	
			90 MHz	30	44	51	
			60 MHz	20	34	41	
			30 MHz	11	24	31	
			25 MHz	8	21	28	
			16 MHz	6	18	25	
			8 MHz	3	16	23	
			4 MHz	2	15	22	
			2 MHz	2	14	21	
		External clock ⁽²⁾ , all peripherals disabled	168 MHz	12	27	35	
			144 MHz	9	22	29	
			120 MHz	8	20	28	
			90 MHz	7	19	26	
			60 MHz	5	17	24	
			30 MHz	3	16	23	
			25 MHz	2	15	22	
			16 MHz	2	14	21	
			8 MHz	1	14	21	
			4 MHz	1	13	21	
			2 MHz	1	13	21	

1. 通过表征评估，并在VDD最大值和fHCLK最大值下，外设启用时进行生产测试。 2. 当fHCLK > 25 MHz时，外部时钟为4 MHz，且PLL处于开启状态。 3. 模拟部分每ADC增加1.6 mA的额外功耗。在实际应用中，该功耗仅在ADC开启时（ADC_CR2寄存器中的ADON位被置位）发生。

在Sto中的典型和最大电流消耗			p模式				
Symbol	Parameter	Conditions	Typ	Max			Unit
			T _A = 25 °C	T _A = 25 °C	T _A = 85 °C	T _A = 105 °C	
I _{DD_STOP}	Supply current in Stop mode with main regulator in Run mode	Flash in Stop mode, low-speed and high-speed internal RC oscillators and high-speed oscillator OFF (no independent watchdog)	0.45	1.5	11.00	20.00	mA
		Flash in Deep power-down mode, low-speed and high-speed internal RC oscillators and high-speed oscillator OFF (no independent watchdog)	0.40	1.5	11.00	20.00	
	Supply current in Stop mode with main regulator in Low-power mode	Flash in Stop mode, low-speed and high-speed internal RC oscillators and high-speed oscillator OFF (no independent watchdog)	0.31	1.1	8.00	15.00	
		Flash in Deep power-down mode, low-speed and high-speed internal RC oscillators and high-speed oscillator OFF (no independent watchdog)	0.28	1.1	8.00	15.00	

表 24. 典型 待机模式下的平均功耗和最大电流消耗 众数

Symbol	Parameter	Conditions	Typ			Max ⁽¹⁾		Unit
			T _A = 25 °C			T _A = 85 °C	T _A = 105 °C	
			V _{DD} = 1.8 V	V _{DD} = 2.4 V	V _{DD} = 3.3 V	V _{DD} = 3.6 V		
I _{DD_STBY}	Supply current in Standby mode	Backup SRAM ON, low-speed oscillator and RTC ON	3.0	3.4	4.0	20	36	µA
		Backup SRAM OFF, low-speed oscillator and RTC ON	2.4	2.7	3.3	16	32	
		Backup SRAM ON, RTC OFF	2.4	2.6	3.0	12.5	24.8	
		Backup SRAM OFF, RTC OFF	1.7	1.9	2.2	9.8	19.2	

1. 通过表征分析评估——未在生产环境中测试。

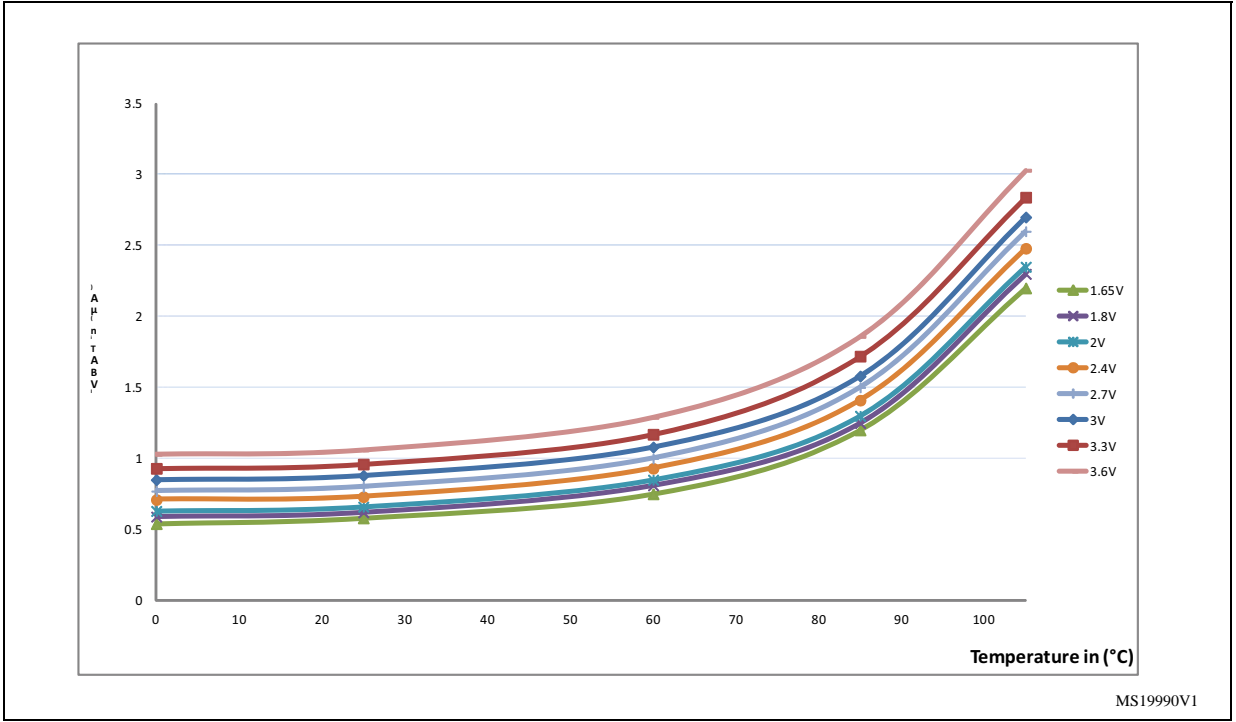
表25. Ty VBAT中的典型和最大电流消耗

众数

Symbol	Parameter	Conditions	Typ			Max ⁽¹⁾		Unit
			T _A = 25 °C			T _A = 85 °C	T _A = 105 °C	
			V _{BAT} = 1.8 V	V _{BAT} = 2.4 V	V _{BAT} = 3.3 V	V _{BAT} = 3.6 V		
I _{DD_VBAT}	Backup domain supply current	Backup SRAM ON, low-speed oscillator and RTC ON	1.29	1.42	1.68	6	11	μA
		Backup SRAM OFF, low-speed oscillator and RTC ON	0.62	0.73	0.96	3	5	
		Backup SRAM ON, RTC OFF	0.79	0.81	0.86	5	10	
		Backup SRAM OFF, RTC OFF	0.10	0.10	0.10	2	4	

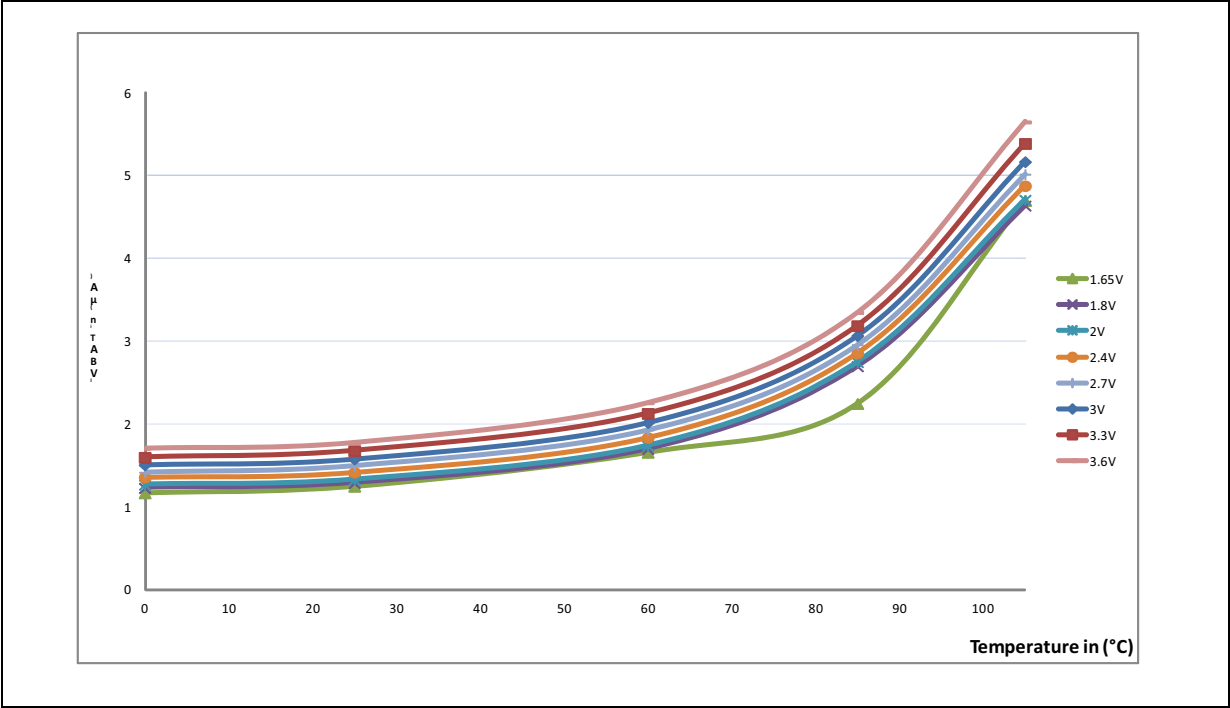
1. 通过表征分析评估——未在生产环境中测试。

图28. 典型VBAT电流消耗（LSE和RTC开启/备份RAM关闭）



VBAT电流消耗 (LSE和RTC开启/备份)

p 内存 开)MS19991V1



额外电流消耗

MCU在以下条件下放置：

- 所有I/O引脚都被配置为模拟模式。
- 闪存访问时间调整为fHCLK频率。
- 电压缩放根据fHCLK频率调整如下： – 对于fHCLK ≤ 144 MHz，缩放比例为2倍； – 对于144 MHz < fHCLK ≤ 168 MHz，缩放比例为1倍。
- 系统时钟为HCLK，fPCLK1 =等于fHCLK除以4，fPCLK2 =等于fHCLK除以2。
- HSE晶体钟频率为25 MHz。
- 25°C时，TA=。

表26. 运行模式下的典型电流消耗，从闪存运行数据处理的代码，稳压器开启（ART加速器启用，不包括预取），VDD = 1.8 V(1)

Symbol	Parameter	Conditions	f _{HCLK} (MHz)	Typ. at T _A = 25 °C	Unit
IDD	Supply current in Run mode	All peripheral disabled	160	36.2	mA
			144	29.3	
			120	24.7	
			90	19.3	
			60	13.4	
			30	7.7	
			25	6.0	

1. 当外设开启时，不包括其模拟部分（例如ADC或DAC）的功耗。

输入/输出系统的电流消耗

I/O系统的当前功耗由两个部分组成：静态和动态。

输入/输出静态电流消耗

所有用作输入且带有上拉或下拉功能的I/O，在引脚被外部拉至相反电平时会产生电流消耗。该电流消耗的值可以通过使用 *Table 48: I/O static and characteristics* 中给出的上拉/下拉电阻值来简单计算。

对于输出引脚，还需考虑任何内部或外部上拉/下拉以及外部负载，以估算电流消耗。

额外的I/O电流消耗是由于I/O被配置为输入模式，且外部施加了中间电压电平所致。这种电流消耗是由用于区分输入值的输入施密特触发器电路引起的。除非应用程序有特殊要求，否则可以通过将这些I/O配置为模拟模式来避免这种供电电流消耗。例如，ADC输入引脚应配置为模拟输入。



注意：任何浮空输入引脚也可能因外部电磁噪声而稳定在中间电压电平或意外切换。为避免浮空引脚相关的电流消耗，必须将其配置为模拟模式，或在内部强制为确定的数字值。这可以通过使用上拉/下拉电阻或配置引脚为输出模式来实现。

输入/输出动态电流消耗

除了先前测量的内部周边电流消耗（见 *Table 28: Peripheral current consumption*），应用程序所使用的输入/输出（I/O）引脚也会消耗电流。当I/O引脚状态切换时，会从微控制器（MCU）的电源电压中获取电流，用于驱动I/O引脚电路以及对引脚内外部连接的电容性负载进行充放电：

$$I_{SW} = V_{DD} \times f_{SW} \times C$$

其中

I_{SW} 是开关I/O对容性负载的电流灌入值，用于充电/放电。 V_{DD} 是MCU的供电电压。 f_{SW} 是I/O的开关频率。 C 是I/O引脚所见的总电容： $C = C_{INT} + C_{EXT}$ 。

测试引脚配置为推挽输出模式，并在固定频率下由软件切换。

表27. 开关输出 I/O 电流消耗

Symbol	Parameter	Conditions ⁽¹⁾	I/O toggling frequency (f _{SW})	Typ	Unit
I _{DDIO}	I/O switching current	V _{DD} = 3.3 V ⁽²⁾ C = C _{INT}	2 MHz	0.02	mA
			8 MHz	0.14	
			25 MHz	0.51	
			50 MHz	0.86	
			60 MHz	1.30	
		V _{DD} = 3.3 V C _{EXT} = 0 pF C = C _{INT} + C _{EXT} + C _S	2 MHz	0.10	
			8 MHz	0.38	
			25 MHz	1.18	
			50 MHz	2.47	
			60 MHz	2.86	
		V _{DD} = 3.3 V C _{EXT} = 10 pF C = C _{INT} + C _{EXT} + C _S	2 MHz	0.17	
			8 MHz	0.66	
			25 MHz	1.70	
			50 MHz	2.65	
			60 MHz	3.48	
		V _{DD} = 3.3 V C _{EXT} = 22 pF C = C _{INT} + C _{EXT} + C _S	2 MHz	0.23	
			8 MHz	0.95	
			25 MHz	3.20	
			50 MHz	4.69	
			60 MHz	8.06	
		V _{DD} = 3.3 V C _{EXT} = 33 pF C = C _{INT} + C _{EXT} + C _S	2 MHz	0.30	
			8 MHz	1.22	
			25 MHz	3.90	
			50 MHz	8.82	
			60 MHz	_(3)	

1. CS表示包括焊盘引脚的PCB板电容。CS = 7 pF（估计值）。 2. 此测试通过剪断LQFP封装引脚（焊盘移除）进行。 3. 在60 MHz时，C的最大负载指定为30 pF。

片内外设电流消耗

片上外设的电流消耗见 **Table 28**。MCU在以下条件下工作：

- 在启动时，固件将所有I/O引脚配置为模拟引脚。
- 除非另有说明，所有外设均处于禁用状态。
- 代码从闪存中运行，闪存访问时间为168 MHz时的5个等待状态。
- 代码从闪存运行，闪存访问时间为144 MHz下的4个等待状态，且功耗模式设置为2。
- ART加速器已开启。
- 给定值是通过测量电流消耗的差异计算得出的——所有外设时钟关闭，只有一个外设时钟开启（仅施加时钟）。
- 当外设使能时：HCLK是系统时钟，fPCLK1 = 为 fHCLK/4，fPCLK2 = 为 fHCLK/2。
- 通常取值为VDD = 3.3 V和TA= 25 °C，除非另有说明。

表28. 外设电流消耗

Peripheral		I _{DD} (Typ) ⁽¹⁾		Unit
		Scale1 (up t 168 MHz)	Scale2 (up to 144 MHz)	
AHB1 (up to 168 MHz)	GPIOA	2.70	2.40	μA/MHz
	GPIOB	2.50	2.22	
	GPIOC	2.54	2.28	
	GIOD	2.55	2.28	
	GPIOE	2.68	2.40	
	GPIOF	2.53	2.28	
	GPIOG	2.51	2.22	
	GPIOH	2.51	2.22	
	GPIOI	2.50	2.22	
	OTG_HS+ULPI	28.33	25.38	
	CRC	0.41	0.40	
	BKPSRAM	0.63	0.58	
	DMA1	37.44	33.58	
	DMA2	37.69	33.93	
	ETH_MAC ETH_MAC_TX ETH_MAC_RX ETH_MAC_PTP	20.43	18.39	

表28. 外设电流消耗 (续)

d)

Peripheral		I _{DD} (Typ) ⁽¹⁾		Unit
		Scale1 (up to 168 MHz)	Scale2 (up to 144 MHz)	
AHB2 (up to 168 MHz)	OTG_FS	26.45	26.67	μA/MHz
	DCMI	5.87	5.35	
	RNG	1.50	1.67	
AHB3 (up to 168 MHz)	FSMC	12.46	11.31	μA/MHz
Bus matrix ⁽²⁾		13.10	11.81	μA/MHz
APB1 (up to 42 MHz)	TIM2	16.71	16.50	μA/MHz
	TIM3	12.33	11.94	
	TIM4	13.45	12.92	
	TIM5	17.14	16.58	
	TIM6	2.43	3.06	
	TIM7	2.43	2.22	
	TIM12	6.62	6.83	
	TIM13	5.05	5.47	
	TIM14	5.26	5.61	
	PWR	1.00	0.56	
	USART2	2.69	2.78	
	USART3	2.74	2.78	
	UART4	3.24	3.33	
	UART5	2.69	2.78	
	I2C1	2.67	2.50	
	I2C2	2.83	2.78	
	I2C3	2.81	2.78	
	SPI2	2.43	2.22	
	SPI3	2.43	2.22	
	I2S2 ⁽³⁾	2.43	2.22	
	I2S3 ⁽³⁾	2.26	2.22	
	CAN1	5.12	5.56	
	CAN2	4.81	5.28	
	DAC ⁽⁴⁾	1.67	1.67	
	WWDG	1.00	0.83	

表28. 外设电流消耗（续）d)

Peripheral		I _{DD} (Typ) ⁽¹⁾		Unit
		Scale1 (up t 168 MHz)	Scale2 (up to 144 MHz)	
APB2 (up to 84 MHz)	SDIO	7.08	7.92	μA/MHz
	TIM1	16.79	15.51	
	TIM8	17.88	16.53	
	TIM9	7.64	7.28	
	TIM10	4.89	4.82	
	TIM11	5.19	4.82	
	ADC1 ⁽⁵⁾	4.67	4.58	
	ADC2 ⁽⁵⁾	4.67	4.58	
	ADC3 ⁽⁵⁾	4.43	4.44	
	SPI1	1.32	1.39	
	USART1	3.51	3.72	
	USART6	3.55	3.75	
	SYSCFG	0.74	0.56	

1. 当I/O补偿单元开启时，典型工作电流IDD增加0.22 mA。 2. 当至少有一个主设备激活时，总线矩阵自动激活。
3. 启用I2S外设时，需先在SPI_I2SCFGR寄存器中设置I2SMOD位，再设置I2SE位。 4. 当DAC开启且DAC_CR寄存器中的EN1/EN2位被置位时，模拟部分每个DAC通道额外增加0.8 mA的功耗。 5. 当ADC开启（ADC_CR2寄存器中ADON位被置位）时，模拟部分每个ADC额外增加1.6 mA的功耗。

6.3.7 从低功耗模式唤醒时间

在Table 29中给出的唤醒时间是在16 MHz HSI RC振荡器的唤醒阶段测量的。用于唤醒设备的时钟源取决于当前的操作模式：

- 停止或待机模式：时钟源是RC振荡器
- 休眠模式：时钟源是进入休眠模式前设定的时钟。

所有时间源自在环境温度和VDD供电电压条件下进行的测试，这些条件总结在Table 14中。

表29. 低功耗模式唤醒时序

Symbol	Parameter	Min ⁽¹⁾	Typ ⁽¹⁾	Max ⁽¹⁾	Unit
$t_{WUSLEEP}^{(2)}$	Wakeup from Sleep mode	-	5	-	CPU clock cycle
$t_{WUSTOP}^{(2)}$	Wakeup from Stop mode (regulator in Run mode and flash memory in Stop mode)	-	13	-	μs
	Wakeup from Stop mode (regulator in low-power mode and flash memory in Stop mode)	-	17	40	
	Wakeup from Stop mode (regulator in Run mode and flash memory in Deep power-down mode)	-	105	-	
	Wakeup from Stop mode (regulator in low-power mode and flash memory in Deep power-down mode)	-	110	-	
$t_{WUSTDBY}^{(2)(3)}$	Wakeup from Standby mode	260	375	480	μs

1. 通过表征评估 - 未在生产环境中测试。 2. 唤醒时间是从唤醒事件到应用代码读取第一条指令的时刻所测量的。 3. $t_{WUSTDBY}$ 的最小值和最大值分别在105°C和-45°C下给出。

6.3.8 外部时钟源特性

由外部源生成的高速外部用户时钟

给定的特性源于使用高速外部时钟源，在 **Table 14** 中总结的环境温度和电源电压条件下进行的测试。

表30. 高速外部用户时钟特性

Symbol	Parameter	Conditions	Min	Typ	Max	Unit
f_{HSE_ext}	External user clock source frequency ⁽¹⁾	-	1	-	50	MHz
V_{HSEH}	OSC_IN input pin high level voltage		$0.7V_{DD}$	-	V_{DD}	V
V_{HSEL}	OSC_IN input pin low level voltage		V_{SS}	-	$0.3V_{DD}$	
$t_{w(HSE)}$ $t_{w(HSE)}$	OSC_IN high or low time ⁽¹⁾		5	-	-	ns
$t_{r(HSE)}$ $t_{r(HSE)}$	OSC_IN rise or fall time ⁽¹⁾		-	-	10	
$C_{in(HSE)}$	OSC_IN input capacitance ⁽¹⁾	-	-	5	-	pF
$DuCy_{(HSE)}$	Duty cycle	-	45	-	55	%
I_L	OSC_IN Input leakage current	$V_{SS} \leq V_{IN} \leq V_{DD}$	-	-	± 1	μA

由设计规定。

外部用户时钟生成自一个外部1 源

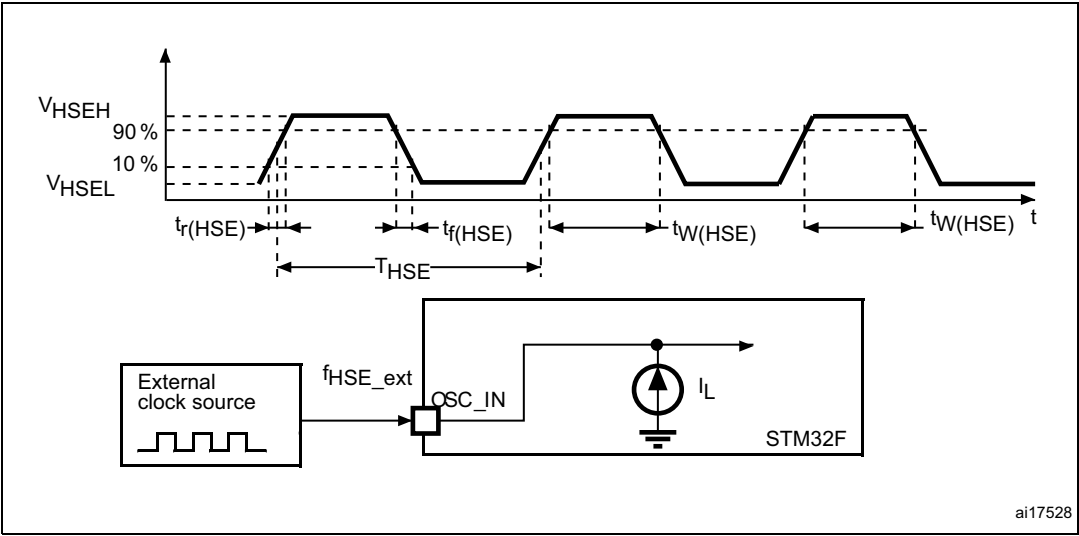
给定的特性源于使用低速外部时钟源，在环境温度和如表Table 14所示的供电电压条件下进行的测试。

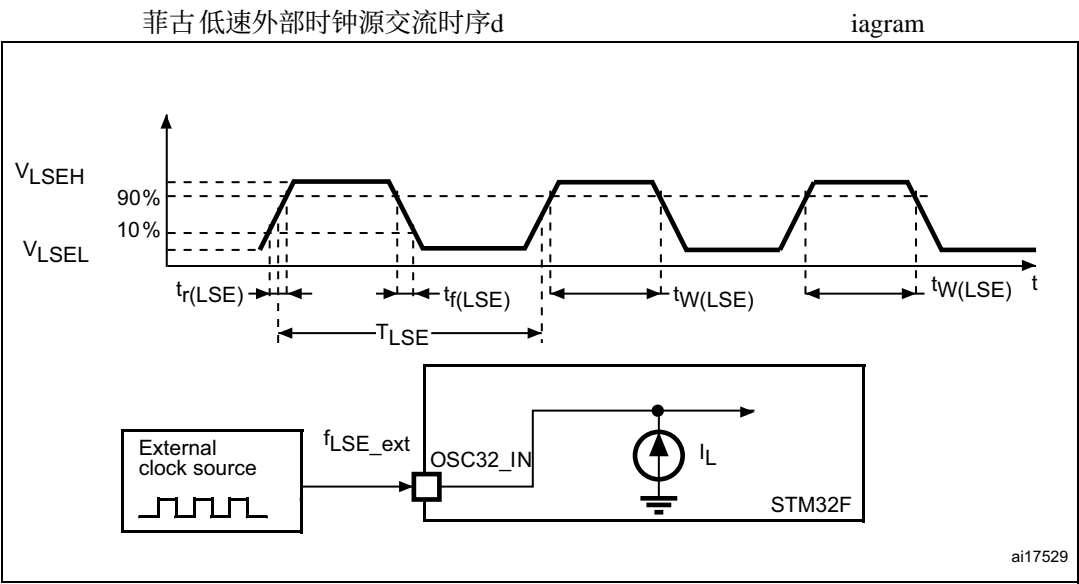
Table 31. 低速外部用户时钟特性工业控制系统

Symbol	Parameter	Conditions	Min	Typ	Max	Unit
f_{LSE_ext}	User External clock source frequency ⁽¹⁾	-	-	32.768	1000	kHz
V_{LSEH}	OSC32_IN input pin high level voltage		$0.7V_{DD}$	-	V_{DD}	V
V_{LSEL}	OSC32_IN input pin low level voltage		V_{SS}	-	$0.3V_{DD}$	
$t_{w(LSE)}$ $t_{f(LSE)}$	OSC32_IN high or low time ⁽¹⁾		450	-	-	ns
$t_{r(LSE)}$ $t_{f(LSE)}$	OSC32_IN rise or fall time ⁽¹⁾		-	-	50	
$C_{in(LSE)}$	OSC32_IN input capacitance ⁽¹⁾	-	-	5	-	pF
$DuCy_{(LSE)}$	Duty cycle	-	30	-	70	%
I_L	OSC32_IN Input leakage current	$V_{SS} \leq V_{IN} \leq V_{DD}$	-	-	± 1	μA

由设计规定。

图30. 高速外部时钟源交流时序图





从晶体/陶瓷谐振器生成的高速外部时钟

高速外部（HSE）时钟可由4至26 MHz的石英/陶瓷谐振器振荡器提供。本段落提供的所有信息均基于 **Table 32**中指定的典型外部组件特性参数。实际应用中，谐振器和负载电容必须尽可能靠近振荡器引脚，以最大限度减少输出失真和启动稳定时间。关于谐振器特性（频率、封装、精度）的更多细节，请参阅晶体谐振器制造商的技术资料。

表32. HSE 4-26 MHz振荡器特性 (1)

Symbol	Parameter	Conditions	Min	Typ	Max	Unit
f_{OSC_IN}	Oscillator frequency	-	4	-	26	MHz
R_F	Feedback resistor	-	-	200	-	k Ω
G_m	Oscillator transconductance	Startup	5	-	-	mA/V
$G_{m_{critmax}}$	Maximum critical crystal G_m		-	-	1	
$t_{SU(HSE)}^{(2)}$	Startup time	V_{DD} is stabilized	-	2	-	ms

由设计规定。

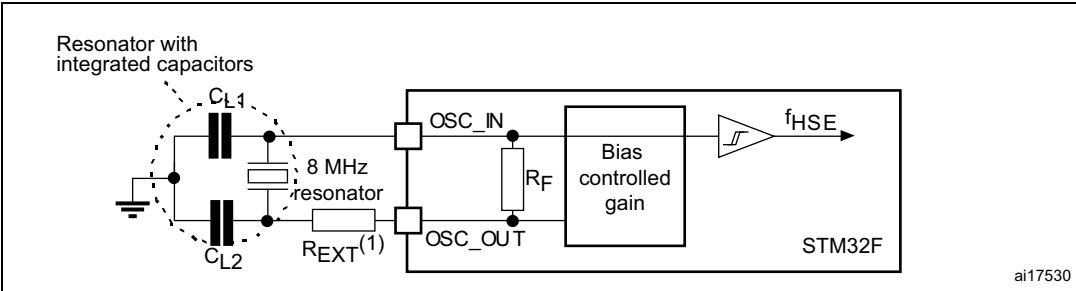
2. 通过表征评估 - 未经生产测试。tSU(HSE)是从其被软件启用到达到稳定8MHz振荡的时间。此值是针对标准晶体谐振器测量的，可能会有显著差异，具体取决于晶体制造商。

对于CL1和CL2，建议使用高品质外部陶瓷电容器，其电容值在5 pF至25 pF范围内（典型值），专为高频应用设计，并根据晶体或谐振器的要求进行选择（参见**Figure 32**）。CL1和CL2通常尺寸相同。晶体制造商通常指定一个负载电容，该值是CL1和CL2的串联组合。在确定CL1和CL2时，必须包括PCB和MCU引脚电容（可将10 pF作为引脚和板电容总和的粗略估计值）。

Note: For information on electing the crystal, refer to the application note AN2867 “Oscillator design guide for ST microcontrollers” available from the ST website www.st.com.

图32 典型应用，使用8 MHz晶体

al



1. REXT值取决于晶体特性。

由晶体/陶瓷谐振器产生的低速外部时钟

低速外部(LSE)时钟可由32.768kHz晶振/陶瓷谐振器振荡器提供。本段落中提供的所有信息均基于 **Table 33**中指定典型外部组件的特性测试结果。在应用中，谐振器和负载电容必须尽可能靠近振荡器引脚，以最大限度地减少输出失真和启动稳定时间。有关谐振器特性（频率、封装、精度）的更多详细信息，请参阅晶振制造商。

表33. LSE振荡器特性 ($f_{LSE} = 32.768 \text{ kHz}$) (1)

Symbol	Parameter	Conditions	Min	Typ	Max	Unit
f_{OSC_IN}	Oscillator frequency	-	-	32.768	-	kHz
R_F	Feedback resistor	-	-	18.4	-	MΩ
I_{DD}	LSE current consumption	-	-	-	1	μA
G_m	Oscillator transconductance	Startup	2.8	-	-	μA/V
$G_{mcritmax}$	Maximum critical crystal G_m		-	-	0.56	
$t_{SU(LSE)}^{(2)}$	Startup time	V_{DD} is stabilized	-	2	-	s

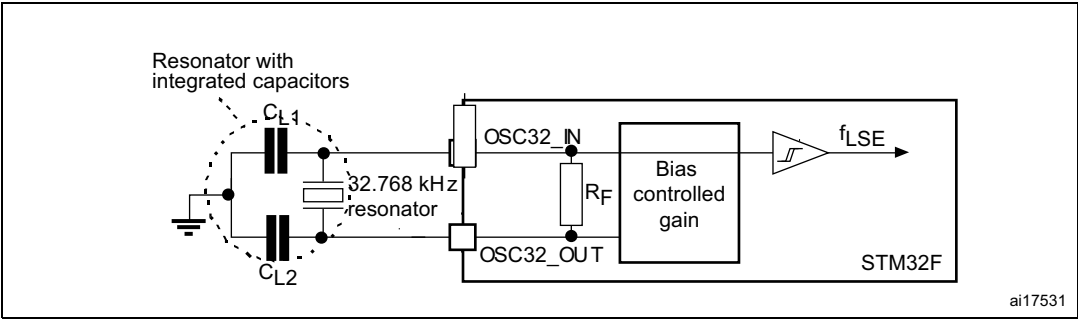
由设计规定。

2. 通过表征评估 - 未在生产环境中测试。 $t_{SU(LSE)}$ 是从系统启用（由软件触发）到达到稳定32.768 kHz振荡所需的时间。此值是针对标准晶体谐振器测量的，且会因晶体制造商的不同而有显著差异。

Note: For information on electing the crystal, refer to the application note AN2867 “Oscillator design guide for ST microcontrollers” available from the ST website www.st.com.

图33. 典型的32.768kHz晶体振荡器应用

塔尔



6.3.9 内部时钟源特性

给定的 Table 34 和 Table 35 参数来源于在环境温度和 VDD 电源电压条件下进行的测试，这些条件汇总于 Table 14。

高速内部(HSI) RC振荡器

表34. HSI振荡器特性 (1)

Symbol	Parameter	Conditions	Min	Typ	Max	Unit
f_{HSI}	Frequency	-	-	16	-	MHz
ACC_{HSI}	HSI user trimming step ⁽²⁾	-	-	-	1	%
	Accuracy of the HSI oscillator	$T_A = -40 \text{ to } 105 \text{ }^\circ\text{C}^{(3)}$	-8	-	4.5	%
		$T_A = -10 \text{ to } 85 \text{ }^\circ\text{C}^{(3)}$	-4	-	4	%
		$T_A = 25 \text{ }^\circ\text{C}^{(4)}$	-1	-	1	%
$t_{\text{su(HSI)}}^{(2)}$	HSI oscillator startup time	-	-	2.2	4	μs
$I_{\text{DD(HSI)}}^{(2)}$	HSI oscillator power consumption	-	-	60	80	μA

1. VDD = 3.3 V, PLL关闭, $T_A = -40$ 至 $125 \text{ }^\circ\text{C}$, 除非另有说明。

2. 设计规定。

评估方式为表征测试, 未在生产环境中进行验证。

4. 工厂校准, 未焊接部件。

低速内部(LSI) RC振荡器

表35. LSI振荡器特性 (1)

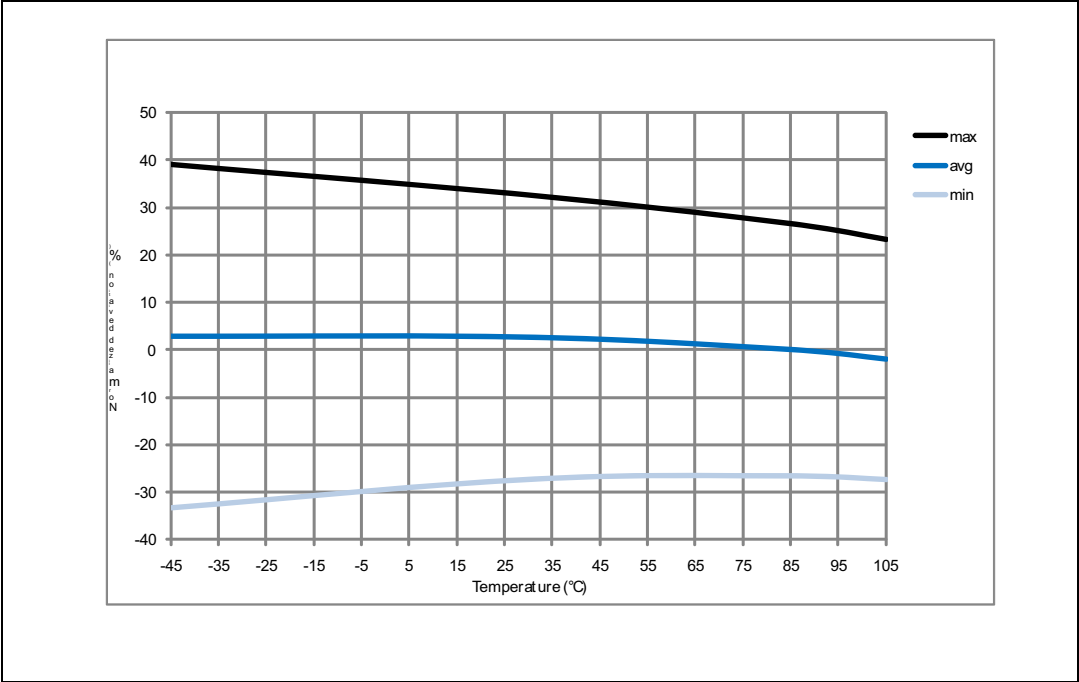
Symbol	Parameter	Min	Typ	Max	Unit
$f_{\text{LSI}}^{(2)}$	Frequency	17	32	47	kHz
$t_{\text{su(LSI)}}^{(3)}$	LSI oscillator startup time	-	15	40	μs
$I_{\text{DD(LSI)}}^{(3)}$	LSI oscillator power consumption	-	0.4	0.6	μA

1. VDD = 3 V, $T_A = -40$ 至 $105 \text{ }^\circ\text{C}$, 否则另有规定。

2. 通过表征评估 - 未在生产环境中测试。

3. 设计规定。

图34. ACCLSI与温度



6.3.10 PLL特性

在Table 36和Table 37中给出的参数源自在Table 14总结的温度和VDD电源电压条件下的测试。

MS19013V1

表36. 主PLL特性

Symbol	Parameter	Conditions	Min	Typ	Max	Unit
f _{PLL_IN}	PLL input clock ⁽¹⁾	-	0.95 ⁽²⁾	1	2.10	MHz
f _{PLL_OUT}	PLL multiplier output clock	-	24	-	168	MHz
f _{PLL48_OUT}	48 MHz PLL multiplier output clock	-	-	48	75	MHz
f _{VCO_OUT}	PLL VCO output	-	100	-	432	MHz
t _{LOCK}	PLL lock time	VCO freq = 100 MHz	75	-	200	μs
		VCO freq = 432 MHz	100	-	300	

表36. 主要PLL特性 (续表)

Symbol	Parameter	Conditions		Min	Typ	Max	Unit
Jitter ⁽³⁾	Cycle-to-cycle jitter	System clock 120 MHz	RMS	-	25	-	ps
			peak to peak	-	±150	-	
	Period Jitter		RMS	-	15	-	
			peak to peak	-	±200	-	
	Main clock output (MCO) for RMII Ethernet	Cycle to cycle at 50 MHz on 1000 samples	-	32	-		
	Main clock output (MCO) for MII Ethernet	Cycle to cycle at 25 MHz on 1000 samples	-	40	-		
	Bit Time CAN jitter	Cycle to cycle at 1 MHz on 1000 samples	-	330	-		
I _{DD(PLL)} ⁽⁴⁾	PLL power consumption on VDD	VCO freq = 100 MHz VCO freq = 432 MHz	0.15 0.45	-	0.40 0.75	mA	
I _{DDA(PLL)} ⁽⁴⁾	PLL power consumption on VDDA	VCO freq = 100 MHz VCO freq = 432 MHz	0.30 0.55	-	0.40 0.85	mA	

1. 使用合适的除法因子M来获得指定的PLL输入时钟值。M因子在PLL和PLLI2S之间共享。 2. 由设计指定。 3. 使用两个并联的PLL可能会将抖动降低至+30%。 4. 通过特性表征评估——未经生产测试。

表37. PLLI2S (音频PLL) 特性

Symbol	Parameter	Conditions	Min	Typ	Max	Unit
f _{PLLI2S_IN}	PLLI2S input clock ⁽¹⁾	-	0.95 ⁽²⁾	1	2.10	MHz
f _{PLLI2S_OUT}	PLLI2S multiplier output clock	-	-	-	216	MHz
f _{VCO_OUT}	PLLI2S VCO output	-	100	-	432	MHz
t _{LOCK}	PLLI2S lock time	VCO freq = 100 MHz	75	-	200	μs
		VCO freq = 432 MHz	100	-	300	
Jitter ⁽³⁾	Master I ² S clock jitter	Cycle to cycle at 12.288 MHz on 48KHz period, N=432, R=5	RMS	-	90	-
			peak to peak	-	±280	-
		Average frequency of 12.288 MHz N = 432, R = 5 on 1000 samples	-	90	-	ps
	WS I ² S clock jitter	Cycle to cycle at 48 KHz on 1000 samples	-	400	-	ps

表37. PLLI2S（音频锁相环）特性（续）

Symbol	Parameter	Conditions	Min	Typ	Max	Unit
$I_{DD(PLLI2S)}^{(4)}$	PLLI2S power consumption on V_{DD}	VCO freq = 100 MHz VCO freq = 432 MHz	0.15 0.45	-	0.40 0.75	mA
$I_{DDA(PLLI2S)}^{(4)}$	PLLI2S power consumption on V_{DDA}	VCO freq = 100 MHz VCO freq = 432 MHz	0.30 0.55	-	0.40 0.85	mA

1. 使用合适的除法因子M来确保指定的PLL输入时钟值。 2. 由设计指定。 3. 主PLL运行时给出的值。
4. 通过特性表征评估——生产测试不包含此项目。

6.3.11 锁相环扩频时钟生成（SSCG）特性

扩频时钟生成（SSCG）功能可减少电磁干扰（见 *Table 44: EMI characteristics for fHSE = 25 MHz and fCPU = 168 MHz*）。该功能仅在主锁相环上可用。

表38. SSCG参数约束

Symbol	Parameter	Min	Typ	Max ⁽¹⁾	Unit
f_{Mod}	Modulation frequency	-	-	10	KHz
md	Peak modulation depth	0.25	-	2	%
MODEPER * INCSTEP	-	-	-	$2^{15}-1$	-

由设计规定。

方程 1

调制周期（MODEPER）由以下公式给出：

$$MODEPER = \text{round}[f_{PLL_IN} / (4 \times f_{Mod})]$$

f_{PLL_IN} 和 f_{Mod} 必须以赫兹(Hz)表示。

例如：

若 f_{PLL_IN} = 为1 MHz，且 f_{MOD} = 为1 kHz，则调制深度（MODEPER）由公式1给出：

$$MODEPER = \text{round}[10^6 / (4 \times 10^3)] = 250$$

方程 2

方程式2允许计算增量步长(INCSTEP)：

$$INCSTEP = \text{round}[(2^{15} - 1) \times md \times PLLN] / (100 \times 5 \times MODEPER)$$

f_{VCO_OUT} 必须以MHz为单位表示。

模块化 张力深度 (md) = $\pm 2\%$ (4%峰峰值), 以及PLLN = 240 (兆赫兹):

$$\text{INCSTEP} = \text{round}[(2^{15} - 1) \times 2 \times 240] / (100 \times 5 \times 250) = 126 \text{md(quantitized)\%}$$

由于线性调制曲线是通过取MODEPER和INCSTEP的量化值(四舍五入取整)获得的, 可能会产生幅度量化误差。因此, 实际达到的调制深度被量化了。量化后的调制深度百分比由以下公式给出:

$$\text{md}_{\text{quantized}}\% = (\text{MODEPER} \times \text{INCSTEP} \times 100 \times 5) / ((2^{15} - 1) \times \text{PLLN})$$

因此:

$$\text{md}_{\text{quantized}}\% = (250 \times 126 \times 100 \times 5) / ((2^{15} - 1) \times 240) = 2.002\%(\text{peak})$$

Figure 35以及Figure 36展示了中心展频和降频展频模式下的主要PLL输出时钟波形, 其中:

F0 是 fPLL_OUT 的标称值。Tmode 是调制周期。md 是调制深度。

图35. 中心扩展模式下的PLL输出时钟波形

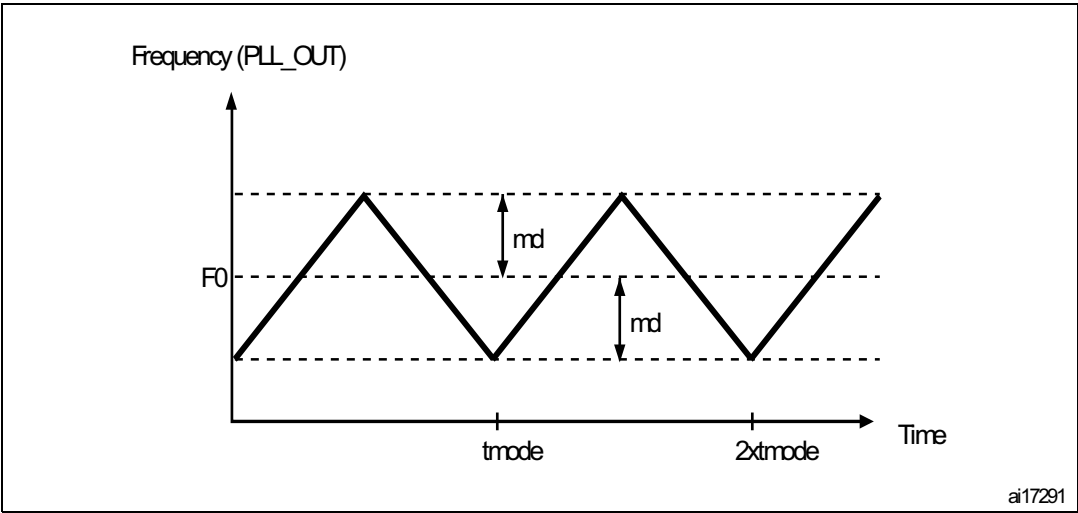
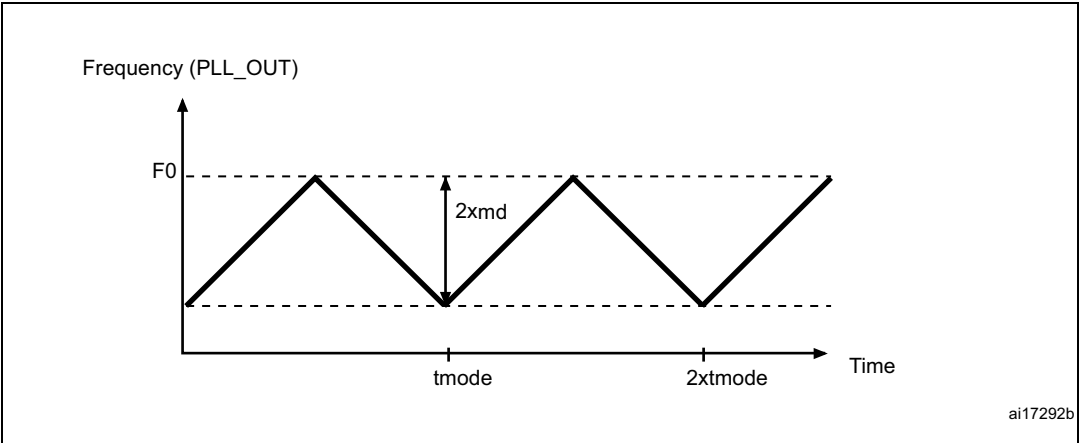


图36. 下拉分散状态下的PLL输出时钟波形

d 众数



6.3.12 内存特性

闪存

特性参数在TA {v*} -40至105 °C范围内给出，除非另有说明。

设备出厂时闪存已擦除。

表39. 闪存特性

Symbol	Parameter	Conditions	Min	Typ	Max	Unit
I _{DD}	Supply current	Write / Erase 8-bit mode, V _{DD} = 1.8 V	-	5	-	mA
		Write / Erase 16-bit mode, V _{DD} = 2.1 V	-	8	-	
		Write / Erase 32-bit mode, V _{DD} = 3.3 V	-	12	-	

表40. 闪存烧录

Symbol	Parameter	Conditions	Min ⁽¹⁾	Typ	Max ⁽¹⁾	Unit
t _{prog}	Word programming time	Program/erase parallelism (PSIZE) = x 8/16/32	-	16	100 ⁽²⁾	μs
t _{ERASE16KB}	Sector (16 KB) erase time	Program/erase parallelism (PSIZE) = x 8	-	400	800	ms
		Program/erase parallelism (PSIZE) = x 16	-	300	600	
		Program/erase parallelism (PSIZE) = x 32	-	250	500	
t _{ERASE64KB}	Sector (64 KB) erase time	Program/erase parallelism (PSIZE) = x 8	-	1200	2400	ms
		Program/erase parallelism (PSIZE) = x 16	-	700	1400	
		Program/erase parallelism (PSIZE) = x 32	-	550	1100	

表40. 闪存编程（续）

Symbol	Parameter	Conditions	Min ⁽¹⁾	Typ	Max ⁽¹⁾	Unit
t _{ERASE128KB}	Sector (128 KB) erase time	Program/erase parallelism (PSIZE) = x 8	-	2	4	s
		Program/erase parallelism (PSIZE) = x 16	-	1.3	2.6	
		Program/erase parallelism (PSIZE) = x 32	-	1	2	
t _{ME}	Mass erase time	Program/erase parallelism (PSIZE) = x 8	-	16	32	s
		Program/erase parallelism (PSIZE) = x 16	-	11	22	
		Program/erase parallelism (PSIZE) = x 32	-	8	16	
V _{prog}	Programming voltage	32-bit program operation	2.7	-	3.6	V
		16-bit program operation	2.1	-	3.6	V
		8-bit program operation	1.8	-	3.6	V

1. 通过特性分析评估 - 未在生产环境中测试。 2. 最大编程时间是在经过100K次擦除操作后测量的。

表41. 使用VPP对闪存进行编程

Symbol	Parameter	Conditions	Min ⁽¹⁾	Typ	Max ⁽¹⁾	Unit
t _{prog}	Double word programming	T _A = 0 to +40 °C V _{DD} = 3.3 V V _{PP} = 8.5 V	-	16	100 ⁽²⁾	μs
t _{ERASE16KB}	Sector (16 KB) erase time		-	230	-	ms
t _{ERASE64KB}	Sector (64 KB) erase time		-	490	-	
t _{ERASE128KB}	Sector (128 KB) erase time		-	875	-	
t _{ME}	Mass erase time		-	6.9	-	s
V _{prog}	Programming voltage	-	2.7	-	3.6	V
V _{PP}	V _{PP} voltage range	-	7	-	9	V
I _{PP}	Minimum current sunk on the V _{PP} pin	-	10	-	-	mA
t _{VPP} ⁽³⁾	Cumulative time during which V _{PP} is applied	-	-	-	1	hour

由设计规定。

2. 最大编程时间是在100K次擦除操作后测量的。

3. VPP仅在编程/擦除期间连接。

表42. 闪存耐久性与数据保持性

Symbol	Parameter	Conditions	Value	Unit
			Min ⁽¹⁾	
N _{END}	Endurance	T _A = -40 to +85 °C (6 suffix versions) T _A = -40 to +105 °C (7 suffix versions)	10	kcycles
t _{RET}	Data retention	1 kcycle ⁽²⁾ at T _A = 85 °C	30	Years
		1 kcycle ⁽²⁾ at T _A = 105 °C	10	
		10 kcycles ⁽²⁾ at T _A = 55 °C	20	

1. 通过表征分析评估——未在生产环境中测试。

在整个温度范围内进行循环测试。

6.3.13 电磁兼容性特性

易感性测试在设备表征过程中基于样本进行。

功能性电磁兼容性(电磁敏感度)

当设备上运行简单应用程序（通过I/O端口切换2个LED状态）时，设备会受到两个电磁事件的应力，直到发生故障。故障通过LED指示如下：

- 静电放电（ESD）（正负极性）被施加到所有设备引脚上，直至出现功能紊乱。此测试符合IEC 61000-4-2标准。
- FTB：通过一个100 pF电容器向VDD和VSS施加快速瞬变脉冲电压（正负极性），直至出现功能紊乱。此测试符合IEC 61000-4-4标准。

设备复位允许恢复正常操作。
测试结果见 **Table 43**。这些结果基于应用笔记AN1709中定义的EMS等级和类别。

表43. EMS特性

Symbol	Parameter	Conditions	Level/Class
V_{FESD}	Voltage limits to be applied on any I/O pin to induce a functional disturbance	$V_{DD} = 3.3\text{ V}$, LQFP176, $T_A = +25\text{ }^{\circ}\text{C}$, $f_{HCLK} = 168\text{ MHz}$, conforms to IEC 61000-4-2	2B
V_{EFTB}	Fast transient voltage burst limits to be applied through 100 pF on V_{DD} and V_{SS} pins to induce a functional disturbance	$V_{DD} = 3.3\text{ V}$, LQFP176, $T_A = +25\text{ }^{\circ}\text{C}$, $f_{HCLK} = 168\text{ MHz}$, conforms to IEC 61000-4-2	4A

设计加固软件以避免干扰问题

EMC特性和优化在组件层面进行，采用典型的{v*}应用环境和简化的MCU软件。值得注意的是，良好的EMC性能高度依赖于用户的应用环境，尤其是软件。

因此，建议用户针对其应用所需的EMC等级应用EMC软件优化和预合格测试。

软件推荐

软件流程图必须包括失控条件的处理，例如：

- 损坏的程序计数器
- 意外复位
- 关键数据损坏（控制寄存器...）

预资格测试

大多数常见故障（意外复位和程序计数器损坏）可以通过手动将NRST引脚或振荡器引脚强制为低电平1秒左右来重现。

为了完成这些测试，可以在设备上直接施加ESD应力，应力范围需覆盖规范值。当检测到异常行为时，软件将被加固以防止不可恢复的错误发生（参见应用笔记AN1015）。

电磁干扰 (EMI) 注：根据用户要求式符号 {v*} 保持不变，仅翻译了文本部分。
设备在运行一个简单的应用程序并执行EEMBC代码时，其发出的电磁场正在被监测。此辐射测试符合SAE IEC61967-2标准，该标准规定了测试板和引脚负载。

表44. $f_{HSE} = 25 \text{ MHz}$ 和 $f_{CPU} = 168 \text{ MHz}$ 的电磁干扰特性

Symbol	Parameter	Conditions	Monitored frequency band	Value	Unit	
S _{EMI}	Peak ⁽¹⁾	V _{DD} = 3.3 V, T _A = 25 °C, LQFP176 package, conforming to SAE J1752/3 EEMBC, code running from flash memory with ART accelerator enabled	0.1 to 30 MHz	32	dBμV	
			30 to 130 MHz	25		
			130 MHz to 1GHz	29		
	Level ⁽²⁾			0.1 MHz to 2 GHz	4	-
	Peak ⁽¹⁾	V _{DD} = 3.3 V, T _A = 25 °C, LQFP176 package, conforming to SAE J1752/3 EEMBC, code running from flash memory with ART accelerator and PLL spread spectrum enabled	0.1 to 30 MHz	19	dBμV	
			30 to 130 MHz	16		
			130 MHz to 1GHz	18		
	Level ⁽²⁾			0.1 MHz to 2 GHz	3.5	-

1. 参考AN1709文档的“EMI辐射测试”章节。 2. 参考AN1709文档的“EMI等级分类”章节。

6.3.14 绝对最大额定值（电气敏感性）

超过Table 11: *Voltage characteristics*、Table 12: *Current characteristics*和Table 13: *Thermal characteristics*中列出的绝对最大额定值的应力可能导致器件永久性损坏。这些仅为应力评级，不表示器件在这些条件下的功能操作。长时间处于最大额定值条件下可能会影响器件的可靠性。器件的任务配置文件（应用条件）符合JEDEC JESD47认证标准，可根据要求提供扩展任务配置文件。

静电放电(ESD)

静电放电（先一个正脉冲，后一个负脉冲，间隔1秒）根据每个引脚组合施加于每个样品的引脚上。样品尺寸取决于器件中供电引脚的数量（3部分 \times （n+1）供电引脚）。此测试符合JESD22-A114/C101标准。

表45. ESD绝对最大额定值

Symbol	Ratings	Conditions	Class	Maximum value ⁽¹⁾	Unit
$V_{ESD(HBM)}$	Electrostatic discharge voltage (human body model)	$T_A = +25 \text{ }^\circ\text{C}$ conforming to JESD22-A114	2	2000 ⁽²⁾	V
$V_{ESD(CDM)}$	Electrostatic discharge voltage (charge device model)	$T_A = +25 \text{ }^\circ\text{C}$ conforming to ANSI/ESD STM5.3.1	II	500	

1. 通过表征分析评估——未在生产环境中测试。

2. 在VBAT引脚上，VESD(HBM)限制为1000 V。

静态闩锁效应

需要对六个项目进行两个互补的静态测试，以评估闩锁效应性能：

- 一个电源过压被施加到每个电源引脚上。
- 对每个输入、输出和可配置的I/O引脚施加电流注入。

这些测试符合EIA/JESD 78A IC闩锁标准。

表46. 电气灵敏度

Symbol	Parameter	Conditions	Class
LU	Static latch-up class	T _A = +105 °C conforming to JESD78A	II level A

6.3.15 输入/输出电流注入特性

一般规则是，在正常产品操作期间，应避免向I/O引脚注入电流，原因是外部电压可能低于VS或高于VDD（适用于标准3V兼容I/O引脚）。然而，为了在异常注入意外发生的情况下指示微控制器的鲁棒性，会在器件表征过程中对样本进行易感性测试。

功能性易感性至I/O电流注入

当简单应用程序在设备上运行时，通过向配置为浮空输入模式的I/O引脚注入电流，对设备施加压力。在每次向I/O引脚注入电流时，都会检查设备是否出现功能性故障。

故障由以下参数超出范围引起：ADC误差超过特定限制（>5 LSB TUE）、相邻引脚感应漏电流超出常规范围（超出μ5 +0 μA范围），或其他功能性故障（例如复位、振荡器频率偏差）。

负注入引起的负向感应漏电流，正注入引起的正向感应漏电流。

测试结果提供在 *Table 47*。



表47. I/O电流注入易感性

Symbol	Description	Functional susceptibility		Unit
		Negative injection	Positive injection	
$I_{INJ}^{(1)}$	Injected current on BOOT0 pin	- 0	NA	mA
	Injected current on NRST pin	- 0	NA	
	Injected current on PE2, PE3, PE4, PE5, PE6, PI8, PC13, PC14, PC15, PI9, PI10, PI11, PF0, PF1, PF2, PF3, PF4, PF5, PF10, PH0/OSC_IN, PH1/OSC_OUT, PC0, PC1, PC2, PC3, PB6, PB7, PB8, PB9, PE0, PE1, PI4, PI5, PI6, PI7, PDR_ON, BYPASS_REG	- 0	NA	
	Injected current on all FT pins	- 5	NA	
	Injected current on any other pin	- 5	+5	

建议在可能注入负电流的模拟引脚上添加一个肖特基二极管（引脚接地）。

6.3.16 输入/输出端口特性

通用输入/输出特性

除非另有说明，Table 48中给出的参数源自在Table 14所述条件下进行的测试。所有输入/输出均兼容CMOS和TTL电平。

Note: For information on GPIO configuration, refer to application note AN4899 “STM32 GPIO configuration for hardware settings and low-power consumption” available from the ST website www.st.com.

表48. 输入/输出静态特性

Symbol	Parameter	Conditions	Min	Typ	Max	Unit
V _{IL}	FT, TTa and NRST I/O input low level voltage	1.7 V ≤V _{DD} ≤3.6 V	-	-	0.3V _{DD} -0.04 ⁽¹⁾	V
			-	-	0.3V _{DD} ⁽²⁾	
	BOOT0 I/O input low level voltage	1.75 V ≤V _{DD} ≤3.6 V -40 °C≤T _A ≤105 °C	-	-	0.1V _{DD} +0.1 ⁽¹⁾	
		1.7 V ≤V _{DD} ≤3.6 V 0 °C≤T _A ≤105 °C	-	-		
V _{IH}	FT, TTa and NRST I/O input low level voltage	1.7 V ≤V _{DD} ≤3.6 V	0.45V _{DD} +0.3 ⁽¹⁾	-	-	
			0.7V _{DD} ⁽²⁾	-	-	
	BOOT0 I/O input low level voltage	1.75 V ≤V _{DD} ≤3.6 V -40 °C≤T _A ≤105 °C	0.17V _{DD} +0.7 ⁽¹⁾	-	-	
		1.7 V ≤V _{DD} ≤3.6 V 0 °C≤T _A ≤105 °C		-	-	

表48. I/O静态特性 (续)

Symbol	Parameter		Conditions	Min	Typ	Max	Unit
V _{HYS}	FT, TTA and NRST I/O input hysteresis		1.7 V ≤V _{DD} ≤3.6 V	10%V _{DD} ⁽³⁾	-	-	V
	BOOT0 I/O input hysteresis		1.75 V ≤V _{DD} ≤3.6 V -40 °C≤T _A ≤105 °C	0.1	-	-	
			1.7 V ≤V _{DD} ≤3.6 V 0 °C≤T _A ≤105 °C				
I _{lkg}	I/O input leakage current ⁽⁴⁾		V _{SS} ≤V _{IN} ≤V _{DD}	-	-	±1	μA
	I/O FT input leakage current ⁽⁵⁾		V _{IN} = 5 V	-	-	3	
R _{PU}	Weak pull-up equivalent resistor ⁽⁶⁾	All pins except for PA10 and PB12 (OTG_FS_ID, OTG_HS_ID)	V _{IN} = V _{SS}	30	40	50	kΩ
		PA10 and PB12 (OTG_FS_ID, OTG_HS_ID)	-	7	10	14	
R _{PD}	Weak pull-down equivalent resistor ⁽⁷⁾	All pins except for PA10 and PB12	V _{IN} = V _{DD}	30	40	50	
		PA10 and PB12	-	7	10	14	
C _{IO} ⁽⁸⁾	I/O pin capacitance	-	-	-	5	-	pF

1. 设计指定。 2. 生产环境测试。

最小值为200毫伏。

4. 如果在相邻引脚上注入负电流，漏电流可能会高于最大值。参见 *Table 47: I/O current injection susceptibility*

5. 为维持高于VDD + 0.3 V的电压，必须禁用内部上拉/下拉电阻。如果在相邻引脚上注入负电流，漏电流可能高于最大值。参见 *Table 47: I/O current injection susceptibility*。

6. 上拉和下拉电阻设计中，与可切换PMOS串联的是真正电阻。该PMOS对串联电阻的贡献极小（~数量级10%）。

7. 上拉和下拉电阻设计为与可切换NMOS串联的真实电阻。该NMOS对串联电阻的贡献极小（~数量级10%）。

8. 施密特触发器开关电平之间的滞回电压。通过特性表征评估——生产中未进行测试。

All I/Os are CMOS and TTL compliant (no software configuration required). Their characteristics cover more than the strict CMOS-technology or TTL parameters.

输出驱动电流

GPIO（通用输入/输出）可以吸收或提供高达±8 mA的电流，也可以吸收或提供高达±20 mA的电流（VOL/VOH条件较为宽松），但PC13、PC14和PC15这三个引脚除外，它们最多可以吸收或提供±3 mA的电流。当使用PC13至PC15的GPIO作为输出模式时，其速度不应超过2 MHz，并且最大负载电容为30 pF。

在用户应用中，能够驱动电流的I/O引脚数量必须限制，以符合Section 6.2中规定的绝对最大额定值。特别需要注意的是：

- 所有I/O在VDD上的电流总和，加上MCU在VDD上的最大运行功耗，不得超过绝对最大额定值。
IVDD（参见Table 12）。
- 所有I/O流入VSS的电流总和加上MCU在VSS上的最大运行功耗流入电流，不得超过绝对最大额定值IVSS（见Table 12）。

输出电压电平

除非另有说明，Table 49中给出的参数源自环境温度VDD电源电压条件下进行的测试，这些条件总结在Table 14中。所有I/O均兼容CMOS和TTL标准。

表49. 输出电压特性(1)

Symbol	Parameter	Conditions	Min	Max	Unit
$V_{OL}^{(2)}$	Output low level voltage	CMOS port $I_{IO} = +8 \text{ mA}$ $2.7 \text{ V} < V_{DD} < 3.6 \text{ V}$	-	0.4	V
$V_{OH}^{(3)}$	Output high level voltage		$V_{DD}-0.4$	-	
$V_{OL}^{(2)}$	Output low level voltage	TTL port $I_{IO} = +8 \text{ mA}$ $2.7 \text{ V} < V_{DD} < 3.6 \text{ V}$	-	0.4	V
$V_{OH}^{(3)}$	Output high level voltage		2.4	-	
$V_{OL}^{(2)(4)}$	Output low level voltage	$I_{IO} = +20 \text{ mA}$ $2.7 \text{ V} < V_{DD} < 3.6 \text{ V}$	-	1.3	V
$V_{OH}^{(3)(4)}$	Output high level voltage		$V_{DD}-1.3$	-	
$V_{OL}^{(2)(4)}$	Output low level voltage	$I_{IO} = +6 \text{ mA}$ $2 \text{ V} < V_{DD} < 2.7 \text{ V}$	-	0.4	V
$V_{OH}^{(3)(4)}$	Output high level voltage		$V_{DD}-0.4$	-	

1. PC13、PC14、PC15 和 PI8 通过电源开关供电。由于该开关仅能吸收有限的电流（3 mA），在输出模式下使用 GPIO PC13 到 PC15 和 PI8 受到限制：最大负载为 30 pF 时，工作速度不应超过 2 MHz，并且这些 I/O 不能用作电流源（例如，不能用于驱动 LED）。

2. 设备吸收的IIO电流必须始终遵守Table 12中规定的绝对最大额定值，且IIO（I/O端口和控制引脚）的总和不得超过IVSS。

3. 设备提供的IIO电流必须始终遵守Table 12中规定的绝对最大额定值，且所有IIO（包括I/O端口和控制引脚）的总和不得超过IVDD。

4. 通过表征评估 - 未在生产环境中测试。

输入/输出交流特性

输入/输出交流特性的定义和数值分别在 *Figure 37* 和 *Table 50* 中给出。

除非另有说明，*Table 50*中给出的参数源自在*Table 14*总结的环境温度和VDD电源电压条件下的测试。

表50. I/O交流特性(1)(2)

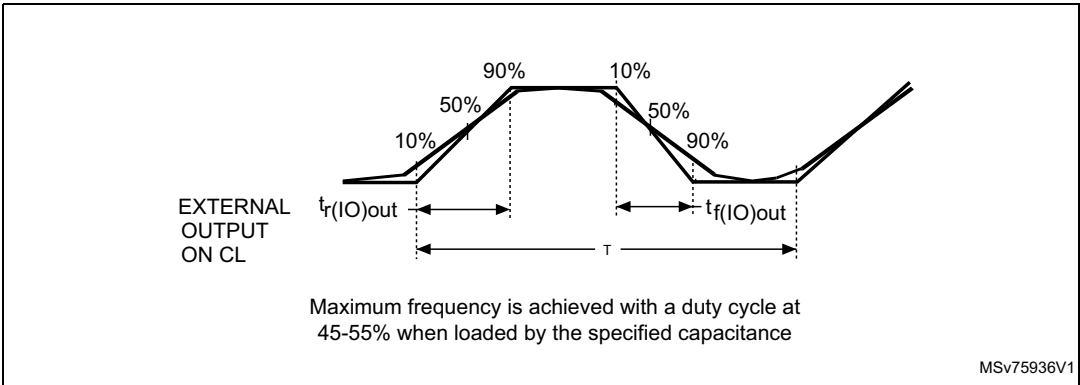
OSPEEDRy [1:0] bit value ⁽¹⁾	Symbol	Parameter	Conditions	Min	Typ	Max	Unit
00	$f_{\max(\text{IO})\text{out}}$	Maximum frequency ⁽³⁾	$C_L = 50 \text{ pF}, V_{DD} > 2.70 \text{ V}$	-	-	4	MHz
			$C_L = 50 \text{ pF}, V_{DD} > 1.8 \text{ V}$	-	-	2	
			$C_L = 10 \text{ pF}, V_{DD} > 2.70 \text{ V}$	-	-	8	
			$C_L = 10 \text{ pF}, V_{DD} > 1.8 \text{ V}$	-	-	4	
	$t_{f(\text{IO})\text{out}}/$ $t_{r(\text{IO})\text{out}}$	Output high to low level fall time and output low to high level rise time	$C_L = 50 \text{ pF}, V_{DD} = 1.8 \text{ V to } 3.6 \text{ V}$	-	-	100	ns
01	$f_{\max(\text{IO})\text{out}}$	Maximum frequency ⁽³⁾	$C_L = 50 \text{ pF}, V_{DD} > 2.70 \text{ V}$	-	-	25	MHz
			$C_L = 50 \text{ pF}, V_{DD} > 1.8 \text{ V}$	-	-	12.5	
			$C_L = 10 \text{ pF}, V_{DD} > 2.70 \text{ V}$	-	-	50 ⁽⁴⁾	
			$C_L = 10 \text{ pF}, V_{DD} > 1.8 \text{ V}$	-	-	20	
	$t_{f(\text{IO})\text{out}}/$ $t_{r(\text{IO})\text{out}}$	Output high to low level fall time and output low to high level rise time	$C_L = 50 \text{ pF}, V_{DD} > 2.7 \text{ V}$	-	-	10	ns
			$C_L = 50 \text{ pF}, V_{DD} > 1.8 \text{ V}$	-	-	20	
			$C_L = 10 \text{ pF}, V_{DD} > 2.70 \text{ V}$	-	-	6	
			$C_L = 10 \text{ pF}, V_{DD} > 1.8 \text{ V}$	-	-	10	
10	$f_{\max(\text{IO})\text{out}}$	Maximum frequency ⁽³⁾	$C_L = 40 \text{ pF}, V_{DD} > 2.70 \text{ V}$	-	-	50 ⁽⁴⁾	MHz
			$C_L = 40 \text{ pF}, V_{DD} > 1.8 \text{ V}$	-	-	25	
			$C_L = 10 \text{ pF}, V_{DD} > 2.70 \text{ V}$	-	-	100 ⁽⁴⁾	
			$C_L = 10 \text{ pF}, V_{DD} > 1.8 \text{ V}$	-	-	50 ⁽⁴⁾	
	$t_{f(\text{IO})\text{out}}/$ $t_{r(\text{IO})\text{out}}$	Output high to low level fall time and output low to high level rise time	$C_L = 40 \text{ pF}, V_{DD} > 2.70 \text{ V}$	-	-	6	ns
			$C_L = 40 \text{ pF}, V_{DD} > 1.8 \text{ V}$	-	-	10	
			$C_L = 10 \text{ pF}, V_{DD} > 2.70 \text{ V}$	-	-	4	
			$C_L = 10 \text{ pF}, V_{DD} > 1.8 \text{ V}$	-	-	6	

表50. I/O交流特性(1)(2) (续) {v*}

OSPEEDRy [1:0] bit value ⁽¹⁾	Symbol	Parameter	Conditions	Min	Typ	Max	Unit
11	$F_{\max(\text{IO})\text{out}}$	Maximum frequency ⁽³⁾	$C_L = 30\text{ pF}, V_{DD} > 2.70\text{ V}$	-	-	100 ⁽⁴⁾	MHz
			$C_L = 30\text{ pF}, V_{DD} > 1.8\text{ V}$	-	-	50 ⁽⁴⁾	
			$C_L = 10\text{ pF}, V_{DD} > 2.70\text{ V}$	-	-	180 ⁽⁴⁾	
			$C_L = 10\text{ pF}, V_{DD} > 1.8\text{ V}$	-	-	100 ⁽⁴⁾	
	$t_{f(\text{IO})\text{out}}/$ $t_{r(\text{IO})\text{out}}$	Output high to low level fall time and output low to high level rise time	$C_L = 30\text{ pF}, V_{DD} > 2.70\text{ V}$	-	-	4	ns
			$C_L = 30\text{ pF}, V_{DD} > 1.8\text{ V}$	-	-	6	
			$C_L = 10\text{ pF}, V_{DD} > 2.70\text{ V}$	-	-	2.5	
			$C_L = 10\text{ pF}, V_{DD} > 1.8\text{ V}$	-	-	4	
-	t_{EXTIpw}	Pulse width of external signals detected by the EXTI controller	-	10	-	-	ns

1. 通过特性分析评估 - 未在生产环境中测试。 2. I/O速度通过OSPEEDR[1:0]位进行配置。有关GPIOx_SPEEDR GPIO端口输出速度寄存器的描述，请参阅STM32F4xx参考手册。 3. 最大频率在Figure 37中定义。 4. 对于超过50 MHz的最大频率，应使用补偿单元。

图37. 输入/输出交流特性定义



6.3.17 NRST引脚特性

NRST引脚输入驱动器采用CMOS技术。它连接到一个永久上拉电阻RPU（参见Table 48）。

除非另有说明，Table 51中给出的参数来源于在Table 14总结的环境温度和VDD供电电压条件下的测试。

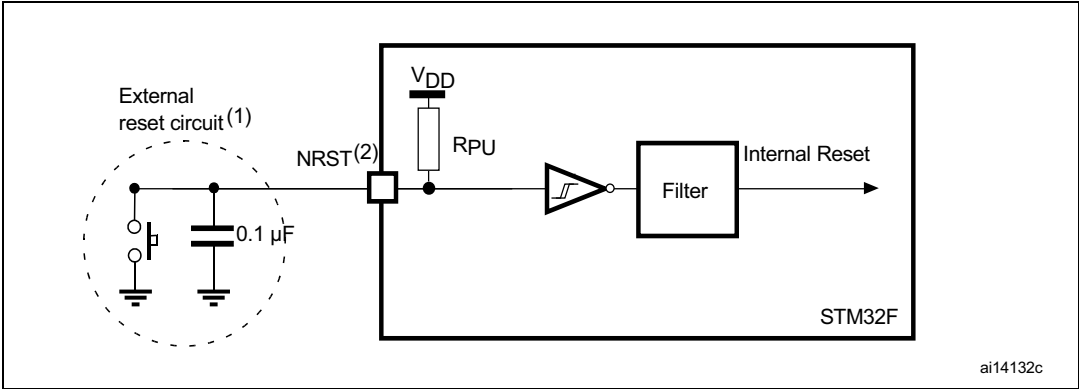
表51. NRST引脚特性

Symbol	Parameter	Conditions	Min	Typ	Max	Unit
$V_{IL(NRST)}^{(1)}$	NRST Input low level voltage	TTL ports $2.7\text{ V} \leq V_{DD} \leq 3.6\text{ V}$	-	-	0.8	V
$V_{IH(NRST)}^{(1)}$	NRST Input high level voltage		2	-	-	
$V_{IL(NRST)}^{(1)}$	NRST Input low level voltage	CMOS ports $1.8\text{ V} \leq V_{DD} \leq 3.6\text{ V}$	-	-	$0.3V_{DD}$	
$V_{IH(NRST)}^{(1)}$	NRST Input high level voltage		$0.7V_{DD}$	-	-	
$V_{hys(NRST)}$	NRST Schmitt trigger voltage hysteresis	-	-	200	-	mV
R_{PU}	Weak pull-up equivalent resistor ⁽²⁾	$V_{IN} = V_{SS}$	30	40	50	k Ω
$V_{F(NRST)}^{(1)}$	NRST Input filtered pulse	-	-	-	100	ns
$V_{NF(NRST)}^{(1)}$	NRST Input not filtered pulse	$V_{DD} > 2.7\text{ V}$	300	-	-	ns
T_{NRST_OUT}	Generated reset pulse duration	Internal Reset source	20	-	-	μs

由设计规定。

2. 上拉设计中串联了一个真实电阻和一个可切换的PMOS。该PMOS对串联电阻的贡献必须最小（~数量级10%以下）。

图38. 推荐的NRST引脚保护



1. 复位网络防止设备发生寄生复位。 2. 用户必须确保NRST引脚的电平能够低于Table 51中指定的 $V_{IL(NRST)}$ 最大值，否则设备不会执行复位操作。

6.3.18 TIM定时器特性

在Table 52和Table 53中给出的参数由设计规定。

请参阅Section 6.3.16: *I/O port characteristics* 了解输入/输出备用功能特性（输出比较、输入捕获、外部时钟、PWM输出）的详细信息。

表52. 连接到APB1域的TIMx特性(1)

Symbol	Parameter	Conditions	Min	Max	Unit
$t_{res(TIM)}$	Timer resolution time	AHB/APB1 prescaler distinct from 1, $f_{TIMxCLK} = 84\text{ MHz}$	1	-	$t_{TIMxCLK}$
			11.9	-	ns
		AHB/APB1 prescaler = 1, $f_{TIMxCLK} = 42\text{ MHz}$	1	-	$t_{TIMxCLK}$
			23.8	-	ns
f_{EXT}	Timer external clock frequency on CH1 to CH4	$f_{TIMxCLK} = 84\text{ MHz}$ APB1= 42 MHz	0	$f_{TIMxCLK}/2$	MHz
	0		42	MHz	
Res_{TIM}	Timer resolution		-	16/32	bit
$t_{COUNTER}$	16-bit counter clock period when internal clock is selected		1	65536	$t_{TIMxCLK}$
			0.0119	780	μs
	32-bit counter clock period when internal clock is selected		1	-	$t_{TIMxCLK}$
			0.0119	51130563	μs
t_{MAX_COUNT}	Maximum possible count		-	65536×65536	$t_{TIMxCLK}$
			-	51.1	s

1. TIMx作为TIM2、TIM3、TIM4、TIM5、TIM6、TIM7和TIM12定时器的通用名称。

53. 连接到APB2的TIMx特性

域(1)

Symbol	Parameter	Conditions	Min	Max	Unit
$t_{\text{res(TIM)}}$	Timer resolution time	AHB/APB2 prescaler distinct from 1, $f_{\text{TIMxCLK}} = 168 \text{ MHz}$	1	-	t_{TIMxCLK}
			5.95	-	ns
		AHB/APB2 prescaler = 1, $f_{\text{TIMxCLK}} = 84 \text{ MHz}$	1	-	t_{TIMxCLK}
			11.9	-	ns
f_{EXT}	Timer external clock frequency on CH1 to CH4	$f_{\text{TIMxCLK}} = 168 \text{ MHz}$ APB2 = 84 MHz	0	$f_{\text{TIMxCLK}}/2$	MHz
			0	84	MHz
Res_{TIM}	Timer resolution		-	16	bit
t_{COUNTER}	16-bit counter clock period when internal clock is selected		1	65536	t_{TIMxCLK}
$t_{\text{MAX_COUNT}}$	Maximum possible count		-	32768	t_{TIMxCLK}

1. TIMx 用作通用名称，指 TIM1、TIM8、TIM9、TIM10 和 TIM11 定时器。

6.3.19 通信接口

I²C接口特性

I2C接口满足I2C总线规范及用户手册第03版中的时序要求：

- 标准模式（Sm）：比特率高达100 kbit/s
- 快速模式（Fm）：比特率高达400 kbit/s。

I2C时序要求在I2C外设正确配置时由设计规定（参见RM0090参考手册）。

SDA和SCL I/O需求在以下限制条件下得到满足：SDA和SCL I/O引脚并非真正的开漏结构。当配置为开漏模式时，连接在I/O引脚与VDD之间的PMOS晶体管虽被禁用，但依然存在。关于I2C I/O特性的更多详情，请参阅Section 6.3.16: I/O port characteristics。

所有I2C SDA和SCL I/O均集成了模拟滤波器。模拟滤波器特性请参见下表：

表 {v*} 表54. I2C模拟滤波器特性(1)

Symbol	Parameter	Min	Max	Unit
t_{AF}	Maximum pulse width of spikes that are suppressed by the analog filter	50 ⁽²⁾	260 ⁽³⁾	ns

由设计规定。

低于 $t_{\text{AF(min)}}$ 宽度的尖峰会被过滤。

3. 宽度超过 $t_{\text{AF(max)}}$ 的尖峰不会被滤除

SPI接口特性

除非另有说明，SPI接口中给出的Table 55参数源自在Table 14汇总的环境温度、fPCLKx频率和VDD供电电压条件下进行的测试，其配置如下：

- 输出速度设置为OSPEEDRy[1:0] = 10
- 电容性负载 C = 30 皮法
- 测量点在CMOS电平下进行：0.5 VDD

如需了解输入/输出复用功能特性（NSS、SCK、MOSI、MISO）的更多详情，请参阅Section 6.3.16: I/O port characteristics。

表55. SPI动态特性(1)

Symbol	Parameter	Conditions	Min	Typ	Max	Unit
f _{SCK}	SPI clock frequency	Master mode, SPI1, 2.7V < V _{DD} < 3.6V	-	-	42	MHz
		Slave mode, SPI1, 2.7V < V _{DD} < 3.6V			42	
1/t _{c(SCK)}		Master mode, SPI1/2/3, 1.7V < V _{DD} < 3.6V	-	-	21	
		Slave mode, SPI1/2/3, 1.7V < V _{DD} < 3.6V			21	
Duty(SCK)	Duty cycle of SPI clock frequency	Slave mode	30	50	70	%

表55. SPI动态特性(1) (续)

Symbol	Parameter	Conditions	Min	Typ	Max	Unit
$t_{w(SCKH)}$	SCK high and low time	Master mode, SPI presc = 2, $2.7V < V_{DD} < 3.6V$	$T_{PCLK}-0.5$	T_{PCLK}	$T_{PCLK}+0.5$	ns
$t_{w(SCKL)}$		Master mode, SPI presc = 2, $1.7V < V_{DD} < 3.6V$	$T_{PCLK}-2$	T_{PCLK}	$T_{PCLK}+2$	
$t_{su(NSS)}$	NSS setup time	Slave mode, SPI presc = 2	$4 \times T_{PCLK}$	-	-	
$t_{h(NSS)}$	NSS hold time	Slave mode, SPI presc = 2	$2 \times T_{PCLK}$	-	-	
$t_{su(MI)}$	Data input setup time	Master mode	6.5	-	-	
$t_{su(SI)}$		Slave mode	2.5	-	-	
$t_{h(MI)}$	Data input hold time	Master mode	2.5	-	-	
$t_{h(SI)}$		Slave mode	4	-	-	
$t_{a(SO)}^{(2)}$	Data output access time	Slave mode, SPI presc = 2	0	-	$4 \times T_{PCLK}$	
$t_{dis(SO)}^{(3)}$	Data output disable time	Slave mode, SPI1, $2.7V < V_{DD} < 3.6V$	0	-	7.5	
		Slave mode, SPI1/2/3 $1.7V < V_{DD} < 3.6V$	0	-	16.5	
$t_{v(SO)}$ $t_{h(SO)}$	Data output valid/hold time	Slave mode (after enable edge), SPI1, $2.7V < V_{DD} < 3.6V$	-	11	13	
		Slave mode (after enable edge), SPI2/3, $2.7V < V_{DD} < 3.6V$	-	12	16.5	
		Slave mode (after enable edge), SPI1, $1.7V < V_{DD} < 3.6V$	-	15.5	19	
		Slave mode (after enable edge), SPI2/3, $1.7V < V_{DD} < 3.6V$	-	18	20.5	
$t_{v(MO)}$	Data output valid time	Master mode (after enable edge), SPI1, $2.7V < V_{DD} < 3.6V$	-	-	2.5	
		Master mode (after enable edge), SPI1/2/3, $1.7V < V_{DD} < 3.6V$	-	-	4.5	
$t_{h(MO)}$	Data output hold time	Master mode (after enable edge)	0	-	-	

1. 通过表征评估 - 未在量产中测试。 2. 最短时间用于驱动输出的最短时间，最长时间用于验证数据的最大时间。 3. 最短时间用于使输出失效的最短时间，最长时间用于将数据置于高阻抗状态的最大时间。

图39. SPI时序图 - 从模式与CP

HA = 0

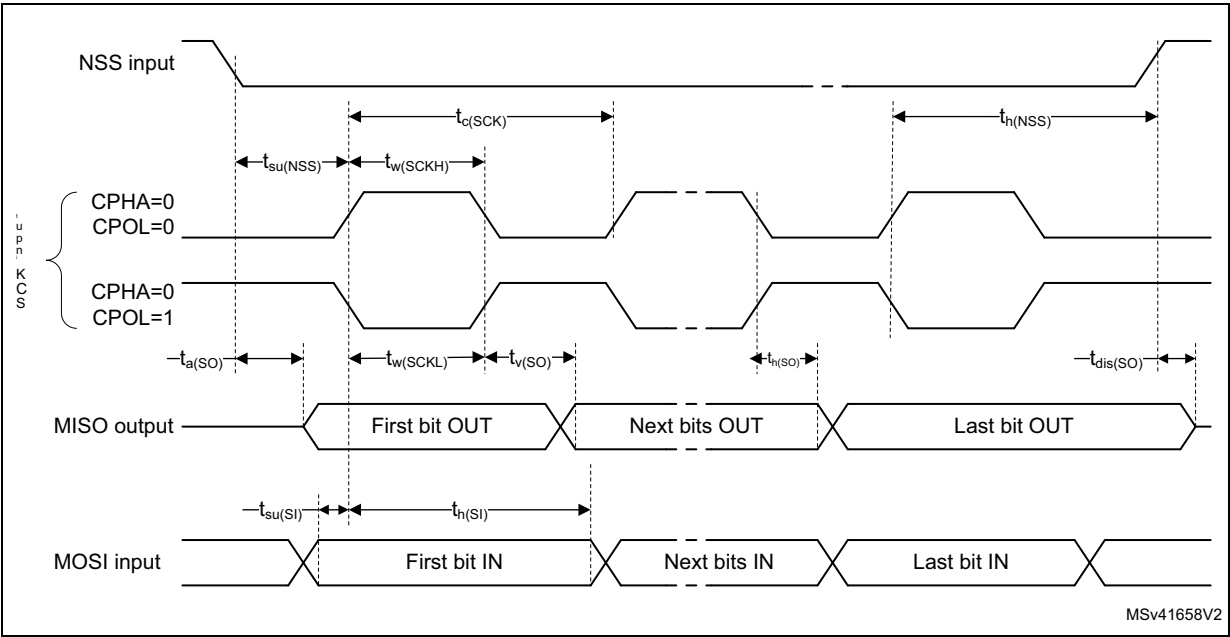


图40. SPI时序图 - 从模式和CPHA = 1

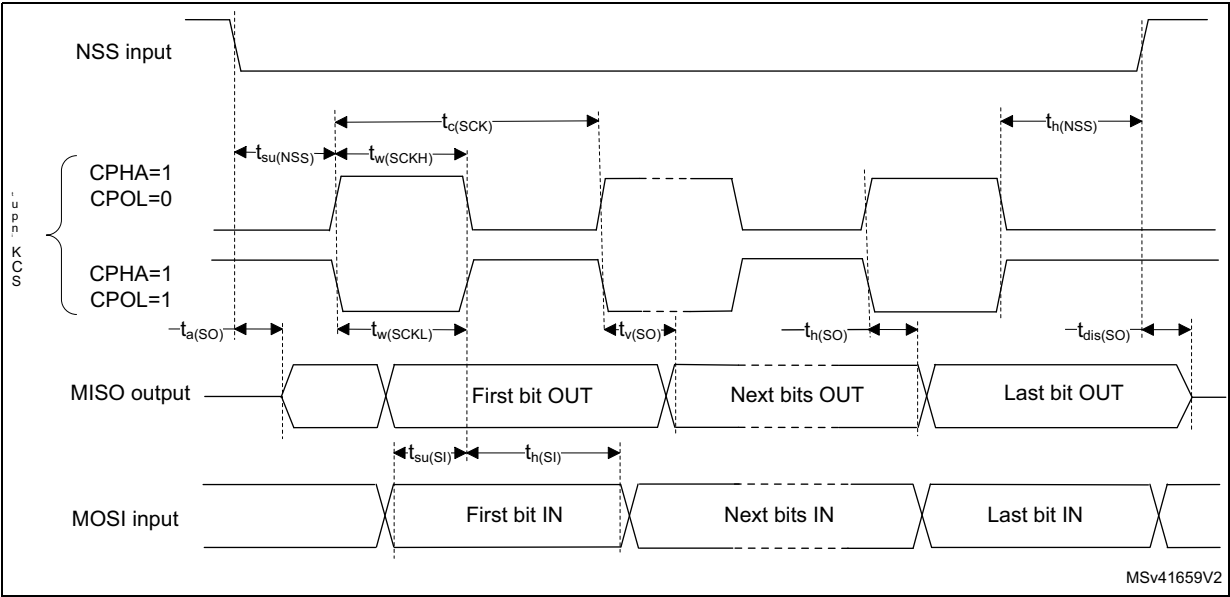
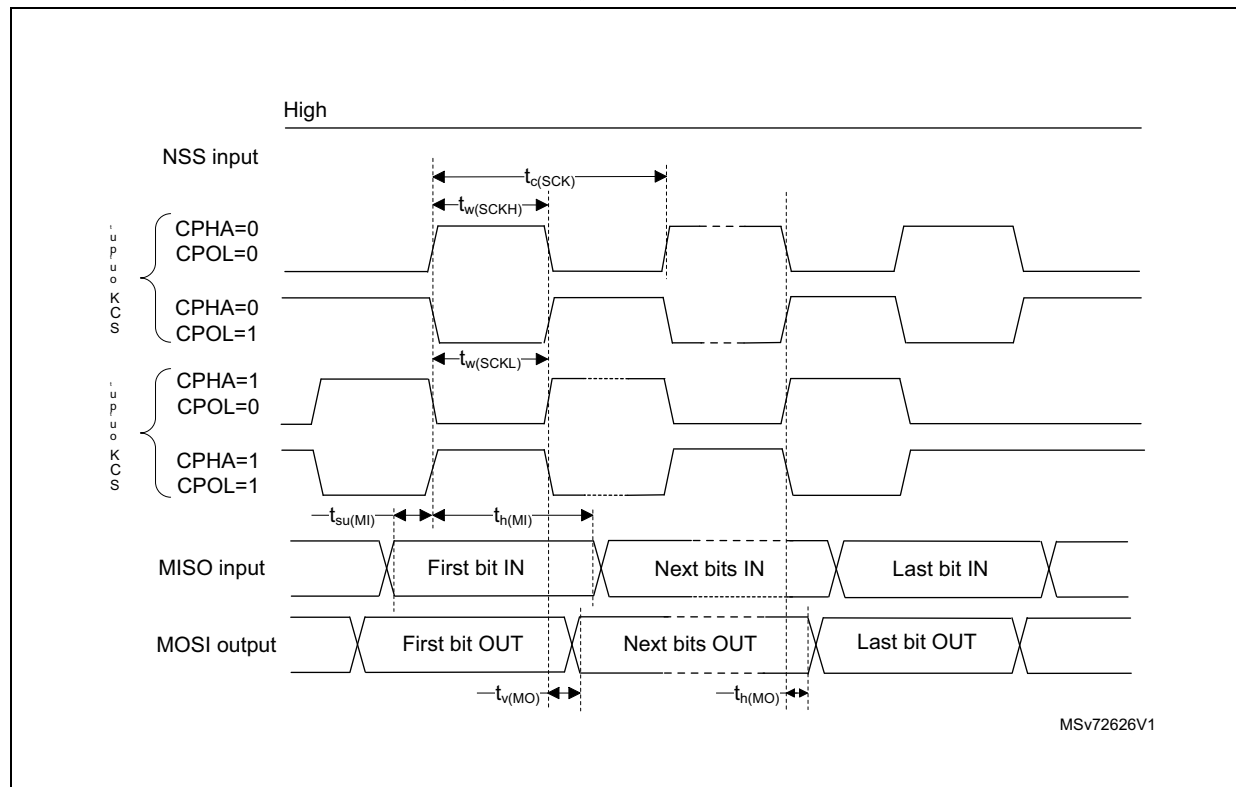


图41. SPI时序图 - 主模式



I2S接口特性

除非另有说明，i2s接口中给出的 **Table 56** 参数源自在 **Table 14** 中总结的环境温度、fPCLKx 频率和VDD电源电压条件下的测试，配置如下：

- 输出速度设置为OSPEEDRy[1:0] = 10
- 电容性负载 C = 30 皮法
- 测量点在CMOS电平下进行：0.5 VDD

参阅 **Section 6.3.16: I/O port characteristics** 以了解输入/输出交替功能特性（CK、SD、WS）的详情。

Note:

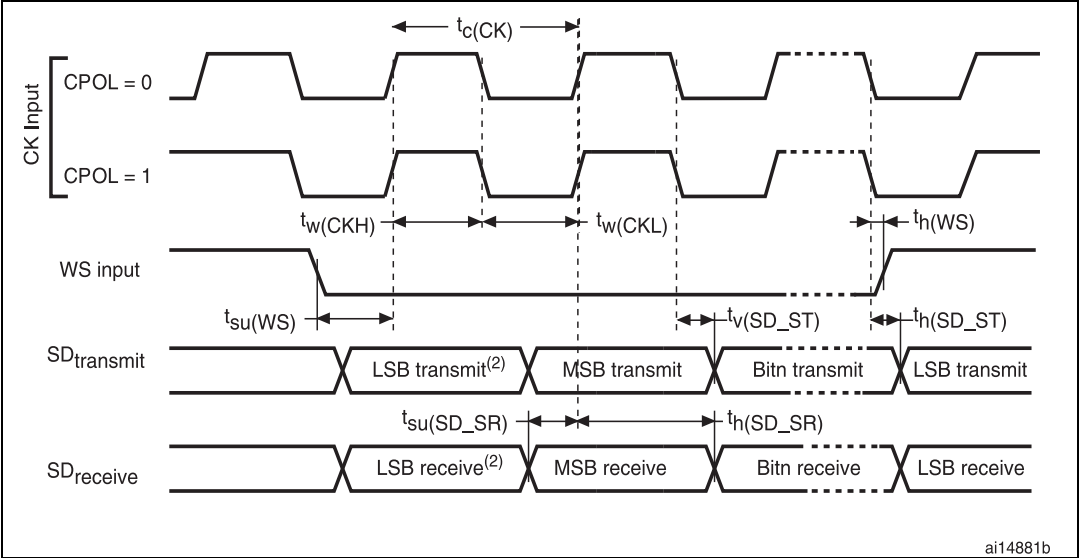
表56. I2S动态特性(1)

Symbol	Parameter	Conditions	Min	Max	Unit
f _{MCK}	I ² S main clock output	-	256 x 8K	256 x F _S ⁽²⁾	MHz
f _{CK}	I ² S clock frequency	Master data: 32 bits	-	64 x F _S	MHz
		Slave data: 32 bits	-	64 x F _S	
D _{CK}	I ² S clock frequency duty cycle	Slave receiver	30	70	%
t _{V(WS)}	WS valid time	Master mode	0	6	ns
t _{H(WS)}	WS hold time	Master mode	0	-	
t _{SU(WS)}	WS setup time	Slave mode	1	-	
t _{H(WS)}	WS hold time	Slave mode	0	-	
t _{SU(SD_MR)}	Data input setup time	Master receiver	7.5	-	
t _{SU(SD_SR)}		Slave receiver	2	-	
t _{H(SD_MR)}	Data input hold time	Master receiver	0	-	
t _{H(SD_SR)}		Slave receiver	0	-	
t _{V(SD_ST)}	Data output valid time	Slave transmitter (after enable edge)	-	27	
t _{H(SD_ST)}		Master transmitter (after enable edge)	-	20	
t _{V(SD_MT)}	Data output hold time	Master transmitter (after enable edge)	2.5	-	
t _{H(SD_MT)}		Master transmitter (after enable edge)	2.5	-	

1. 通过表征评估 - 未在生产环境中测试。 2. 256 x F_S 的最大值为 42 MHz（A PB1 最大频率）。

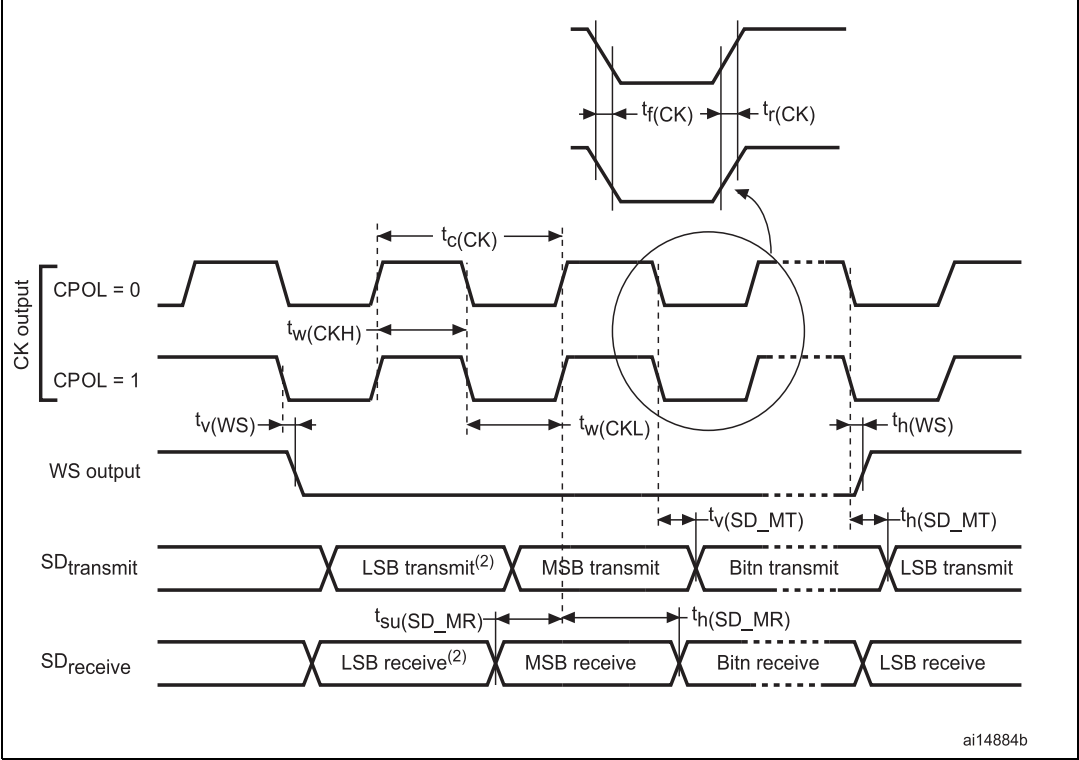
Refer to the I²S section of RM0090 reference manual for more details on the sampling frequency (F_S). f_{MCK}, f_{CK}, and D_{CK} values reflect only the digital peripheral behavior. The value of these parameters might be slightly impacted by the source clock accuracy. D_{CK} depends mainly on the value of ODD bit. The digital contribution leads to a minimum value of I2SDIV / (2 x I2SDIV + ODD) and a maximum value of (I2SDIV + ODD) / (2 x I2SDIV + ODD). F_S maximum value is supported for each mode/condition.

图42 I2S从设备时序图（飞利浦协议）



1. 对先前传输字节的最低有效位（LSB）进行传输/接收。在第一个字节之前不会发送任何最低有效位（LSB）传输/接收。

Figure 43. I²S master timing diagram (Philips protocol)⁽¹⁾



1. 通过特性分析评估 - 未在生产环境中测试。 2. LSB发送/接收先前传输的字节。在第一个字节之前不会发送任何LSB发送/接收。

USB OTG FS特性

此接口存在于USB OTG高速控制器和USB OTG全速控制器中。

表57. USB OTG FS启动时间

Symbol	Parameter	Max	Unit
$t_{\text{STARTUP}}^{(1)}$	USB OTG FS transceiver startup time	1	μs

由设计规定。

表58. USB OTG FS直流电气特性

Symbol		Parameter	Conditions	Min. ⁽¹⁾	Typ.	Max. ⁽¹⁾	Unit
Input levels	V _{DD}	USB OTG FS operating voltage	-	3.0 ⁽²⁾	-	3.6	V
	V _{DI} ⁽³⁾	Differential input sensitivity	I(USB_FS_DP/DM, USB_HS_DP/DM)	0.2	-	-	V
	V _{CM} ⁽³⁾	Differential common mode range	Includes V _{DI} range	0.8	-	2.5	
	V _{SE} ⁽³⁾	Single ended receiver threshold	-	1.3	-	2.0	
Output levels	V _{OL}	Static output level low	R _L of 1.5 kΩ to 3.6 V ⁽⁴⁾	-	-	0.3	V
	V _{OH}	Static output level high	R _L of 15 kΩ to V _{SS} ⁽⁴⁾	2.8	-	3.6	
R _{PD}		PA11, PA12, PB14, PB15 (USB_FS_DP/DM, USB_HS_DP/DM)	V _{IN} = V _{DD}	17	21	24	kΩ
		PA9, PB13 (OTG_FS_VBUS, OTG_HS_VBUS)		0.65	1.1	2.0	
R _{PU}		PA12, PB15 (USB_FS_DP, USB_HS_DP)	V _{IN} = V _{SS}	1.5	1.8	2.1	
		PA9, PB13 (OTG_FS_VBUS, OTG_HS_VBUS)	V _{IN} = V _{SS}	0.25	0.37	0.55	

所有电压均以局部地电位为基准测量。

2. STM32F405xx 和 STM32F407xx 的 USB OTG FS 功能在 2.7V 下得到保证，但在 2.7V 至 3.0V 的 V_{DD} 电压范围内，其完整的 USB OTG FS 电气特性性能下降。

3. 设计规定。

4. R_{L} 是连接在 USB OTG FS 驱动器上的负载

图44. USB OTG FS时序：数据信号上升/下降时间定义

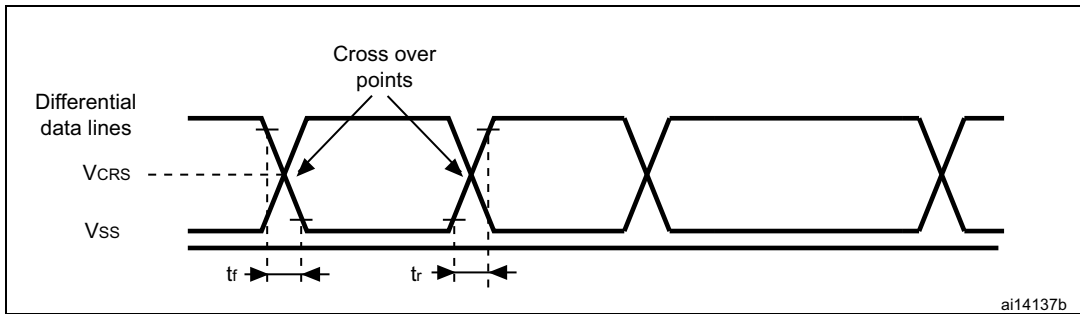


表59. USB OTG FS电气特性(1)

Driver characteristics					
Symbol	Parameter	Conditions	Min	Max	Unit
t_r	Rise time ⁽²⁾	$C_L = 50 \text{ pF}$	4	20	ns
t_f	Fall time ⁽²⁾	$C_L = 50 \text{ pF}$	4	20	ns
t_{rfm}	Rise/ fall time matching	t_r/t_f	90	110	%
V_{CRS}	Output signal crossover voltage	-	1.3	2.0	V

由设计规定。

2. 从数据信号的10%到90%进行测量。如需更详细的信息，请参阅USB规范-第7章（版本2.0）。

USB高速特性

除非另有说明，Table 62中给出的ULPI参数是在环境温度、Table 61中总结的fHCLK频率以及Table 60中总结的VDD电源电压条件下，根据以下配置得出的测试结果：

- 输出速度设置为OSPEEDRy[1:0] = 10
- 电容负载 $C = 30 \text{ pF}$
- 测量点在CMOS电平：0.5VDD。

参见Section 6.3.16: I/O port characteristics以了解输入/输出特性的更多详情。

表60. USB高速直流电气特性

Symbol	Parameter	Min. ⁽¹⁾	Max. ⁽¹⁾	Unit
Input level V_{DD}	USB OTG HS operating voltage	2.7	3.6	V

所有电压均以局部地电位为基准测量。

表61. USB高速时钟定时参数(1)

Parameter	Symbol	Min	Nominal	Max	Unit
f_{HCLK} value to guarantee proper operation of USB HS interface	-	30	-	-	MHz
Frequency (first transition)	8-bit $\pm 10\%$ F_{START_8BIT}	54	60	66	MHz

表61. USB高速时钟定时参数(1)

Parameter		Symbol	Min	Nominal	Max	Unit
Frequency (steady state) ±500 ppm		F _{STEADY}	59.97	60	60.03	MHz
Duty cycle (first transition)	8-bit ±10%	D _{START_8BIT}	40	50	60	%
Duty cycle (steady state) ±500 ppm		D _{STEADY}	49.975	50	50.025	%
Time to reach the steady state frequency and duty cycle after the first transition		T _{STEADY}	-	-	1.4	ms
Clock startup time after the de-assertion of SuspendM	Peripheral	T _{START_DEV}	-	-	5.6	ms
	Host	T _{START_HOST}	-	-	-	
PHY preparation time after the first transition of the input clock		T _{PREP}	-	-	-	μs

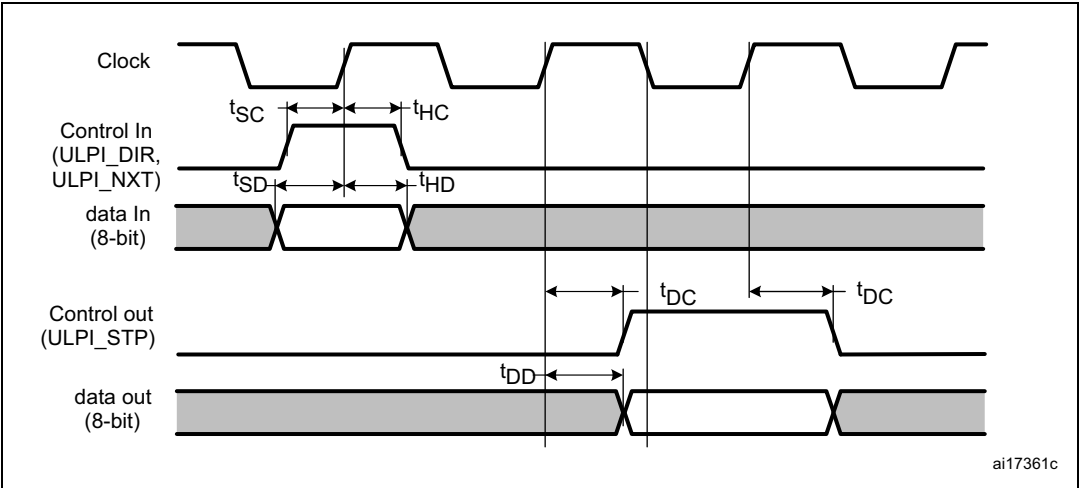
由设计规定。

表62. ULPI时序

Parameter	Symbol	Value ⁽¹⁾		Unit
		Min.	Max.	
Control in (ULPI_DIR) setup time	t _{SC}	-	2.0	ns
Control in (ULPI_NXT) setup time		-	1.5	
Control in (ULPI_DIR, ULPI_NXT) hold time	t _{HC}	0	-	
Data in setup time	t _{SD}	-	2.0	
Data in hold time	t _{HD}	0	-	
Control out (ULPI_STP) setup time and hold time	t _{DC}	-	9.2	
Data out available from clock rising edge	t _{DD}	-	10.7	

1. VDD = 2.7 V至3.6 V，且TA = -40至85 °C。

图45. ULPI时序图



以太网特性

除非另有说明，SMI、RMII和MII接口的Table 64、Table 65和Table 66参数来源于在环境温度、Table 14汇总的fHCLK频率以及Table 63汇总的VDD电源电压条件下的测试，其配置如下：

- 输出速度设置为OSPEEDRy[1:0] = 10
- 电容性负载 C = 30 皮法
- 测量点在CMOS电平：0.5VDD。

请参阅Section 6.3.16: I/O port characteristics，了解输入/输出特性的更多详情。

表63. 以太网直流电气特性

Symbol		Parameter	Min. ⁽¹⁾	Max. ⁽¹⁾	Unit
Input level	V _{DD}	Ethernet operating voltage	2.7	3.6	V

所有电压均以局部地电位为基准测量。

Table 64列出了SMI（站管理接口）的以太网MAC信号，而Figure 46展示了相应的时序图。

图46. 以太网SMI时序图

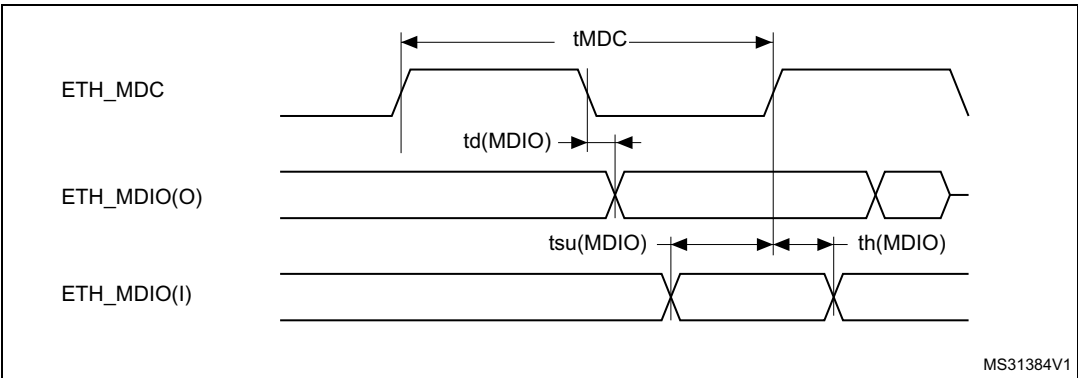


表64. 动态特性：SMI用的以太网MAC信号(1)

Symbol	Parameter	Min	Typ	Max	Unit
t_{MDC}	MDC cycle time(2.38 MHz)	411	420	425	ns
$T_d(MDIO)$	Write data valid time	6	10	13	
$t_{su(MDIO)}$	Read data setup time	12	-	-	
$t_{h(MDIO)}$	Read data hold time	0	-	-	

1. 通过表征分析评估——未在生产环境中测试。

Table 65给出了RMII的以太网MAC信号列表，而Figure 47展示了相应的时序图。

图47. 以太网RMII时序图

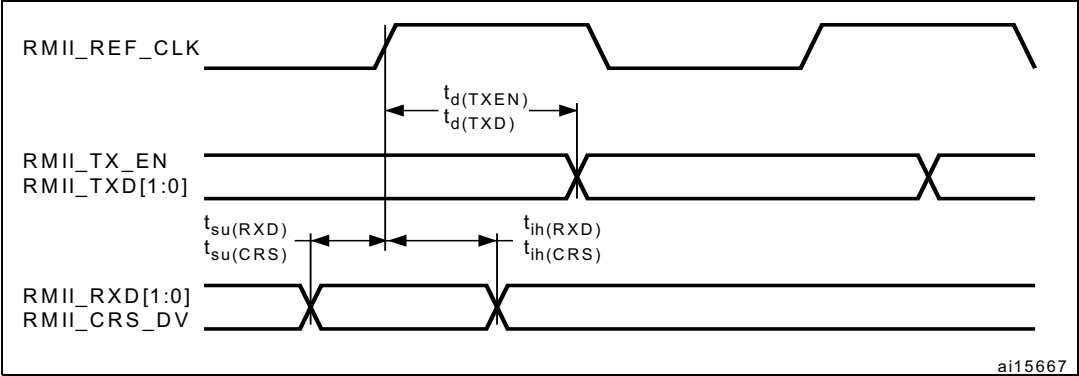
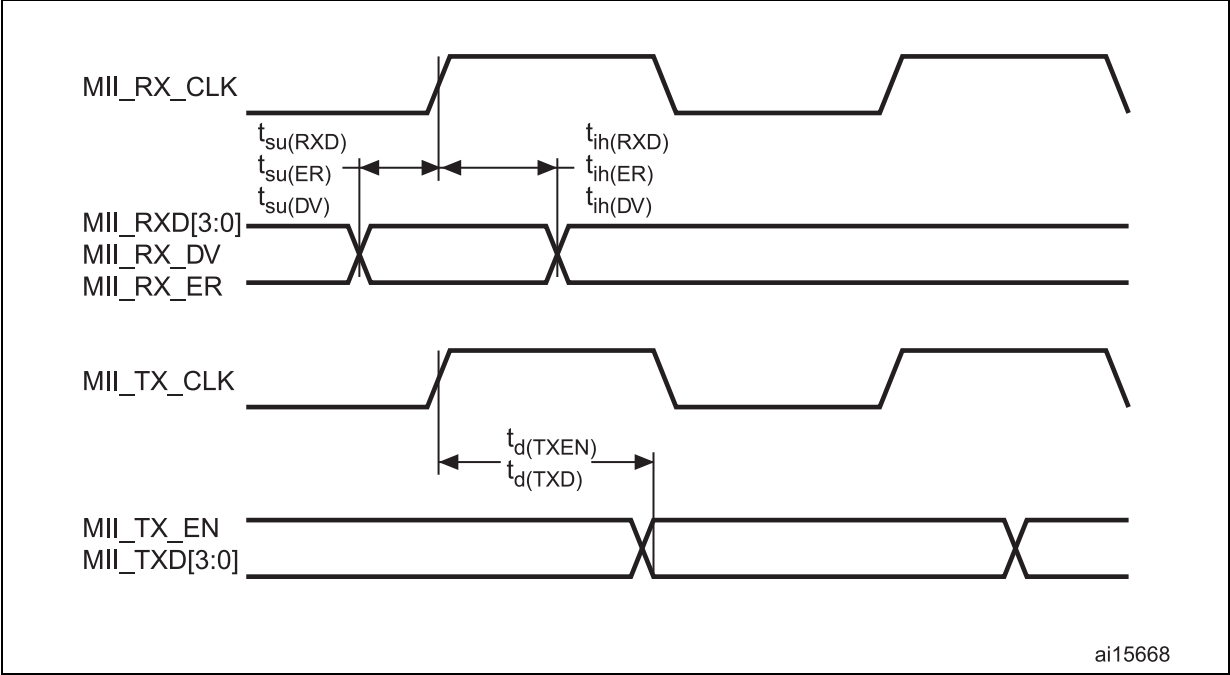


表6 5. 动态特性：以太网MAC信号 r RMII

Symbol	Rating	Min	Typ	Max	Unit
$t_{su}(RXD)$	Receive data setup time	2	-	-	ns
$t_{ih}(RXD)$	Receive data hold time	1	-	-	ns
$t_{su}(CRS)$	Carrier sense set-up time	0.5	-	-	ns
$t_{ih}(CRS)$	Carrier sense hold time	2	-	-	ns
$t_d(TXEN)$	Transmit enable valid delay time	8	9.5	11	ns
$t_d(TXD)$	Transmit data valid delay time	8.5	10	11.5	ns

Table 66给出以太网MAC信号列表，其中Figure 47展示了对应的时序图。

图48. 以太网MII时序图



e 66. 动态特性：以太网MAC信号

用于MII(1)的s

Symbol	Parameter	Min	Typ	Max	Unit
$t_{su}(RXD)$	Receive data setup time	9	-	-	ns
$t_{ih}(RXD)$	Receive data hold time	10	-	-	
$t_{su}(DV)$	Data valid setup time	9	-	-	
$t_{ih}(DV)$	Data valid hold time	8	-	-	
$t_{su}(ER)$	Error setup time	6	-	-	
$t_{ih}(ER)$	Error hold time	8	-	-	
$t_d(TXEN)$	Transmit enable valid delay time	0	10	14	
$t_d(TXD)$	Transmit data valid delay time	0	10	15	

1. 通过表征分析评估——未在生产环境中测试。

2020年6月CAN（控制器局域网）接口

如需了解输入/输出备用功能特性（CANTX 和 CANRX）的更多详情，请参阅
Section 6.3.16: I/O port characteristics.

6.3.21 12位ADC特性

除非另有说明，**Table 67**中给出的参数来源于在**Table 14**总结的环境温度、fPCLK2频率和VDDA电源电压条件下进行的测试。

表格 表67. ADC特性

Symbol	Parameter	Conditions	Min	Typ	Max	Unit
V_{DDA}	Power supply	-	1.8 ⁽¹⁾	-	3.6	V
V_{REF+}	Positive reference voltage	-	1.8 ⁽¹⁾⁽²⁾⁽³⁾	-	V_{DDA}	
V_{REF-}	Negative reference voltage	-	-	0	-	
f_{ADC}	ADC clock frequency	$V_{DDA} = 1.8^{(1)(3)}$ to 2.4 V	0.6	15	18	MHz
		$V_{DDA} = 2.4$ to 3.6 V ⁽³⁾	0.6	30	36	MHz
$f_{TRIG}^{(4)}$	External trigger frequency	$f_{ADC} = 30$ MHz, 12-bit resolution	-	-	1764	kHz
		-	-	-	17	1/ f_{ADC}
V_{AIN}	Conversion voltage range ⁽⁵⁾	-	0 (V_{SSA} or V_{REF-} tied to ground)	-	V_{REF+}	V
$R_{AIN}^{(4)}$	External input impedance	See <i>Equation 1</i> for details	-	-	50	kΩ
$R_{ADC}^{(4)(6)}$	Sampling switch resistance	-	-	-	6	kΩ
$C_{ADC}^{(4)}$	Internal sample and hold capacitor	-	-	4	-	pF

表67. ADC特性 (续)

Symbol	Parameter	Conditions	Min	Typ	Max	Unit
$t_{lat}^{(4)}$	Injection trigger conversion latency	$f_{ADC} = 30 \text{ MHz}$	-	-	0.100	μs
			-	-	$3^{(7)}$	$1/f_{ADC}$
$t_{latr}^{(4)}$	Regular trigger conversion latency	$f_{ADC} = 30 \text{ MHz}$	-	-	0.067	μs
			-	-	$2^{(7)}$	$1/f_{ADC}$
$t_S^{(4)}$	Sampling time	$f_{ADC} = 30 \text{ MHz}$	0.100	-	16	μs
		-	3	-	480	$1/f_{ADC}$
$t_{STAB}^{(4)}$	Power-up time	-	-	2	3	μs
$t_{CONV}^{(4)}$	Total conversion time (including sampling time)	$f_{ADC} = 30 \text{ MHz}$ 12-bit resolution	0.50	-	16.40	μs
		$f_{ADC} = 30 \text{ MHz}$ 10-bit resolution	0.43	-	16.34	μs
		$f_{ADC} = 30 \text{ MHz}$ 8-bit resolution	0.37	-	16.27	μs
		$f_{ADC} = 30 \text{ MHz}$ 6-bit resolution	0.30	-	16.20	μs
		9 to 492 (t_S for sampling +n-bit resolution for successive approximation)				$1/f_{ADC}$
$f_S^{(4)}$	Sampling rate ($f_{ADC} = 30 \text{ MHz}$, and $t_S = 3 \text{ ADC cycles}$)	12-bit resolution Single ADC	-	-	2	Msp/s
		12-bit resolution Interleave Dual ADC mode	-	-	3.75	Msp/s
		12-bit resolution Interleave Triple ADC mode	-	-	6	Msp/s
$I_{VREF+}^{(4)}$	ADC V_{REF} DC current consumption in conversion mode	-	-	300	500	μA
$I_{VDPA}^{(4)}$	ADC V_{DDA} DC current consumption in conversion mode	-	-	1.6	1.8	mA

1. 在器件工作于降额温度范围时，采用外部电源看门狗Section : *Internal reset OFF*，可获得1.7V的VDD/VDDA最小值。 2. 建议保持 V_{REF+} 与VDDA之间的电压差低于1.8V。 3. $V_{DDA} - V_{REF+} < 1.2 \text{ V}$ 。 4. 通过特性测试评估——生产中未进行测试。 5. V_{REF+} 内部连接至VDDA， V_{REF-} 内部连接至VSSA。 6. RADC的最大值对应VDD=1.8V，最小值对应VDD=3.3V。 7. 对于外部触发信号，需在Table 67中指定的延迟基础上增加1/ t_{PCLK2} 的延迟。

式1: 降雨量最大值公式

$$R_{AIN} = \frac{(k - 0.5)}{f_{ADC} \times C_{ADC} \times \ln(2^{N+2})} - R_{ADC}$$

上述公式(Equation 1)用于确定允许的最大外部阻抗，以确保误差低于1/4个LSB。N = 12（来自12位分辨率），其中k是ADC_SMPR1寄存器中定义的采样周期数。

表68. ADC精度在fADC = 30 MHz

Symbol	Parameter	Test conditions	Typ	Max ⁽¹⁾	Unit
ET	Total unadjusted error	f _{PCLK2} = 60 MHz, f _{ADC} = 30 MHz, R _{AIN} < 10 kΩ, V _{DDA} = 1.8 ⁽²⁾ to 3.6 V	±2	±5	LSB
EO	Offset error		±1.5	±2.5	
EG	Gain error		±1.5	±3	
ED	Differential linearity error		±1	±2	
EL	Integral linearity error		±1.5	±3	

1. 通过表征分析评估——未在生产环境中测试。

当设备在降级温度范围内运行并使用外部电源监控器时，可获得1.7V的VDD/VDDA最小值（参见Section : Internal reset OFF）。

Note: *ADC accuracy vs. negative injection current: injecting a negative current on any analog input pins should be avoided as this significantly reduces the accuracy of the conversion being performed on another analog input. It is recommended to add a Schottky diode (pin to ground) to analog pins which may potentially inject negative currents. Any positive injection current within the limits specified for I_{INJ(PIN)} and S_{IINJ(PIN)} in Section 6.3.16 does not affect the ADC accuracy.*

图49. ADC精度特性

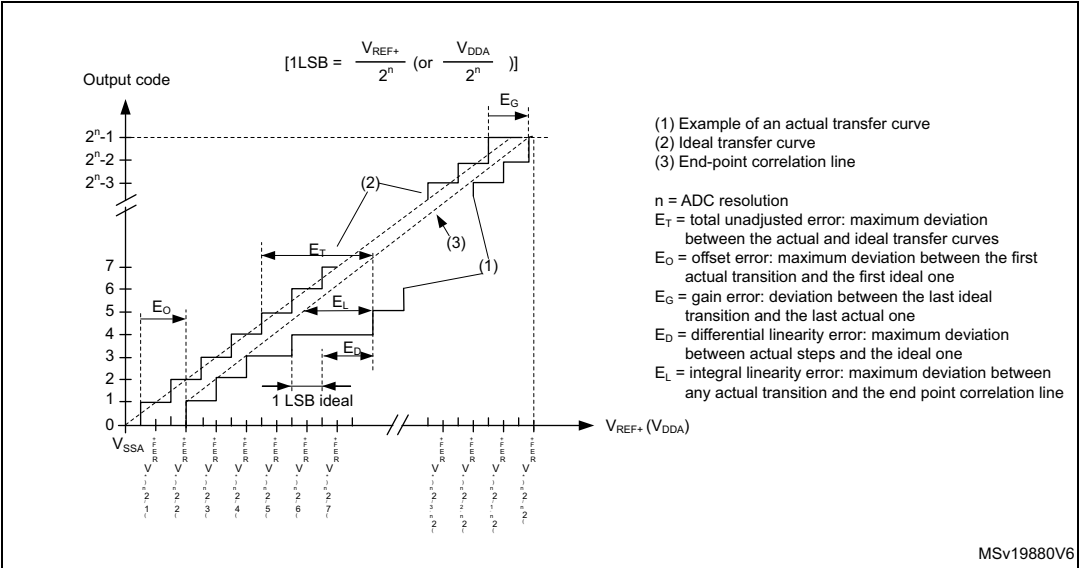
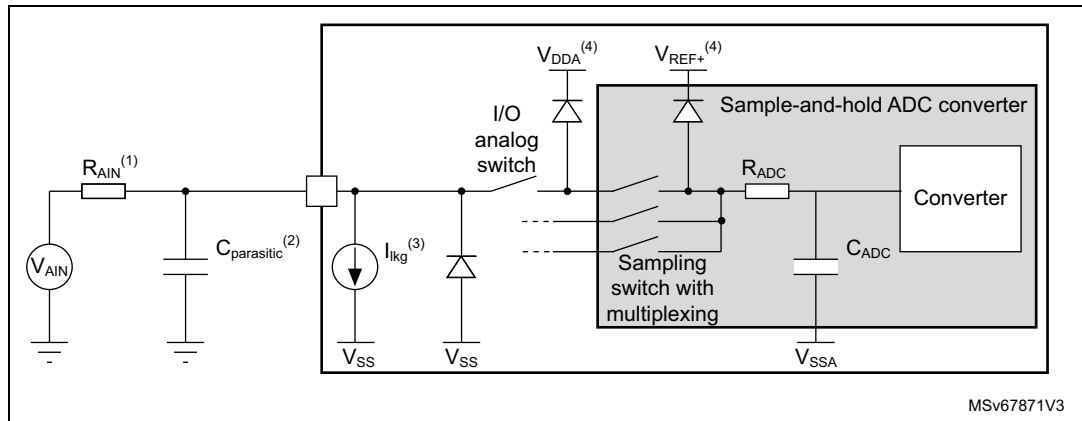


图50. 使用具有模拟开关功能的FT/TT引脚连接ADC时的典型连接图

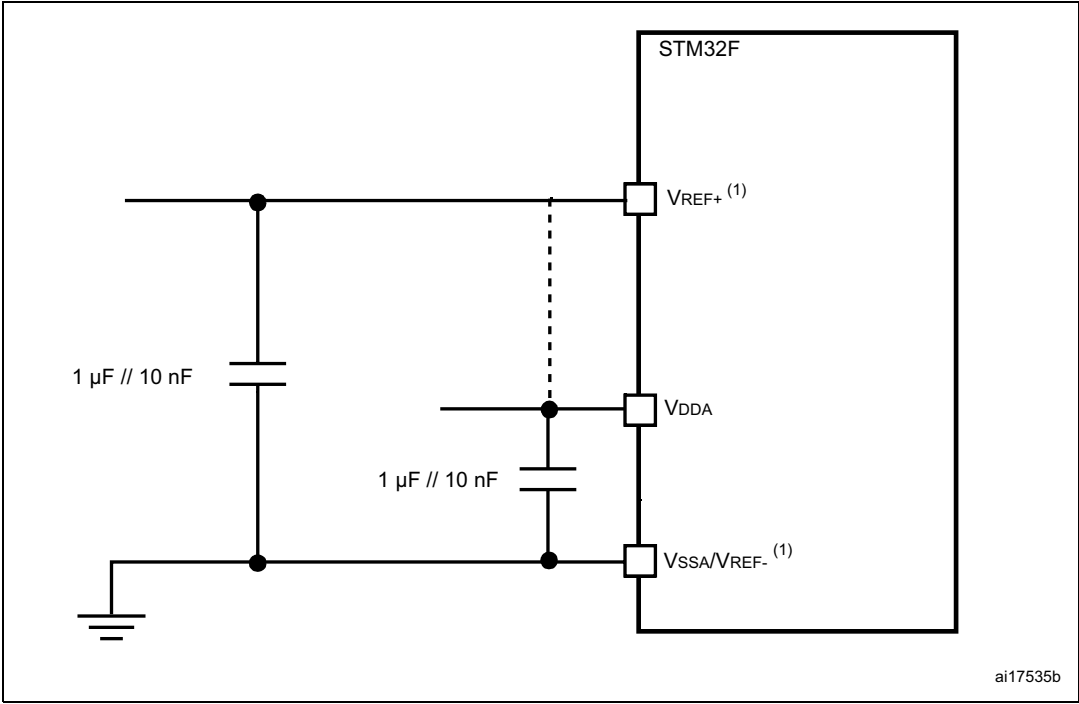


1. Refer to *Table 67: ADC characteristics* for the values of R_{AIN} , R_{ADC} and C_{ADC} .
2. $C_{parasitic}$ represents the capacitance of the PCB (dependent on soldering and PCB layout quality) plus the pad capacitance (refer to *Table 48: I/O static characteristics*). A high $C_{parasitic}$ value downgrades conversion accuracy. To remedy this, f_{ADC} should be reduced.
3. Refer to *Table 48: I/O static characteristics*.
4. Refer to *Figure 21: Power supply scheme*.

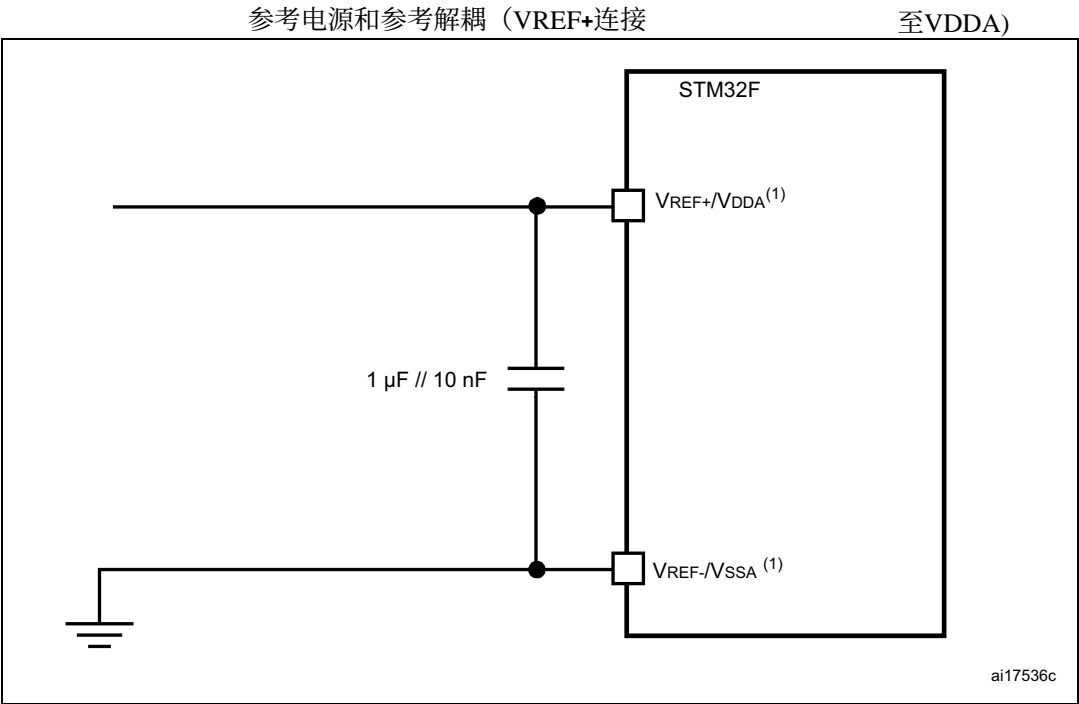
通用PCB设计指南

电源去耦应按照Figure 51或Figure 52的方式进行，具体取决于VREF+是否连接到VDDA。10 nF电容器应选用陶瓷材质（优质）。它们应尽可能靠近芯片放置。

图51. 电源和参考解耦（VREF+未连接至VDDA）



1. VREF+ 和 VREF- 输入均可用在 UFBGA176 上。VREF+ 也可在 LQFP100、LQFP144 和 LQFP176 上使用。当 VREF+ 和 VREF- 不可用时，它们将内部连接到 VDDA 和 VSSA。



1. UFBGA176封装上同时提供了VREF₊和VREF₋输入。此外，LQFP100、LQFP144和LQFP176封装上也提供了VREF₊。当VREF₊和VREF₋不可用时，它们内部连接至VDDA和VSSA。

第6.3.22节 温度传感器特性

表69. 温度传感器特性

Symbol	Parameter	Min	Typ	Max	Unit
T _L ⁽¹⁾	V _{SENSE} linearity with temperature	-	±1	±2	°C
Avg_Slope ⁽¹⁾	Average slope	-	2.5	-	mV/°C
V ₂₅ ⁽¹⁾	Voltage at 25 °C	-	0.76	-	V
t _{START} ⁽²⁾	Startup time	-	6	10	μs
T _{S_temp} ⁽²⁾	ADC sampling time when reading the temperature (1 °C accuracy)	10	-	-	μs

1. 通过表征评估 - 未在生产环境中测试。 2. 由设计规定。

表70. 温度传感器校准值

Symbol	Parameter	Memory address
TS_CAL1	TS ADC raw data acquired at temperature of 30 °C, V _{DDA} =3.3 V	0x1FFF 7A2C - 0x1FFF 7A2D
TS_CAL2	TS ADC raw data acquired at temperature of 110 °C, V _{DDA} =3.3 V	0x1FFF 7A2E - 0x1FFF 7A2F

6.3.23 VBAT监控特性

表71. VBAT监控特性

Symbol	Parameter	Min	Typ	Max	Unit
R	Resistor bridge for V _{BAT}	-	50	-	K Ω
Q	Ratio on V _{BAT} measurement	-	2	-	-
Er ⁽¹⁾	Error on Q	-1	-	+1	%
T _{S_vbat} ⁽²⁾⁽²⁾	ADC sampling time when reading the V _{BAT} 1 mV accuracy	5	-	-	μ s

1. 按设计规定。2. 最短采样时间可通过应用中的多次迭代确定。

6.3.24 嵌入式参考电压

在Table 72中给出的参数来源于在Table 14中总结的环境温度和VDD电源电压条件下的测试。

表72. 嵌入式内部参考电压

Symbol	Parameter	Conditions	Min	Typ	Max	Unit
V _{REFINT}	Internal reference voltage	-40 °C < T _A < +105 °C	1.18	1.21	1.24	V
T _{S_vrefint} ⁽¹⁾	ADC sampling time when reading the internal reference voltage	-	10	-	-	μ s
V _{RERINT_s} ⁽²⁾	Internal reference voltage spread over the temperature range	V _{DD} = 3 V	-	3	5	mV
T _{Coeff} ⁽²⁾	Temperature coefficient	-	-	30	50	ppm/°C
t _{START} ⁽²⁾	Startup time	-	-	6	10	μ s

1. 最短采样时间可在应用中通过多次迭代确定。2. 由设计规定。

表73. 内部参考电压校准值

Symbol	Parameter	Memory address
V _{REFIN_CAL}	Raw data acquired at temperature of 30 °C, V _{DDA} =3.3 V	0x1FFF 7A2A - 0x1FFF 7A2B

6.3.25 数模转换器电气特性

表74. DAC特性

Symbol	Parameter	Min	Typ	Max	Unit	Comments
V _{DDA}	Analog supply voltage	1.8 ⁽¹⁾	-	3.6	V	-
V _{REF+}	Reference supply voltage	1.8 ⁽¹⁾	-	3.6	V	V _{REF+} \leq V _{DDA}
V _{SSA}	Ground	0	-	0	V	-

表74. 数位类比转换器特性 (续)

Symbol	Parameter	Min	Typ	Max	Unit	Comments
$R_{LOAD}^{(2)}$	Resistive load with buffer ON	5	-	-	k Ω	-
$R_O^{(2)}$	Impedance output with buffer OFF	-	-	15	k Ω	When the buffer is OFF, the Minimum resistive load between DAC_OUT and V_{SS} to have a 1% accuracy is 1.5 M Ω
$C_{LOAD}^{(2)}$	Capacitive load	-	-	50	pF	Maximum capacitive load at DAC_OUT pin (when the buffer is ON).
DAC_OUT _{min} ⁽²⁾	Lower DAC_OUT voltage with buffer ON	0.2	-	-	V	It gives the maximum output excursion of the DAC. It corresponds to 12-bit input code (0x0E0) to (0xF1C) at $V_{REF+} = 3.6$ V and (0x1C7) to (0xE38) at $V_{REF+} = 1.8$ V
DAC_OUT _{max} ⁽²⁾	Higher DAC_OUT voltage with buffer ON	-	-	$V_{DDA} - 0.2$	V	
DAC_OUT _{min} ⁽²⁾	Lower DAC_OUT voltage with buffer OFF	-	0.5	-	mV	It gives the maximum output excursion of the DAC.
DAC_OUT _{max} ⁽²⁾	Higher DAC_OUT voltage with buffer OFF	-	-	$V_{REF+} - 1LSB$	V	
$I_{VREF+}^{(4)}$	DAC DC V_{REF} current consumption in quiescent mode (Standby mode)	-	170	240	μA	With no load, worst code (0x800) at $V_{REF+} = 3.6$ V in terms of DC consumption on the inputs
		-	50	75		With no load, worst code (0xF1C) at $V_{REF+} = 3.6$ V in terms of DC consumption on the inputs
$I_{DDA}^{(4)}$	DAC DC V_{DDA} current consumption in quiescent mode ⁽³⁾	-	280	380	μA	With no load, middle code (0x800) on the inputs
		-	475	625	μA	With no load, worst code (0xF1C) at $V_{REF+} = 3.6$ V in terms of DC consumption on the inputs
DNL ⁽⁴⁾	Differential non linearity Difference between two consecutive code-1LSB)	-	-	± 0.5	LSB	Given for the DAC in 10-bit configuration.
		-	-	± 2	LSB	Given for the DAC in 12-bit configuration.
INL ⁽⁴⁾	Integral non linearity (difference between measured value at Code i and the value at Code i on a line drawn between Code 0 and last Code 1023)	-	-	± 1	LSB	Given for the DAC in 10-bit configuration.
		-	-	± 4	LSB	Given for the DAC in 12-bit configuration.

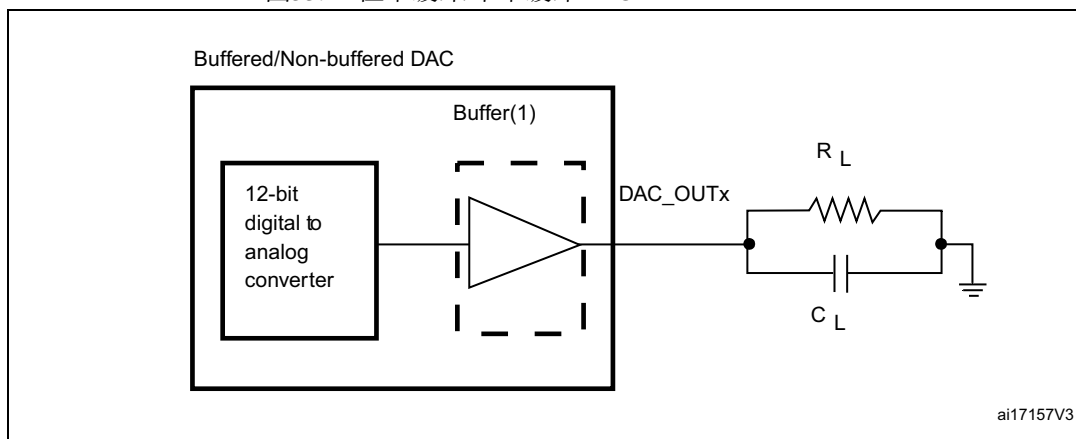
表74. 数位类比转换器特性 (续)

Symbol	Parameter	Min	Typ	Max	Unit	Comments
Offset ⁽⁴⁾	Offset error (difference between measured value at Code (0x800) and the ideal value = $V_{REF+}/2$)	-	-	± 10	mV	Given for the DAC in 12-bit configuration
		-	-	± 3	LSB	Given for the DAC in 10-bit at $V_{REF+} = 3.6\text{ V}$
		-	-	± 12	LSB	Given for the DAC in 12-bit at $V_{REF+} = 3.6\text{ V}$
Gain error ⁽⁴⁾	Gain error	-	-	± 0.5	%	Given for the DAC in 12-bit configuration
$t_{SETTLING}^{(4)}$	Settling time (full scale: for a 10-bit input code transition between the lowest and the highest input codes when DAC_OUT reaches final value $\pm 4\text{LSB}$)	-	3	6	μs	$C_{LOAD} \leq 50\text{ pF}$, $R_{LOAD} \geq 5\text{ k}\Omega$
THD ⁽⁴⁾	Total Harmonic Distortion Buffer ON	-	-	-	dB	$C_{LOAD} \leq 50\text{ pF}$, $R_{LOAD} \geq 5\text{ k}\Omega$
Update rate ⁽²⁾	Max frequency for a correct DAC_OUT change when small variation in the input code (from code i to i+1LSB)	-	-	1	MS/s	$C_{LOAD} \leq 50\text{ pF}$, $R_{LOAD} \geq 5\text{ k}\Omega$
$t_{WAKEUP}^{(4)}$	Wakeup time from off state (Setting the ENx bit in the DAC Control register)	-	6.5	10	μs	$C_{LOAD} \leq 50\text{ pF}$, $R_{LOAD} \geq 5\text{ k}\Omega$ input code between lowest and highest possible ones.
PSRR+ ⁽²⁾	Power supply rejection ratio (to V_{DDA}) (static DC measurement)	-	-67	-40	dB	No R_{LOAD} , $C_{LOAD} = 50\text{ pF}$

当设备在降额温度范围内工作并采用特定技术时，其VDD/VDDA的最小值可达到1.7V。

外部电源监督器（参见Section : *Internal reset OFF*）。2. 由设计规定。3. 静默模式对应于DAC保持稳定输出电平的状态，以确保不发生动态功耗。4. 通过特性表征评估——生产测试中未进行测试。

图53. 12位带缓冲/不带缓冲DAC



1. DAC集成了一个输出缓冲器，可用于降低输出阻抗，并直接驱动外部负载，无需使用外部运算放大器。通过配置DAC_CR寄存器中的BOFFx位，可以绕过该缓冲器。

6.3.26 FSMC特性

除非另有说明，FSMC接口中Table 75至Table 86给出的参数基于环境温度、fHCLK频率和VDD供电电压条件，这些条件汇总于Table 14，采用以下配置：

- 输出速度设置为OSPEEDRy[1:0] = 10
- 电容性负载 C = 30 pF
- 测量点在CMOS电平下进行：0.5VDD

请参阅第Section 6.3.16: I/O port characteristics节了解输入/输出特性的详细信息。

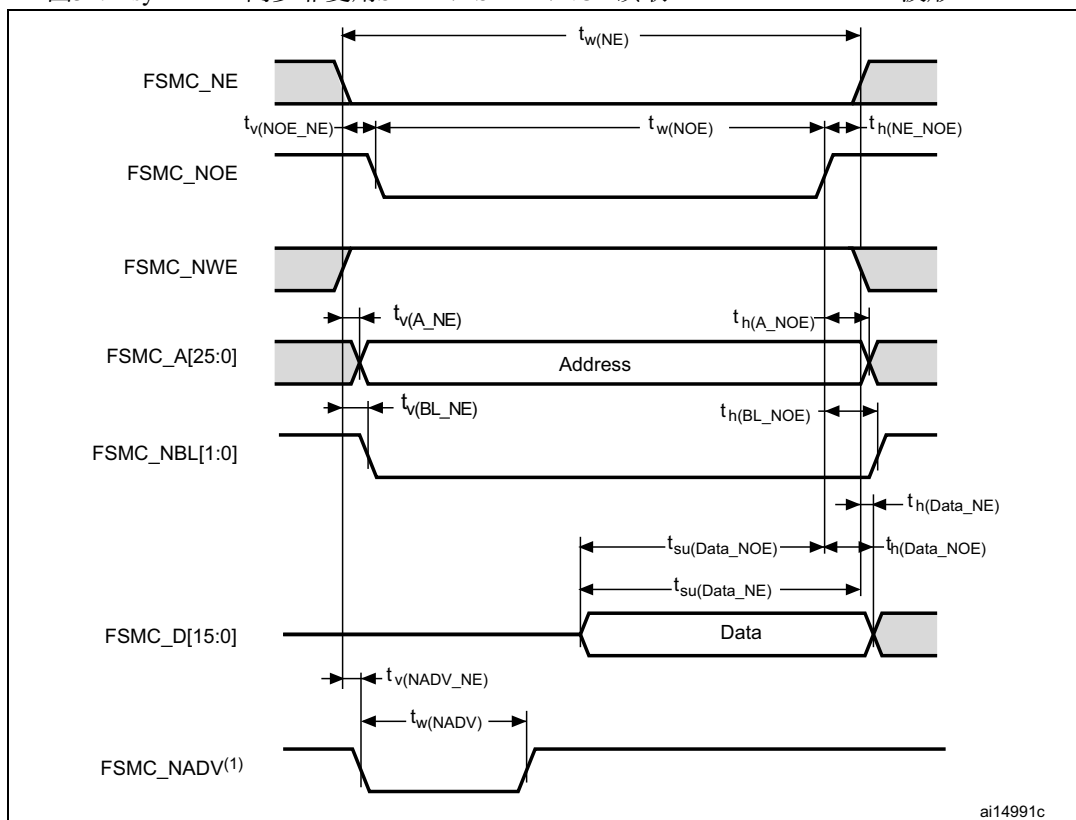
异步波形和时序

Figure 54通过 Figure 57 表示异步波形，Table 75 到 Table 78 提供相应的时序。这些表格中显示的结果是基于以下FSMC配置获得的：

- 地址设置时间 = 1
- 地址保持时间 = 0x1
- 数据设置时间 = 0x1
- 总线周转时间 = 0x0

在所有时序表中，T_{HCLK}代表HCLK时钟周期。

图54. Asyn 同步非复用SRAM/PSRAM/NOR读取 波形

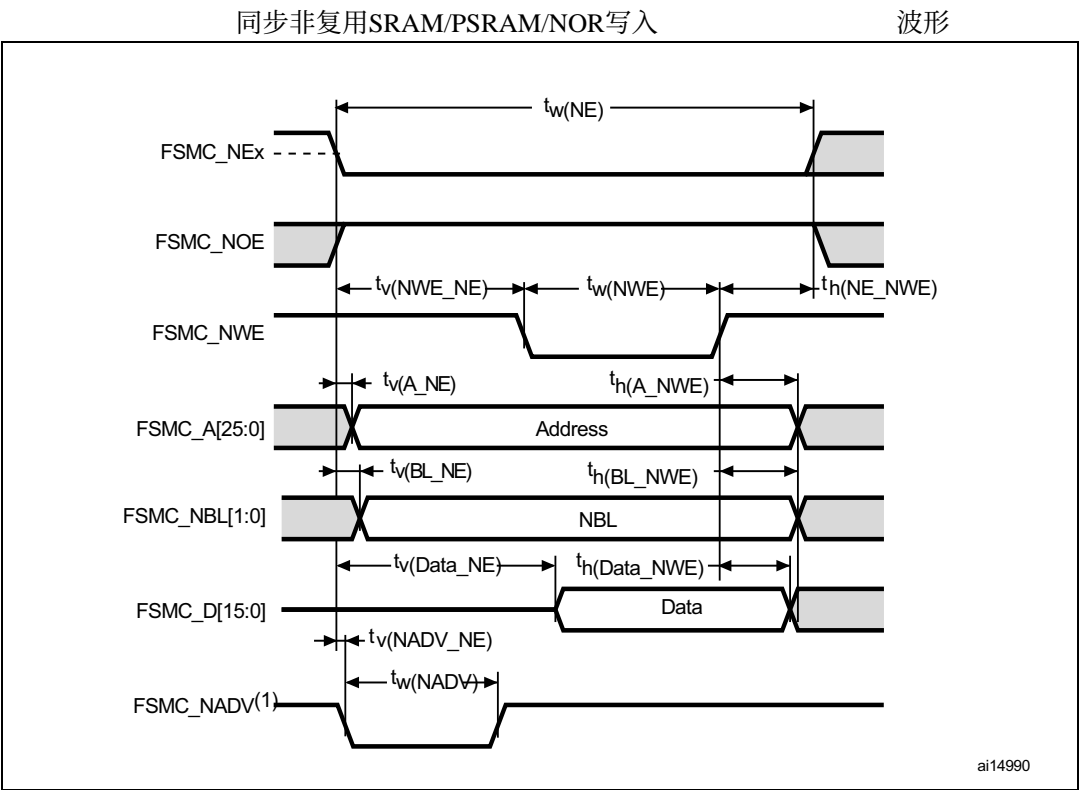


1. 仅限于模式2/B、C和D。在模式1下，FSMC_NADV未被使用。

表75. 异步非复用SRAM/PSRAM/NOR读取时序(1)(2)

Symbol	Parameter	Min	Max	Unit
$t_{w(NE)}$	FSMC_NE low time	$2T_{HCLK}-0.5$	$2T_{HCLK}+1$	ns
$t_{v(NO_E_NE)}$	FSMC_NEx low to FSMC_NOE low	0.5	3	ns
$t_{w(NO_E)}$	FSMC_NOE low time	$2T_{HCLK}-2$	$2T_{HCLK}+2$	ns
$t_{h(NE_NO_E)}$	FSMC_NOE high to FSMC_NE high hold time	0	-	ns
$t_{v(A_NE)}$	FSMC_NEx low to FSMC_A valid	-	4.5	ns
$t_{h(A_NO_E)}$	Address hold time after FSMC_NOE high	4	-	ns
$t_{v(BL_NE)}$	FSMC_NEx low to FSMC_BL valid	-	1.5	ns
$t_{h(BL_NO_E)}$	FSMC_BL hold time after FSMC_NOE high	0	-	ns
$t_{su(Data_NE)}$	Data to FSMC_NEx high setup time	$T_{HCLK}+4$	-	ns
$t_{su(Data_NO_E)}$	Data to FSMC_NOEx high setup time	$T_{HCLK}+4$	-	ns
$t_{h(Data_NO_E)}$	Data hold time after FSMC_NOE high	0	-	ns
$t_{h(Data_NE)}$	Data hold time after FSMC_NEx high	0	-	ns
$t_{v(NADV_NE)}$	FSMC_NEx low to FSMC_NADV low	-	2	ns
$t_{w(NADV)}$	FSMC_NADV low time	-	T_{HCLK}	ns

1. 30 pF的CL =。 2. 通过特性测试评估——未在生产中测试。



1. 仅限于模式2/B、C和D。在模式1下，FSMC_NADV未被使用。

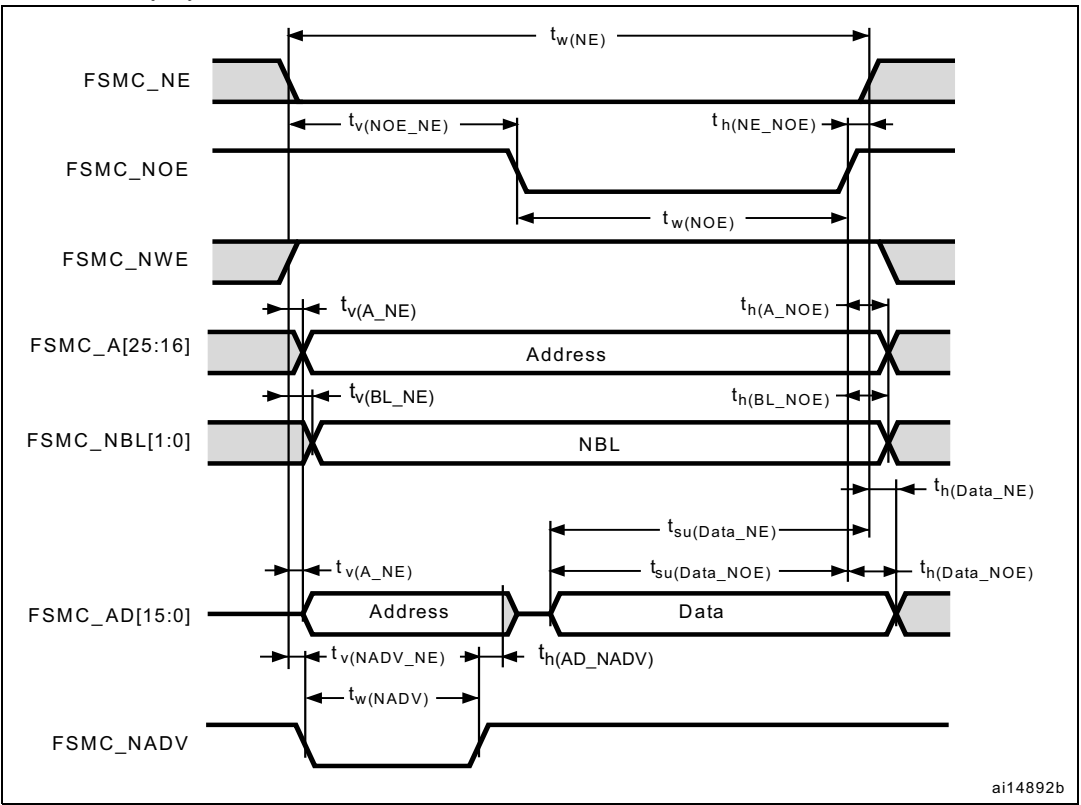
表76. 异步非复用SRAM/PSRAM/NOR写时序(1)(2)

Symbol	Parameter	Min	Max	Unit
$t_w(NE)$	FSMC_NE low time	$3T_{HCLK}$	$3T_{HCLK} + 4$	ns
$t_v(NWE_NE)$	FSMC_NEx low to FSMC_NWE low	$T_{HCLK} - 0.5$	$T_{HCLK} + 0.5$	ns
$t_w(NWE)$	FSMC_NWE low time	$T_{HCLK} - 1$	$T_{HCLK} + 2$	ns
$t_h(NE_NWE)$	FSMC_NWE high to FSMC_NE high hold time	$T_{HCLK} - 1$	-	ns
$t_v(A_NE)$	FSMC_NEx low to FSMC_A valid	-	0	ns
$t_h(A_NWE)$	Address hold time after FSMC_NWE high	$T_{HCLK} - 2$	-	ns
$t_v(BL_NE)$	FSMC_NEx low to FSMC_BL valid	-	1.5	ns
$t_h(BL_NWE)$	FSMC_BL hold time after FSMC_NWE high	$T_{HCLK} - 1$	-	ns
$t_v(Data_NE)$	Data to FSMC_NEx low to Data valid	-	$T_{HCLK} + 3$	ns
$t_h(Data_NWE)$	Data hold time after FSMC_NWE high	$T_{HCLK} - 1$	-	ns
$t_v(NADV_NE)$	FSMC_NEx low to FSMC_NADV low	-	2	ns
$t_w(NADV)$	FSMC_NADV low time	-	$T_{HCLK} + 0.5$	ns

1. 30 pF的CL。2. 通过特性测试评估——未在生产中测试。

图 {v*}56. 异步复用PSRAM/NOR读取方式

波形



ai14892b

表77. 异步多路复用PSRAM/NOR读取时序

gs(1)(2)

Symbol	Parameter	Min	Max	Unit
$t_{w(NE)}$	FSMC_NE low time	$3T_{HCLK}-1$	$3T_{HCLK}+1$	ns
$t_{v(NOE_NE)}$	FSMC_NEx low to FSMC_NOE low	$2T_{HCLK}-0.5$	$2T_{HCLK}+0.5$	ns
$t_{w(NOE)}$	FSMC_NOE low time	$T_{HCLK}-1$	$T_{HCLK}+1$	ns
$t_{h(NE_NOE)}$	FSMC_NOE high to FSMC_NE high hold time	0	-	ns
$t_{v(A_NE)}$	FSMC_NEx low to FSMC_A valid	-	3	ns
$t_{v(NADV_NE)}$	FSMC_NEx low to FSMC_NADV low	1	2	ns
$t_{w(NADV)}$	FSMC_NADV low time	$T_{HCLK}-2$	$T_{HCLK}+1$	ns
$t_{h(AD_NADV)}$	FSMC_AD(adress) valid hold time after FSMC_NADV high)	T_{HCLK}	-	ns
$t_{h(A_NOE)}$	Address hold time after FSMC_NOE high	$T_{HCLK}-1$	-	ns
$t_{h(BL_NOE)}$	FSMC_BL time after FSMC_NOE high	0	-	ns
$t_{v(BL_NE)}$	FSMC_NEx low to FSMC_BL valid	-	2	ns
$t_{su(Data_NE)}$	Data to FSMC_NEx high setup time	$T_{HCLK}+4$	-	ns
$t_{su(Data_NOE)}$	Data to FSMC_NOE high setup time	$T_{HCLK}+4$	-	ns
$t_{h(Data_NE)}$	Data hold time after FSMC_NEx high	0	-	ns
$t_{h(Data_NOE)}$	Data hold time after FSMC_NOE high	0	-	ns

1. CL = 30 pF. 2. 通过特性分析确认 - 未在量产环节进行测试

。

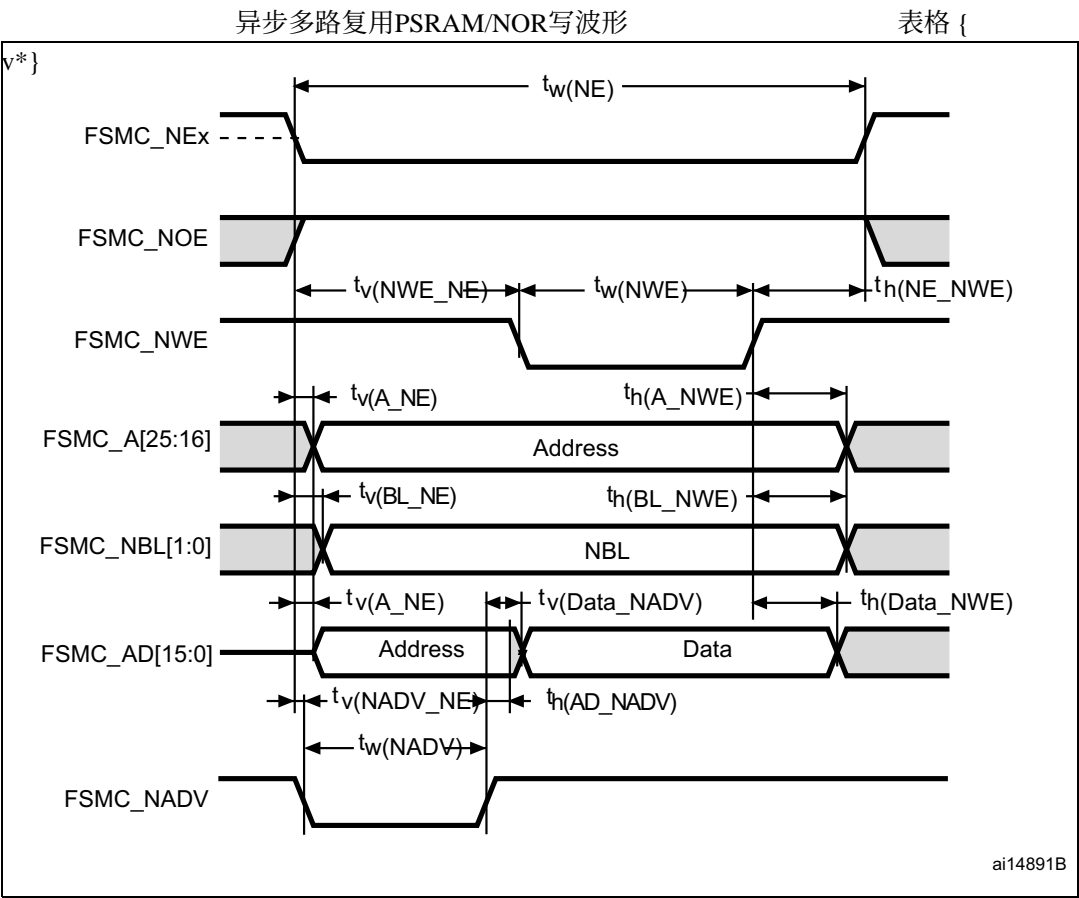


表78. 异步复用PSRAM/NOR写入时序(1)(2)

Symbol	Parameter	Min	Max	Unit
$t_{w(NE)}$	FSMC_NEx low time	$4T_{HCLK}-0.5$	$4T_{HCLK}+3$	ns
$t_{v(NWE_NE)}$	FSMC_NEx low to FSMC_NWE low	$T_{HCLK}-0.5$	$T_{HCLK}-0.5$	ns
$t_{w(NWE)}$	FSMC_NWE low time	$2T_{HCLK}-0.5$	$2T_{HCLK}+3$	ns
$t_{h(NE_NWE)}$	FSMC_NWE high to FSMC_NEx high hold time	T_{HCLK}	-	ns
$t_{v(A_NE)}$	FSMC_NEx low to FSMC_A valid	-	0	ns
$t_{v(NADV_NE)}$	FSMC_NEx low to FSMC_NADV low	1	2	ns
$t_{w(NADV)}$	FSMC_NADV low time	$T_{HCLK}-2$	$T_{HCLK}+1$	ns
$t_{h(AD_NADV)}$	FSMC_AD(address) valid hold time after FSMC_NADV high	$T_{HCLK}-2$	-	ns
$t_{h(A_NWE)}$	Address hold time after FSMC_NWE high	T_{HCLK}	-	ns
$t_{h(BL_NWE)}$	FSMC_BL hold time after FSMC_NWE high	$T_{HCLK}-2$	-	ns
$t_{v(BL_NE)}$	FSMC_NEx low to FSMC_BL valid	-	1.5	ns
$t_{v(Data_NADV)}$	FSMC_NADV high to Data valid	-	$T_{HCLK}-0.5$	ns
$t_{h(Data_NWE)}$	Data hold time after FSMC_NWE high	T_{HCLK}	-	ns

1. 电容 CL = 标称值 30 pF。

2. 通过表征评估 - 未在生产环境中测试。

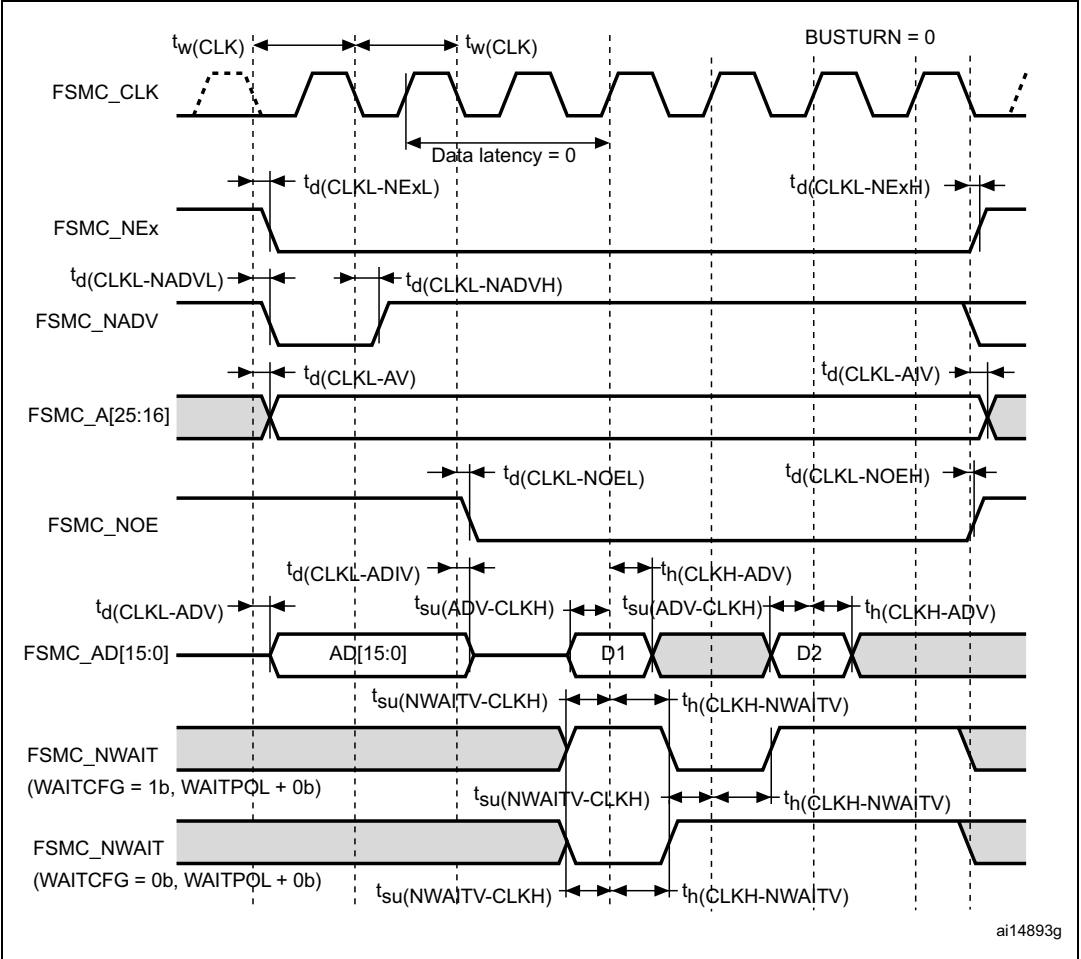
同步波形和时序

Figure 58通过 Figure 61 表示同步波形，而 Table 80 到 Table 82 则提供相应的时序。这些表格中所示的结果是基于以下 FSMC 配置获得的：

- 突发访问模式 = FSMC_BurstAccessMode_Enable;
- 存储器类型 = FSMC_MemoryType_CRAM;
- WriteBurst = FSMC_WriteBurst_Enable;
- 时钟分频 = 1; (不支持0, 请参阅STM32F40xxx/41xxx参考手册)
- NOR Flash的数据延迟=为1; PSRAM的数据延迟=为0。

在所有时序表中， T_{HCLK} 代表HCLK时钟周期（最大FSM_CLK = 60 MHz）。

Figure 58. Synchronous multiplexed NOR/PSRAM read timings



同步复用型NOR/PSRAM读取时序

gs(1)(2)

Symbol	Parameter	Min	Max	Unit
$t_{w(CLK)}$	FSMC_CLK period	$2T_{HCLK}$	-	ns
$t_{d(CLKL-NExL)}$	FSMC_CLK low to FSMC_NEx low (x=0..2)	-	0	ns
$t_{d(CLKL-NExH)}$	FSMC_CLK low to FSMC_NEx high (x= 0...2)	2	-	ns
$t_{d(CLKL-NADV L)}$	FSMC_CLK low to FSMC_NADV low	-	2	ns
$t_{d(CLKL-NADV H)}$	FSMC_CLK low to FSMC_NADV high	2	-	ns
$t_{d(CLKL-AV)}$	FSMC_CLK low to FSMC_Ax valid (x=16...25)	-	0	ns
$t_{d(CLKL-AIV)}$	FSMC_CLK low to FSMC_Ax invalid (x=16...25)	0	-	ns
$t_{d(CLKL-NOEL)}$	FSMC_CLK low to FSMC_NOE low	-	0	ns
$t_{d(CLKL-NOEH)}$	FSMC_CLK low to FSMC_NOE high	2	-	ns
$t_{d(CLKL-ADV)}$	FSMC_CLK low to FSMC_AD[15:0] valid	-	4.5	ns
$t_{d(CLKL-ADIV)}$	FSMC_CLK low to FSMC_AD[15:0] invalid	0	-	ns
$t_{su(ADV-CLKH)}$	FSMC_A/D[15:0] valid data before FSMC_CLK high	6	-	ns
$t_h(CLKH-ADV)$	FSMC_A/D[15:0] valid data after FSMC_CLK high	0	-	ns
$t_{su(NWAIT-CLKH)}$	FSMC_NWAIT valid before FSMC_CLK high	4	-	ns
$t_h(CLKH-NWAIT)$	FSMC_NWAIT valid after FSMC_CLK high	0	-	ns

1. 电容值: CL = 30 pF。2. 通过特性测试评估——未在量产中测试。

图59. 同步复用PSRAM写入时间

图像

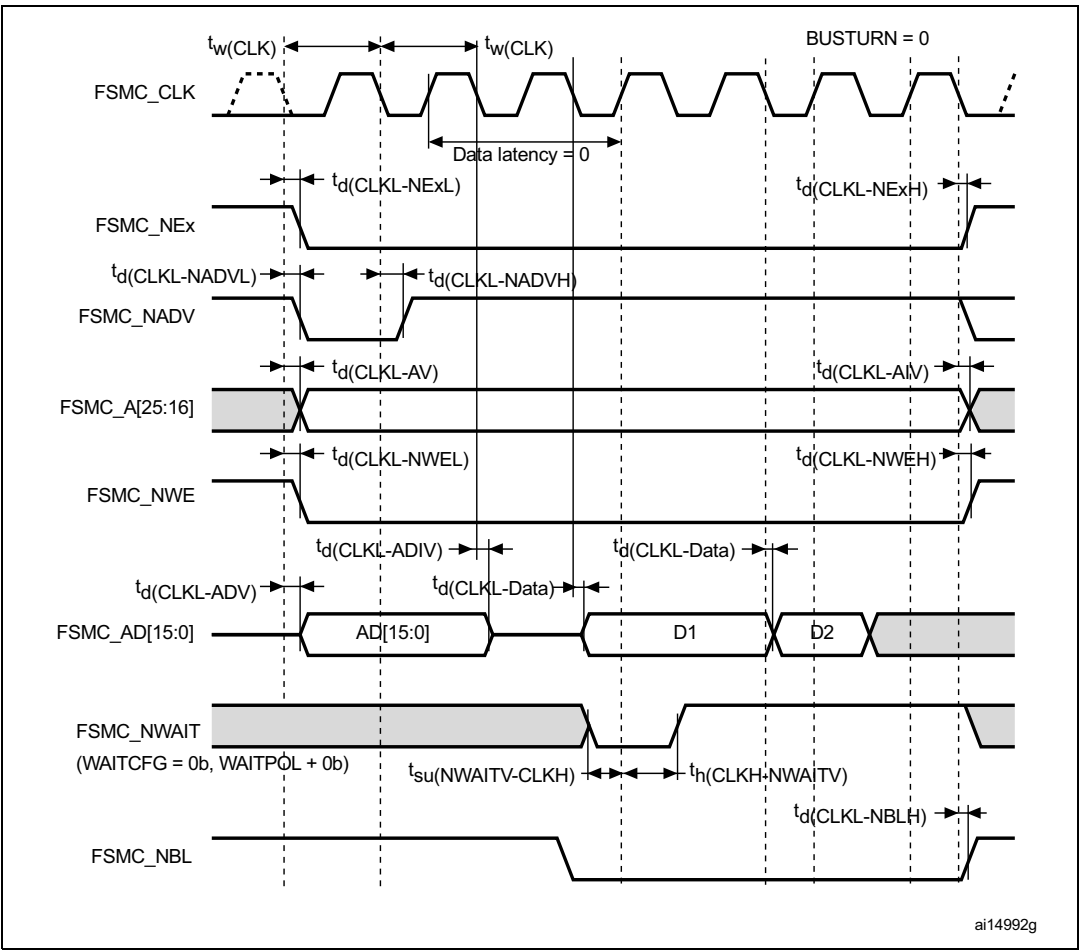


表80. 同步复用PSRAM写时序(1)(2)

Symbol	Parameter	Min	Max	Unit
$t_w(\text{CLK})$	FSMC_CLK period	$2T_{\text{HCLK}}$	-	ns
$t_d(\text{CLKL-NExL})$	FSMC_CLK low to FSMC_NEx low (x=0..2)	-	1	ns
$t_d(\text{CLKL-NExH})$	FSMC_CLK low to FSMC_NEx high (x= 0...2)	1	-	ns
$t_d(\text{CLKL-NADVL})$	FSMC_CLK low to FSMC_NADV low	-	0	ns
$t_d(\text{CLKL-NADVH})$	FSMC_CLK low to FSMC_NADV high	0	-	ns
$t_d(\text{CLKL-AV})$	FSMC_CLK low to FSMC_Ax valid (x=16...25)	-	0	ns
$t_d(\text{CLKL-AIV})$	FSMC_CLK low to FSMC_Ax invalid (x=16...25)	8	-	ns
$t_d(\text{CLKL-NWEL})$	FSMC_CLK low to FSMC_NWE low	-	0.5	ns
$t_d(\text{CLKL-NWEH})$	FSMC_CLK low to FSMC_NWE high	0	-	ns
$t_d(\text{CLKL-ADIV})$	FSMC_CLK low to FSMC_AD[15:0] invalid	0	-	ns
$t_d(\text{CLKL-DATA})$	FSMC_A/D[15:0] valid data after FSMC_CLK low	-	3	ns

表80. 同步复用PSRAM写时序(1)(2) (续)

Symbol	Parameter	Min	Max	Unit
$t_{d(CLKL-NBLH)}$	FSMC_CLK low to FSMC_NBL high	0	-	ns
$t_{su(NWAIT-CLKH)}$	FSMC_NWAIT valid before FSMC_CLK high	4	-	ns
$t_{h(CLKH-NWAIT)}$	FSMC_NWAIT valid after FSMC_CLK high	0	-	ns

1. 电容值: CL = 30 pF. 2. 通过特性测试评估——未在量产中测试。

图60. 同步非复用NOR/PSRAM读取时序

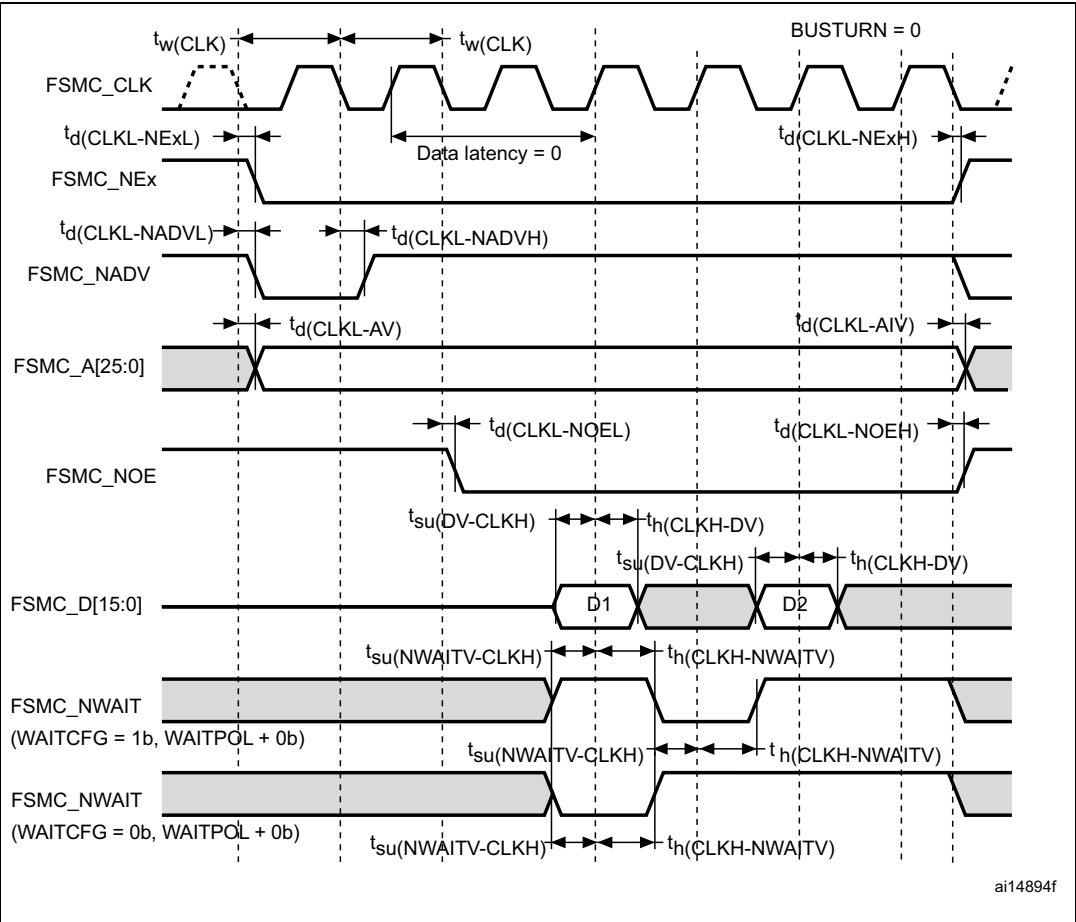


表81. Sy

异步非复用NOR/PSRAM读取时序

gs(1)(2)

Symbol	Parameter	Min	Max	Unit
$t_{w(CLK)}$	FSMC_CLK period	$2T_{HCLK} - 0.5$	-	ns
$t_{d(CLKL-NExL)}$	FSMC_CLK low to FSMC_NEx low ($x=0..2$)	-	0.5	ns
$t_{d(CLKL-NExH)}$	FSMC_CLK low to FSMC_NEx high ($x=0..2$)	0	-	ns
$t_{d(CLKL-NADV_L)}$	FSMC_CLK low to FSMC_NADV low	-	2	ns
$t_{d(CLKL-NADV_H)}$	FSMC_CLK low to FSMC_NADV high	3	-	ns
$t_{d(CLKL-AV)}$	FSMC_CLK low to FSMC_Ax valid ($x=16..25$)	-	0	ns
$t_{d(CLKL-AIV)}$	FSMC_CLK low to FSMC_Ax invalid ($x=16..25$)	2	-	ns
$t_{d(CLKL-NOEL)}$	FSMC_CLK low to FSMC_NOE low	-	0.5	ns
$t_{d(CLKL-NOEH)}$	FSMC_CLK low to FSMC_NOE high	1.5	-	ns
$t_{su(DV-CLKH)}$	FSMC_D[15:0] valid data before FSMC_CLK high	6	-	ns
$t_h(CLKH-DV)$	FSMC_D[15:0] valid data after FSMC_CLK high	3	-	ns
$t_{su(NWAIT-CLKH)}$	FSMC_NWAIT valid before FSMC_CLK high	4	-	ns
$t_h(CLKH-NWAIT)$	FSMC_NWAIT valid after FSMC_CLK high	0	-	ns

1. 30 pF的CL =。 2. 通过特性测试评估——未在生产中测试。

图61. 同步非复用PSRAM写入

计时

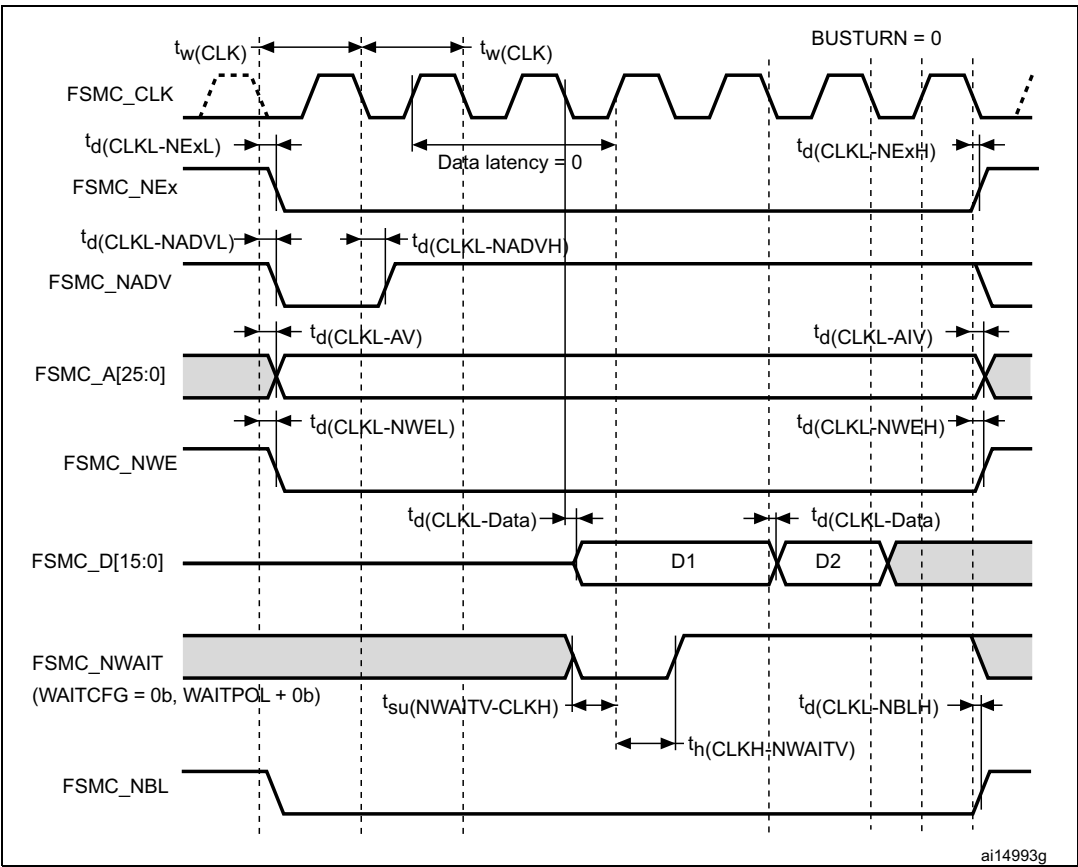


表82. 同步非复用PSRAM写时序(1)(2)

Symbol	Parameter	Min	Max	Unit
$t_{w(CLK)}$	FSMC_CLK period	$2T_{HCLK}$	-	ns
$t_d(CLKL-NExL)$	FSMC_CLK low to FSMC_NEx low (x=0..2)	-	1	ns
$t_d(CLKL-NExH)$	FSMC_CLK low to FSMC_NEx high (x= 0...2)	1	-	ns
$t_d(CLKL-NADVL)$	FSMC_CLK low to FSMC_NADV low	-	7	ns
$t_d(CLKL-NADVH)$	FSMC_CLK low to FSMC_NADV high	6	-	ns
$t_d(CLKL-AV)$	FSMC_CLK low to FSMC_Ax valid (x=16...25)	-	0	ns
$t_d(CLKL-AIV)$	FSMC_CLK low to FSMC_Ax invalid (x=16...25)	6	-	ns
$t_d(CLKL-NWEL)$	FSMC_CLK low to FSMC_NWE low	-	1	ns
$t_d(CLKL-NWEH)$	FSMC_CLK low to FSMC_NWE high	2	-	ns
$t_d(CLKL-Data)$	FSMC_D[15:0] valid data after FSMC_CLK low	-	3	ns
$t_d(CLKL-NBLH)$	FSMC_CLK low to FSMC_NBL high	3	-	ns
$t_{su}(NWAIT-CLKH)$	FSMC_NWAIT valid before FSMC_CLK high	4	-	ns
$t_h(CLKH-NWAIT)$	FSMC_NWAIT valid after FSMC_CLK high	0	-	ns

1. 电容值: CL = 30 pF. 2. 通过特性测试评估——未在量产中测试。

PC Card/CompactFlash 控制器波形和时序

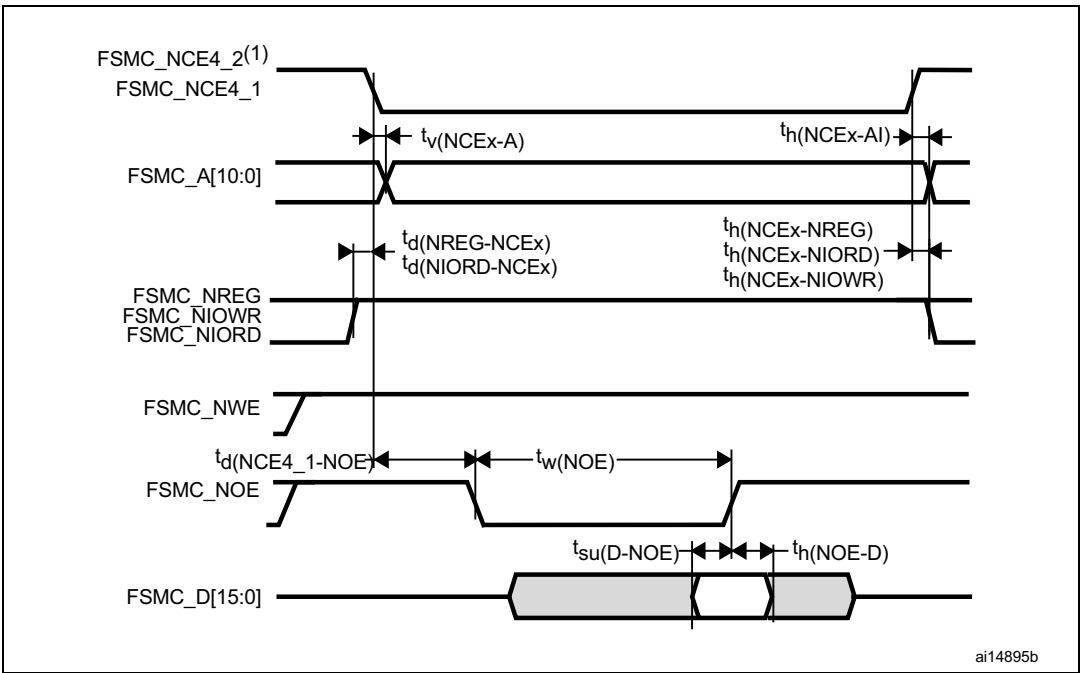
明亮

Figure 62 通过 Figure 67 表示同步波形，Table 83 和 Table 84 提供相应的时序。本表所示结果基于以下 FSMC 配置获得：

- COM.FSMC_SetupTime = 0x04;
- COM.FSMC_WaitSetupTime = 0x07;
- COM.FSMC_保持设置时间 = 0x04;
- 通信.FSMC高阻抗建立时间 = 0x00;
- ATT.FSMC_SetupTime = 0x04;
- ATT.FSMC_WaitSetupTime = 0x07;
- ATT.FSMC_HoldSetupTime = 0x04;
- ATT.FSMC_HiZSetupTime = 0x00;
- IO.FSMC设置时间 = 0x04;
- IO.FSMC_WaitSetupTime = 0x07;
- IO.FSMC_保持设置时间 = 0x04;
- IO.FSMC高阻抗设置时间 = 0x00;
- TCLRSetup时间 = 0;
- TARSetupTime = 0.

在所有时序表中， T_{HCLK} 代表HCLK时钟周期。

图62. 常见内存读取操作的PC卡/紧凑闪存控制器波形{v*}



1. FSMC_NCE4_2保持高电平（在8位访问期间无效。）

图63. 常见内存写访问的PC卡/紧凑闪存控制器波形

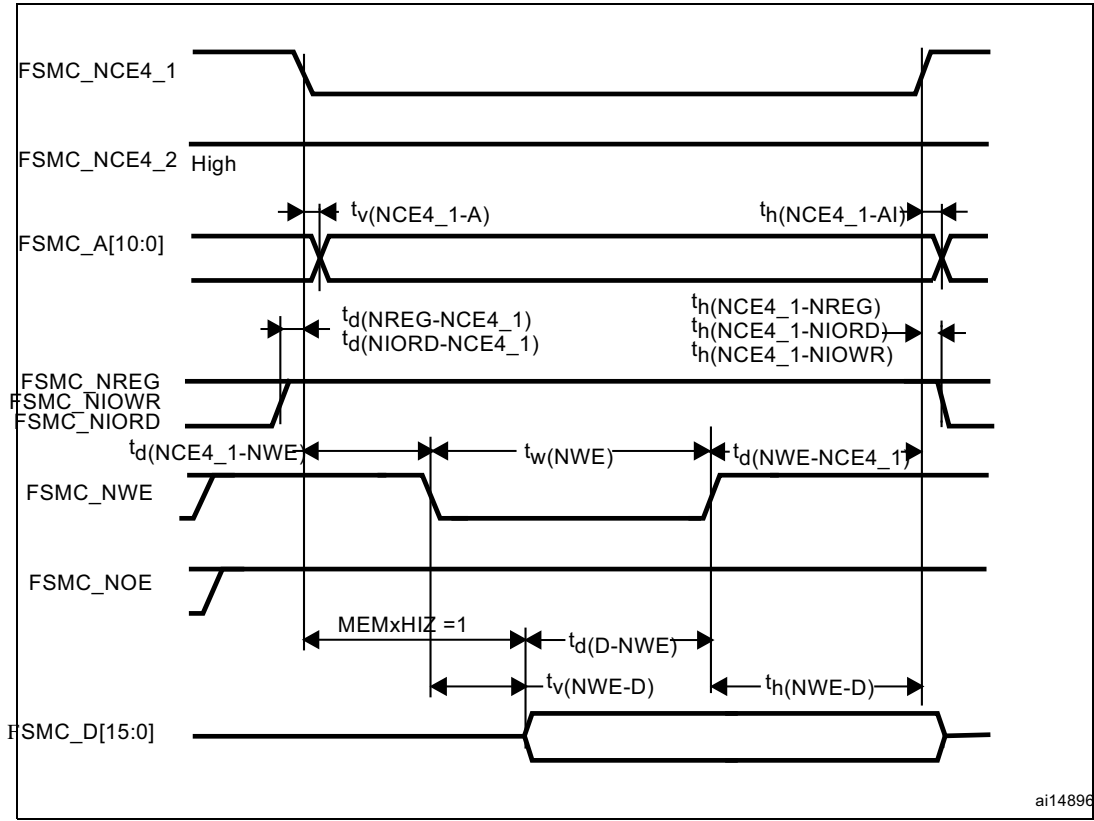
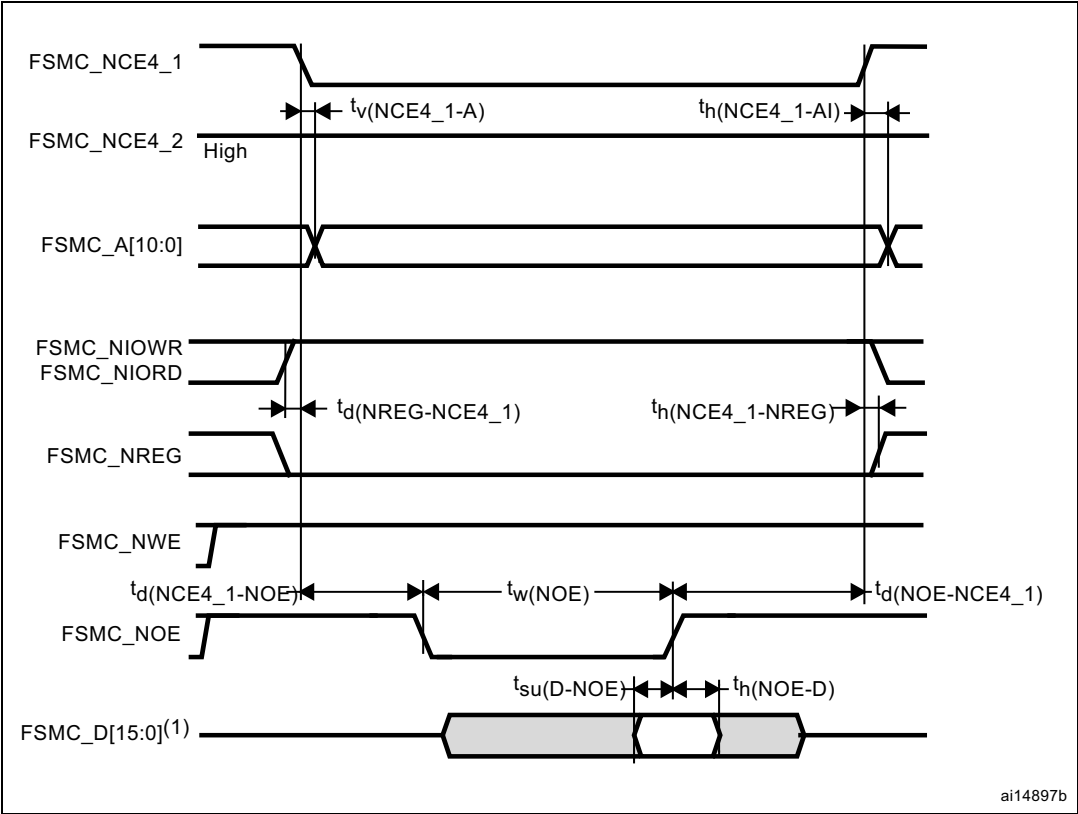
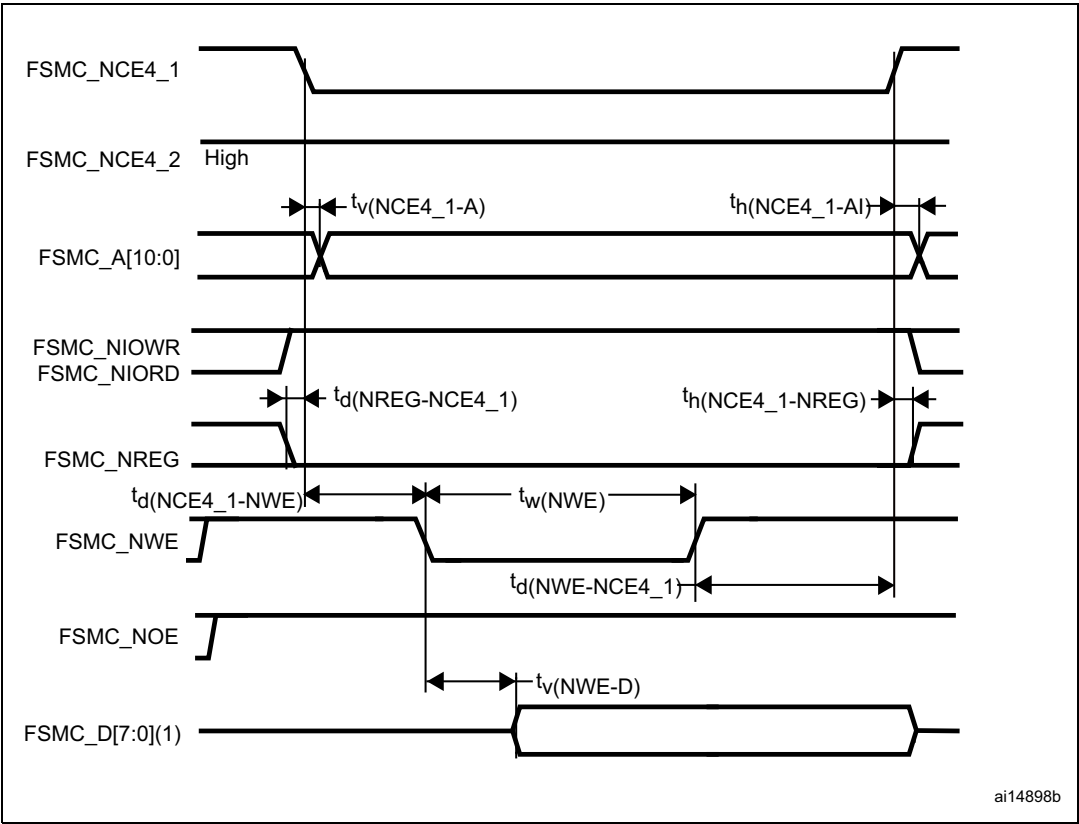


图64. PC卡/CompactFlash控制器属性存储器读取操作波形



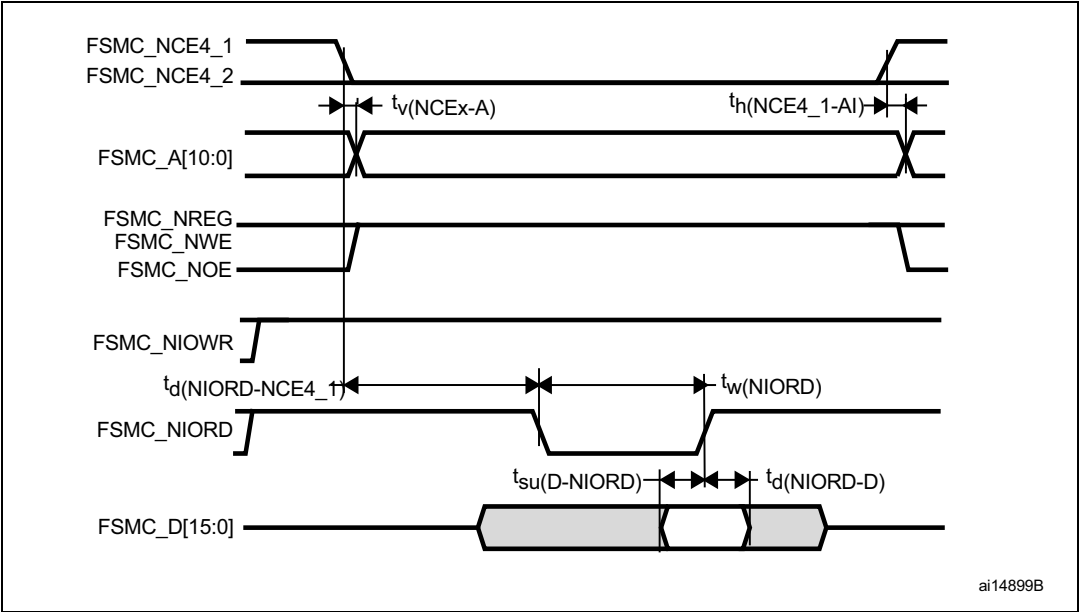
1. 仅读取数据位0...7（位8...15被忽略）。

图65. PC卡/CompactFlash控制器属性存储器写入访问波形



1. 仅限于数据位0...7被驱动（位8...15保持高阻抗状态）。

图66. PC卡/C 用于I/O空间的CompactFlash控制器波形 广告访问



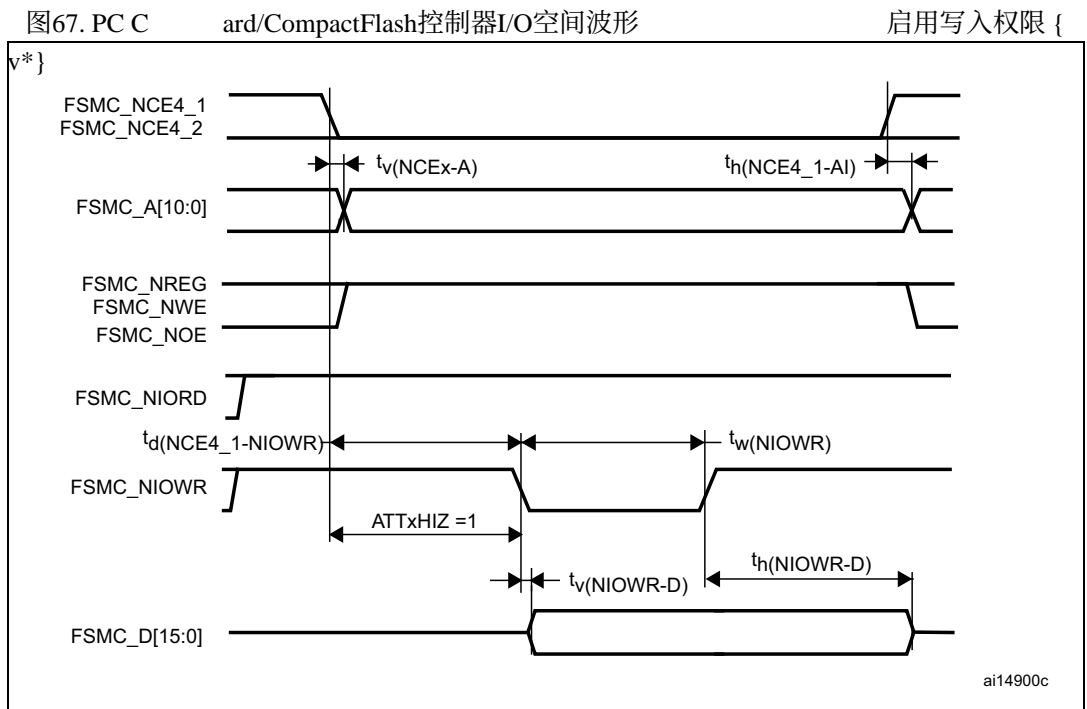


表83. PC Card/CF卡在属性/普通空间中的读写周期切换特性(1)(2)

Symbol	Parameter	Min	Max	Unit
$t_{v(NCEx-A)}$	FSMC_Ncex low to FSMC_Ay valid	-	0	ns
$t_{h(NCEx_AI)}$	FSMC_NCEx high to FSMC_Ax invalid	4	-	ns
$t_{d(NREG-NCEx)}$	FSMC_NCEx low to FSMC_NREG valid	-	3.5	ns
$t_{h(NCEx-NREG)}$	FSMC_NCEx high to FSMC_NREG invalid	$T_{HCLK}+4$	-	ns
$t_{d(NCEx-NWE)}$	FSMC_NCEx low to FSMC_NWE low	-	$5T_{HCLK}+0.5$	ns
$t_{d(NCEx-NOE)}$	FSMC_NCEx low to FSMC_NOE low	-	$5T_{HCLK}+0.5$	ns
$t_{w(NOE)}$	FSMC_NOE low width	$8T_{HCLK}-1$	$8T_{HCLK}+1$	ns
$t_{d(NOE_NCEx)}$	FSMC_NOE high to FSMC_NCEx high	$5T_{HCLK}+2.5$	-	ns
$t_{su}(D-NOE)$	FSMC_D[15:0] valid data before FSMC_NOE high	4.5	-	ns
$t_{h(NOE-D)}$	FSMC_NOE high to FSMC_D[15:0] invalid	3	-	ns
$t_{w(NWE)}$	FSMC_NWE low width	$8T_{HCLK}-0.5$	$8T_{HCLK}+3$	ns
$t_{d(NWE_NCEx)}$	FSMC_NWE high to FSMC_NCEx high	$5T_{HCLK}-1$	-	ns
$t_{d(NCEx-NWE)}$	FSMC_NCEx low to FSMC_NWE low	-	$5T_{HCLK}+1$	ns
$t_{v(NWE-D)}$	FSMC_NWE low to FSMC_D[15:0] valid	-	0	ns
$t_{h}(NWE-D)$	FSMC_NWE high to FSMC_D[15:0] invalid	$8T_{HCLK}-1$	-	ns
$t_{d}(D-NWE)$	FSMC_D[15:0] valid before FSMC_NWE high	$13T_{HCLK}-1$	-	ns

1. CL = 30 pF. 2. 通过特性分析确认 - 未在量产环节进行测试

表84. PC Card/CF读写周期在I/O空间的切换特性(1)(2)

Symbol	Parameter	Min	Max	Unit
$t_{w(NIOWR)}$	FSMC_NIOWR low width	$8T_{HCLK}-1$	-	ns
$t_{v(NIOWR-D)}$	FSMC_NIOWR low to FSMC_D[15:0] valid	-	$5T_{HCLK}-1$	ns
$t_{h(NIOWR-D)}$	FSMC_NIOWR high to FSMC_D[15:0] invalid	$8T_{HCLK}-2$	-	ns
$t_{d(NCE4_1-NIOWR)}$	FSMC_NCE4_1 low to FSMC_NIOWR valid	-	$5T_{HCLK}+2.5$	ns
$t_{h(NCEx-NIOWR)}$	FSMC_NCEx high to FSMC_NIOWR invalid	$5T_{HCLK}-1.5$	-	ns
$t_{d(NIORD-NCEx)}$	FSMC_NCEx low to FSMC_NIORD valid	-	$5T_{HCLK}+2$	ns
$t_{h(NCEx-NIORD)}$	FSMC_NCEx high to FSMC_NIORD) valid	$5T_{HCLK}-1.5$	-	ns
$t_{w(NIORD)}$	FSMC_NIORD low width	$8T_{HCLK}-0.5$	-	ns
$t_{su(D-NIORD)}$	FSMC_D[15:0] valid before FSMC_NIORD high	9	-	ns
$t_{d(NIORD-D)}$	FSMC_D[15:0] valid after FSMC_NIORD high	0	-	ns

1. 电容器CL = 30 pF。2. 通过特性表征评估——未在生产中测试。

NAND控制器波形和时序

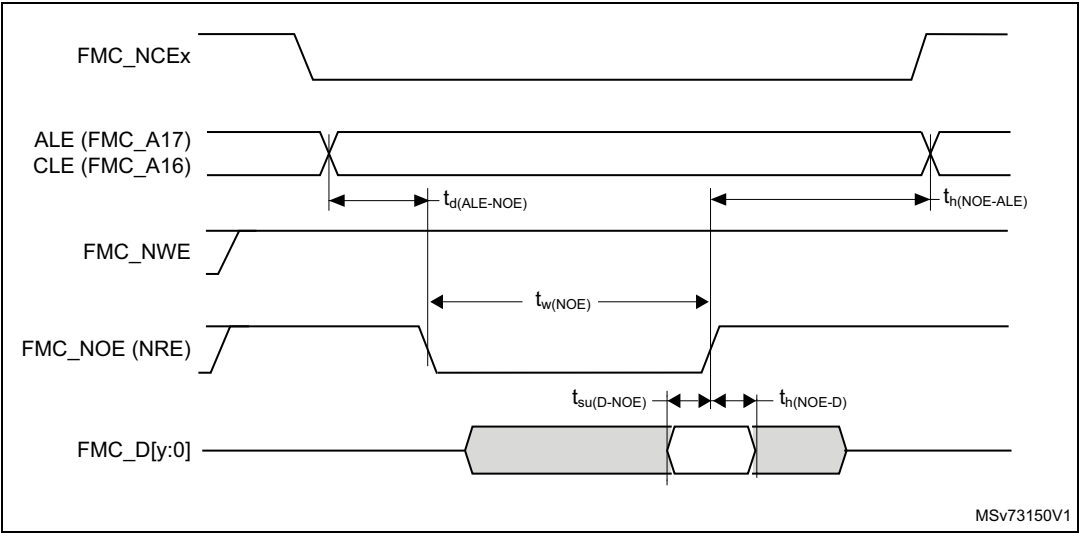
Figure 68并且 Figure 69 表示同步波形， Table 85 和 Table 86 提供了相应的时序。本表所示结果是基于以下 FSMC 配置获得的：

- COM.FSMC_SetupTime = 0x01;
- COM.FSMC_WaitSetupTime = 0x03;
- COM.FSMC_保持设置时间 = 0x02;
- COM.FSMC_HiZSetupTime = 0x01;
- ATT.FSMC_SetupTime = 0x01;
- 属性.FSMC等待设置时间 = 0x03;
- ATT.FSMC_保持建立时间 = 0x02;
- 属性.FSMC高阻态设置时间 = 0x01;
- 银行 = FSMC_Bank_NAND;
- 内存数据宽度 = FSMC_内存数据宽度_16位;
- ECC = FSMC_ECC_校验使能;
- ECC页面大小 = FSMC_ECCPageSize_512字节;
- 总线建立时间 = 0;
- TAR设置时间 = 0。

在所有时序表中， T_{HCLK} 代表HCLK时钟周期。

图68. NAND控制器读取访问波形 {v*}

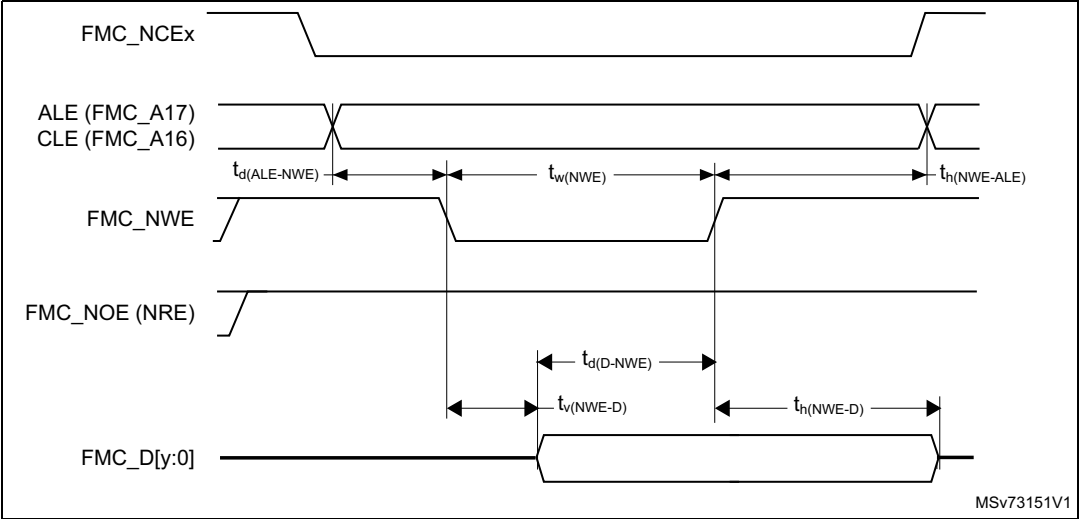
SS



MSv73150V1

1. y = 7 或 15, 取决于 NAND 闪存接口。

图69. NAND控制器的写入访问波形



MSv73151V1

1. y = 7 或 15, 取决于 NAND 闪存接口。

表85. NAND Flash读取周期的切换特性(1)

Symbol	Parameter	Min	Max	Unit
$t_{w(NOE)}$	FSMC_NOE low width	$4T_{HCLK} - 0.5$	$4T_{HCLK} + 3$	ns
$t_{su(D-NOE)}$	FSMC_D[15-0] valid data before FSMC_NOE high	10	-	ns
$t_h(NOE-D)$	FSMC_D[15-0] valid data after FSMC_NOE high	0	-	ns
$t_d(ALE-NOE)$	FSMC_ALE valid before FSMC_NOE low	-	$3T_{HCLK}$	ns
$t_h(NOE-ALE)$	FSMC_NWE high to FSMC_ALE invalid	$3T_{HCLK} - 2$	-	ns

1. CL = 30 pF。

NAND闪存写入的切换特性		循环(1)		
Symbol	Parameter	Min	Max	Unit
$t_{w(NWE)}$	FSMC_NWE low width	$4T_{HCLK}-1$	$4T_{HCLK}+3$	ns
$t_{v(NWE-D)}$	FSMC_NWE low to FSMC_D[15-0] valid	-	0	ns
$t_{h(NWE-D)}$	FSMC_NWE high to FSMC_D[15-0] invalid	$3T_{HCLK}-2$	-	ns
$t_{d(D-NWE)}$	FSMC_D[15-0] valid before FSMC_NWE high	$5T_{HCLK}-3$	-	ns
$t_{d(ALE-NWE)}$	FSMC_ALE valid before FSMC_NWE low	-	$3T_{HCLK}$	ns
$t_{h(NWE-ALE)}$	FSMC_NWE high to FSMC_ALE invalid	$3T_{HCLK}-2$	-	ns

1. CL = 30pF。

6.3.27 相机接口（DCMI）时序规范

除非另有说明，DCMI的参数Table 87源自在Table 13汇总的环境温度、fHCLK频率和VDD电源电压下进行的测试，配置如下：

- PCK极性：下降
- V同步和H同步极性：高
- 数据格式：14位

图70. DCMI时序图 表

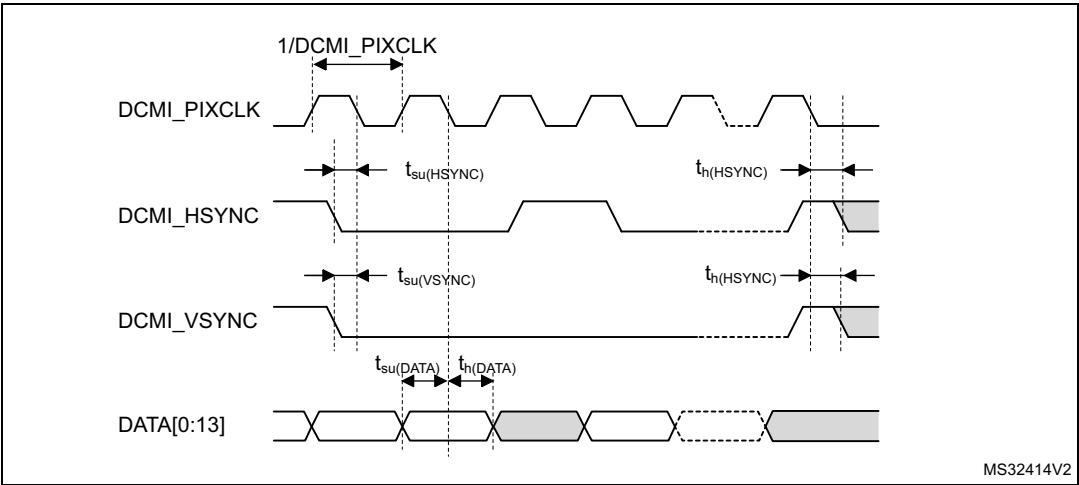


表87. DCMI特性(1)

Symbol	Parameter	Min	Max	Unit
-	Frequency ratio DCMI_PIXCLK/f _{HCLK}	-	0.4	-
DCMI_PIXCLK	Pixel clock input	-	54	MHz
D _{pixel}	Pixel clock input duty cycle	30	70	%

表87. DCMI特性(1) (续)

Symbol	Parameter	Min	Max	Unit
$t_{su}(DATA)$	Data input setup time	2.5	-	ns
$t_h(DATA)$	Data hold time	1	-	
$t_{su}(HSYNC), t_{su}(VSYNC)$	HSYNC/VSYNC input setup time	2	-	
$t_h(HSYNC), t_h(VSYNC)$	HSYNC/VSYNC input hold time	0.5	-	

1. 通过表征分析评估——未在生产环境中测试。

6.3.28 SD/SDIO MMC卡主机接口（SDIO）特性

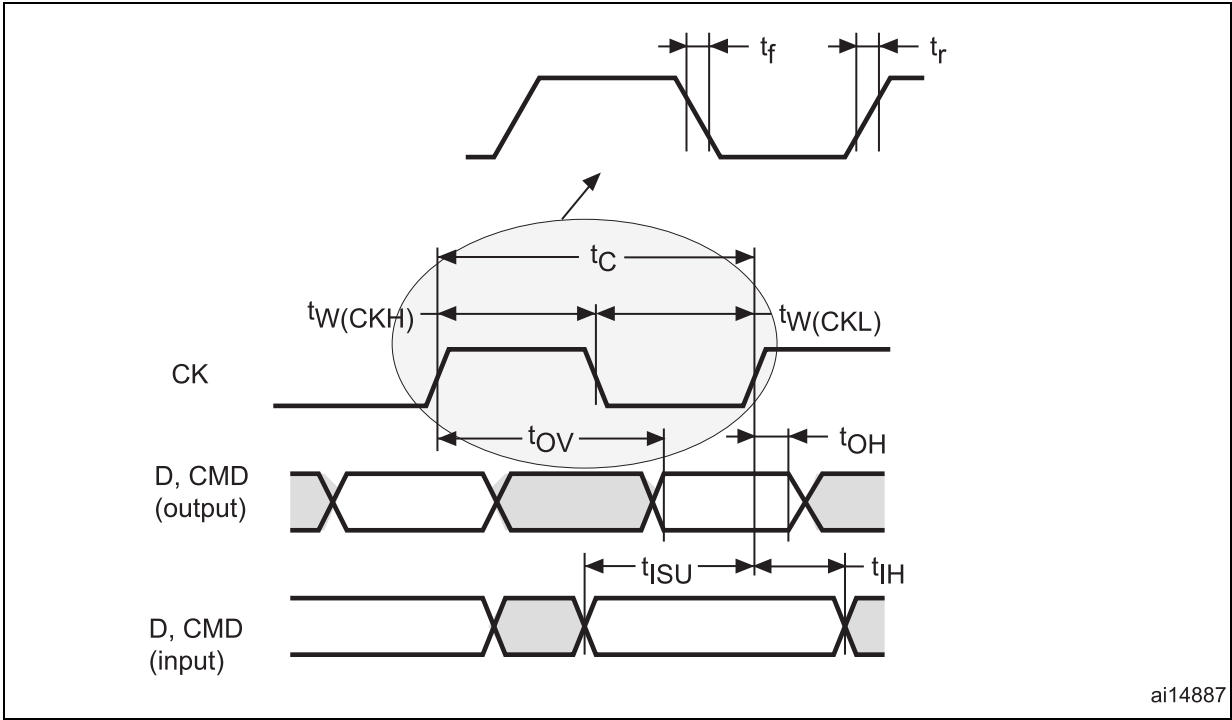
除非另有说明，*Table 88*中给出的参数源自在以下配置下进行的测试：环境温度、fPCLKx频率和VDD供电电压条件汇总于*Table 14*。

- 输出速度设置为OSPEEDRy[1:0] = 10
- 电容性负载 C = 30 皮法
- 测量点在CMOS电平下进行：0.5VDD

如需了解输入/输出特性的更多详情，请参阅Section 6.3.16: I/O port characteristics

。

图71. SDIO输入/输出高速模式



ai14887

图72. SD默认模式{v*}

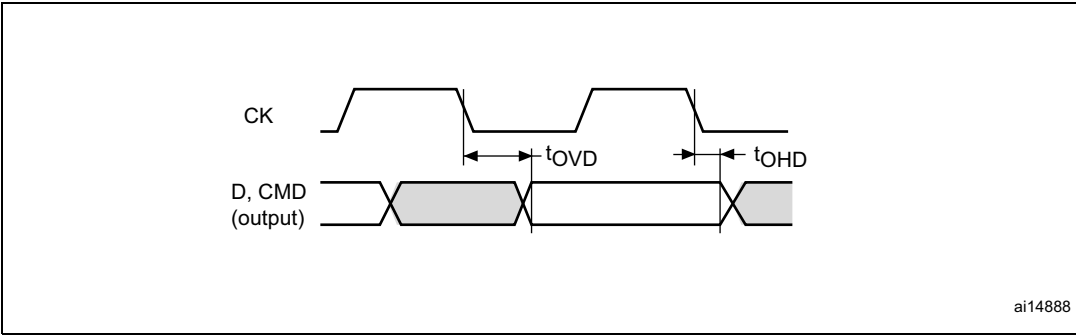


表88. 动态特性：SD/MMC特性(1)

Symbol	Parameter	Conditions	Min	Typ	Max	Unit
f _{PP}	Clock frequency in data transfer mode	-	0	-	48	MHz
	SDIO_CK/f _{PCLK2} frequency ratio	-	-	-	8/3	-
t _{W(CKL)}	Clock low time	f _{PP} = 48 MHz	8.5	9	-	ns
t _{W(CKH)}	Clock high time	f _{PP} = 48 MHz	8.3	10	-	
CMD, D inputs (referenced to CK) in MMC and SD HS mode						
t _{ISU}	Input setup time HS	f _{PP} = 48 MHz	3	-	-	ns
t _{IH}	Input hold time HS	f _{PP} = 48 MHz	0	-	-	
CMD, D outputs (referenced to CK) in MMC and SD HS mode						
t _{OV}	Output valid time HS	f _{PP} = 48 MHz	-	4.5	6	ns
t _{OH}	Output hold time HS	f _{PP} = 48 MHz	1	-	-	
CMD, D inputs (referenced to CK) in SD default mode						
t _{ISUD}	Input setup time SD	f _{PP} = 24 MHz	1.5	-	-	ns
t _{IHD}	Input hold time SD	f _{PP} = 24 MHz	0.5	-	-	
CMD, D outputs (referenced to CK) in SD default mode						
t _{OVD}	Output valid default time SD	f _{PP} = 24 MHz	-	4.5	7	ns
t _{OHD}	Output hold default time SD	f _{PP} = 24 MHz	0.5	-	-	

1. 通过表征分析评估——未在生产环境中测试。

6.3.29 实时时钟特性

表89. RTC特性

Symbol	Parameter	Conditions	Min	Max
-	f_{PCLK1} /RTCCLK frequency ratio	Any read/write operation from/to an RTC register	4	-

七 包信息

为满足环境要求，ST根据不同设备的环境合规水平，提供不同等级的ECOPACK包装。ECOPACK规格、等级定义和产品状态可在：www.st.com查阅。ECOPACK是ST的注册商标。

7.1 设备标识

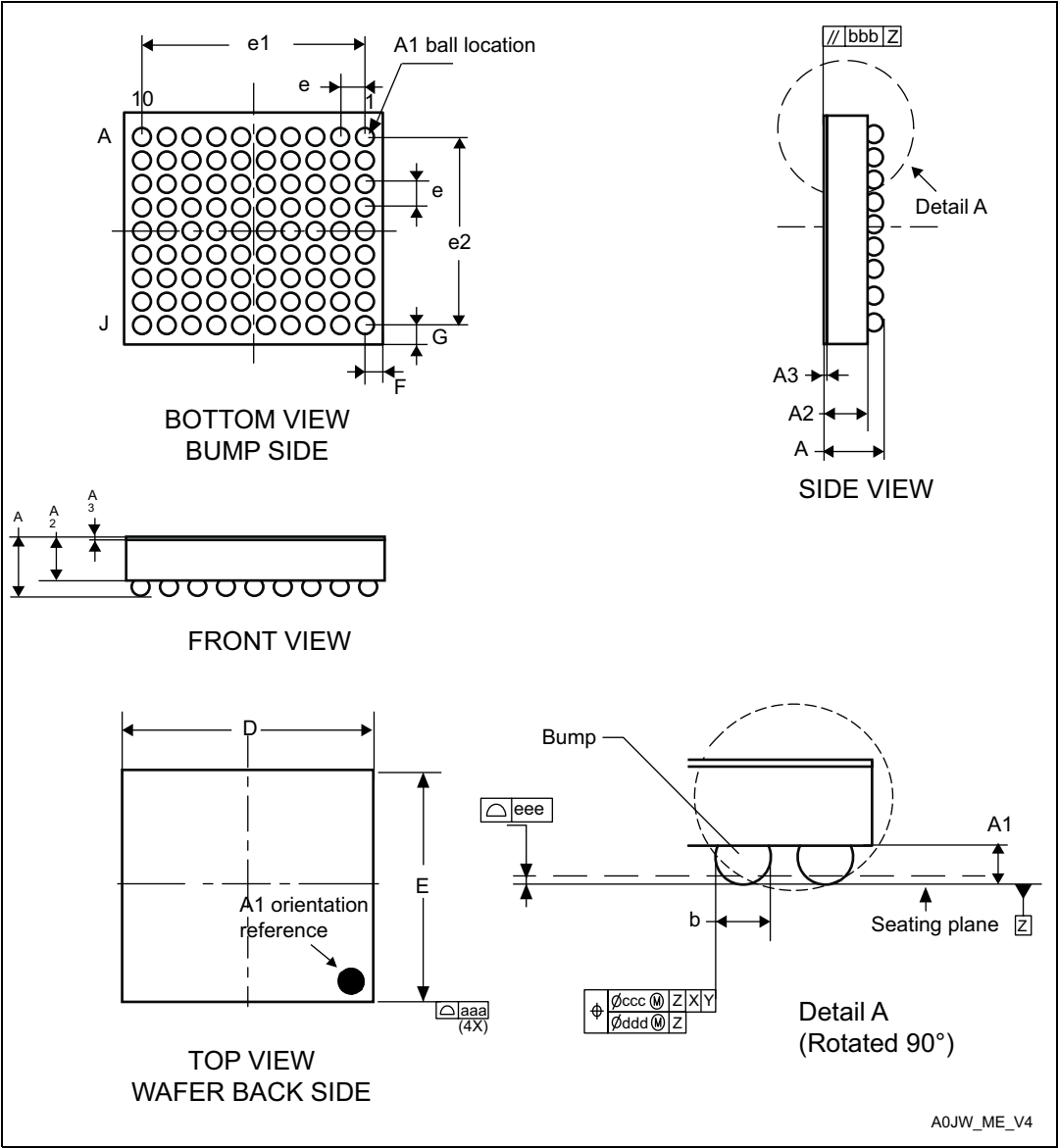
请参阅技术说明“STM32微控制器和微处理器参考设备标记示意图”（TN1433），该说明可在www.st.com上找到，其中包含了引脚1/球A1的位置，以及标记区域的位置和方向相对于引脚1/球A1的说明。

标记为“ES”、“E”或随附工程样品通知函的部件尚未通过质量认定，因此未经批准不得用于量产。ST不对因使用此类工程样品而产生的任何后果负责。在任何情况下，ST均不对客户将这些工程样品用于量产承担任何责任。若决定使用这些工程样品开展质量认定活动，必须事先联系ST的质量部门。

在相应的封装信息小节中提供了WLCSP简化的标记示例（如有）。

第7.2节 WLCSP90 封装信息

Figure 73. WLCSP90 - 4.223 x 3.969 mm, 0.400 mm pitch wafer level chip scale package outline



1. 非比例绘制。

表90. WLCSP90 - 4.223 x 3.969毫米, 0.400毫米节距晶圆级芯片级封装机械数据

Symbol	millimeters			inches ⁽¹⁾		
	Min	Typ	Max	Min	Typ	Max
A	0.540	0.570	0.600	0.0213	0.0224	0.0236
A1	-	0.190	-	-	0.0075	-
A2	-	0.380	-	-	0.0150	-
A3 ⁽²⁾	-	0.025	-	-	0.0010	-
b ⁽³⁾	0.240	0.270	0.300	0.0094	0.0106	0.0118
D	4.188	4.223	4.258	0.1649	0.1663	0.1676
E	3.934	3.969	4.004	0.1549	0.1563	0.1576
e	-	0.400	-	-	0.0157	-
e1	-	3.600	-	-	0.1417	-
e2	-	3.200	-	-	0.1260	-
F	-	0.3115	-	-	0.0123	-
G	-	0.3845	-	-	0.0151	-
aaa	-	0.100	-	-	0.0039	-
bbb	-	0.100	-	-	0.0039	-
ccc	-	0.100	-	-	0.0039	-
ddd	-	0.050	-	-	0.0020	-
eee	-	0.050	-	-	0.0020	-

1. 以毫米为单位的值由英寸转换而来, 并四舍五入保留四位小数。
2. 背面涂层。
3. 尺寸是在与基准Z平行的最大凸起直径处测量的。

图74. WLCSP90 - 4.223 x 3.969 mm, 0.400 mm节距晶圆级芯片尺寸封装推荐的焊盘尺寸

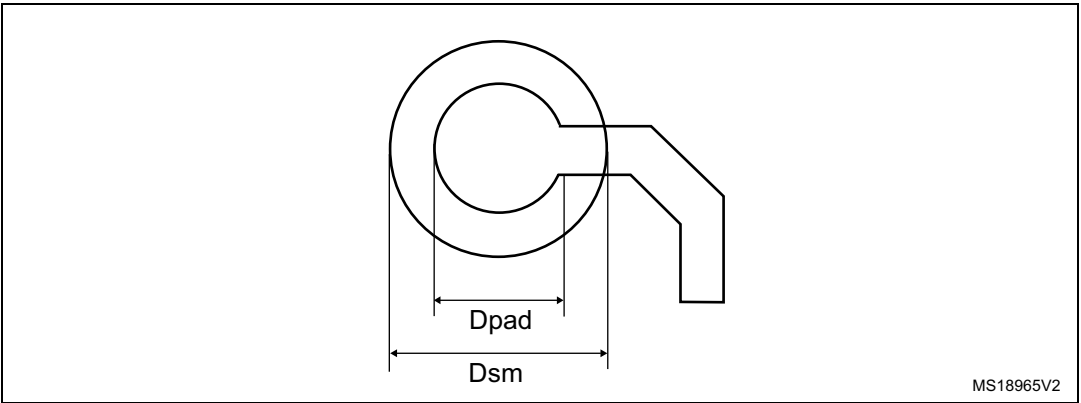


表91. WLCSP90推荐的PCB设计规则 段落{v*}

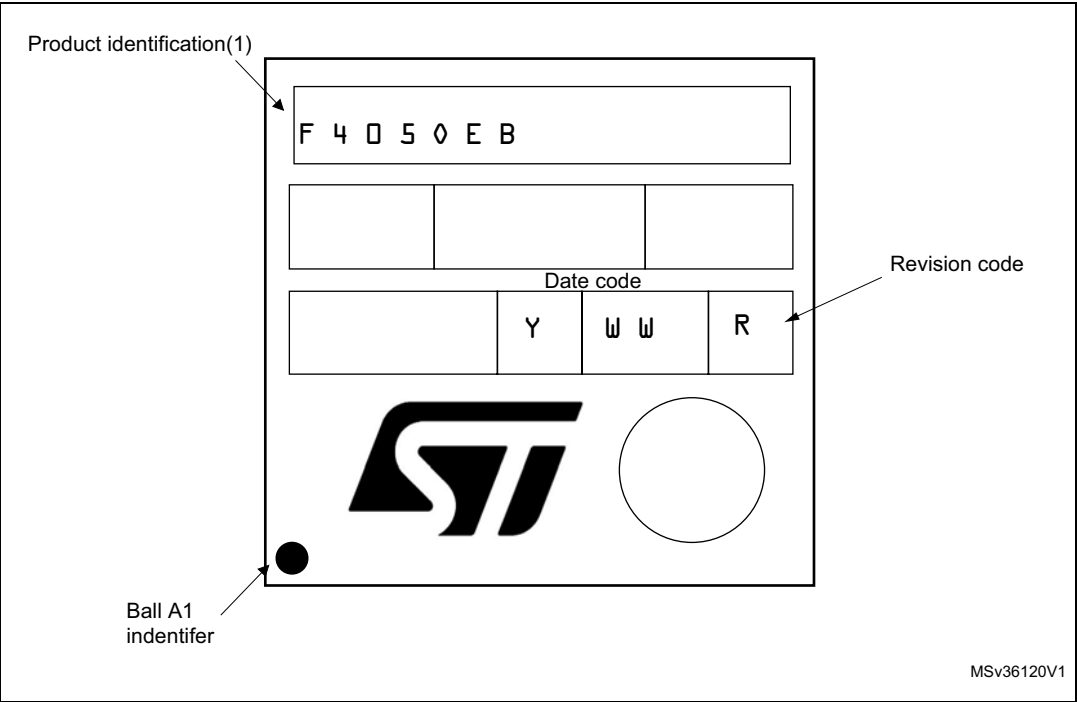
Dimension	Recommended values
Pitch	0.4 mm
Dpad	260 μm max. (circular) 220 μm recommended
Dsm	300 μm min. (for 260 μm diameter pad)
PCB pad design	Non-solder mask defined via underbump allowed

设备标记 WLCSP90 {v*}

下图给出了顶面标记和球A1位置标识符的位置示例。

印刷标记可能因供应链而异。其他可选标记或内凸/外凹标记，这些标记取决于供应链操作，未在下方列出。

图75. WLCSP90标记示例（封装顶视图）



1. 标记为“ES”、“E”或随附工程样品通知函的部件尚未通过质量认证，因此尚未准备好投入量产使用，任何因使用这些部件而产生的后果均由客户自行承担，ST概不负责。在任何情况下，ST均不对客户在生产中使用这些工程样品的行为承担任何责任。若需决定使用这些工程样品进行认证活动，必须事先联系ST质量部门。

第七章第LQFP64 封装信息（5W）

这种LQFP封装有64引脚，尺寸为10×10毫米的低轮廓四边扁平封装。

Note: See list of notes in the notes section.

图76. LQFP64 - 外形规格(15)

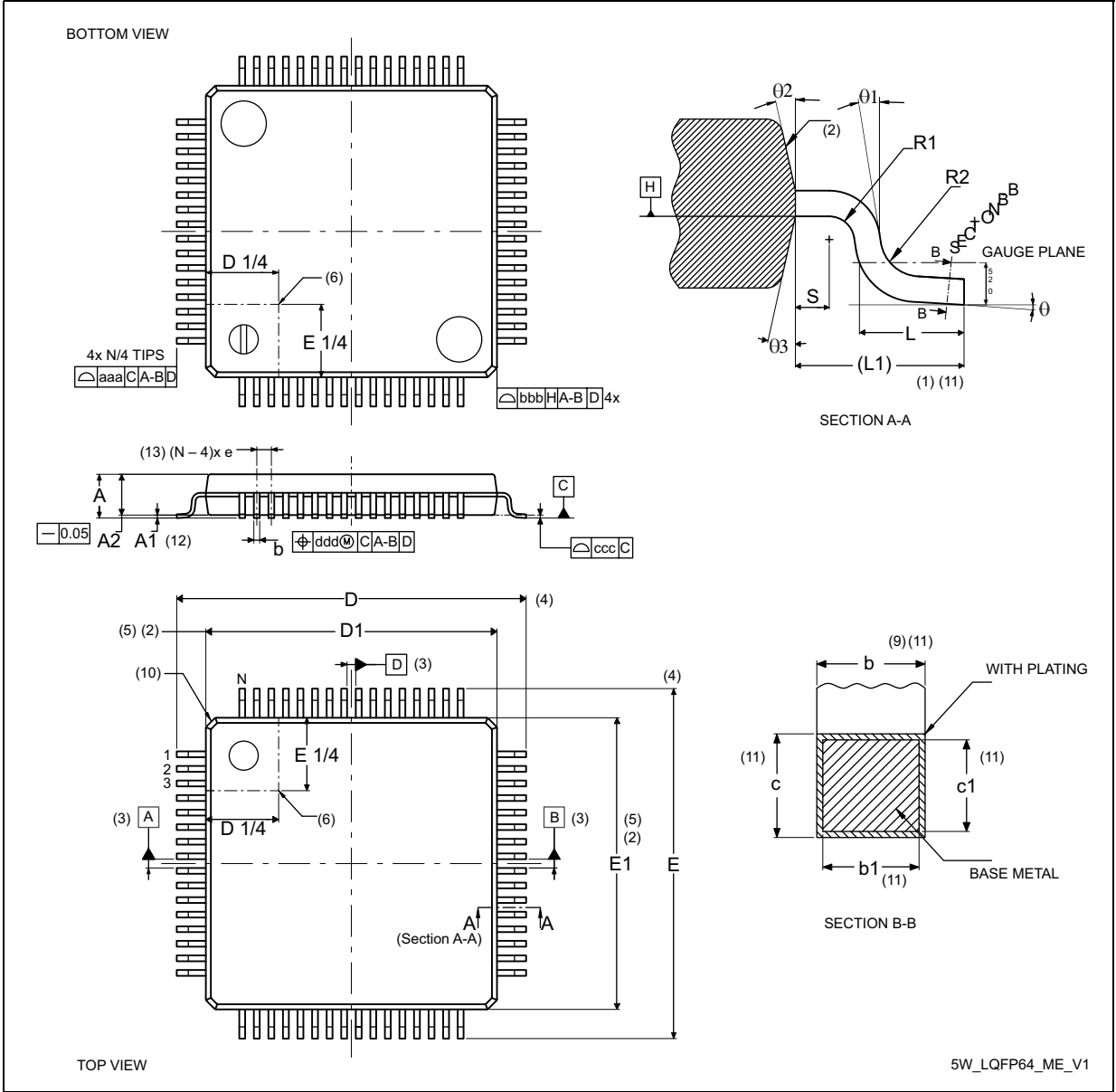


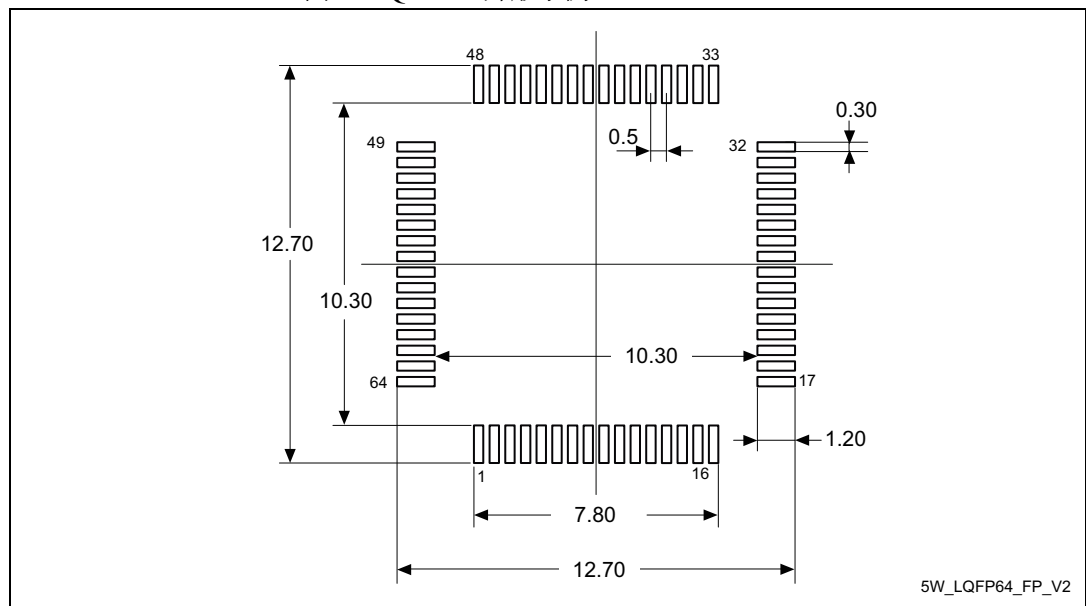
表92. LQFP64 - 机械特性

Symbol	millimeters			inches ⁽¹⁴⁾		
	Min	Typ	Max	Min	Typ	Max
A	-	-	1.60	-	-	0.0630
A1 ⁽¹²⁾	0.05	-	0.15	0.0020	-	0.0059
A2	1.35	1.40	1.45	0.0531	0.0551	0.0570
b ⁽⁹⁾⁽¹¹⁾	0.17	0.22	0.27	0.0067	0.0087	0.0106
b1 ⁽¹¹⁾	0.17	0.20	0.23	0.0067	0.0079	0.0091
c ⁽¹¹⁾	0.09	-	0.20	0.0035	-	0.0079
c1 ⁽¹¹⁾	0.09	-	0.16	0.0035	-	0.0063
D ⁽⁴⁾	12.00 BSC			0.4724 BSC		
D1 ⁽²⁾⁽⁵⁾	10.00 BSC			0.3937 BSC		
E ⁽⁴⁾	12.00 BSC			0.4724 BSC		
E1 ⁽²⁾⁽⁵⁾	10.00 BSC			0.3937 BSC		
e	0.50 BSC			0.1970 BSC		
L	0.45	0.60	0.75	0.0177	0.0236	0.0295
L1	1.00 REF			0.0394 REF		
N ⁽¹³⁾	64					
θ	0°	3.5°	7°	0°	3.5°	7°
θ1	0°	-	-	0°	-	-
θ2	10°	12°	14°	10°	12°	14°
θ3	10°	12°	14°	10°	12°	14°
R1	0.08	-	-	0.0031	-	-
R2	0.08	-	0.20	0.0031	-	0.0079
S	0.20	-	-	0.0079	-	-
aaa ⁽¹⁾	0.20			0.0079		
bbb ⁽¹⁾	0.20			0.0079		
ccc ⁽¹⁾	0.08			0.0031		
ddd ⁽¹⁾	0.08			0.0031		

注释:

1. 尺寸标注与公差方案遵循ASME Y14.5M-1994标准。
2. 顶部封装体尺寸可比底部封装体尺寸小至0.15毫米。
3. 基准A-B和D需在基准平面H上确定。
4. 需在就位基准平面C上确定。
5. D1和E1尺寸不包含模具飞边或凸起, 允许的模具飞边或凸起为每侧0.25毫米。D1和E1是包含模具错位的最大塑料封装体尺寸。
6. 第1脚标识的细节为可选, 但必须位于指定区域内。
7. 所有尺寸单位均为毫米。
8. 禁止向引脚内部侵入。
9. 尺寸“b”不包含挡块凸起, 允许的挡块凸起不得使引脚宽度超出最大“b”尺寸0.08毫米以上。挡块不能位于下圆角或引脚底部。对于0.4毫米和0.5毫米节距的封装, 凸起与相邻引脚之间的最小间距为0.07毫米。
10. 每个角的精确形状为可选。
11. 这些尺寸适用于引脚尖端0.10毫米至0.25毫米范围内的平直段。
12. A1定义为从就位平面到封装体最低点的距离。
13. “N”表示指定封装体尺寸的端子位置数量。
14. 英寸数值由毫米转换而来, 并四舍五入保留四位小数。
15. 图纸比例不按实际尺寸绘制。

图77. LQFP64 - 外形示例



1. Dimensions are expressed in millimeters.

7.4{v*} LQFP100 封装信息 (1L)

这种LQFP封装有100个引脚，尺寸为14 x 14毫米的低轮廓四边扁平封装。

Note: See list of notes in the notes section.

图78. 100引脚LQFP封装 - 封装外形图(15)

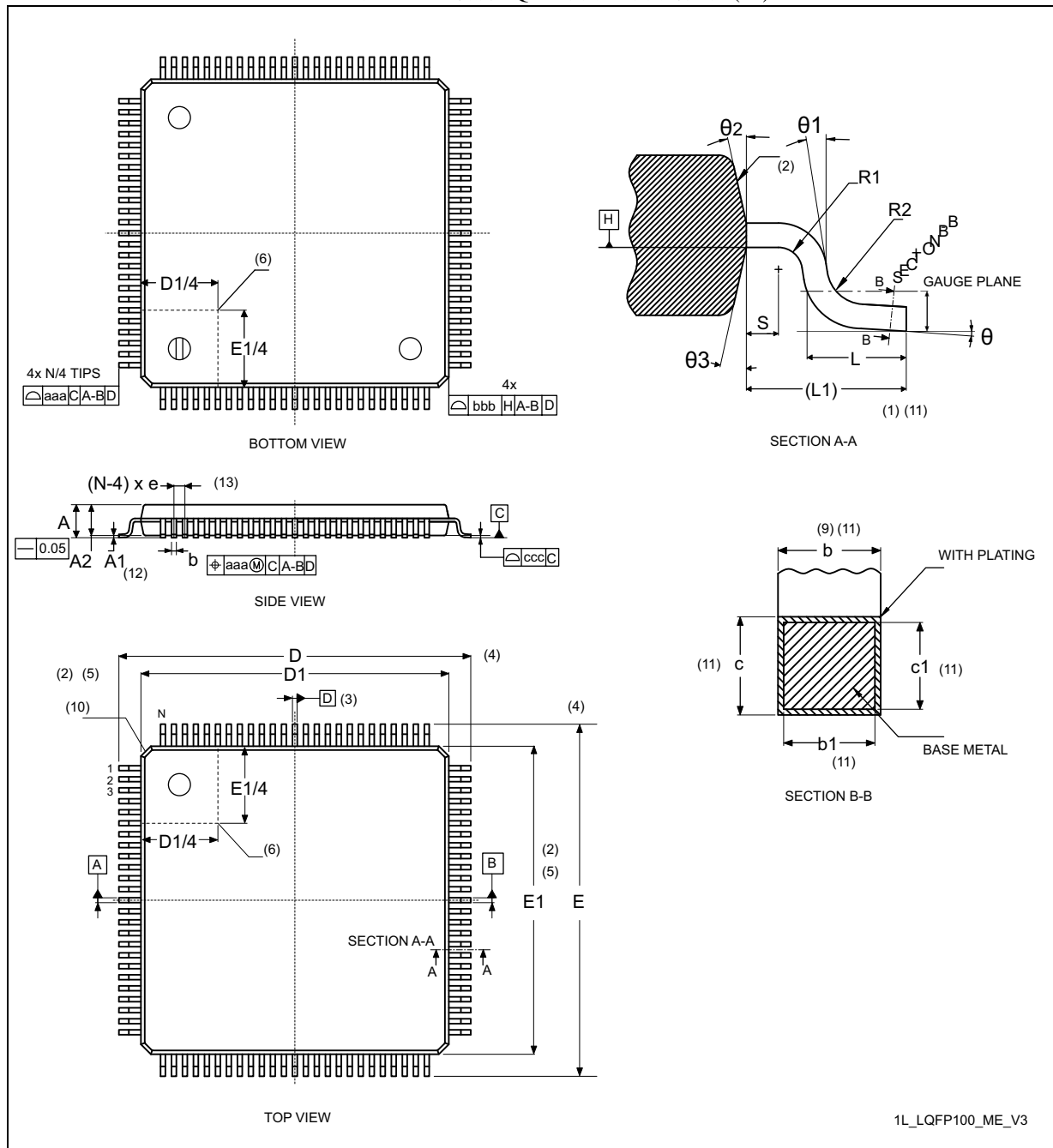


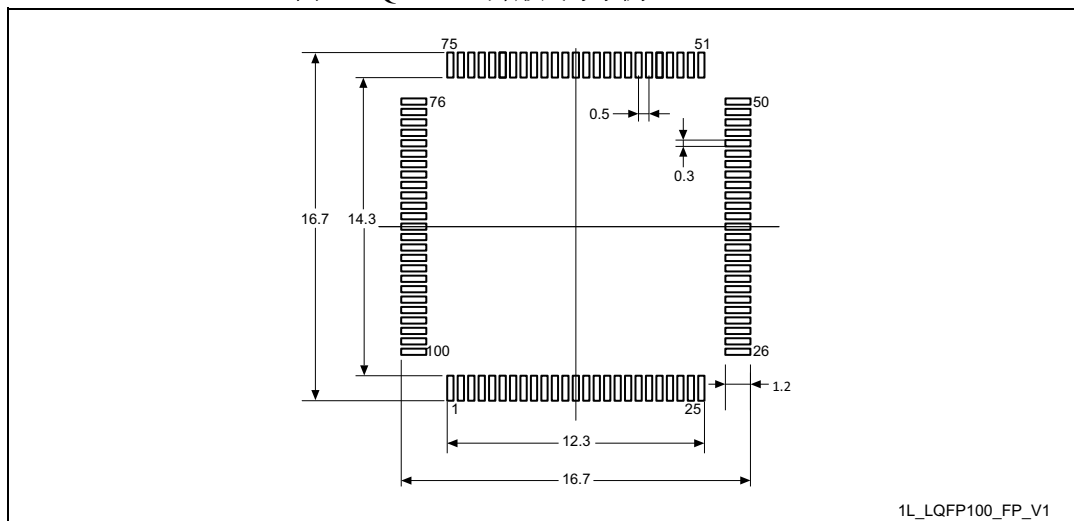
表93. LQFP100 - 机械数据

Symbol	millimeters			inches ⁽¹⁴⁾		
	Min	Typ	Max	Min	Typ	Max
A	-	1.50	1.60	-	0.0590	0.0630
A1 ⁽¹²⁾	0.05	-	0.15	0.0019	-	0.0059
A2	1.35	1.40	1.45	0.0531	0.0551	0.0570
b ⁽⁹⁾⁽¹¹⁾	0.17	0.22	0.27	0.0067	0.0087	0.0106
b1 ⁽¹¹⁾	0.17	0.20	0.23	0.0067	0.0079	0.0090
c ⁽¹¹⁾	0.09	-	0.20	0.0035	-	0.0079
c1 ⁽¹¹⁾	0.09	-	0.16	0.0035	-	0.0063
D ⁽⁴⁾	16.00 BSC			0.6299 BSC		
D1 ⁽²⁾⁽⁵⁾	14.00 BSC			0.5512 BSC		
E ⁽⁴⁾	16.00 BSC			0.6299 BSC		
E1 ⁽²⁾⁽⁵⁾	14.00 BSC			0.5512 BSC		
e	0.50 BSC			0.0197 BSC		
L	0.45	0.60	0.75	0.177	0.0236	0.0295
L1 ⁽¹⁾⁽¹¹⁾	1.00			-	0.0394	-
N ⁽¹³⁾	100					
θ	0°	3.5°	7°	0°	3.5°	7°
θ1	0°	-	-	0°	-	-
θ2	10°	12°	14°	10°	12°	14°
θ3	10°	12°	14°	10°	12°	14°
R1	0.08	-	-	0.0031	-	-
R2	0.08	-	0.20	0.0031	-	0.0079
S	0.20	-	-	0.0079	-	-
aaa ⁽¹⁾	0.20			0.0079		
bbb ⁽¹⁾	0.20			0.0079		
ccc ⁽¹⁾	0.08			0.0031		
ddd ⁽¹⁾	0.08			0.0031		

注释:

1. 尺寸标注与公差方案遵循ASME Y14.5M-1994标准。
2. 顶部封装体尺寸可比底部封装体尺寸小至0.15毫米。
3. 基准A-B和D需在基准平面H上确定。
4. 需在就位基准平面C上确定。
5. D1和E1尺寸不包含模具飞边或凸起, 允许的模具飞边或凸起为每侧0.25毫米。D1和E1是包含模具错位的最大塑料封装体尺寸。
6. 第1脚标识的细节为可选, 但必须位于指定区域内。
7. 所有尺寸单位均为毫米。
8. 禁止向引脚内部侵入。
9. 尺寸“b”不包含挡块凸起, 允许的挡块凸起不得使引脚宽度超出最大“b”尺寸0.08毫米以上。挡块不能位于下圆角或引脚底部。对于0.4毫米和0.5毫米节距的封装, 凸起与相邻引脚之间的最小间距为0.07毫米。
10. 每个角的精确形状为可选。
11. 这些尺寸适用于引脚尖端0.10毫米至0.25毫米范围内的平直段。
12. A1定义为从就位平面到封装体最低点的距离。
13. “N”表示指定封装体尺寸的端子位置数量。
14. 英寸数值由毫米转换而来, 并四舍五入保留四位小数。
15. 图纸比例不按实际尺寸绘制。

图79. LQFP100 - 外形尺寸示例



1. Dimensions are expressed in millimeters.

7.5 LQFP144封装信息 (1A)

这种LQFP封装是144引脚、尺寸为20 x 20毫米的低剖面四边扁平封装。

Note: See list of notes in the notes section.

Figure 80. LQFP144 - Outline⁽¹⁵⁾

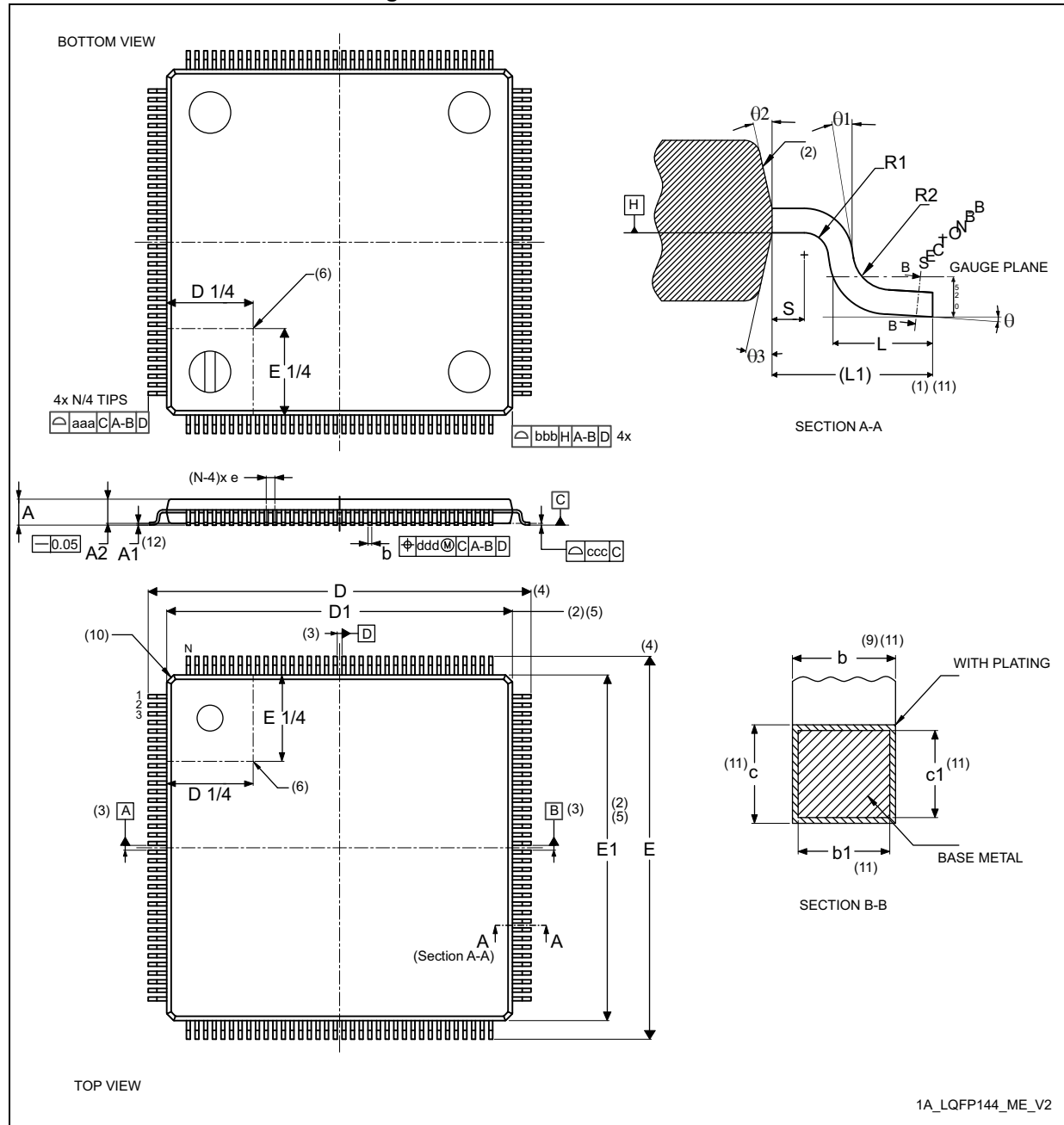


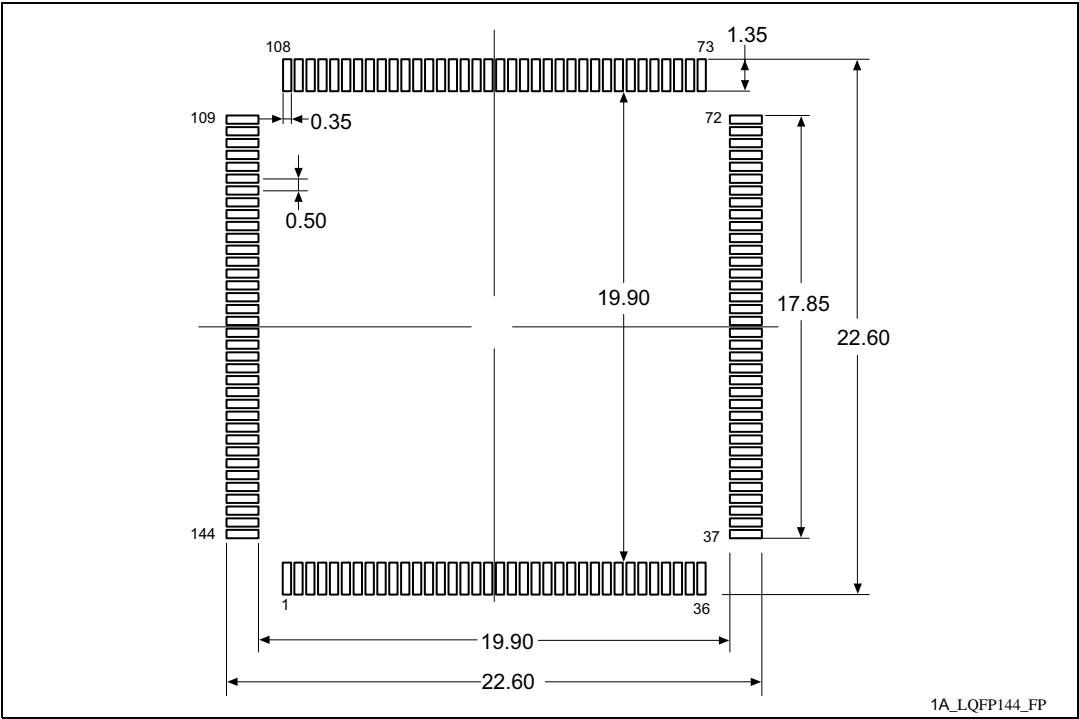
表94. LQFP144 - 机械数据

Symbol	millimeters			inches ⁽¹⁴⁾		
	Min	Typ	Max	Min	Typ	Max
A	-	-	1.60	-	-	0.0630
A1 ⁽¹²⁾	0.05	-	0.15	0.0020	-	0.0059
A2	1.35	1.40	1.45	0.0531	0.0551	0.0571
b ⁽⁹⁾⁽¹¹⁾	0.17	0.22	0.27	0.0067	0.0087	0.0106
b1 ⁽¹¹⁾	0.17	0.20	0.23	0.0067	0.0079	0.0090
c ⁽¹¹⁾	0.09	-	0.20	0.0035	-	0.0079
c1 ⁽¹¹⁾	0.09	-	0.16	0.0035	-	0.0063
D ⁽⁴⁾	22.00 BSC			0.8661 BSC		
D1 ⁽²⁾⁽⁵⁾	20.00 BSC			0.7874 BSC		
E ⁽⁴⁾	22.00 BSC			0.8661 BSC		
E1 ⁽²⁾⁽⁵⁾	20.00 BSC			0.7874 BSC		
e	0.50 BSC			0.0197 BSC		
L	0.45	0.60	0.75	0.0177	0.0236	0.0295
L1	1.00 REF			0.0394 REF		
N ⁽¹³⁾	144					
θ	0°	3.5°	7°	0°	3.5°	7°
θ1	0°	-	-	0°	-	-
θ2	10°	12°	14°	10°	12°	14°
θ3	10°	12°	14°	10°	12°	14°
R1	0.08	-	-	0.0031	-	-
R2	0.08	-	0.20	0.0031	-	0.0079
S	0.20	-	-	0.0079	-	-
aaa	0.20			0.0079		
bbb	0.20			0.0079		
ccc	0.08			0.0031		
ddd	0.08			0.0031		

注释:

1. 尺寸标注与公差方案遵循ASME Y14.5M-1994标准。
2. 顶部封装体尺寸可比底部封装体尺寸小至0.15毫米。
3. 基准A-B和D需在基准平面H上确定。
4. 需在就位基准平面C上确定。
5. D1和E1尺寸不包含模具飞边或凸起，允许的模具飞边或凸起为每侧0.25毫米。D1和E1是包含模具错位的最大塑料封装体尺寸。
6. 第1脚标识的细节为可选，但必须位于指定区域内。
7. 所有尺寸单位均为毫米。
8. 禁止向引脚内部侵入。
9. 尺寸“b”不包含挡块凸起，允许的挡块凸起不得使引脚宽度超出最大“b”尺寸0.08毫米以上。挡块不能位于下圆角或引脚底部。对于0.4毫米和0.5毫米节距的封装，凸起与相邻引脚之间的最小间距为0.07毫米。
10. 每个角的精确形状为可选。
11. 这些尺寸适用于引脚尖端0.10毫米至0.25毫米范围内的平直段。
12. A1定义为从就位平面到封装体最低点的距离。
13. “N”表示指定封装体尺寸的端子位置数量。
14. 英寸数值由毫米转换而来，并四舍五入保留四位小数。
15. 图纸比例不按实际尺寸绘制。

图81. LQFP144 - 外形尺寸示例

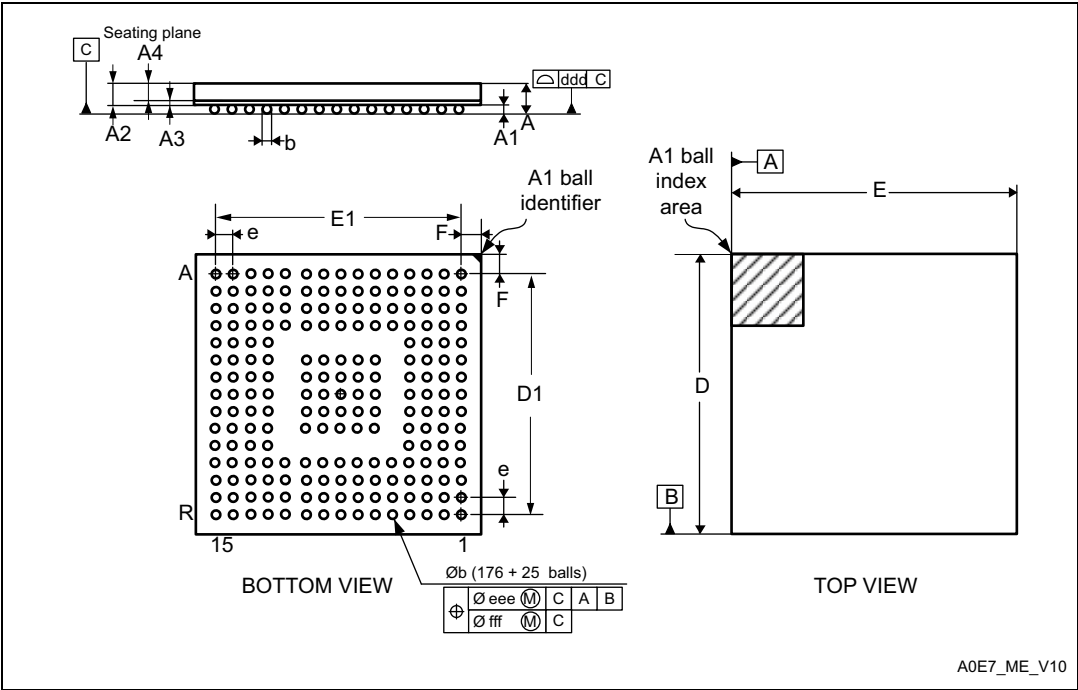


1. 尺寸以毫米表示。

7.6 UFBGA(176+25) 封装信息 (A0E7)

这种UFBGA封装是176+25球阵列，尺寸为10×10毫米，引球间距0.65毫米，属于超细间距球栅阵列封装。

图82. UFBGA(176+25) - 外形图



1. 非比例绘制。

表95. UFBGA(176+25) - 机械数据

Symbol	millimeters			inches ⁽¹⁾		
	Min.	Typ.	Max.	Min.	Typ.	Max.
A	-	-	0.600	-	-	0.0236
A1	0.050	0.080	0.110	0.0020	0.0031	0.0043
A2	-	0.450	-	-	0.0177	-
A3	-	0.130	-	-	0.0051	-
A4	-	0.320	-	-	0.0126	-
b	0.240	0.290	0.340	0.0094	0.0114	0.0134
D	9.850	10.000	10.150	0.3878	0.3937	0.3996
D1	-	9.100	-	-	0.3583	-
E	9.850	10.000	10.150	0.3878	0.3937	0.3996
E1	-	9.100	-	-	0.3583	-
e	-	0.650	-	-	0.0256	-
F	-	0.450	-	-	0.0177	-
ddd	-	-	0.080	-	-	0.0031

T95. UFBGA(176+25) - 机械数据 (续))

Symbol	millimeters			inches ⁽¹⁾		
	Min.	Typ.	Max.	Min.	Typ.	Max.
eee	-	-	0.150	-	-	0.0059
fff	-	-	0.050	-	-	0.0020

1. 以毫米为单位的值转换为英寸后，保留四位小数。

图83. UFBGA(176+25) - 封装示例

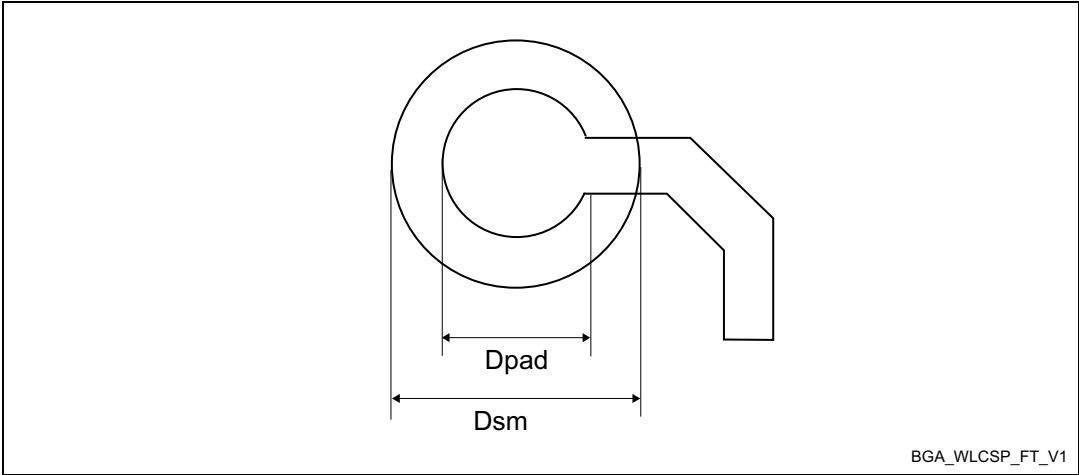


表96. UFBGA(176+25) - 0.65毫米间距BGA的PCB设计规则示例

Dimension	Values
Pitch	0.65 mm
Dpad	0.300 mm
Dsm	0.400 mm typ. (depends on the soldermask registration tolerance)
Stencil opening	0.300 mm
Stencil thickness	Between 0.100 mm and 0.125 mm
Pad trace width	0.100 mm

7.7 {v*} LQFP176 封装信息 (1T)

这种LQFP封装是一种176引脚、24 x 24毫米、0.5毫米间距、低轮廓四边扁平封装。

Note: See list of notes in the notes section.

Figure 84. LQFP176 - Outline⁽¹⁵⁾

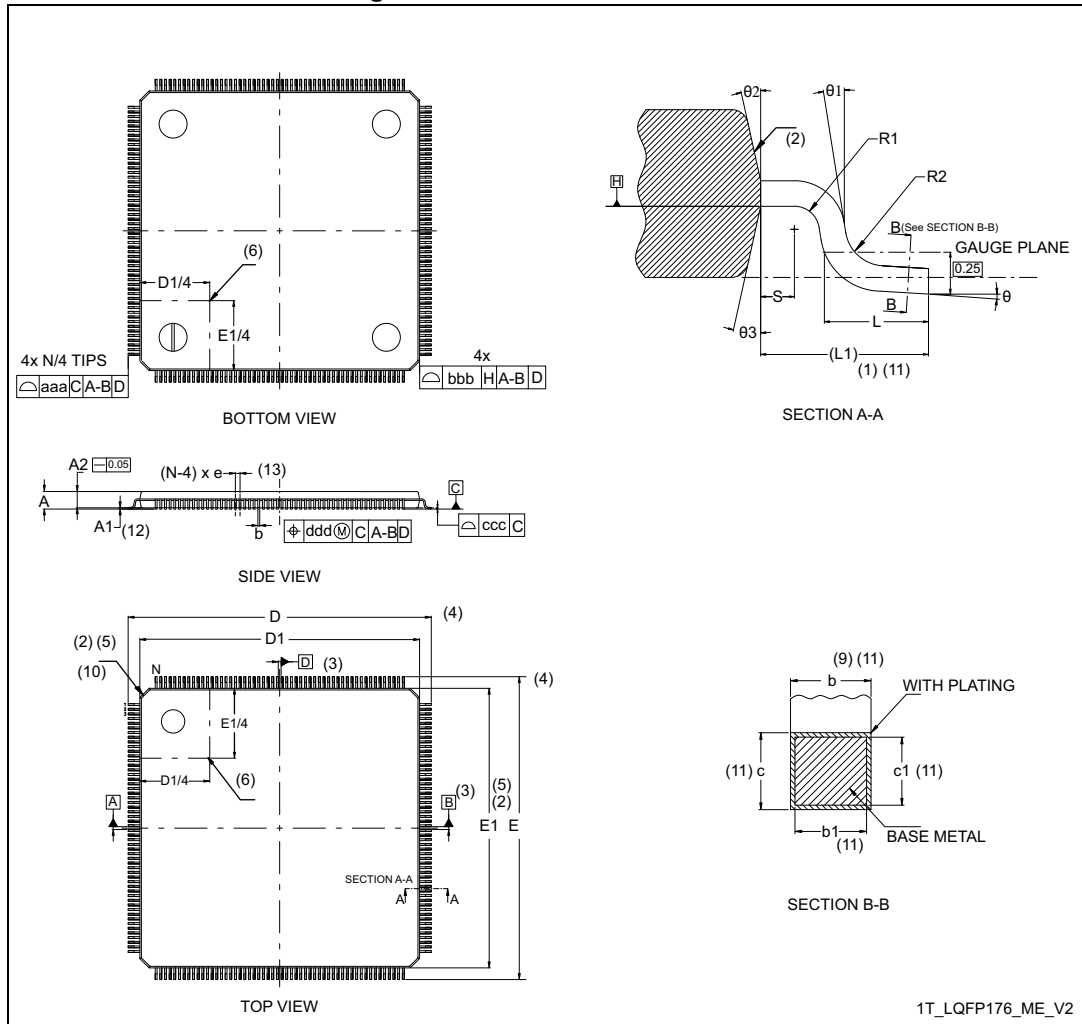


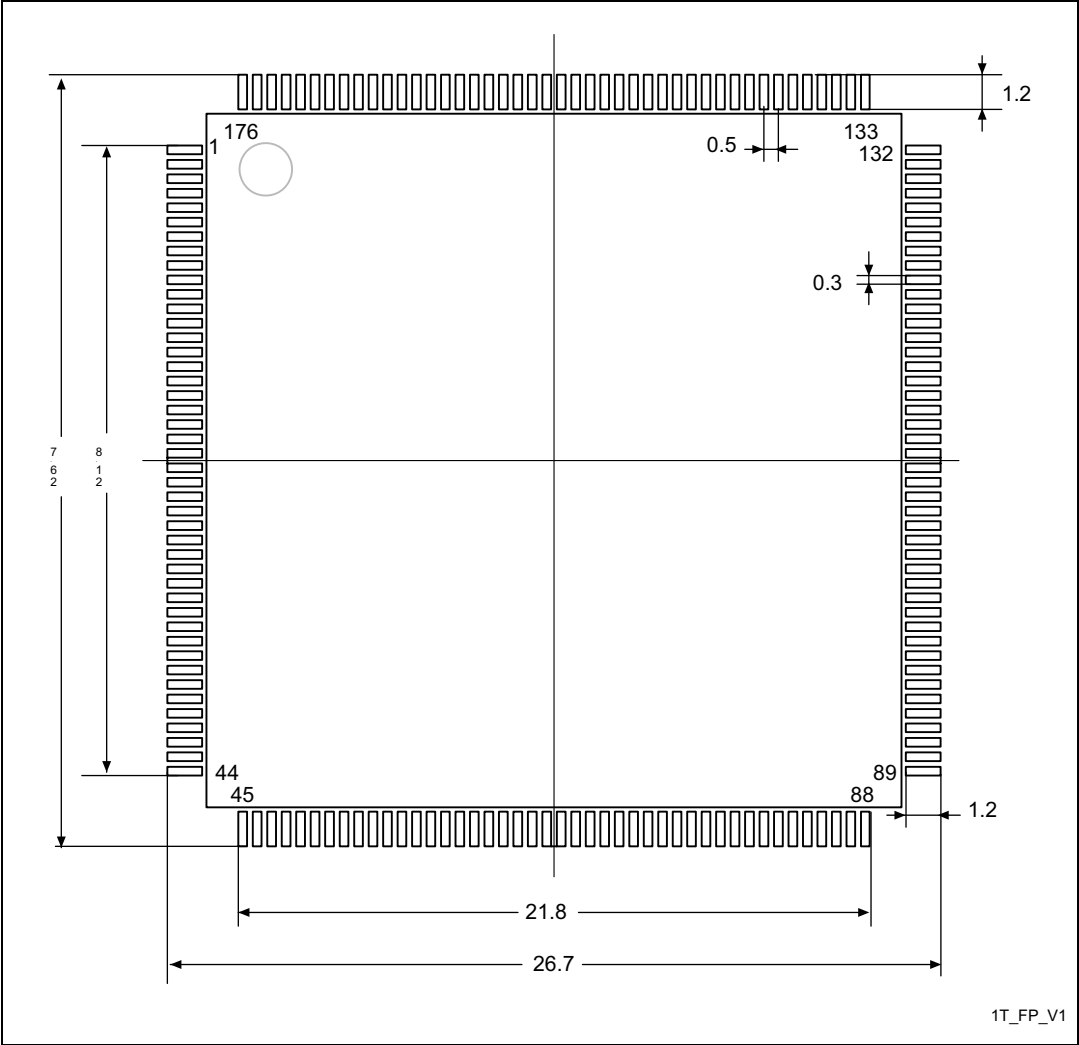
表97. LQFP176 - 机械特性

Symbol	millimeters			inches ⁽¹⁴⁾		
	Min	Typ	Max	Min	Typ	Max
A	-	-	1.600	-	-	0.0630
A1 ⁽¹²⁾	0.050	-	0.150	0.0020	-	0.0059
A2	1.350	1.400	1.450	0.0531	0.0551	0.0571
b ⁽⁹⁾⁽¹¹⁾	0.170	0.220	0.270	0.0067	0.0087	0.0106
b1 ⁽¹¹⁾	0.170	0.200	0.230	0.0067	0.0079	0.0091
c ⁽¹¹⁾	0.090	-	0.200	0.0035	-	0.0079
c1 ⁽¹¹⁾	0.090	-	0.160	0.0035	-	0.063
D ⁽⁴⁾	26.000			1.0236		
D1 ⁽²⁾⁽⁵⁾	24.000			0.9449		
E ⁽⁴⁾	26.000			0.0197		
E1 ⁽²⁾⁽⁵⁾	24.000			0.9449		
e	0.500			0.1970		
L	0.450	0.600	0.750	0.0177	0.0236	0.0295
L1 ⁽¹⁾⁽¹¹⁾	1			0.0394 REF		
N ⁽¹³⁾	176					
θ	0°	3.5°	7°	0°	3.5°	7°
θ1	0°	-	-	0°	-	-
θ2	10°	12°	14°	10°	12°	14°
θ3	10°	12°	14°	10°	12°	14°
R1	0.080	-	-	0.0031	-	-
R2	0.080	-	0.200	0.0031	-	0.0079
S	0.200	-	-	0.0079	-	-
aaa ⁽¹⁾	0.200			0.0079		
bbb ⁽¹⁾	0.200			0.0079		
ccc ⁽¹⁾	0.080			0.0031		
ddd ⁽¹⁾	0.080			0.0031		

注释:

1. 尺寸标注与公差方案遵循ASME Y14.5M-1994标准。
2. 顶部封装体尺寸可比底部封装体尺寸小至0.15毫米。
3. 基准A-B和D需在基准平面H上确定。
4. 需在就位基准平面C上确定。
5. D1和E1尺寸不包含模具飞边或凸起，允许的模具飞边或凸起为每侧0.25毫米。D1和E1是包含模具错位的最大塑料封装体尺寸。
6. 第1脚标识的细节为可选，但必须位于指定区域内。
7. 所有尺寸单位均为毫米。
8. 禁止向引脚内部侵入。
9. 尺寸“b”不包含挡块凸起，允许的挡块凸起不得使引脚宽度超出最大“b”尺寸0.08毫米以上。挡块不能位于下圆角或引脚底部。对于0.4毫米和0.5毫米节距的封装，凸起与相邻引脚之间的最小间距为0.07毫米。
10. 每个角的精确形状为可选。
11. 这些尺寸适用于引脚尖端0.10毫米至0.25毫米范围内的平直段。
12. A1定义为从就位平面到封装体最低点的距离。
13. “N”表示指定封装体尺寸的端子位置数量。
14. 英寸数值由毫米转换而来，并四舍五入保留四位小数。
15. 图纸比例不按实际尺寸绘制。

图85. LQFP176 - 外形示例



1. 尺寸以毫米表示。

7.8 热特性

芯片结温 $T_{J\max}$ （单位：摄氏度）可由下式计算：注：根据用户要求，公式符号保持不变，且仅输出翻译结果。

热阻 T_J 最大值= 热阻 T_A 最大值+ (PD最大值乘以 Θ_{JA})

其中：

- $T_A\max$ 为°摄氏度下的最大环境温度。
- Θ_{JA} 是封装结到环境热阻，单位为°摄氏度每瓦。
- PD max为PINT max与PI/O max之和（PD max = PINT max + PI/Omax）。
- PINT max 是 IDD 和 VDD 的乘积，以瓦特为单位。这是芯片的最大内部功耗。

PI/O max 表示输出引脚上的最大功耗，其中：

$$P_{I/O\max} = \Sigma (V_{OL} \times I_{OL}) + \Sigma (V_{DD} - V_{OH}) \times I_{OH},$$

考虑到应用中I/O在低电平和高电平下的实际VOL/IOL和VOH/IOH。

表98. 封装热特性

Symbol	Parameter	Value	Unit
Θ_{JA}	Thermal resistance junction-ambient LQFP64 - 10 × 10 mm / 0.5 mm pitch	46	°C/W
	Thermal resistance junction-ambient LQFP100 - 14 × 14 mm / 0.5 mm pitch	43	
	Thermal resistance junction-ambient LQFP144 - 20 × 20 mm / 0.5 mm pitch	40	
	Thermal resistance junction-ambient LQFP176 - 24 × 24 mm / 0.5 mm pitch	38	
	Thermal resistance junction-ambient UFBGA176 - 10× 10 mm / 0.65 mm pitch	39	
	Thermal resistance junction-ambient WLCSP90 - 0.400 mm pitch	38.1	

参考文档

JESD51-2集成电路热测试方法环境条件——自然对流（静止空气）。可在www.jedec.org获取。

订购信息

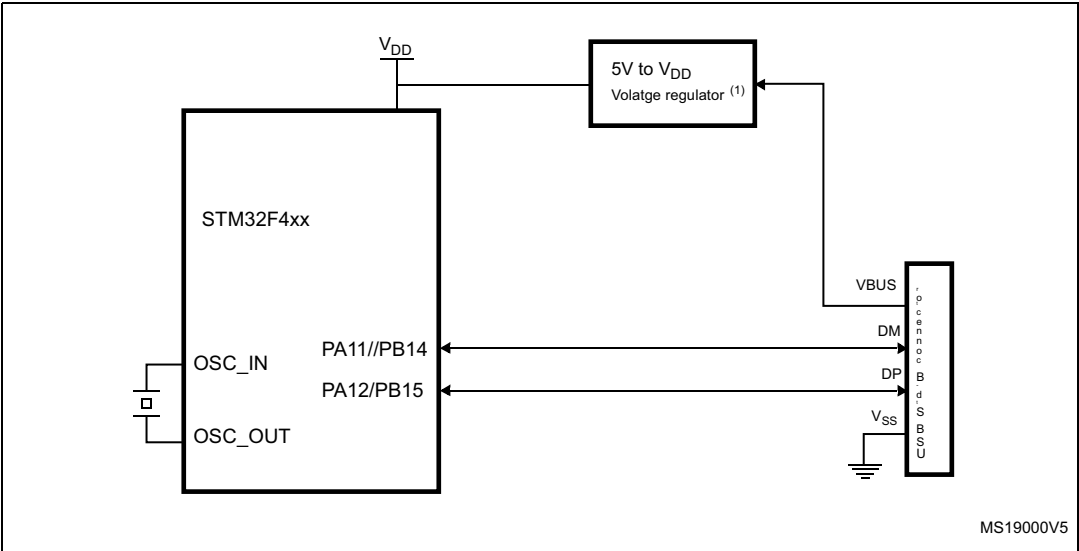
Example:	STM32	F	405	R	E	T	6	xxx
Device family								
STM32 = Arm-based 32-bit microcontroller								
Product type								
F = general-purpose								
Device subfamily								
405 = STM32F40xxx, connectivity								
407= STM32F40xxx, connectivity, camera interface, Ethernet								
Pin count								
R = 64 pins								
O = 90 pins								
V = 100 pins								
Z = 144 pins								
I = 176 pins								
Flash memory size								
E = 512 Kbytes of flash memory								
G = 1024 Kbytes of flash memory								
Package								
T = LQFP								
H = UFBGA								
Y = WLCSP								
Temperature range								
6 = Industrial temperature range, –40 to 85 °C.								
7 = Industrial temperature range, –40 to 105 °C.								
Options								
xxx = programmed parts								
TR = tape and reel								

若需了解可用选项（如速度、套餐等）或此设备的任何方面的更多信息，请联系您最近的ST销售办公室。

附录A 应用框图

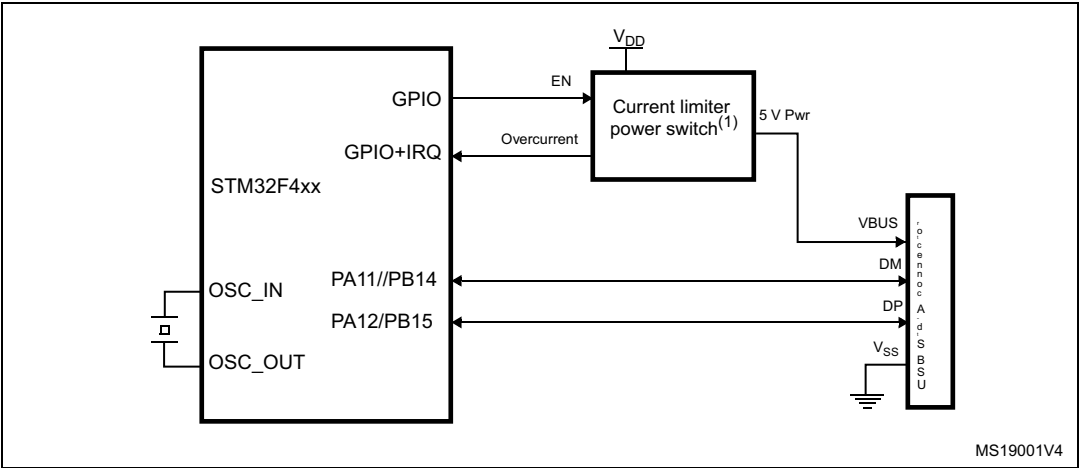
A.1 USB OTG全速（FS）接口解决方案

图86. USB控制器配置为仅外设模式并在全速模式下使用

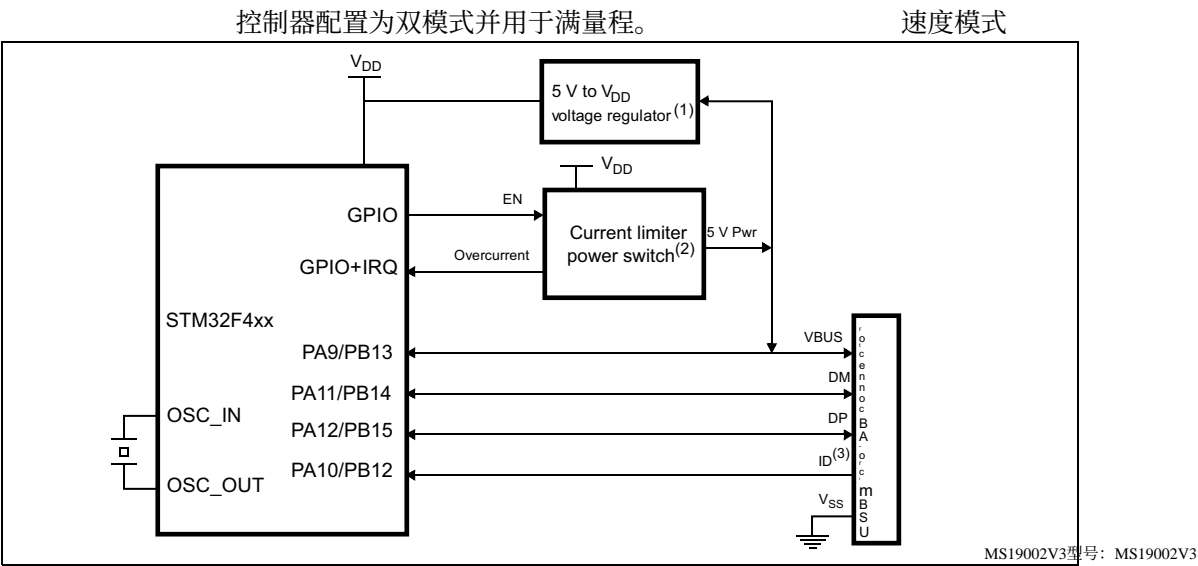


1. 构建VBUS供电设备时仅需外部电压调节器。
2. 通过OTG HS以FS模式开发相同应用，可得益于大容量Rx/Tx FIFO及专用DMA控制器实现增强性能。

图87. USB控制器配置为主机模式并在全速模式下使用



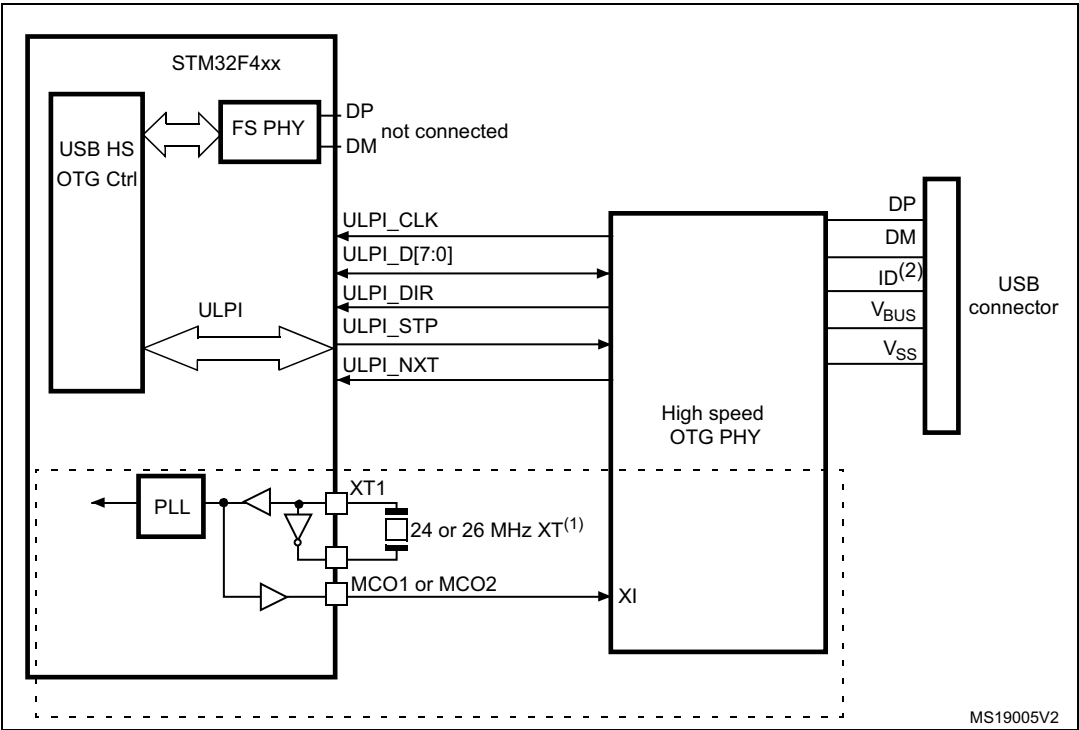
1. The current limiter is required only if the application has to support a V_{BUS} powered device. A basic power switch can be used if 5 V are available on the application board.
2. The same application can be developed using the OTG HS in FS mode to achieve enhanced performance thanks to the large Rx/Tx FIFO and to a dedicated DMA controller.



1. 仅在构建VBUS供电设备时才需要外部电压调节器。 2. 仅当应用需要支持VBUS供电设备时才需要电流限制器。如果应用板上可用5V电源，则可以使用基本电源开关。 3. ID引脚仅在双角色模式下需要。 4. 可以使用OTG高速模式下的全速模式开发同一应用，从而通过大容量Rx/Tx FIFO和专用DMA控制器实现增强性能。

A.2 USB OTG高速(HS)接口解决方案

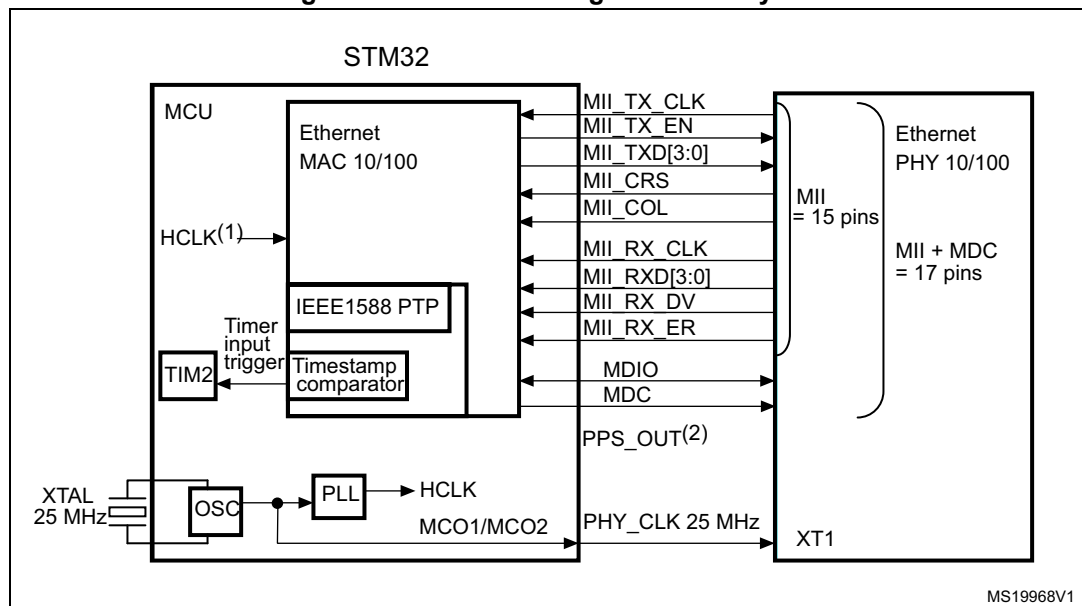
图89. USB控制器配置为外设模式、主机模式或双模式
and used in high speed mode



1. 可以使用MCO1或MCO2来节省一个晶振。然而，在使用USB HS时，给STM32F40xxx使用24或26 MHz的晶振并不是必须的。上图仅展示了一个可能的连接示例。 2. ID引脚仅在双角色模式下是必需的。

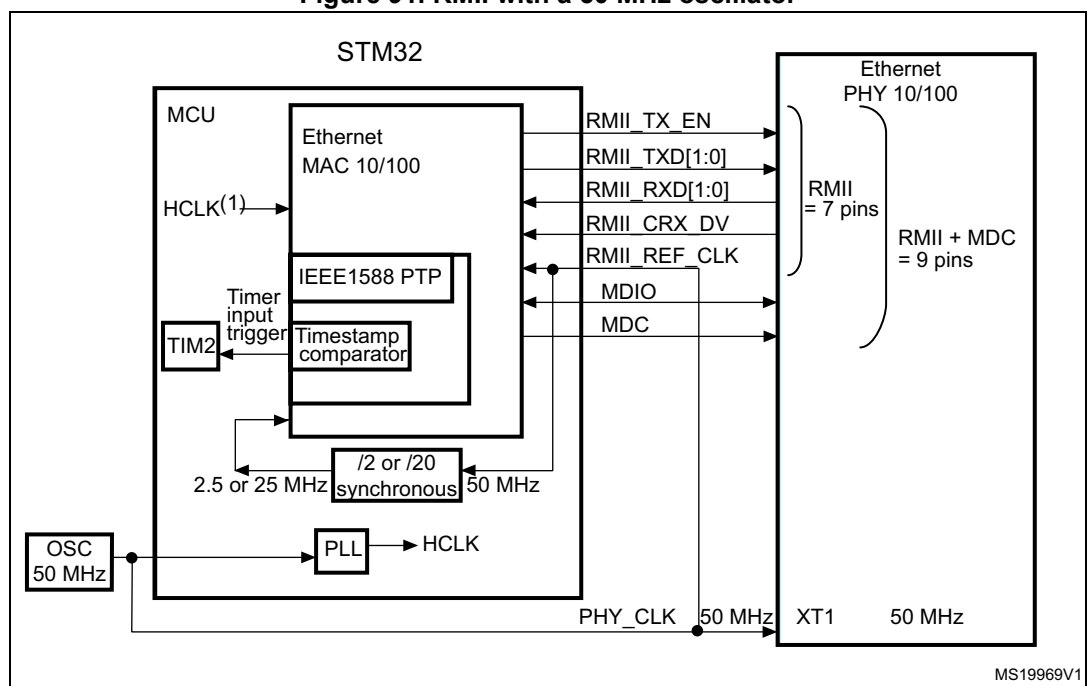
A.3 以太网接口解决方案

Figure 90. MII mode using a 25 MHz crystal



1. fHCLK 必须大于 25 MHz。 2. 当使用 IEEE1588 PTP 可选信号时，每秒脉冲数。

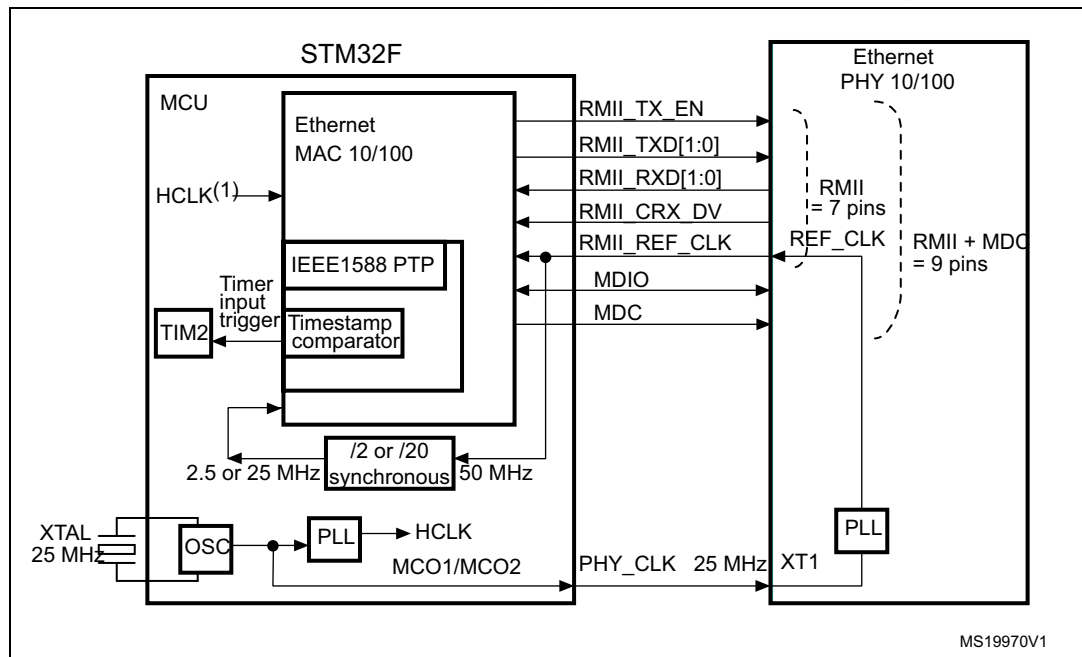
Figure 91. RMI with a 50 MHz oscillator



1. fHCLK 必须大于 25 MHz。

图92. 带有25 MHz晶振的RMII和PHY

锁相环



1. fHCLK 必须大于 25 MHz。
2. 25 MHz (PHY_CLK) 必须直接从 HSE 振荡器导出，在 PLL 模块之前。

9. 重要安全通知

STMicroelectronics集团公司（ST）高度重视产品安全，因此本文档中识别的ST产品可能获得各种安全认证机构的认证和/或实施本文所述的自身安全措施。然而，无论安全认证和/或内置安全措施达到何种水平，都无法保证ST产品能抵御所有形式的攻击。因此，ST的每位客户都有责任判断ST产品所提供的安全级别是否满足客户需求，这既包括ST产品本身，也包括其与客户最终产品或应用中的其他组件和/或软件相结合时的情况。特别注意：

- ST产品可能已获得一个或多个安全认证机构的认证，例如平台安全架构（www.psacertified.org）和/或物联网平台安全评估标准（www.trustcb.com）。关于本文提及的ST产品是否已获得安全认证及其认证级别和当前状态的详细信息，建议访问相关认证标准网站或前往www.st.com上的相关产品页面获取最新信息。由于ST产品的安全认证状态和/或级别可能随时间变化，客户应根据需要重新核实安全认证状态/级别。如果某个ST产品在特定安全标准下未显示已通过认证，客户不应假设其已获得认证。
- 认证机构有权就ST产品进行安全认证的评估、授予和撤销。因此，这些认证机构独立负责对ST产品的安全认证进行授予或撤销，ST不对认证机构针对任何ST产品所进行的错误、评估、评定、测试或其他活动承担任何责任。
- 基于行业标准的加密算法（如 AES、DES 或 MD5）及其他可能与 ST 产品一起使用的开放标准技术，均未由 ST 开发。ST 对此类加密算法或开放技术本身存在的缺陷，亦不承担任何责任，同时也不对任何旨在绕过、解密或破解这些算法或技术的方法负责，无论这些方法是否已被开发或可能被开发。
- 尽管进行了全面的安全测试，但任何级别的认证都无法绝对保证产品免受所有攻击的防护，包括但不限于未经测试的高级攻击、新型或未识别的攻击形式，或在超出其规格或预期用途、与客户用于构建其最终产品或应用程序的其他组件或软件结合使用时所面临的任何攻击形式。ST不对这些攻击的防御能力承担责任。因此，无论ST提供的安全特性和/或任何信息与支持如何，每位客户都必须自行判断所测试的攻击级别是否满足其需求，无论是针对ST产品本身，还是在其融入客户最终产品或应用程序时。
- ST产品的所有安全功能（包括但不限于任何硬件、软件、文档等），包括但不限于ST添加的任何增强型安全功能，均以“现状”为基础提供。因此，在适用法律允许的范围内，ST不承担任何明示或默示的保证，包括但不限于适销性和特定用途适用性的默示保证，除非适用的书面和签订合同条款另有规定。

10 修订历史

表99. 文档修订历史

Date	Revision	Changes
15-Sep-2011	1	Initial release.
24-Jan-2012	2	<p>Added WLCSP90 package on cover page.</p> <p>Renamed USART4 and USART5 into UART4 and UART5, respectively.</p> <p>Updated number of USB OTG HS and FS in Table 3: STM32F405xx and STM32F407xx: features and peripheral counts.</p> <p>Updated Figure 3: Compatible board design between STM32F10xx/STM32F2/STM32F40xxx for LQFP144 package and Figure 4: Compatible board design between STM32F2 and STM32F40xxx for LQFP176 and BGA176 packages, and removed note 1 and 2.</p> <p>Updated Section 3.0.9: Flexible static memory controller (FSMC).</p> <p>Modified I/Os used to reprogram the Flash memory for CAN2 and USB OTG FS in Section 3.0.13: Boot modes.</p> <p>Updated note in Section 3.0.14: Power supply schemes.</p> <p>PDR_ON no more available on LQFP100 package. Updated Section 3.0.16: Voltage regulator. Updated condition to obtain a minimum supply voltage of 1.7 V in the whole document.</p> <p>Renamed USART4/5 to UART4/5 and added LIN and IrDA feature for UART4 and UART5 in Table 6: USART feature comparison.</p> <p>Removed support of I2C for OTG PHY in Section 3.0.30: Universal serial bus on-the-go full-speed (OTG_FS).</p> <p>Added Table 7: Legend/abbreviations used in the pinout table.</p> <p>Table 8: STM32F40xxx pin and ball definitions: replaced VSS_3, VSS_4, and VSS_8 by VSS; reformatted Table 8: STM32F40xxx pin and ball definitions to better highlight I/O structure, and alternate functions versus additional functions; signal corresponding to LQFP100 pin 99 changed from PDR_ON to VSS; EVENTOUT added in the list of alternate functions for all I/Os; ADC3_IN8 added as alternate function for PF10; FSMC_CLE and FSMC_ALE added as alternate functions for PD11 and PD12, respectively; PH10 alternate function TIM15_CH1_ETR renamed TIM5_CH1; updated PA4 and PA5 I/O structure to TTa.</p> <p>Removed OTG_HS_SCL, OTG_HS_SDA, OTG_FS_INTN in Table 8: STM32F40xxx pin and ball definitions and Table 10: Alternate function mapping.</p> <p>Changed TCM data RAM to CCM data RAM in Figure 18: STM32F40xxx memory map.</p> <p>Added IVDD and IVSS maximum values in Table 14: Current characteristics.</p> <p>Added Note 1 related to fHCLK, updated Note 2 in Table 16: General operating conditions, and added maximum power dissipation values.</p> <p>Updated Table 17: Limitations depending on the operating power supply range.</p>

表99. 文档修订历史 (续)

Date	Revision	Changes
24-Jan-2012	2 (continued)	<p>Added V12 in Table 21: Embedded reset and power control block characteristics.</p> <p>Updated Table 23: Typical and maximum current consumption in Run mode, code with data processing running from Flash memory (ART accelerator disabled) and Table 22: Typical and maximum current consumption in Run mode, code with data processing running from Flash memory (ART accelerator enabled) or RAM. Added Figure , Figure 25, Figure 26, and Figure 27.</p> <p>Updated Table 24: Typical and maximum current consumption in Sleep mode and removed Note 1.</p> <p>Updated Table 25: Typical and maximum current consumptions in Stop mode and Table 26: Typical and maximum current consumptions in Standby mode, Table 27: Typical and maximum current consumptions in VBAT mode, and Table 29: Switching output I/O current consumption.</p> <p>Section : On-chip peripheral current consumption: modified conditions, and updated Table 30: Peripheral current consumption and Note 2.</p> <p>Changed fHSE_ext to 50 MHz and tr(HSE)/tf(HSE) maximum value in Table 32: High-speed external user clock characteristics.</p> <p>Added Cin(LSE) in Table 33: Low-speed external user clock characteristics.</p> <p>Updated maximum PLL input clock frequency, removed related note, and deleted jitter for MCO for RMII Ethernet typical value in Table 38: Main PLL characteristics. Updated maximum PLLI2S input clock frequency and removed related note in Table 39: PLLI2S (audio PLL) characteristics.</p> <p>Updated Section : Flash memory to specify that the devices are shipped to customers with the Flash memory erased. Updated Table 41: Flash memory characteristics, and added tME in Table 42: Flash memory programming.</p> <p>Updated Table 45: EMS characteristics, and Table 46: EMI characteristics.</p> <p>Updated Table 58: I2S dynamic characteristics</p> <p>Updated Figure 45: ULPI timing diagram and Table 64: ULPI timing.</p> <p>Added tCOUNTER and tMAX_COUNT in Table 54: Characteristics of TIMx connected to the APB1 domain and Table 55: Characteristics of TIMx connected to the APB2 domain. Updated Table 67: Dynamic characteristics: Ethernet MAC signals for RMII.</p> <p>Removed USB-IF certification in Section : USB OTG FS characteristics.</p>

表99. 文档修订历史 (续)

Date	Revision	Changes
24-Jan-2012	2 (continued)	<p>Updated Table 63: USB HS clock timing parameters</p> <p>Updated Table 69: ADC characteristics.</p> <p>Updated Table 70: ADC accuracy at fADC = 30 MHz.</p> <p>Updated Note 1 in Table 76: DAC characteristics.</p> <p>Section 6.3.26: FSMC characteristics: updated Table 77 to Table 88, changed CL value to 30 pF, and modified FSMC configuration for asynchronous timings and waveforms. Updated Figure 59: Synchronous multiplexed PSRAM write timings.</p> <p>Updated Table 100: Package thermal characteristics.</p> <p>Appendix A.1: USB OTG full speed (FS) interface solutions: modified Figure 93: USB controller configured as peripheral-only and used in Full speed mode added Note 2, updated Figure 94: USB controller configured as host-only and used in full speed mode and added Note 2, changed Figure 95: USB controller configured in dual mode and used in full speed mode and added Note 3.</p> <p>Appendix A.2: USB OTG high speed (HS) interface solutions: removed figures USB OTG HS device-only connection in FS mode and USB OTG HS host-only connection in FS mode, and updated Figure 96: USB controller configured as peripheral, host, or dual-mode and used in high speed mode and added Note 2.</p> <p>Added Appendix A.3: Ethernet interface solutions.</p>

表99. 文档修订历史 (续)

Date	Revision	Changes
31-May-2012	3	<p>Updated Figure 5: STM32F40xxx block diagram and Figure 7: Power supply supervisor interconnection with internal reset OFF</p> <p>Added SDIO, added notes related to FSMC and SPI/I2S in Table 3: STM32F405xx and STM32F407xx: features and peripheral counts.</p> <p>Starting from Silicon revision Z, USB OTG full-speed interface is now available for all STM32F405xx devices.</p> <p>Added full information on WLCSP90 package together with corresponding part numbers.</p> <p>Changed number of AHB buses to 3.</p> <p>Modified available Flash memory sizes in Section 3.0.4: Embedded Flash memory.</p> <p>Modified number of maskable interrupt channels in Section 3.0.10: Nested vectored interrupt controller (NVIC).</p> <p>Updated case of Regulator ON/internal reset ON, Regulator ON/internal reset OFF, and Regulator OFF/internal reset ON in Section 3.0.16: Voltage regulator.</p> <p>Updated standby mode description in Section 3.0.19: Low-power modes.</p> <p>Added Note 1 below Figure 16: STM32F40xxx UFBGA176 ballout.</p> <p>Added Note 1 below Figure 17: STM32F40xxx WLCSP90 ballout.</p> <p>Updated Table 8: STM32F40xxx pin and ball definitions.</p> <p>Added Table 9: FSMC pin definition.</p> <p>Removed OTG_HS_INTN alternate function in Table 8: STM32F40xxx pin and ball definitions and Table 10: Alternate function mapping.</p> <p>Removed I2S2_WS on PB6/AF5 in Table 10: Alternate function mapping.</p> <p>Replaced JTRST by NJTRST, removed ETH_RMII_TX_CLK, and modified I2S3ext_SD on PC11 in Table 10: Alternate function mapping.</p> <p>Added Table 12: register boundary addresses.</p> <p>Updated Figure 18: STM32F40xxx memory map.</p> <p>Updated VDDA and VREF+ decoupling capacitor in Figure 21: Power supply scheme.</p> <p>Added power dissipation maximum value for WLCSP90 in Table 16: General operating conditions.</p> <p>Updated VPOR/PDR in Table 21: Embedded reset and power control block characteristics.</p> <p>Updated notes in Table 23: Typical and maximum current consumption in Run mode, code with data processing running from Flash memory (ART accelerator disabled), Table 22: Typical and maximum current consumption in Run mode, code with data processing running from Flash memory (ART accelerator enabled) or RAM, and Table 24: Typical and maximum current consumption in Sleep mode.</p> <p>Updated maximum current consumption at TA = 25 °n Table 25: Typical and maximum current consumptions in Stop mode.</p>

表99. 文档修订历史 (续)

Date	Revision	Changes
31-May-2012	3 (continued)	<p>Removed fHSE_ext typical value in Table 32: High-speed external user clock characteristics. Updated Table 34: HSE 4-26 MHz oscillator characteristics and Table 35: LSE oscillator characteristics (fLSE = 32.768 kHz).</p> <p>Added fPLL48_OUT maximum value in Table 38: Main PLL characteristics.</p> <p>Modified equation 1 and 2 in Section 6.3.11: PLL spread spectrum clock generation (SSCG) characteristics.</p> <p>Updated Table 41: Flash memory characteristics, Table 42: Flash memory programming, and Table 43: Flash memory programming with VPP.</p> <p>Updated Section : Output driving current.</p> <p>Table 56: I2C characteristics: Note 4 updated and applied to th(SDA) in Fast mode, and removed note 4 related to th(SDA) minimum value.</p> <p>Updated Table 69: ADC characteristics. Updated note concerning ADC accuracy vs. negative injection current below Table 70: ADC accuracy at fADC = 30 MHz.</p> <p>Added WLCSP90 thermal resistance in Table 100: Package thermal characteristics.</p> <p>Updated Table 92: WLCSP90 - 4.223 x 3.969 mm, 0.400 mm pitch wafer level chip scale package mechanical data.</p> <p>Updated Figure 87: UFBGA176+25 ball, 10 x 10 mm, 0.65 mm pitch, ultra fine pitch ball grid array package outline and Table 97: UFBGA176+25 ball, 10 x 10 x 0.65 mm pitch, ultra thin fine pitch ball grid array mechanical data.</p> <p>Added Figure 91: LQFP176 - 176-pin, 24 x 24 mm low profile quad flat recommended footprint.</p> <p>Removed 256 and 768 Kbyte Flash memory density from Table : .</p>

表99. 文档修订历史 (续)

Date	Revision	Changes
04-Jun-2013	4	<p>Modified Note 1 below Table 3: STM32F405xx and STM32F407xx: features and peripheral counts.</p> <p>Updated Figure 4 title.</p> <p>Updated Note 3 below Figure 21: Power supply scheme.</p> <p>Changed simplex mode into half-duplex mode in Section 3.0.25: Inter-integrated sound (I2S).</p> <p>Replaced DAC1_OUT and DAC2_OUT by DAC_OUT1 and DAC_OUT2, respectively.</p> <p>Updated pin 36 signal in Figure 15: STM32F40xxx LQFP176 pinout.</p> <p>Changed pin number from F8 to D4 for PA13 pin in Table 8: STM32F40xxx pin and ball definitions.</p> <p>Replaced TIM2_CH1/TIM2_ETR by TIM2_CH1_ETR for PA0 and PA5 pins in Table 10: Alternate function mapping.</p> <p>Changed system memory into System memory + OTP in Figure 18: STM32F40xxx memory map.</p> <p>Added Note 1 below Table 18: VCAP_1/VCAP_2 operating conditions.</p> <p>Updated IDDA description in Table 76: DAC characteristics.</p> <p>Removed PA9/PB13 connection to VBUS in Figure 93: USB controller configured as peripheral-only and used in Full speed mode and Figure 94: USB controller configured as host-only and used in full speed mode.</p> <p>Updated SPI throughput on front page and Section 3.0.24: Serial peripheral interface (SPI)</p> <p>Updated operating voltages in Table 3: STM32F405xx and STM32F407xx: features and peripheral counts.</p> <p>Updated note in Section 3.0.14: Power supply schemes</p> <p>Updated Section 3.0.15: Power supply supervisor</p> <p>Updated "Regulator ON" paragraph in Section 3.0.16: Voltage regulator</p> <p>Removed note in Section 3.0.19: Low-power modes</p> <p>Corrected wrong reference manual in Section 3.0.28: Ethernet MAC interface with dedicated DMA and IEEE 1588 support</p> <p>Updated Table 17: Limitations depending on the operating power supply range</p> <p>Updated Table 26: Typical and maximum current consumptions in Standby mode</p> <p>Updated Table 27: Typical and maximum current consumptions in VBAT mode</p> <p>Updated Table 39: PLLI2S (audio PLL) characteristics</p> <p>Updated Table 46: EMI characteristics</p> <p>Updated Table 51: Output voltage characteristics</p> <p>Updated Table 53: NRST pin characteristics</p> <p>Updated Table 57: SPI dynamic characteristics</p> <p>Updated Table 58: I2S dynamic characteristics</p> <p>Deleted Table 59</p> <p>Updated Table 64: ULPI timing</p> <p>Updated Figure 46: Ethernet SMI timing diagram</p>

表99. 文档修订历史 (续)

Date	Revision	Changes
04-Jun-2013	4 (continued)	<p>Updated Figure 87: UFBGA176+25 ball, 10 x 10 mm, 0.65 mm pitch, ultra fine pitch ball grid array package outline</p> <p>Updated Table 97: UFBGA176+25 ball, 10 × 10 × 0.65 mm pitch, ultra thin fine pitch ball grid array mechanical data</p> <p>Updated Figure 5: STM32F40xxx block diagram</p> <p>Updated Section 2: Description</p> <p>Updated footnote (3) in Table 3: STM32F405xx and STM32F407xx: features and peripheral counts.</p> <p>Updated Figure 3: Compatible board design between STM32F10xx/STM32F2/STM32F40xxx for LQFP144 package</p> <p>Updated Figure 4: Compatible board design between STM32F2 and STM32F40xxx for LQFP176 and BGA176 packages</p> <p>Updated Section 3.0.14: Power supply schemes</p> <p>Updated Section 3.0.15: Power supply supervisor</p> <p>Updated Section 3.0.16: Voltage regulator, including figures.</p> <p>Updated Table 16: General operating conditions, including footnote (2).</p> <p>Updated Table 17: Limitations depending on the operating power supply range, including footnote (3).</p> <p>Updated footnote (1) in Table 69: ADC characteristics.</p> <p>Updated footnote (2) in Table 70: ADC accuracy at fADC = 30 MHz.</p> <p>Updated footnote (1) in Table 76: DAC characteristics.</p> <p>Updated Figure 9: Regulator OFF.</p> <p>Updated Figure 7: Power supply supervisor interconnection with internal reset OFF.</p> <p>Added Section 3.0.17: Regulator ON/OFF and internal reset ON/OFF availability.</p> <p>Updated footnote (2) of Figure 21: Power supply scheme.</p> <p>Replaced respectively "I2S3S_WS" by "I2S3_WS", "I2S3S_CK" by "I2S3_CK" and "FSMC_BLN1" by "FSMC_NBL1" in Table 10: Alternate function mapping.</p> <p>Added "EVENTOUT" as alternate function "AF15" for pin PC13, PC14, PC15, PH0, PH1, PI8 in Table 10: Alternate function mapping</p> <p>Replaced "DCMI_12" by "DCMI_D12" in Table 8: STM32F40xxx pin and ball definitions.</p> <p>Removed the following sentence from Section : I2C interface characteristics: "Unless otherwise specified, the parameters given in Table 56 are derived from tests performed under the ambient temperature, fPCLK1 frequency and VDD supply voltage conditions summarized in Table 16."</p> <p>In Table 8: STM32F40xxx pin and ball definitions on page 53:</p> <ul style="list-style-type: none"> – For pin PC13, replaced "RTC_AF1" by "RTC_OUT, RTC_TAMP1, RTC_TS" – for pin PI8, replaced "RTC_AF2" by "RTC_TAMP1, RTC_TAMP2, RTC_TS". – for pin PB15, added RTC_REFIN in Alternate functions column. <p>In Table 10: Alternate function mapping on page 70, for port PB15, replaced "RTC_50Hz" by "RTC_REFIN".</p>

表99. 文档修订历史 (续)

Date	Revision	Changes
04-Jun-2013	4 (continued)	<p>Updated Figure 6: Multi-AHB matrix.</p> <p>Updated Figure 7: Power supply supervisor interconnection with internal reset OFF</p> <p>Changed 1.2 V to V12 in Section : Regulator OFF</p> <p>Updated LQFP176 pin 48.</p> <p>Updated Section 1: Introduction.</p> <p>Updated Section 2: Description.</p> <p>Updated operating voltage in Table 3: STM32F405xx and STM32F407xx: features and peripheral counts.</p> <p>Updated Note 1.</p> <p>Updated Section 3.0.15: Power supply supervisor.</p> <p>Updated Section 3.0.16: Voltage regulator.</p> <p>Updated Figure 9: Regulator OFF.</p> <p>Updated Table 4: Regulator ON/OFF and internal reset ON/OFF availability.</p> <p>Updated Section 3.0.19: Low-power modes.</p> <p>Updated Section 3.0.20: VBAT operation.</p> <p>Updated Section 3.0.22: Inter-integrated circuit interface (I²C) .</p> <p>Updated pin 48 in Figure 15: STM32F40xxx LQFP176 pinout.</p> <p>Updated Table 7: Legend/abbreviations used in the pinout table.</p> <p>Updated Table 8: STM32F40xxx pin and ball definitions.</p> <p>Updated Table 16: General operating conditions.</p> <p>Updated Table 17: Limitations depending on the operating power supply range.</p> <p>Updated Section 6.3.7: Wakeup time from low-power mode.</p> <p>Updated Table 36: HSI oscillator characteristics.</p> <p>Updated Section 6.3.15: I/O current injection characteristics.</p> <p>Updated Table 50: I/O static characteristics.</p> <p>Updated Table 53: NRST pin characteristics.</p> <p>Updated Table 56: I2C characteristics.</p> <p>Updated Figure 39: I2C bus AC waveforms and measurement circuit.</p> <p>Updated Section 6.3.19: Communications interfaces.</p> <p>Updated Table 69: ADC characteristics.</p> <p>Added Table 72: Temperature sensor calibration values.</p> <p>Added Table 75: Internal reference voltage calibration values.</p> <p>Updated Section 6.3.26: FSMC characteristics.</p> <p>Updated Section 6.3.28: SD/SDIO MMC card host interface (SDIO) characteristics.</p> <p>Updated Table 25: Typical and maximum current consumptions in Stop mode.</p> <p>Updated Section : SPI interface characteristics included Table 57.</p> <p>Updated Section : I2S interface characteristics included Table 58.</p> <p>Updated Table 66: Dynamic characteristics: Ethernet MAC signals for SMI.</p> <p>Updated Table 68: Dynamic characteristics: Ethernet MAC signals for MII.</p>

表99. 文档修订历史 (续)

Date	Revision	Changes
04-Jun-2013	4 (continued)	Updated Table 66: Dynamic characteristics: Ethernet MAC signals for SMI. Updated Table 68: Dynamic characteristics: Ethernet MAC signals for MII. Updated Table 81: Synchronous multiplexed NOR/PSRAM read timings. Updated Table 82: Synchronous multiplexed PSRAM write timings. Updated Table 83: Synchronous non-multiplexed NOR/PSRAM read timings. Updated Table 84: Synchronous non-multiplexed PSRAM write timings. Updated Section 6.3.27: Camera interface (DCMI) timing specifications including Table 89: DCMI characteristics and addition of Figure 72: DCMI timing diagram. Updated Section 6.3.28: SD/SDIO MMC card host interface (SDIO) characteristics including Table 90. Updated Chapter Figure 9.



表99. 文档修订历史 (续)

Date	Revision	Changes
06-Mar-2015	5	<p>Replace Cortex-M4F by Cortex-M4 with FPU throughout the document.</p> <p>Updated Section : Regulator OFF and Table 4: Regulator ON/OFF and internal reset ON/OFF availability for LQFP176.</p> <p>Updated Figure 15: STM32F40xxx LQFP176 pinout and Table 8: STM32F40xxx pin and ball definitions.</p> <p>Updated Figure 6: Multi-AHB matrix.</p> <p>Added note 1 below Figure 12: STM32F40xxx LQFP64 pinout, Figure 13: STM32F40xxx LQFP100 pinout, Figure 14: STM32F40xxx LQFP144 pinout and Figure 15: STM32F40xxx LQFP176 pinout.</p> <p>Updated IVDD and IVSS in Table 14: Current characteristics.</p> <p>Updated PLS[2:0]=101 (falling edge) configuration in Table 21: Embedded reset and power control block characteristics.</p> <p>Added Section : Additional current consumption. Updated Section : On-chip peripheral current consumption.</p> <p>Updated Table 31: Low-power mode wakeup timings.</p> <p>Updated Table 34: HSE 4-26 MHz oscillator characteristics and Table 35: LSE oscillator characteristics (fLSE = 32.768 kHz).</p> <p>Changed condition related to VESD(CDM) in Table 47: ESD absolute maximum ratings.</p> <p>Updated Table 49: I/O current injection susceptibility, Table 50: I/O static characteristics, Table 51: Output voltage characteristics conditions, Table 52: I/O AC characteristics and Figure 37: I/O AC characteristics definition.</p> <p>Updated Section : I2C interface characteristics.</p> <p>Remove note 3 in Table 71: Temperature sensor characteristics.</p> <p>Updated Figure 72: DCMI timing diagram.</p> <p>Modified Figure 75: WLCSP90 - 4.223 x 3.969 mm, 0.400 mm pitch wafer level chip scale package outline and Table 92: WLCSP90 - 4.223 x 3.969 mm, 0.400 mm pitch wafer level chip scale package mechanical data. Added Figure 76: WLCSP90 - 4.223 x 3.969 mm, 0.400 mm pitch wafer level chip scale recommended footprint and Table 93: WLCSP90 recommended PCB design rules. /</p> <p>Modified Figure 78: LQFP64 – 64-pin, 10 x 10 mm low-profile quad flat package outline and Table 94: LQFP64 – 64-pin 10 x 10 mm low-profile quad flat package mechanical data.</p> <p>Updated Figure 87: UFBGA176+25 ball, 10 x 10 mm, 0.65 mm pitch, ultra fine pitch ball grid array package outline and Table 97: UFBGA176+25 ball, 10 x 10 x 0.65 mm pitch, ultra thin fine pitch ball grid array mechanical data. Added Figure 88: UFBGA176+25 - 201-ball, 10 x 10 mm, 0.65 mm pitch, ultra fine pitch ball grid array recommended footprint and Table 98: UFBGA176+25 recommended PCB design rules (0.65 mm pitch BGA).</p> <p>Updated Figure 90: LQFP176 - 176-pin, 24 x 24 mm low profile quad flat package outline.</p> <p>Added Section : Device marking for WLCSP90, Section : Device marking for LQFP64, Section : Device marking for LFP100, Section : Device marking for LQFP144, Section : Device marking for UFBGA176+25 and Section : Device marking for LQFP176.</p>

表99. 文档修订历史 (续)

Date	Revision	Changes
22-Oct-2015	6	<p>In the whole document, updated notes related to values specified by design or by characterization.</p> <p>Updated Table 36: HSI oscillator characteristics.</p> <p>Changed fVCO_OUT minimum value and VCO freq to 100 MHz in Table 38: Main PLL characteristics and Table 39: PLLI2S (audio PLL) characteristics.</p> <p>Updated Figure 39: SPI timing diagram - slave mode and CPHA = 0.</p> <p>Updated Figure 53: 12-bit buffered /non-buffered DAC.</p> <p>Removed note 1 related to better performance using a restricted VDD range in Table 70: ADC accuracy at fADC = 30 MHz.</p> <p>Updated Figure 84: LQFP144 - 144-pin, 20 x 20 mm low-profile quad flat package outline.</p> <p>Updated Figure 87: UFBGA176+25 ball, 10 x 10 mm, 0.65 mm pitch, ultra fine pitch ball grid array package outline and Table 97: UFBGA176+25 ball, 10 × 10 × 0.65 mm pitch, ultra thin fine pitch ball grid array mechanical data.</p>
16-Mar-2016	7	<p>Updated Figure 2: Compatible board design STM32F10xx/STM32F2/STM32F40xxx for LQFP100 package.</p> <p>Updated VSSX- VSS in Table 13: Voltage characteristics to add VREF-.</p> <p>Added VREF- in Table 69: ADC characteristics.</p> <p>Updated Table 92: WLCSP90 - 4.223 x 3.969 mm, 0.400 mm pitch wafer level chip scale package mechanical data.</p>
09-Sep-2016	8	<p>Removed note 1 below Figure 5: STM32F40xxx block diagram.</p> <p>Updated definition of stresses above maximum ratings in Section 6.2: Absolute maximum ratings.</p> <p>Updated th(NSS) in Figure 39: SPI timing diagram - slave mode and CPHA = 0 and Figure 40: SPI timing diagram - slave mode and CPHA = 1.</p> <p>Added note related to optional marking and inset/upset marks in all package marking sections.</p> <p>Updated Figure 87: UFBGA176+25 ball, 10 x 10 mm, 0.65 mm pitch, ultra fine pitch ball grid array package outline and Table 97: UFBGA176+25 ball, 10 × 10 × 0.65 mm pitch, ultra thin fine pitch ball grid array mechanical data.</p>

表99. 文档修订历史 (续)

Date	Revision	Changes
14-Aug-2020	9	<p>Renamed Section 3 and Section 8 into Functional overview and Ordering information, respectively.</p> <p>Added Arm logo and legal notice in Section 1: Introduction and updated Arm wordmark in the whole document. Removed USB certified logos.</p> <p>Updated camera interfaces for STM32F405OE in Table 3: STM32F405xx and STM32F407xx: features and peripheral counts.</p> <p>Added OTP memory in Features and Section 3.0.4: Embedded Flash memory.</p> <p>Changed random number generator to true random number generator in the whole document and updated Section 3.0.34: True random number generator (RNG).</p> <p>Added Note 1 related to UFBGA176 in Table 8: STM32F40xxx pin and ball definitions.</p> <p>Updated Section 6.2: Absolute maximum ratings introduction.</p> <p>Updated VPVD minimum value for PLS[2:0]=101 (falling edge) in Table 21: Embedded reset and power control block characteristics.</p> <p>Updated Note 1 in Table 36: HSI oscillator characteristics.</p> <p>Added reference to application note AN4899 in Section 6.3.16: I/O port characteristics.</p> <p>Replaced DCMI_PIXCK by DCMI_PIXCLK in Table 10: Alternate function mapping.</p> <p>Renamed Section 8 into Ordering information.</p> <p>Updated D1 in Figure 87: UFBGA176+25 ball, 10 x 10 mm, 0.65 mm pitch, ultra fine pitch ball grid array package outline.</p>

表99. 文档修订历史 (续)

Date	Revision	Changes
08-Nov-2024	10	<p>Updated:</p> <ul style="list-style-type: none"> – Cover page – Section 1: Introduction – Figure 5: STM32F40xxx block diagram – Section 3.0.18: Real-time clock (RTC), backup SRAM and backup registers – Table 7: STM32F40xxx pin and ball definitions – Table 9: Alternate function mapping – I/O system current consumption – Note 1 in Table 34: HSI oscillator characteristics. – Table 33: LSE oscillator characteristics ($f_{LSE} = 32.768 \text{ kHz}$) – Figure 37: I/O AC characteristics definition – Figure 39: SPI timing diagram - slave mode and CPHA = 0, Figure 40: SPI timing diagram - slave mode and CPHA = 1, and Figure 41: SPI timing diagram - master mode – Table 44: EMI characteristics for $f_{HSE} = 25 \text{ MHz}$ and $f_{CPU} = 168 \text{ MHz}$ – Figure 49: ADC accuracy characteristics and Figure 50: Typical connection diagram when using the ADC with FT/TT pins featuring analog switch function – Figure 68: NAND controller waveforms for read access and Figure 69: NAND controller waveforms for write access – Table 96: UFBGA(176+25) - Example of PCB design rules (0.65 mm pitch BGA) title – Section 7: Package information <p>Added Section 9: Important security notice</p>

重要通知 – 请仔细阅读

意法半导体股份有限公司及其子公司（“ST”）保留在不另行通知的情况下随时对ST产品和/或本文档进行更改、修正、增强、修改和改进的权利。采购商应在下单前获取ST产品的最新相关信息。ST产品根据订单确认时ST的销售条款和销售条件进行销售。

采购方独享选择、挑选及使用ST产品的责任，并且ST不对采购方产品设计或应用协助承担任何责任。

无任何知识产权许可，无论是明示还是默示，由ST在此授予。

若转售的ST产品其条款与本文所述信息存在差异，则ST对此产品的任何保证均使……失效。

ST及其ST标识是ST的商标。有关ST商标的更多信息，请参阅www.st.com/trademarks。所有其他产品或服务名称均为各自所有者的财产。

本文件中的信息将取代先前版本中提供的所有信息。

© 2024 STMicroelectronics – 保留所有权利

