

# Rapport d'EIND

---

**Ecole supérieure**

Électronique

EIND

Salle R112

---

## RÉALISATION D'UN CONVERTISSEUR DC-DC élevateur

---

**Réalisé par :**

Aymeric Clauzel

**À l'attention de :**

Gavin serge

Bovey Philipe

**Dates :**

Date de début : 08.01.2025

Date de fin : 12.02.2025

## Table des matières :

1 But :	3
2 Théorie.....	3
2.1 Calcul de la résistance de Charge :	3
2.2 Calcul de la puissance dissipée :	3
2.3 Choix des résistances :	3
2.4 Calculs :	3
2.5 Schéma de mesure :	4
2.6 Méthode de mesure :	4
2.7 Résultats :	5
3 Mesure :	6
3.1 Schéma de mesure :	6
3.2 Méthode de mesure :	6
3.3 Résultats :	7
4 Point supplémentaire :	8
4.1 But :	8
4.2 Schéma de mesure :	8
4.3 Méthode de mesure :	8
4.4 Résultats :	8
5 Conclusion :	9
5.1.1 Instrument.....	16
5.1.2 Composants.....	16

# 1 But :

Voir CDC en annexe P.17

## 2 Théorie

### 2.1 Calcul de la résistance de Charge :

$$R = \frac{U}{I} = \frac{24}{0,2} = 120 \Omega$$

*Calcul de la puissance dissipée :*

$$P = \frac{U^2}{R} = \frac{24^2}{120} = 4,8W$$

*Choix des résistances :*

Dans les résistance à disposition :

Choix1 :	choix2 :
47 $\Omega$ ,10W	47 $\Omega$ ,10W
68 $\Omega$ ,10W	68 $\Omega$ ,10W
	10 $\Omega$ ,10W

Pour ma part j'ai décidé de prendre des valeur de résistance plus grande en ajoutant une 10 ohm car, il est demandé 0,2 A et pas plus, par principe avoir un courant plus faible est un choix plus judicieux. La différence étant de 5 ohm de plus ou de moins, le choix n'a pas grande importance la valeur de 120ohm étant difficile à obtenir avec les composant é disposition.

$$I_{out} = \frac{U_{out}}{R_{ch}} = \frac{24}{125} = 0,192A$$

$$P_{Rch} = \frac{U^2}{R} = \frac{24^2}{125} = 4,68W$$

### 2.2 Calculs 1:

$$T_s = \frac{1}{F} = \frac{1}{50 \cdot 10^3} = 20 \mu s$$

$$U_{out} = \frac{U_{in}}{(1-D)} \Rightarrow \frac{U_{in}}{U_{out}} = 1-D \Rightarrow \frac{U_{in}}{U_{out}} - 1 = -D \Rightarrow D = -1 \cdot \left( \frac{U_{in}}{U_{out}} - 1 \right)$$

$$D = \left( \frac{U_{in}}{U_{out}} - 1 \right) \cdot -1 = \left( \frac{15}{24} - 1 \right) \cdot -1 = 0,375$$

$$V_{DS} = V_{out} = 24V$$

$$I_{in} = P_{out} = P_{in} = U_{out} \cdot I_{out} = U_{in} \cdot I_{in} \Rightarrow I_{in} = \frac{U_{out} \cdot I_{out}}{U_{in}} = \frac{24 \cdot 0,192}{15} = 0,307A$$

$$\Delta I_l = \frac{(U_{out} - U_{IN}) \cdot (1-D) \cdot T_s}{L} = \frac{(24 - 15) \cdot (1 - 0,375) \cdot 20 \cdot 10^{-6}}{1 \cdot 10^{-3}} = 112.5 mA$$

1 Les calculs sont tirés des [supports de cours](#)

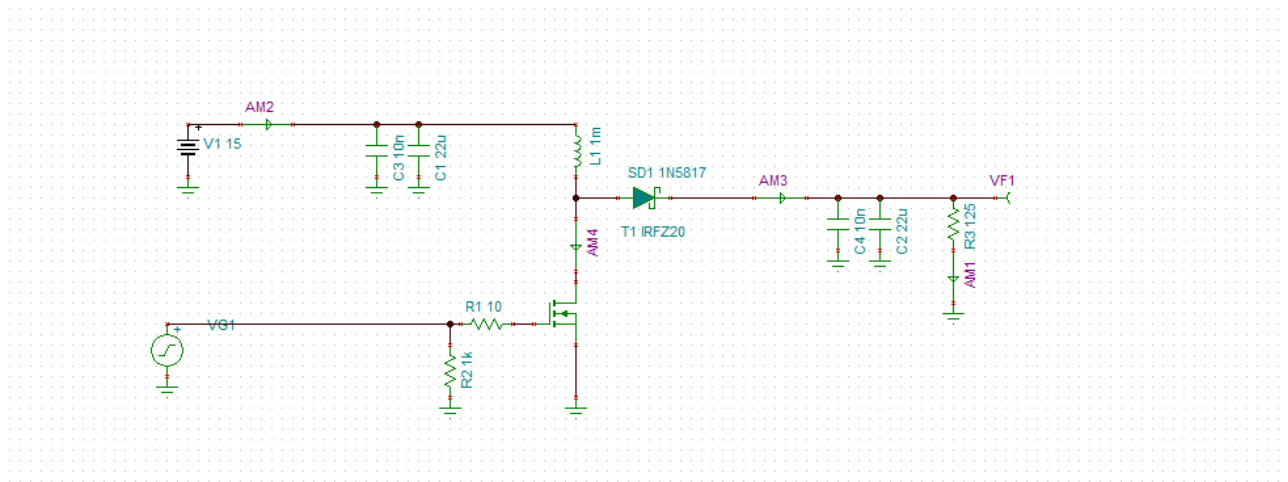
$$\frac{1}{2}\Delta I_L = 56,25 \text{ mA} \Rightarrow I_L > \frac{1}{2}\Delta I_L \Rightarrow \text{mode continu}$$

$$I_Q = \frac{I_{out}}{(1-D)} + \frac{\Delta I_L}{2} = \frac{0,192}{1-0,375} + 56,25 \cdot 10^{-3} = 363,45 \text{ mA}$$

$$V_{DR} = U_{out} = 24 \text{ V}$$

$$I_D = \frac{I_{out}}{(1-D)} + \frac{\Delta I_L}{2} = \frac{0,192}{1-0,375} + 56,35 \cdot 10^{-3} = 363,45 \text{ mA} = I_Q$$

## 2.3 Schéma de simulation :



## 2.4 Méthode de mesure :

Ces mesures ont été faites car le CDC le demande.

Pour la mesure de VDS d'abord en lançant la simulation avec une place de temps très courte (Départ :10ms Fin :10.2ms) En utilisant ensuite les curseurs, plaçant le premier sur le signal de (VF1) au point le plus haut avec un RCLICK →jump to→ local maximum. Car cette mesure est demandée par le cahier des charges.

Pour la mesure suivante, il est demandé de mesurer le rapport cyclique, il suffit de déplacer un des deux curseur sur un flanc montant du signal et le second sur le flanc suivant. Pour la mesure suivante, il est demandé de mesurer le rapport cyclique, il suffit de déplacer un des deux curseurs au passage par « 0 » du signal de manière à mesurer uniquement le temps haut.

Concernant la mesure du courant d'entrée, même méthodologie que précédemment pour placer les curseur sur la courbe correspondante au courant (AM2)

Pour mesurer l'ondulation du courant dans la charge, placer l'un des curseurs sur le signal de (AM1) puis avec un RCLICK →jump to→ local maximum pour placer le curseur au sommet le plus haut. De même avec le deuxième curseur avec un RCLICK →jump to→ local minimum, la valeur de l'ondulation peut être lue sur l'axe Y.

Pour la mesure du courant IQ, traversant le transistor, placer les curseurs aux maximums pour mesurer les pics, et l'allure des signaux.

Pour la mesure de ID, qui correspond au courant dans la charge, placer les curseurs comme pour IQ.

## 2.5 Résultats :

Voir annexe les mesures en p.9

Au vue de résultats obtenus lors de la simulation, les valeurs sont incompréhensibles avec un coutant de quasiment 5A. La tension de sortie VDS semble cependant « correcte » avec une tension de 25V au lieux de 24V. Après coups, j'ai réalisé que j'ai eu un problème avec mes simulations. J'avais initialement fait une sauvegarde de du tracer, pour revenir plus tard faire les mesures, je ne sais donc pas si c'est un oubli de ma part d'enregistrement entre les différentes séances.

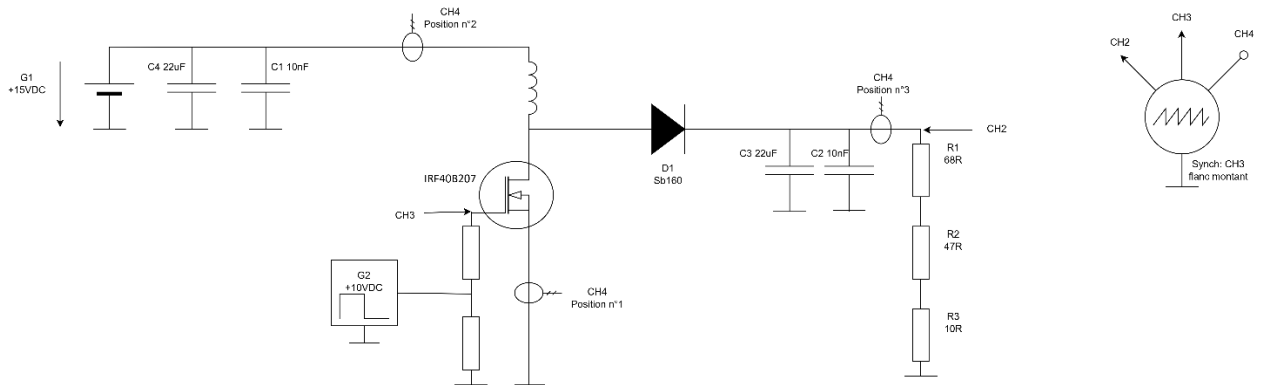
Les valeurs obtenues pour le rapport cyclique montrent une légère variation entre la théorie, la simulation et la mesure. Alors que les calculs théoriques prévoyaient un rapport de 0,375, la simulation a confirmé cette valeur, mais la mesure a donné un rapport légèrement plus élevé de 0,4. Cette différence, bien que faible, peut avoir un impact sur la tension de sortie et l'ondulation du courant. Une telle variation peut s'expliquer par des imprécision dans le réglage du signal de commande du MOSFET, notamment en raison des temps de commutation qui ne sont pas instantanées. En effet, l'analyse des formes d'onde met en évidence une période de transition plus longue que prévue, ce qui peut fausser la mesure du rapport cyclique.

De plus, les caractéristiques dynamiques du circuit réel, notamment les capacités parasites et les résistances internes des composants, peuvent influencer ce paramètre et expliquer l'écart observé avec la théorie.

En théorie, l'ondulation était estimée à 112,15 mA, alors que la simulation a donné une valeur légèrement inférieure de 106,98 mA. Cependant, sur la mesure une ondulation plus élevée de 145 mA à été mesurée, ce qui représente un écart de 4,61%. Cette augmentation peut être attribuée à plusieurs facteurs, notamment les inductances parasites du circuit breadboard, les tolérances des composants ou encore les temps de commutation plus grands que prévu ou des oscillations imprévues.

### 3 Measure :

### 3.1 Schéma de mesure :



### 3.2 Méthode de mesure :

Comme le CDC le demande, il est demandé de mesurer la tension  $V_{DS}$ , pour se faire, placer la sonde CH2 sur la sortie en amont de la résistance de charge  $R_L$ , le CH3 sur la Gate du MOSFET canal N.

Le canal 2 et 3 en mode DC en mode 10 :1 une mesure peut être faite pour la tension de sortie. Pour se faire placer un curseur horizontal au niveau de tension maximal du signal vert, censé être plat.

Une seconde mesure peut être faite en mettant la sonde dans le mode AC, pour permettre de voir l'oscillation de la tension de sortie. Après avoir mis le mode AC, placer les curseur pour mesurer le temps et la période du signal sur l'axe X en [us] grâce à deux mesures. La première du temps haut, la seconde le temps bas.

Pour comparer avec la simulation et puisque le CDC le demande, une mesure à été faite avec une sonde de courant.

Après avoir alimenté la sonde (via son alimentation dédiée), la connecter sur le CH4 de l'oscilloscope, placer le réglage du canal 4 en 100mv/A. Après dégaussage, placer la sonde une première entre la source du MOS et la masse de manière à mesurer IQ. Pour mesurer IL placer la sonde entre l'alimentation et l'inductance.

Pour mesurer les temps de montée et de descente, placer les curseurs à 10% et 90% de la courbe du signal mesurer.

### 3.3 Résultats :

Il est demandé dans le CDC de comparer les résultats théoriques obtenus par calcul avec les résultats de simulation et les mesures. Sachant que nous avons ajusté précédemment le rapport cyclique pour obtenir la tension de sortie souhaitée la comparaison n'a pas vraiment de sens à ce niveau, les résultats l'ondulation sera forcément plus faible que prévu (ce qui est une bonne chose).

	Ts[us]	D [-]	VDS[V]	Iin [A]	$\Delta I_L$ [mA]	IQ [mA]	ID [mA]
Théorie	20	0,375	24	0,307	112,15	365,45	365,45
Simu	20	0,375	25,09	5,17	106,98	9880	5,13
Mesure	19,975	0,4	24,02	0,302	145	378,88	-
Erreur TH	0	0	1,09	4,83	5,52	-	-
Erreur	0,025	0,025	0,02	0,005	32,85	13,43	-

- : la mesure n'a pas été faite...

Entre les calculs et la simulation, rien ne va avec des différences de 5A pour le courant d'entrée. On peut voir qu'uniquement le courant traversant la diode et le transistor ont énormément de différence avec les prévisions. Peut-être est-ce dû au modèle utilisés qui ne correspondent pas aux composants réellement utilisés.

En revanche concernant les différences entre les calculs et la mesure, elles sont bien moins marquées avec cette fois-ci 32mA pour la plus grande différence avec les prévisions ce qui correspond à une erreur d'environ 33% dans le pire des cas, avec des erreurs plutôt aux alentours des 3% dans les autres cas.

La tension de sortie mesurée est de 24,02V, ce qui reste très proche des 24V attendus en théorie. En simulation, la valeur obtenue est légèrement plus élevée, atteignant 25,09V, ce qui peut s'expliquer par des différences dans les modèles de composants. Malgré cet écart, la tension de sortie reste dans les tolérances acceptables et ne remet pas en cause le bon fonctionnement du circuit.

Concernant le courant d'entrée, un écart important est observé entre la simulation et la théorie. Alors que les calculs prévoyaient 0,307A, la simulation affiche une valeur anormalement élevée de 5,17A, ce qui est incohérent avec les attentes. Cette différence peut être due à un mauvais réglage du modèle du MOSFET ou à une erreur dans la configuration du générateur de fréquence. En revanche, la mesure réelle est bien plus proche de la théorie avec 0,302A, confirmant que le circuit fonctionne comme prévu malgré les incohérences en simulation.

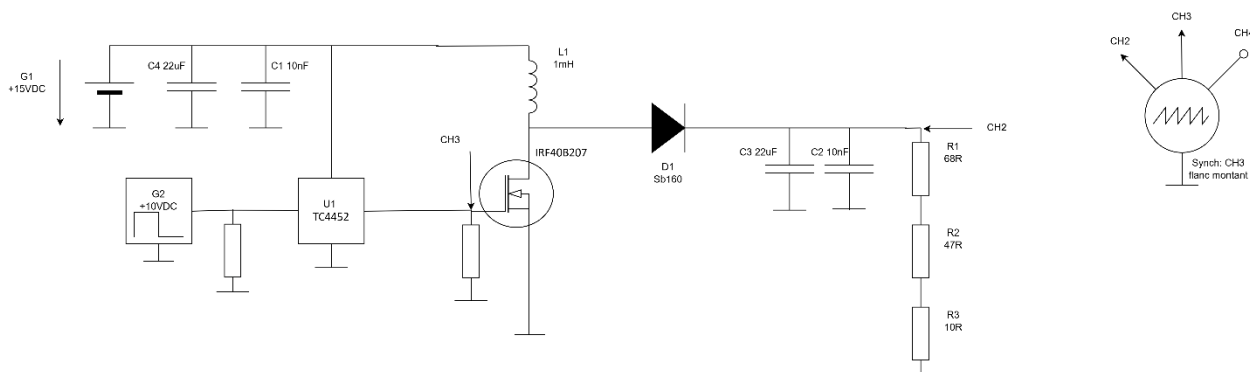
L'ondulation du courant  $\Delta I_L$  présente également une différence notable, avec une valeur théorique de 112,15mA contre 145mA en mesure. Cette augmentation peut être attribuée aux inductances parasites du montage sur plaque de test ou à une résistance série de l'inductance légèrement plus élevée que prévue. De même, le courant traversant le MOSFET (IQ) montre une différence extrême en simulation, atteignant 9,88A contre 365,45mA en théorie, ce qui indique une erreur importante dans le modèle utilisé. La mesure, quant à elle, donne 378,88mA, ce qui reste cohérent avec les prévisions. Globalement, les mesures sont en accord avec les calculs, contrairement à la simulation qui présente des écarts importants nécessitant une vérification des paramètres et modèles utilisés.

## 4 Point supplémentaire :

### 4.1 But :

Voir CDC2, en annexe, au point A

### 4.2 Schéma de mesure :



### 4.3 Méthode de mesure :

Après avoir fait le montage, pour comparer l'effet du driver avec le montage précédent, connecter la sonde CH1 à la sortie du montage en amont de RL comme précédemment. Et la sonde CH2 sur la gate du MOSFET canal N. Faire une première mesure temps de montée et descente sur la gate.

### 4.4 Résultats :

	THL[ns]	TLH[ns]
Sans driver	566	666
Avec driver	88,8	89,6

Ces valeurs sont tirées des mesures en annexe voir p.

En comparant les deux valeur, nous pouvons voir qu'avec l'ajout d'un driver, le temps de transition entre états est plus court.

de plus, nous pouvons voir que les transitions sont plus nettes, et plus rapides, ce qui limite les oscillations et les surtensions indésirables. Cependant les temps de commutation avec le driver de gate semblent long comparés aux attentes après lecture du datasheet. On y trouve :

Switching Time (Note 1)						
Rise Time	$t_R$	—	30	40	ns	Figure 4-1, $C_L = 15,000$ pF
Fall Time	$t_F$	—	32	40	ns	Figure 4-1, $C_L = 15,000$ pF
Propagation Delay Time	$t_{D1}$	—	44	52	ns	Figure 4-1, $C_L = 15,000$ pF
Propagation Delay Time	$t_{D2}$	—	44	52	ns	Figure 4-1, $C_L = 15,000$ pF
Power Supply						
Power Supply Current	$I_S$	—	140	200	$\mu A$	$V_{IN} = 3V$
		—	40	100	$\mu A$	$V_{IN} = 0V$
Operating Input Voltage	$V_{DD}$	4.5	—	18.0	V	
$V_{DD}$ Ramp Rate	$SV_{DD}$	0.2	—	—	V/ms	

Note 1: Switching times ensured by design.

2: Tested during characterization, not production tested.

3: Valid for AT and MF packages only.  $T_A = +25^\circ C$ .

Figure 1 DC caractéristiques

Voyant la note 1, nous en déduisons que la capacité de notre charge est trop faible comparés aux attentes la capacité de la gate du MOSFET est trop grande comparer aux conditions du datasheet.



---

## 5 Conclusion :

Les résultats obtenus lors des différentes étapes de mesure et de simulation révèlent plusieurs écarts notables avec les prévisions théoriques. L'analyse comparative met en évidence des différences significatives, notamment en ce qui concerne les valeurs de courant mesurées, qui dépassent largement les attentes initiales.

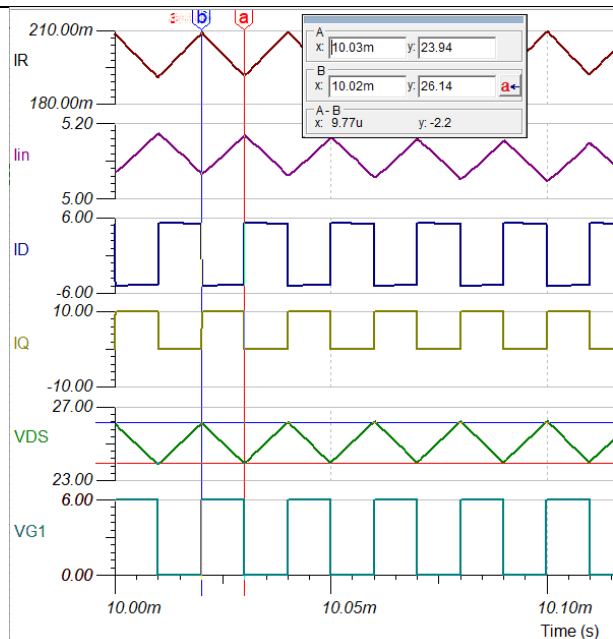
Un point central à relever est l'écart de courant mesuré en simulation, atteignant près de 5A alors que les calculs théoriques prévoyaient une valeur bien plus faible. Cela peut s'expliquer par un problème de paramétrage de la simulation, un modèle de composants inadapté ou encore un problème d'enregistrement des paramètres entre différentes sessions. Malgré cette anomalie, les tensions de sortie restent cohérentes avec les attentes, avec une différence marginale de 1V.

Du côté des mesures réelles, les résultats se montrent plus en accord avec les calculs théoriques, bien que des écarts existent toujours. La principale source de ces écarts est dû au phénomènes de commutation du MOSFET, qui impactent le courant traversant la diode et l'inductance. L'ajout d'un driver de gate a permis d'améliorer considérablement les temps de commutation, réduisant les temps de montée et de descente de plusieurs centaines de nanosecondes à moins de 90ns. Cette amélioration a un impact direct sur la stabilité du signal et la réduction des pertes.

L'ondulation de la tension de sortie reste dans des marges acceptables, L'analyse des signaux met aussi en avant des oscillations non négligeables lors des transitions, probablement dues à l'implantation des composants sur plaque de test, qui génère des inductances parasites. Enfin, certaines mesures restent incomplètes, notamment en ce qui concerne l'estimation de la plage d'oscillation de VDS et certaines valeurs spécifiques liées à la tension et au courant IQ. En conclusion, malgré des écarts observés entre simulations et mesures, les résultats obtenus valident globalement le fonctionnement du convertisseur.

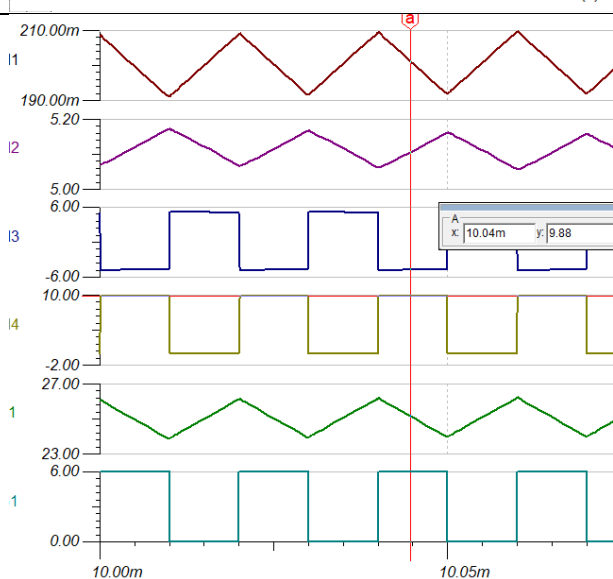
## 6 Annexes

### Partie simulation :



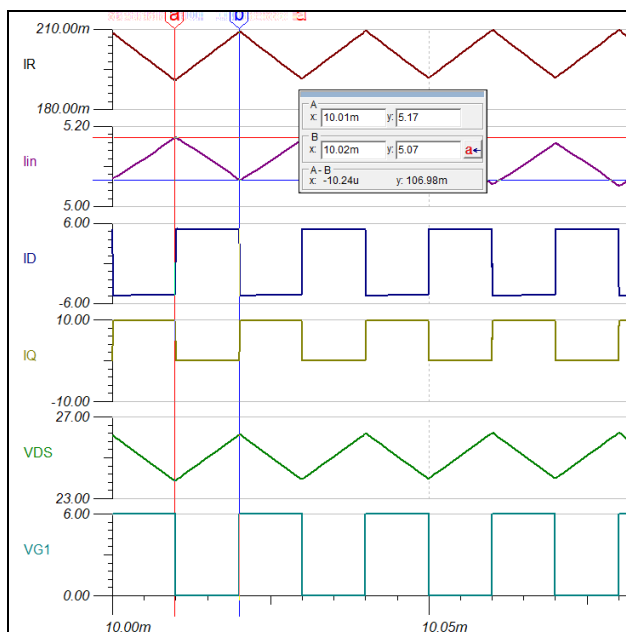
### Mesure VDS :

On peut trouver VDS moyen avec  $Y1_{min} + 1,1V = 25.04V$ , ce qui semble étrangement s'éloigner des attentes des définies par les calculs théoriques.

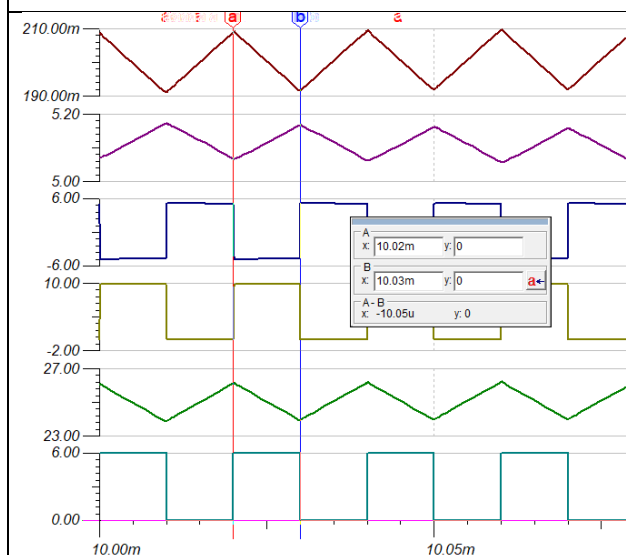


### Mesure IQ :

Vraiment très éloigner des attentes définies par les calculs théoriques. Avec un courant proche de 10A...

**Mesure lin :**

De même pour le courant d'entrer qui s'éloigne lui aussi des attentes des définies par les calculs théoriques.

**Mesure Ton :**

Après coup je remarque que le rapport cyclique est faux → bad settings GenFreq ce qui peut être expliquerai la tel différence entre les calculs, la mesure du circuit et cette simulation.

**Partie 1 :****Mesure VDS :**

Pour la mesure de VDS en DC, après modification du RC à 40%. De plus on remarque le plat sur les flancs, ce qui fait penser au temps de commutation dont a besoin le MOS (temps de charge de la gate)



### Mesure IQ :

Bleu : IQ

Orange : MOS-Gate

Au moment de la commutation du transistor (TPLH signal orange), on devine la charge de l'inductance suivit d'une pente montante. Dès la commutation du MOSF, (lorsqu'il s'ouvre), une oscillation apparait (TPHL signal orange).

Cette oscillation est surement due, au montage sur plaque de test.

### Mesure IL :

Le mauvais réglage de la source des curseur fait que la mesure ne correspond pas à la grandeur mesurée, (V au lieu de A), en comptant le nombre de division, on peut estimer l'ondulation de IL à 150mA, avec un niveau le plus bas à 400mA

On peut aussi retrouver en divisant pas la mesure par la sensibilité du canal et ensuite remultiplier par la bonne sensibilité = 145,6mA

### Mesure IR :

Le courant dans la resistance est de 224,6mA malgès tout la forme du signal sur la gate du transistor semblait étrange



Avec une nouvelle mesure, ayant la forme du signal « correcte » sur la gate du transistor, le courant est cette fois de 183,58mA

## Partie 2 : Sans driver de gate



TPLH :

Pour le temps de montée après avoir placé les curseur horizontale à 1V (10%) et 9V (90%), placer les curseurs verticaux pour mesurer le temps de montée. Dans ce cas 664ns



TPHL :

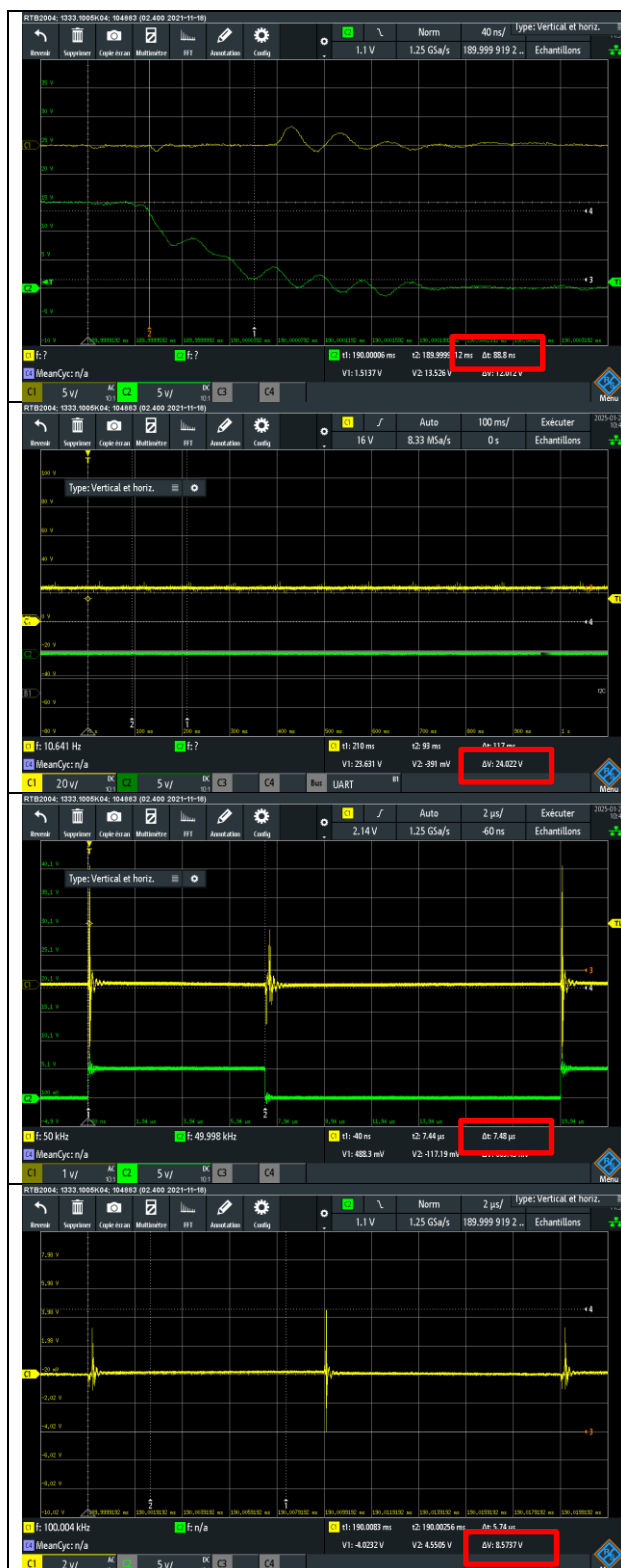
De même que précédemment pour le temps de descente. Dans ce cas 566ns.

## Avec driver de gate :



TPLH :

Toujours avec la même méthodologie, avec driver de gate, le temp de montée diminue jusqu'à 89,6ns



TPHL :  
Et 88,8ns pour la descente

Mesure VDS :  
Avec le réglage du canal en DC, on peut mesurer une tension de 24,02V

Avec le réglage du canal en AC, on peut mesurer l'état « incertains » lors de la commutation, cet état dure 7,48us

Une mesure pour le pic de tension maximale à été faite il est de 4,2V, on peut retrouver périodiquement et à chaque commutation un/ou plusieurs pic de 28V à 20V sur la charge pendant ~10us.



Pour mesurer l'ondulation, la sensibilité verticale a été augmentée à 200mV/div, le  $\Delta V$  est de 201,6mV

Concernant le temps de descente, au vue de la forme du signal une hésitation se pose, si la valeur prise précédemment était correcte, car un premier pic vient frôler le curseur horizontal placer à 10% du signal en rouge. Le moment ou le signal croise réellement la ligne du curseur a été choisi.

## DC CHARACTERISTICS (OVER OPERATING TEMPERATURE RANGE)

**Electrical Specifications:** Unless otherwise noted, over the operating temperature range with  $4.5V \leq V_{DD} \leq 18V$ .

Parameters	Sym.	Min.	Typ.	Max.	Units	Conditions
<b>Input</b>						
Logic '1', High Input Voltage	$V_{IH}$	2.4	—	—	V	
Logic '0', Low Input Voltage	$V_{IL}$	—	—	0.8	V	
Input Current	$I_{IN}$	-10	—	+10	$\mu A$	$0V \leq V_{IN} \leq V_{DD}$
<b>Output</b>						
High Output Voltage	$V_{OH}$	$V_{DD} - 0.025$	—	—	V	DC Test
Low Output Voltage	$V_{OL}$	—	—	0.025	V	DC Test
Output Resistance, High	$R_{OH}$	—	—	2.2	$\Omega$	$I_{OUT} = 10 \text{ mA}$ , $V_{DD} = 18V$
Output Resistance, Low	$R_{OL}$	—	—	2.0	$\Omega$	$I_{OUT} = 10 \text{ mA}$ , $V_{DD} = 18V$

Figure 2  $I_{IN \text{ max}} = V_{CC}$

Liste du matériel :

### 6.1.1 Instrument

Désignateur	Marque	Modèle	Type	N° d'inventaire
P1	Rohde & Schwarz	RTB2004	Oscilloscope	ES.SLO2.00.0030
G1	GwInstek	GPS-3303	Alimentation	ES.SLO2.00.00.30
G2	Keysight	33500 series	Générateur de fonction	ES.SLO2.00.00.30
P2	Tektronics	TCP202	Sonde de courant	ES.SLO1.00.05.12
P2*	Tektronics	1103	Alimentation de sonde de courant	ES.SLO1.00.06.03

### 6.1.2 Composants

Désignation	Marque	Référence	Type	Valeur
U2	Vishay	TC4452	Mosfet canal N	-
U1		IRF40B207	Mosfet canal N -	
D1		SB160	Schottky (0,7)	
C1-2			Condo	22uF
C3-4			Condo	10nF
L1			Inductance	1mH
D1		SB160	Diode schotcky	(0,7v)
R1	Yageo	1851	Resistance de puissance	68R/10W
R2	Yageo	1851	Resistance puissance	47R/10W
R1	Yageo	1851	Resistance puissance	10R/10W

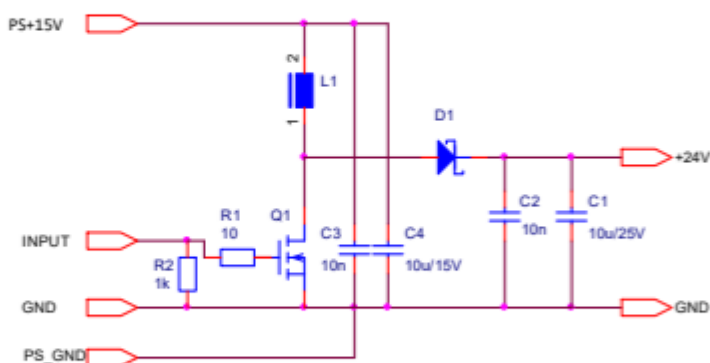


CDC :

## COURS D'ÉLECTRONIQUE INDUSTRIELLE

### RÉALISATION D'UN CONVERTISSEUR DC-DC ÉLEVATEUR

Schéma d'un convertisseur DC-DC élévateur de +15V à +24V :



L1 : \_\_\_\_\_. Q1 : \_\_\_\_\_. D1 : \_\_\_\_\_.

Utiliser un générateur pour générer le signal d'entrée à 50kHz.

Prévoir une charge pour soutirer 0.2 A sur la sortie +24 V.

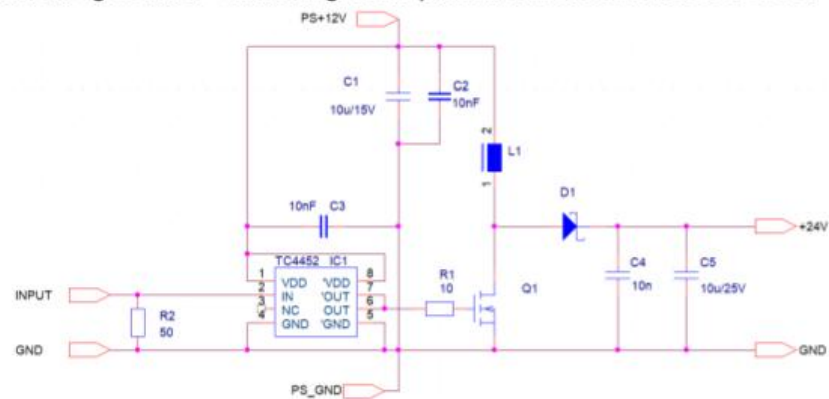
Les valeurs de capacité d'entrée et de sortie peuvent être plus élevées en fonction des composants disponibles

#### ON DEMANDE

- 1) Calculer la valeur de la résistance de charge pour soutirer 0.2 A.
- 2) Calculer la puissance de la résistance de charge.
- 3) Choisir une ou plusieurs résistances de puissance disponibles afin d'obtenir une valeur proche ( $\pm 10\%$ ) et recalculer le courant et la puissance dans ce cas.
- 4) Calculer :  $T_s$ ,  $D$ ,  $V_{DS}$ ,  $I_{in}$ ,  $\Delta I_L$ ,  $I_Q$ ,  $V_{DR}$  et  $I_D$ .
- 5) Réaliser une simulation du montage proposé, et comparer les résultats obtenus avec vos calculs
- 6) Réaliser le montage du schéma ci-dessus.  
Remarque : Souder les composants pour obtenir une bonne connexion.  
Utilisez plusieurs résistances pour obtenir la bonne valeur ohmique et pour dissiper la bonne puissance.
- 7) À l'aide du générateur, excitez le montage à 50 kHz avec le rapport cyclique D calculé ci-dessus.  
Appliquer une tension entre 0V et + 10 V sur la grille du transistor par rapport à la source.
- 8) Corriger et noter le rapport cyclique pour obtenir +24 V à la sortie.
- 9) Mesurer :
  - a. La tension  $V_{DS}$  durant la période  $T_s$  et notamment les temps de montée et de descente.
  - b. Le courant  $I_Q$  durant la période  $T_s$ .
  - c. Le courant  $I_L$  durant la période  $T_s$ .
- 10) Comparer les résultats avec vos calculs théoriques / simulation
- 11) Rédiger un rapport (~ 10p)

## RÉALISATION D'UN CONVERTISSEUR DC-DC ÉLÉVATEUR

A) Ajoutez un « gate driver » au montage du TP précédent selon le schéma ci-dessous :



### ON DEMANDE

- 1) Relever l'oscillogramme de la tension  $V_{DS}$  durant la période de switching  $T_s$ .
- 2) Comparer les oscillogrammes avec et sans « gate drive ».
- 3) Analysez vos résultats, que constatez-vous ?