

Architettura degli Elaboratori

Tutorato

a cura di Manuela Flores

09/12/2022 ore 9 – 11:30



Barbara Masucci – Classe: Resto_1

UNIVERSITÀ DEGLI STUDI DI SALERNO

DIPARTIMENTO DI INFORMATICA

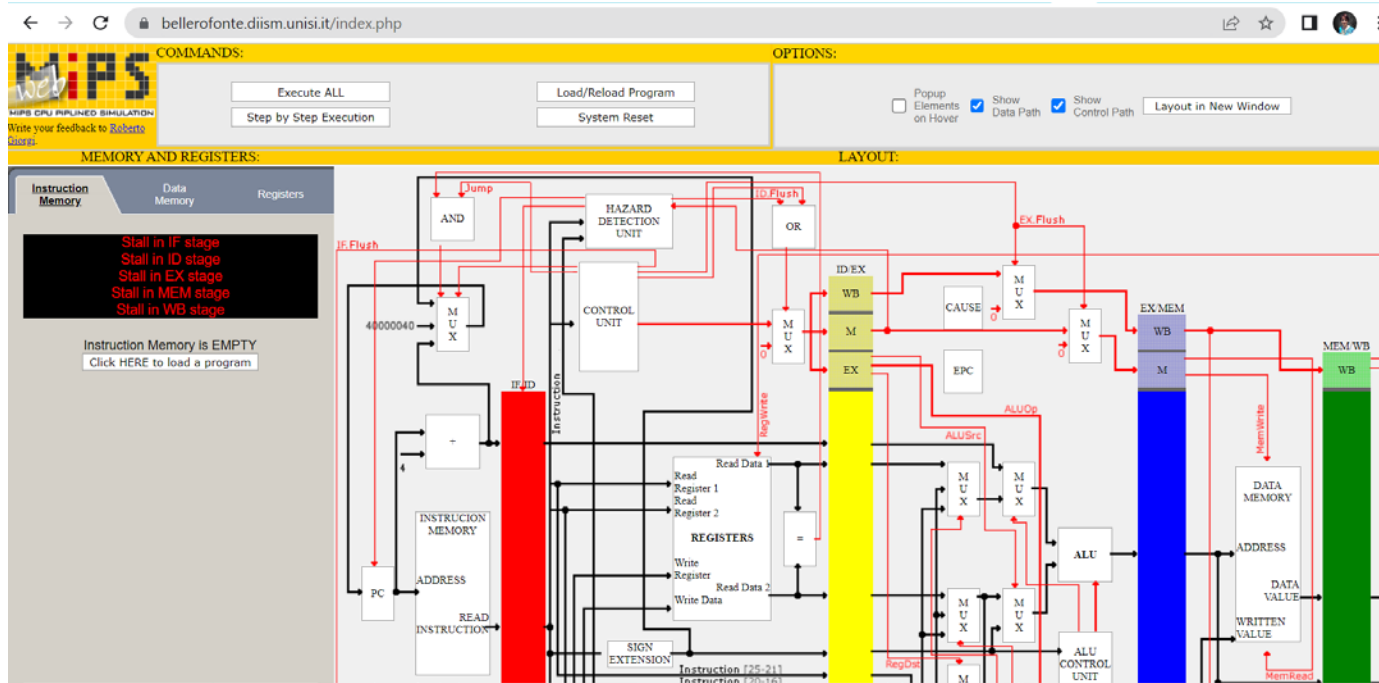
Su cosa ci esercitiamo oggi?

- Simulatore WebMIPS
- Approfondimento sui Flip-Flop
 - Latch e Flip-Flop S-R
 - Flip-Flop D
- Datapath (Unità di Elaborazione)
 - Istruzioni add, lw, sw, beq nell'implementazione a ciclo singolo



Simulatore WebMIPS

- Utile simulatore WebMIPS
<http://bellerofonte.diism.unisi.it>



Domanda su Latch S-R

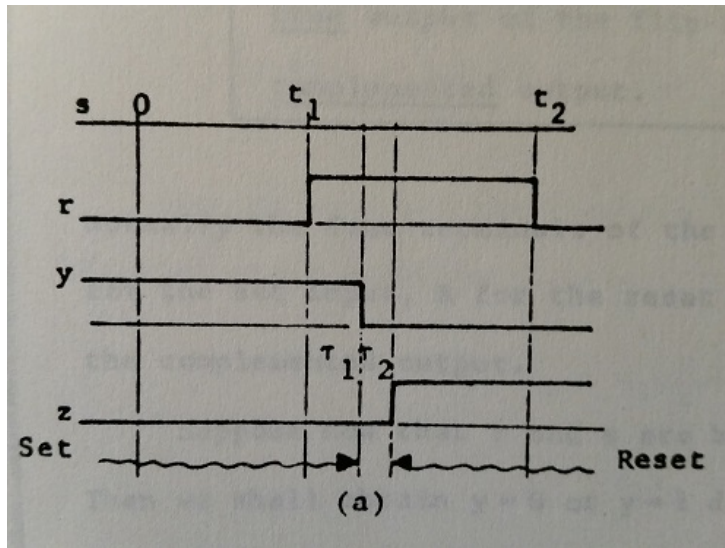
Se in un Latch S-R il segnale Set è 1, allora:

- A. Il Latch forza l'uscita Z ad 1
- B. Il Latch forza l'uscita Y ad 1
- C. Il Latch forza l'uscita Y a 0
- D. Nessuna delle altre risposte

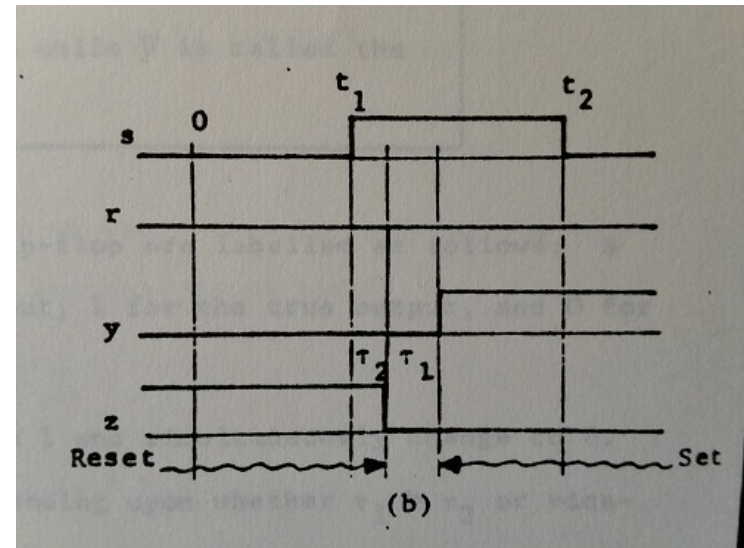


Latch S-R

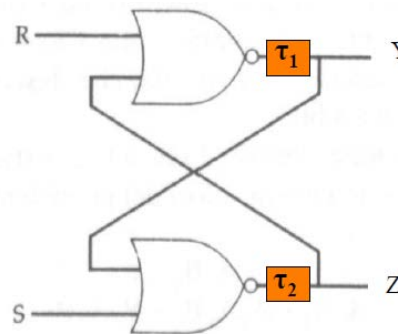
Diagramma temporale di un Latch S-R



Reset = 1



Set = 1



$$Y = \overline{r + z}$$

$$Z = \overline{y + s} \rightarrow Z = \overline{\overline{Y} + s}$$



Domanda su Latch S-R

Se in un Latch S-R il segnale Set è 1, allora:

- A. Il Latch forza l'uscita Z ad 1
- B. Il Latch forza l'uscita Y ad 1**
- C. Il Latch forza l'uscita Y a 0
- D. Nessuna delle altre risposte



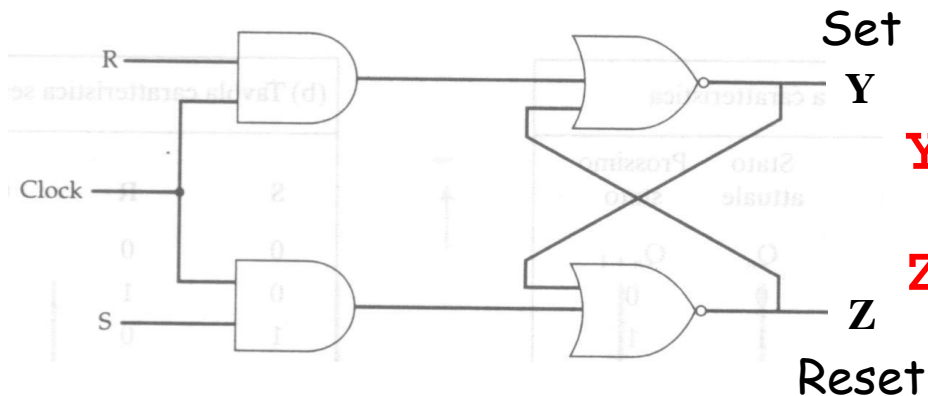
Domanda su Flip-Flop S-R

- Se in un Flip Flop S-R (temporizzato) il segnale R è 1, allora:
- A. Il Flip Flop forza certamente l'uscita Y ad 1
 - B. Il Flip Flop forza l'uscita \bar{Y} ad 1 solo se il Clock è 0
 - C. Il Flip Flop forza l'uscita \bar{Y} ad 1 solo se il Clock è 1
 - D. Nessuna delle altre risposte



Flip-Flop S-R

E' un Latch con Clock:
tre ingressi (Clock, S ed R) e due uscite (Y e Z)



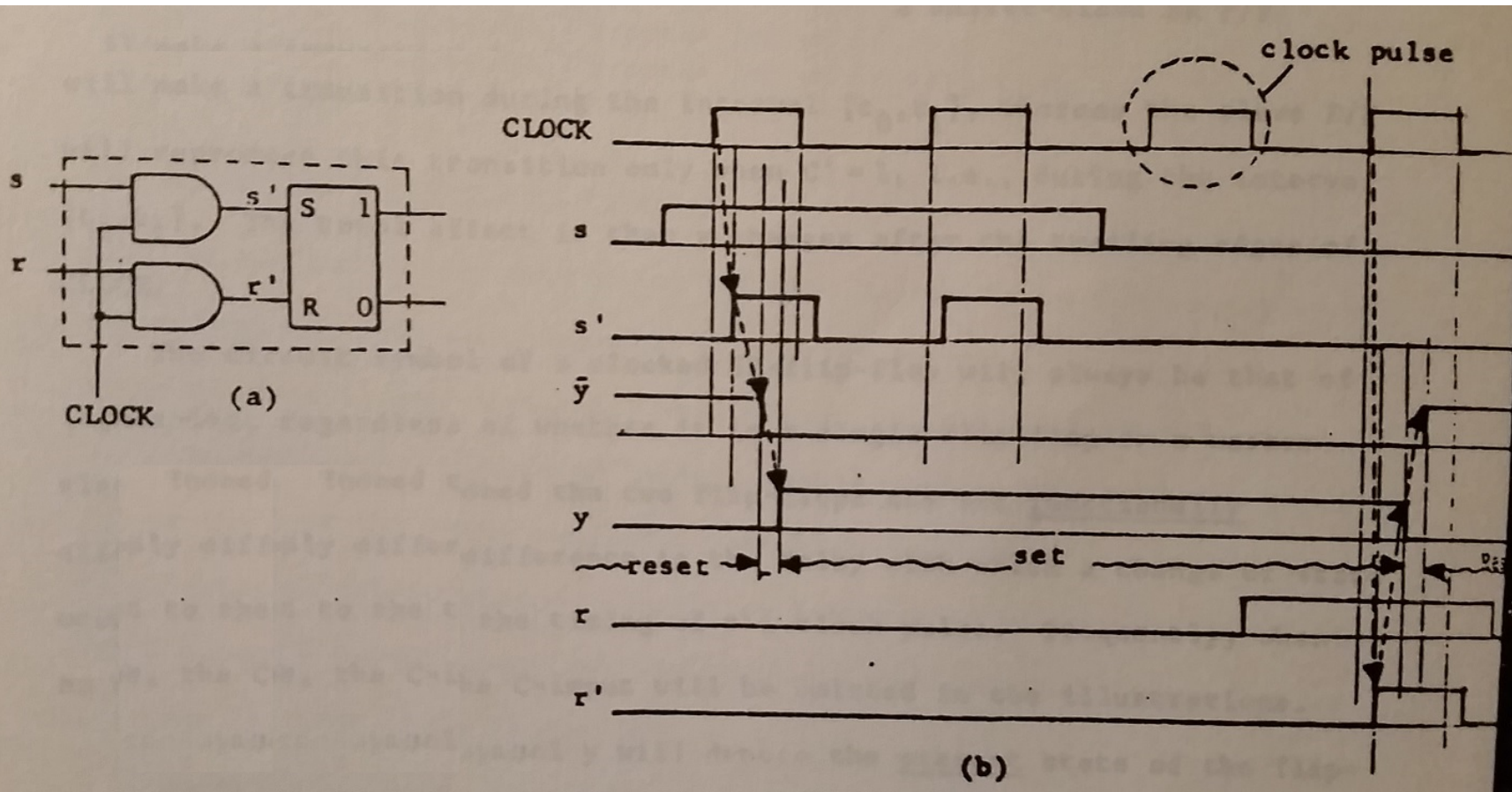
$$Y = \overline{r+z}$$

$$Z = \overline{y+s} \rightarrow Z = \overline{\overline{r+z} + s}$$



Flip-Flop S-R

Schema e diagramma temporale di un Flip Flop S-R



Flip-Flop S-R:

Tavola di verità

S	R	Stato attuale y	Prossimo stato Y
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	-	-
1	1	-	-

$$Y = \bar{r}(s+y)$$

Stabilità ($S=R=0$)

Reset ($S=0, R=1$)

Set ($S=1, R=0$)

Input non permessi



Domanda su Flip-Flop S-R

- Se in un Flip Flop S-R (temporizzato) il segnale R è 1, allora:
- A. Il Flip Flop forza certamente l'uscita Y ad 1
 - B. Il Flip Flop forza l'uscita \bar{Y} ad 1 solo se il Clock è 0
 - C.** Il Flip Flop forza l'uscita \bar{Y} ad 1 solo se il Clock è 1
 - D. Nessuna delle altre risposte



Domanda 1 su Flip-Flop D

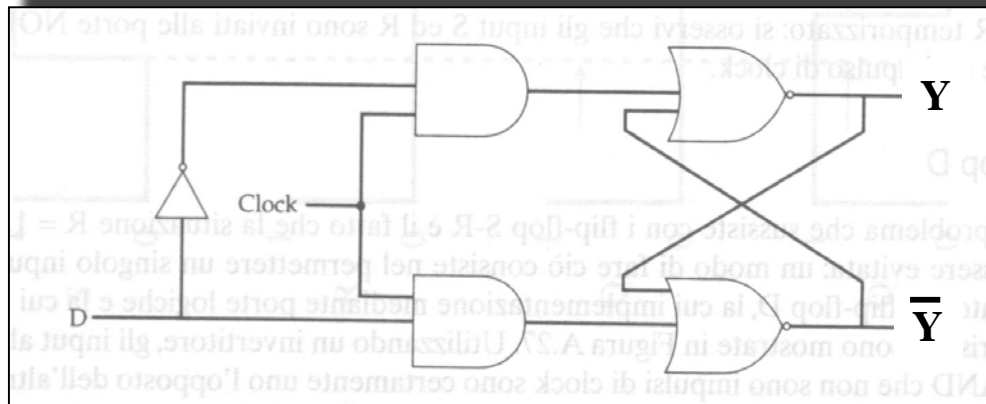
Se in un Flip Flop D (temporizzato) il segnale di Clock è 0, allora:

- A. Il Flip-Flop è chiuso e l'uscita Y resta invariata
- B. Il Flip-Flop è chiuso e l'uscita Y sarà uguale a 0
- C. Il Flip-Flop è aperto e l'uscita Y sarà uguale a D
- D. Nessuna delle altre risposte



Flip-Flop D

- L'output del Flip-Flop è uguale all'input D quando il segnale di clock è alto, altrimenti mantiene il valore che aveva in precedenza



Domanda 1 su Flip-Flop D

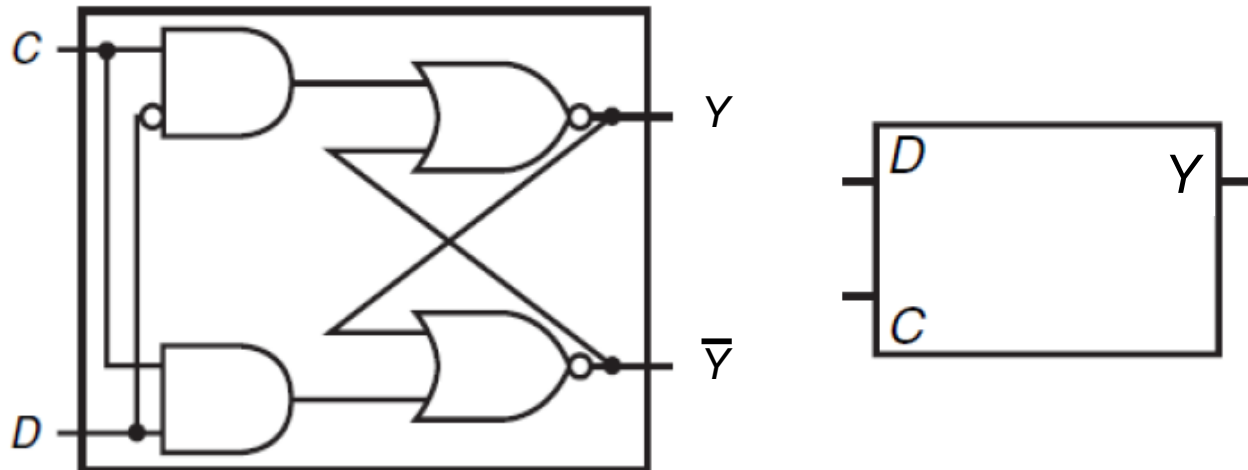
Se in un Flip Flop D (temporizzato) il segnale di Clock è 0, allora:

- A. Il Flip-Flop è chiuso e l'uscita Y resta invariata
- B. Il Flip-Flop è chiuso e l'uscita Y sarà uguale a 0
- C. Il Flip-Flop è aperto e l'uscita Y sarà uguale a D
- D. Nessuna delle altre risposte



Flip-Flop D

- Quando il Clock è 1, cioè il suo fronte è **alto**, il circuito è **aperto** e l'output Y diventa uguale all'input D (il circuito lascia passare il dato D)
- Quando il Clock è 0, cioè il suo fronte è **basso**, il circuito è **chiuso** e l'output Y mantiene il valore che aveva l'ultima volta che il circuito era aperto (il circuito non lascia passare il dato D)



Domanda 2 su Flip-Flop D

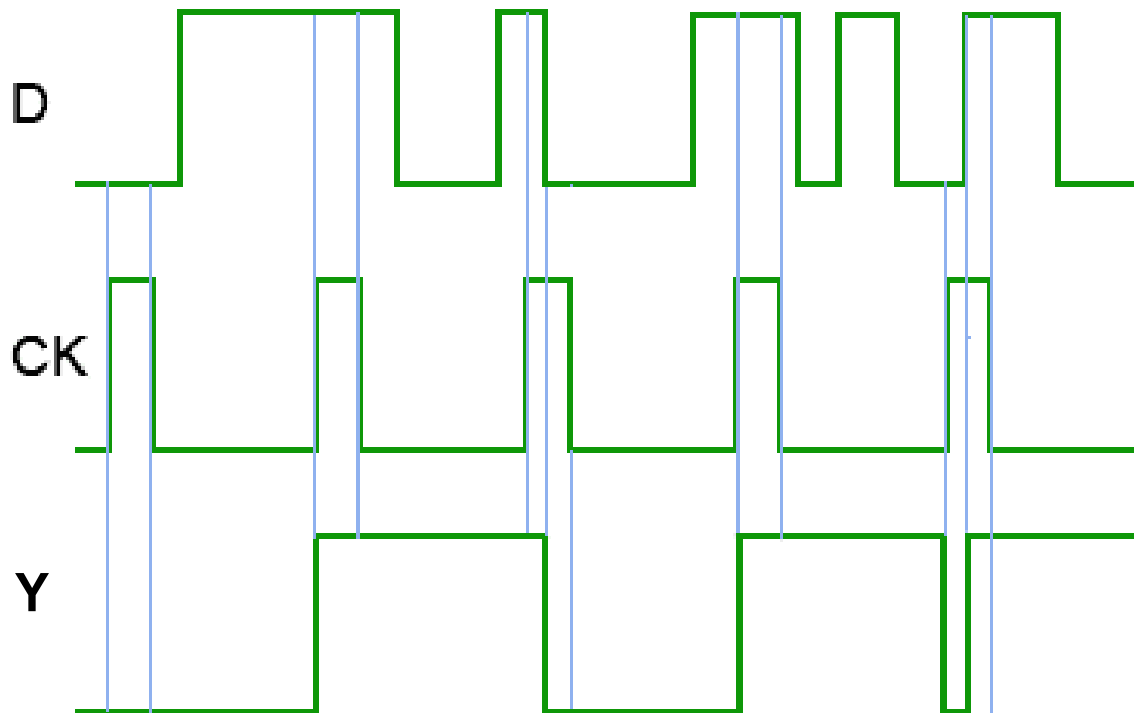
Se in un Flip Flop D (temporizzato) il segnale di uscita Y è pari ad 1, allora:

- A. Il Flip-Flop è aperto (il Clock è 1) e l'input D può valere 0 o 1
- B. L'input D vale 1 e il Clock può valere 0 o 1
- C. **Certamente** il Flip-Flop è attualmente aperto (il Clock è 1) e l'input D è uguale ad 1
- D. Nessuna delle altre risposte



Flip-Flop D

Diagramma temporale di un Flip Flop D



Domanda 2 su Flip-Flop D

Se in un Flip Flop D (temporizzato) il segnale di uscita Y è pari ad 1, allora:

- A. Il Flip-Flop è aperto (il Clock è 1) e l'input D può valere 0 o 1
- B. L'input D vale 1 e il Clock può valere 0 o 1
- C. **Certamente** il Flip-Flop è attualmente aperto (il Clock è 1) e l'input D è uguale ad 1
- D. Nessuna delle altre risposte



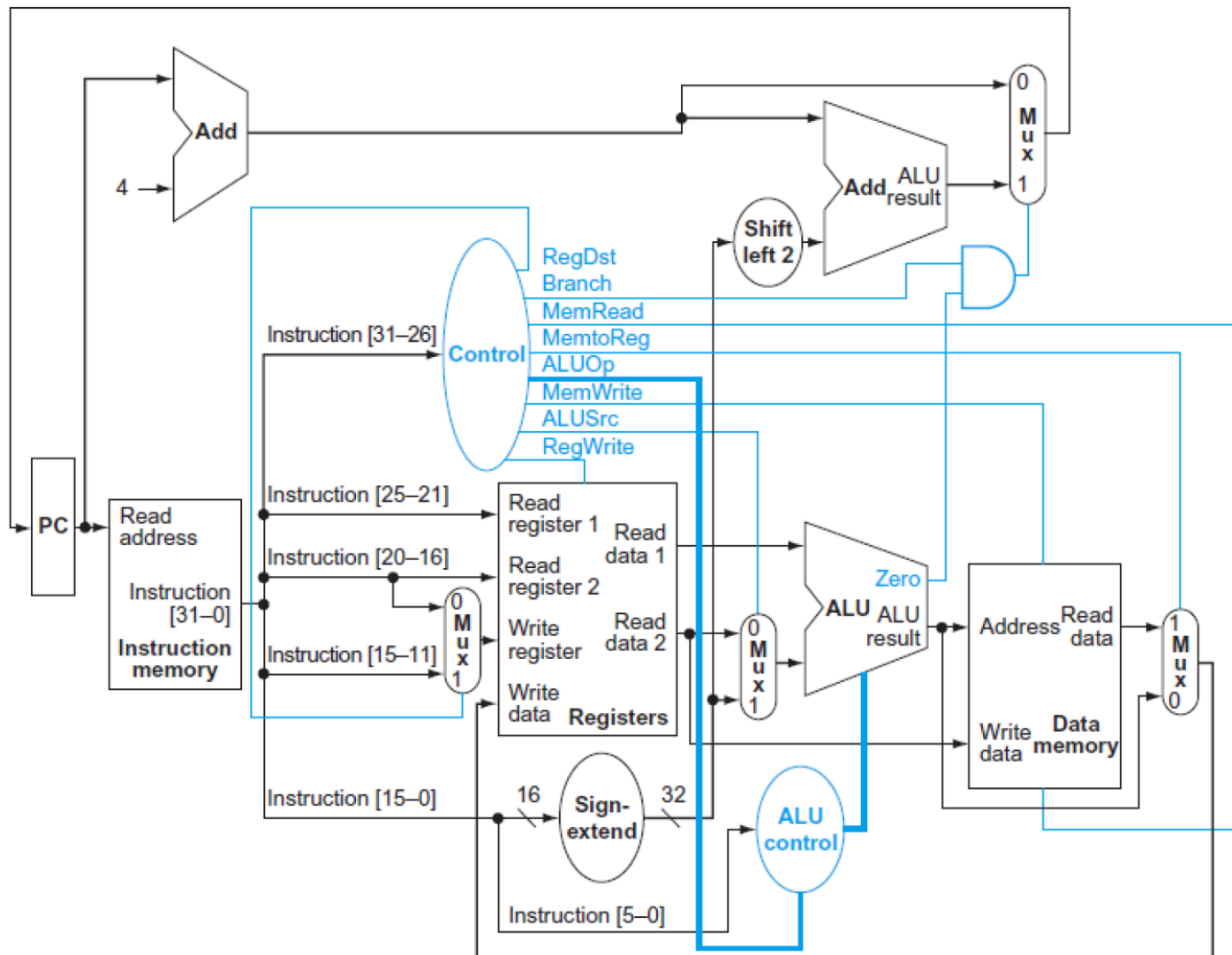
Domanda sul Datapath

Domanda

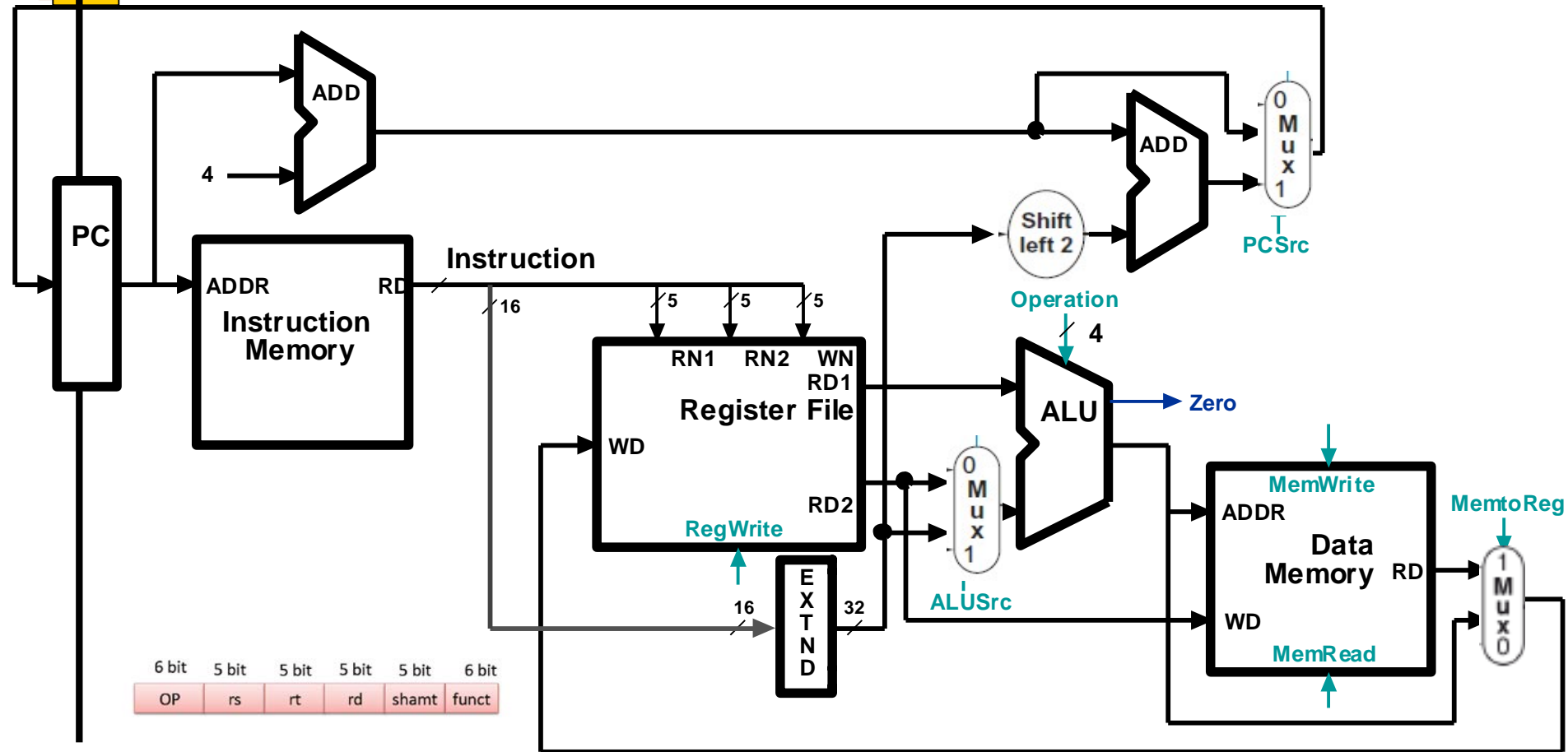
- a) Si consideri lo schema implementativo studiato di un processore a singolo ciclo ma **soltanto** la parte dell'unità di **elaborazione** necessaria ad eseguire l'istruzione **add**.
- b) Si consideri il processore al punto a) durante l'esecuzione dell'istruzione **add \$s0,\$s1,\$s2**, dove i registri \$s0, \$s1 e \$s2 contengono rispettivamente i valori 138, -64 e 39. Indicare i valori di seguito richiesti, ciascuno col **corretto numero di bit** con cui compaiono. Può essere utile ricordare che i numeri dei registri \$s0, \$s1 e \$s2 sono rispettivamente 16, 17 e 18 e che il campo funct di add è 20_{esa}.
- b1) la stringa binaria in uscita dalla memoria istruzioni
 - b2) le due stringhe binarie in ingresso alla ALU
 - b3) il dato da scrivere nel banco dei registri e il numero del registro in cui scrivere
 - b4) il segnale MemWrite.



Implementazione a Ciclo Singolo

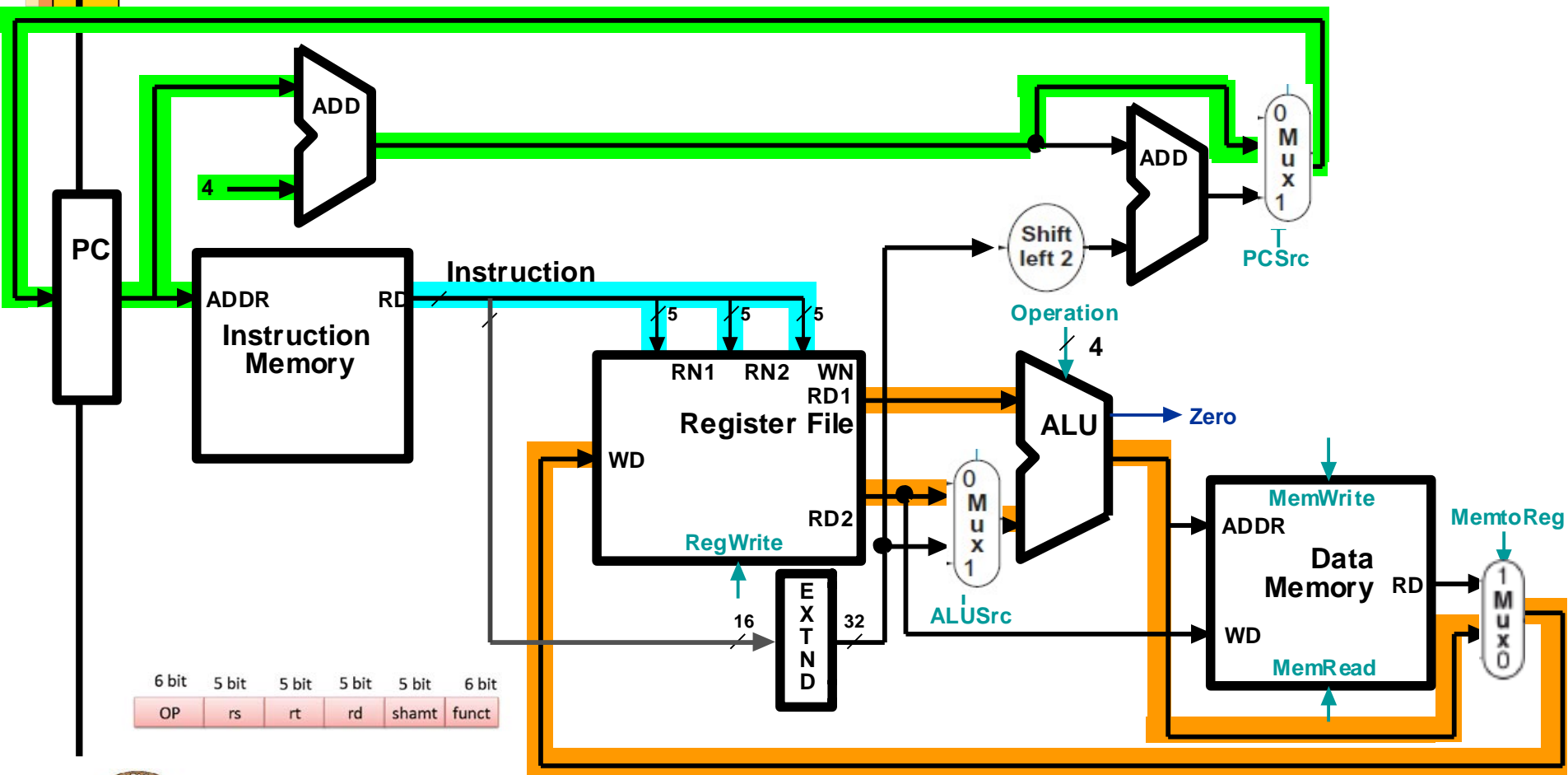


Implementazione a Ciclo Singolo



`add rd, rs, rt`

Implementazione a Ciclo Singolo



Datapath dell' istruzione add

`add rd, rs, rt`

Riepilogo

- Simulatore WebMIPS
- Approfondimento sui Flip-Flop
 - Latch e Flip-Flop S-R
 - Flip-Flop D
- Datapath (Unità di Elaborazione)
 - Istruzioni add, lw, sw, beq nell'implementazione a ciclo singolo
- Prossima lezione:
 - 16 dicembre 2022 ore 9 - 11:30, stesso Team

