

# 处理器设计

## 6. 单周期处理器性能分析

主讲人: 邓倩妮  
上海交通大学

大部分内容来自于：

*Computer Organization and Design, 4<sup>th</sup> Edition*, Patterson & Hennessy,

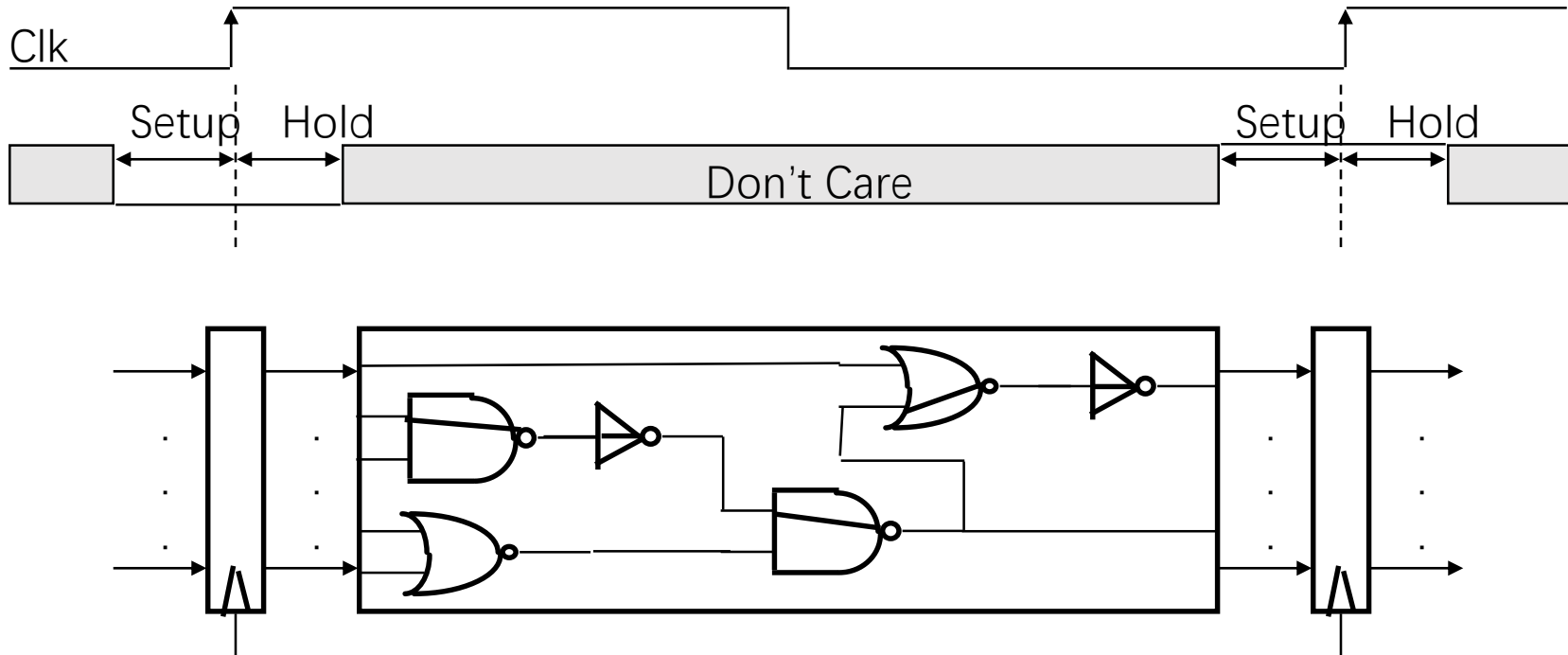


上海交通大学  
SHANGHAI JIAO TONG UNIVERSITY

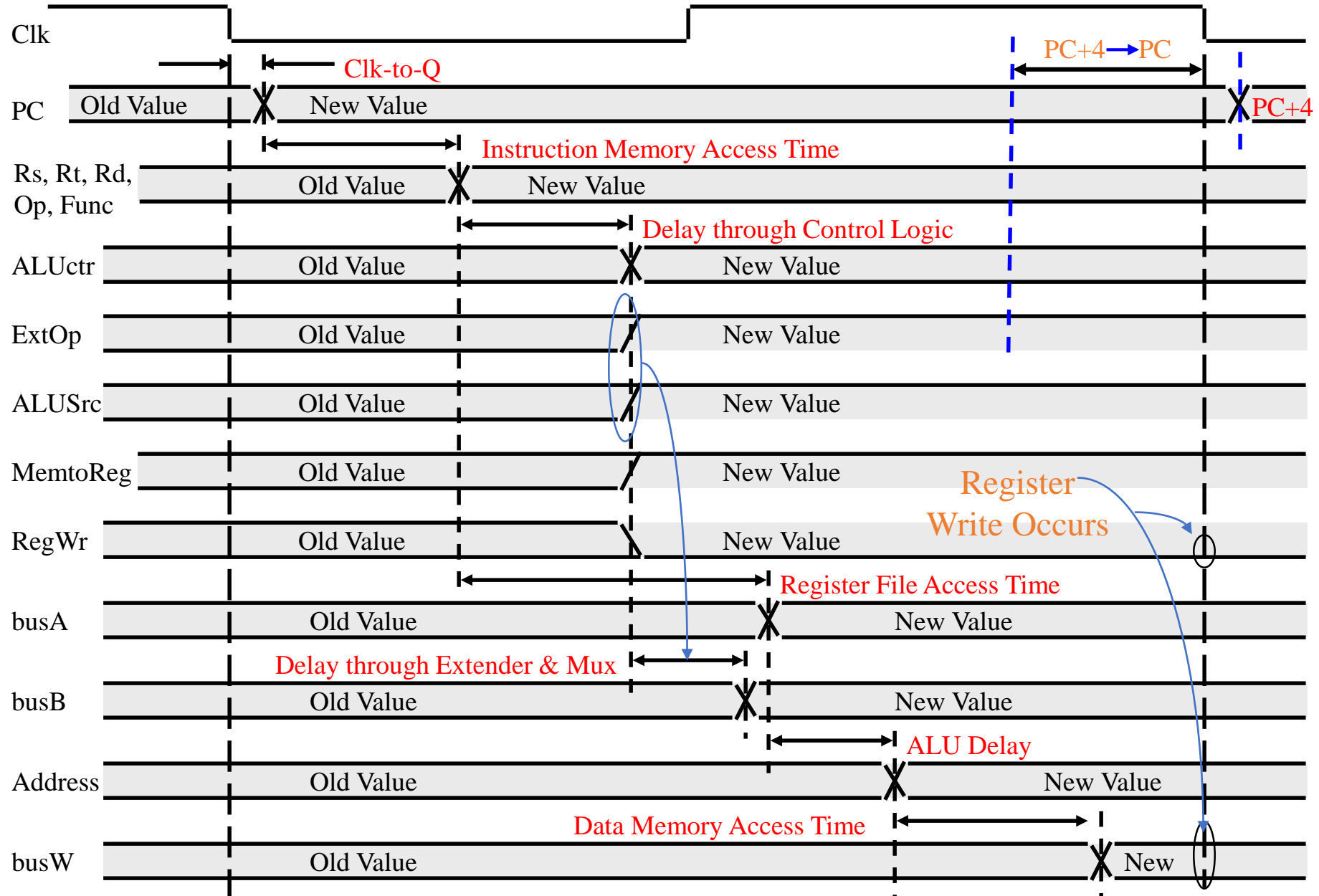


## 回顾: Clocking Methodology

- 所有存储单元（寄存器、存储器）用同一个时钟信号边沿（clock edge）触发状态更新
- $\text{Cycle Time} = \text{CLK-to-Q} + \text{Longest Delay Path} + \text{Setup} + \text{Clock Skew}$



# LW 指令的关键路径 Critical Path





## 单周期处理器的性能

问题：假定在某个实现中，以下主要组成部件的工作时间如下：

- Memory units: 200 picoseconds
- ALU and adders: 100 ps
- Register file (read or write): 50 ps
- 多路选择器、控制单元、PC访问、符号位扩展没有延迟、线路也无延迟
- 下面哪种实现会更快？快多少？
  1. 每一条指令在固定长度的一个时钟周期内执行完
  2. 每一条指令在长度可变的的一个时钟周期内执行完
- 为了比较性能，假定指令占比：
  - 25% loads, 10% stores, 45% ALU instructions, 15 % branches, 5% jumps.



# CPI=1，问题在哪里？

Arithmetic & Logical



Load



← Critical Path →

Store



Branch





## 指令的关键路径

□ 计算每条指令的延迟，根据：

- Instruction and Data Memory (200 ps)
- ALU and adders (100 ps)
- Register File access (reads or writes) (50 ps)
- 可忽略的延迟 (for muxes, control unit, sign extend, PC access, shift left 2, wires, setup and hold times)

Instr.	I Mem	Reg Rd	ALU Op	D Mem	Reg Wr	Total
R-type	200	50	100	0	50	400
load	200	50	100	200	50	600
store	200	50	100	200		550
beq	200	50	100	0		350
jump	200					200



## 比较两种实现

1. 每一条指令在固定长度的一个时钟周期内执行完

CPU clock cycle=600 ps (longest instruction)

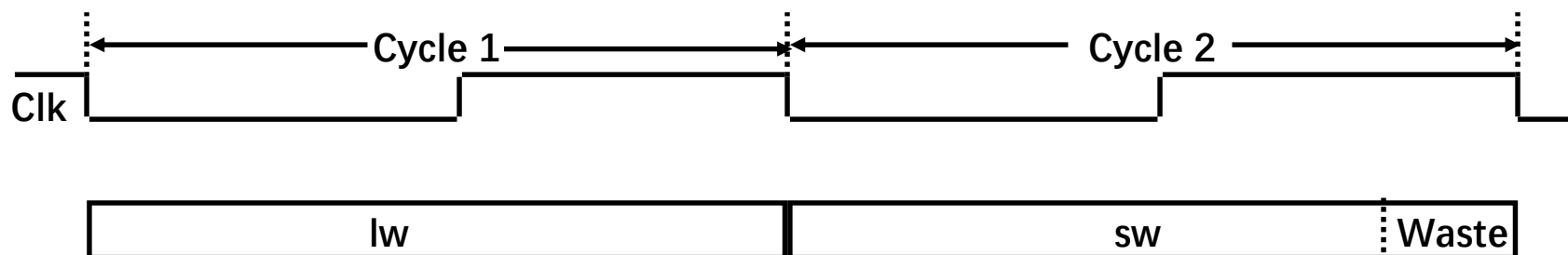
2. 每一条指令在长度可变的的一个时钟周期内执行完

$$\begin{aligned}\text{CPU clock cycle} &= 600 \times 25\% + 550 \times 10\% + 400 \times 45\% + 350 \times 15\% + 200 \times 5\% \\ &= 447.5 \text{ ps}\end{aligned}$$



## 单周期实现指令的 缺点 & 优点

- 对时钟周期的使用效率不够高- 受限于最慢的指令 ([slowest instruction](#))
- 例如：floating point multiply 实现速度就很慢



- 浪费某些功能单元，一个时钟周期内，要用到同一个功能，必须为它们分别设置分离的资源but；
- 简单，易理解

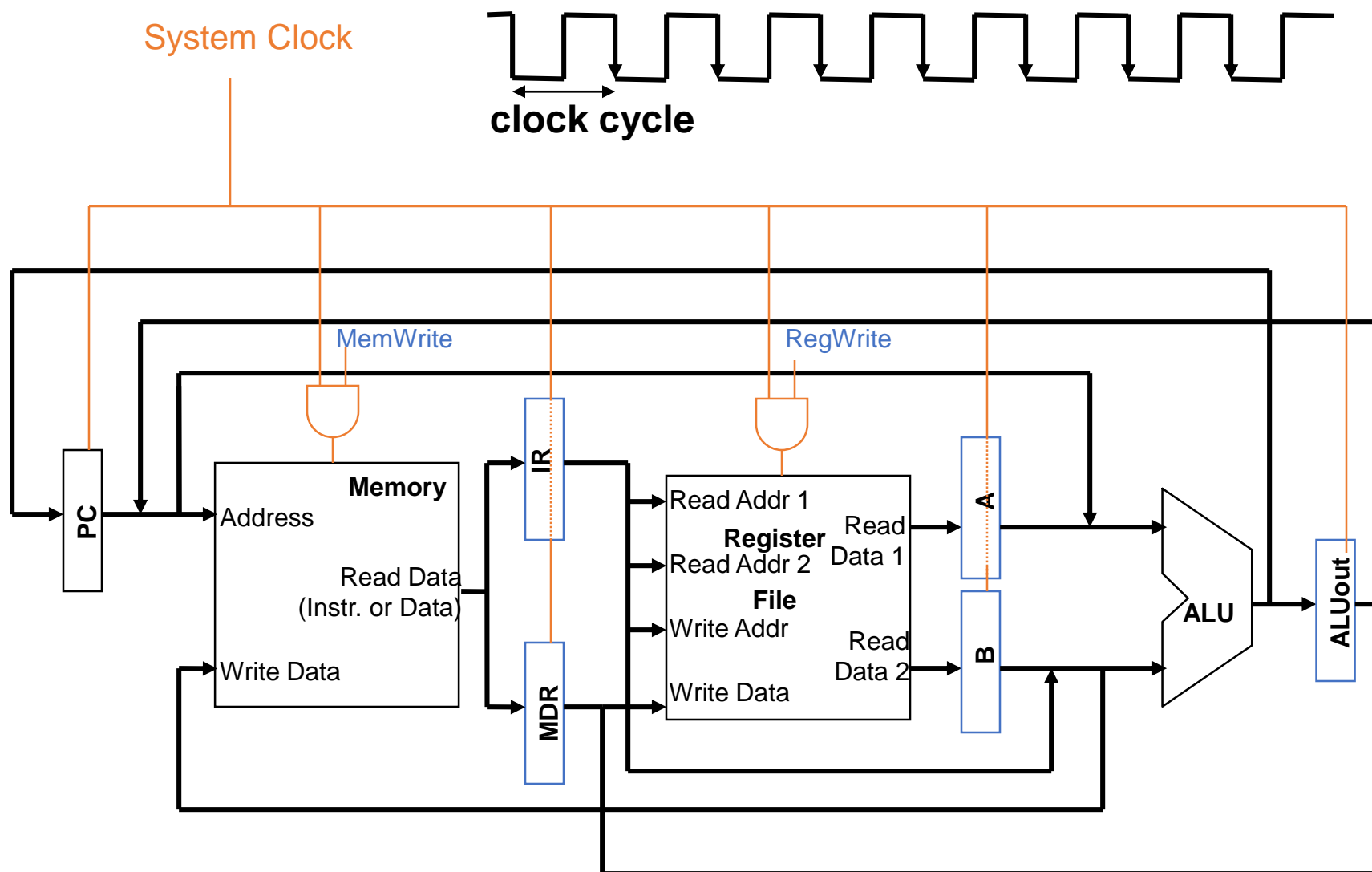




## 多周期实现

- 指令的每一步 (step) 花费 1 clock cycle
  - 完成一条指令需要多个周期
- 每条指令所花的时钟周期不相同
  - 时钟频率变快
  - 不同指令所需的时钟周期不同
- 一条指令在不同执行步 (周期) 内可以使用同一个功能单元 (functional units)
  - 只需要一个 memory
  - 只需要一个 ALU/adder

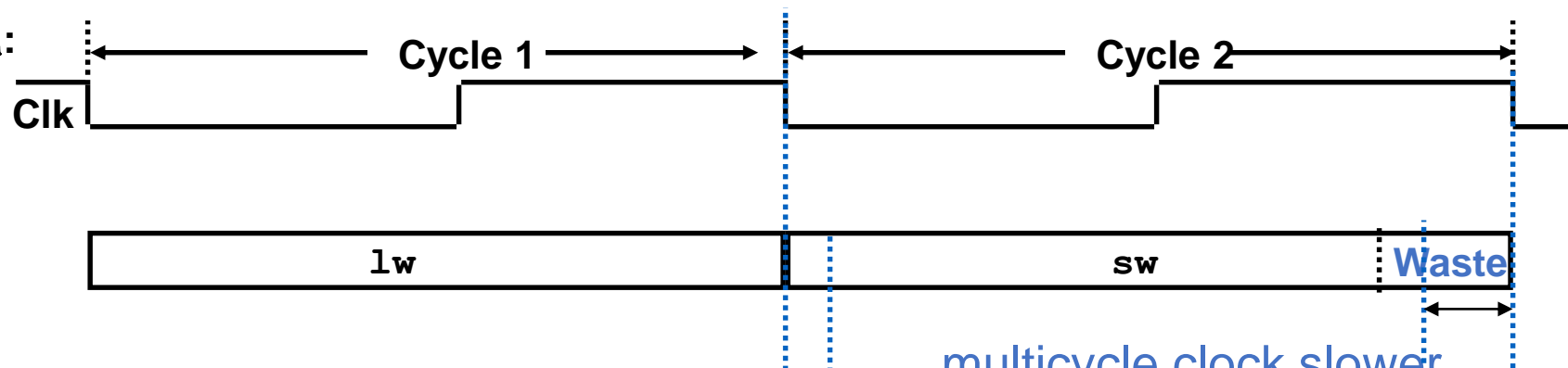
# 多周期处理器的数据通路



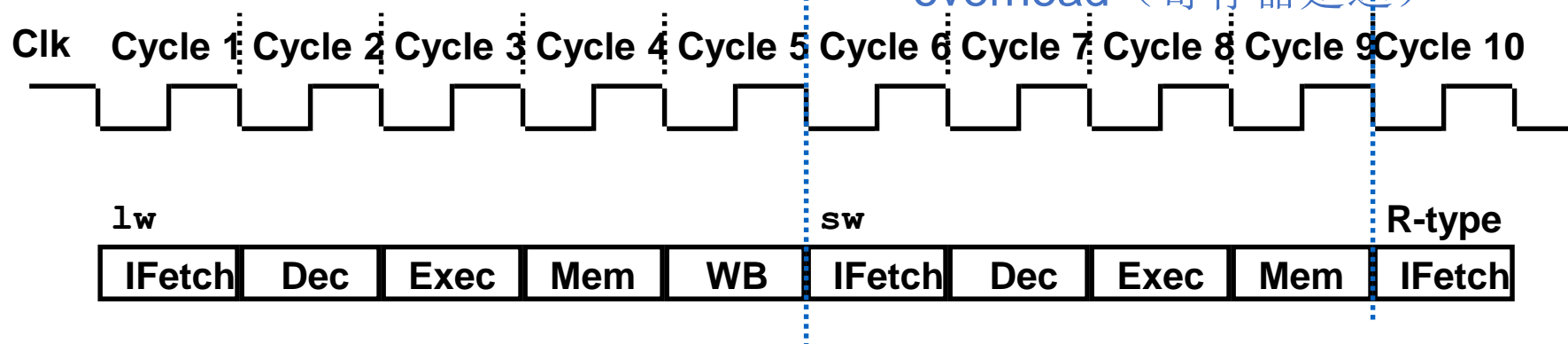


## 单周期 vs. 多周期 Timing

单周期实现:



多周期实现:



multicycle clock slower  
than  $1/5^{\text{th}}$  of single cycle  
clock due to state register  
overhead (寄存器延迟)



## 小结

- 单周期实现指令的 缺点 & 优点
- 多周期实现指令的特点
- 下一节：
  - 多周期处理器的进化：流水线处理器

谢谢！

