

处理器设计

指令流水线的实现

主讲人: 邓倩妮

上海交通大学

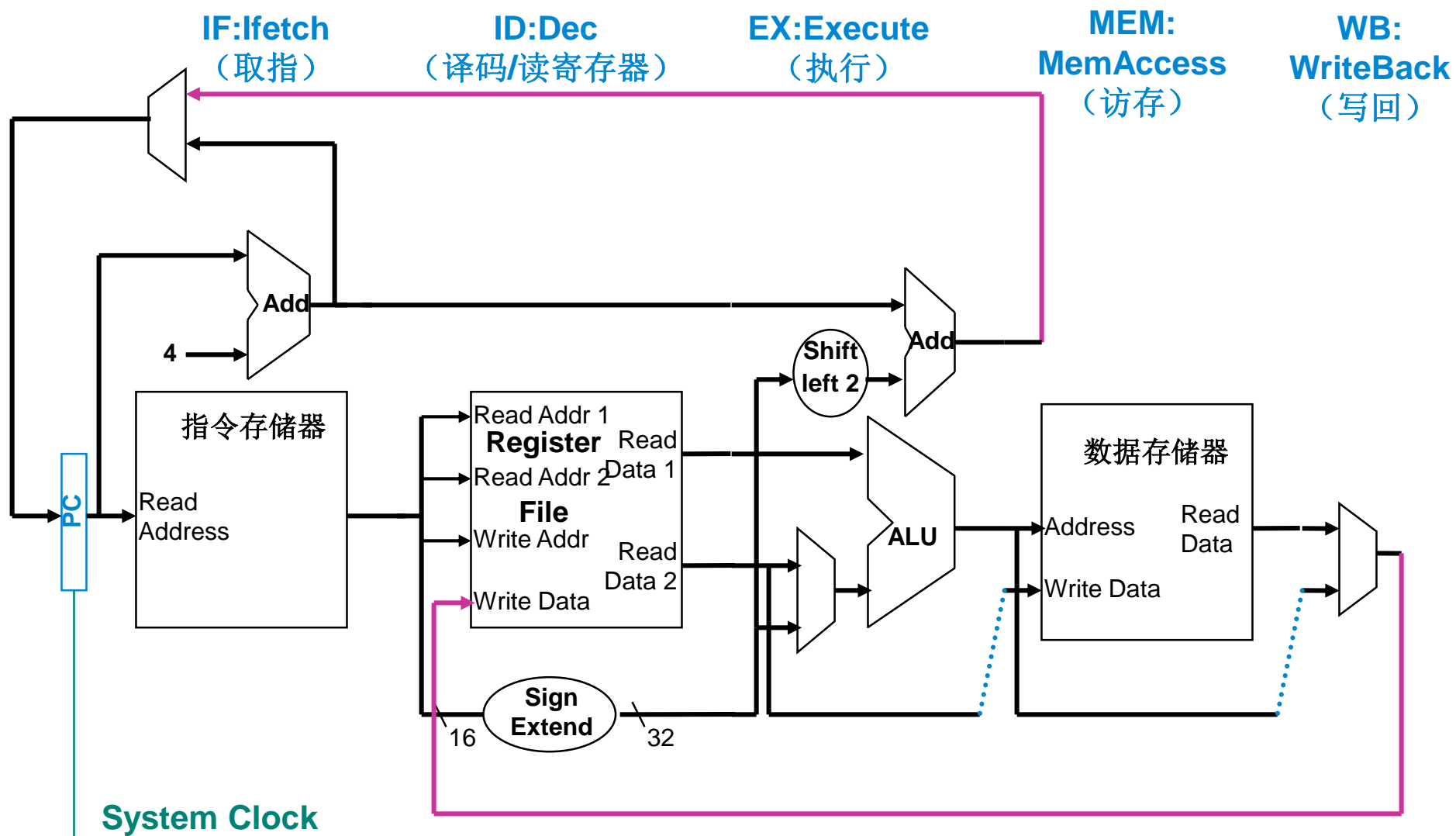
部分内容来自:

Computer Organization and Design, 4th Edition, Patterson & Hennessy

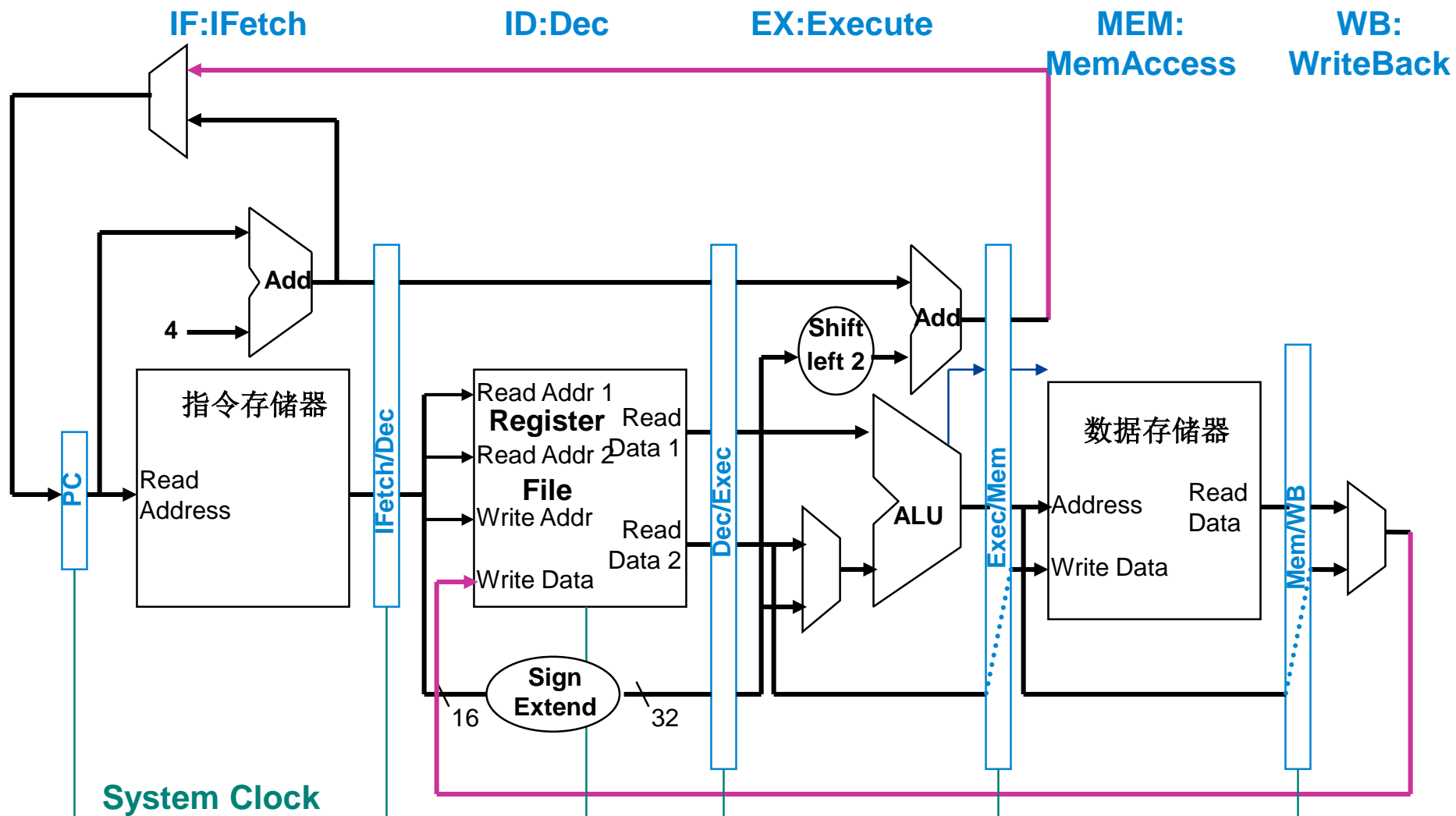


上海交通大学
SHANGHAI JIAO TONG UNIVERSITY

单周期处理器数据通路示意图



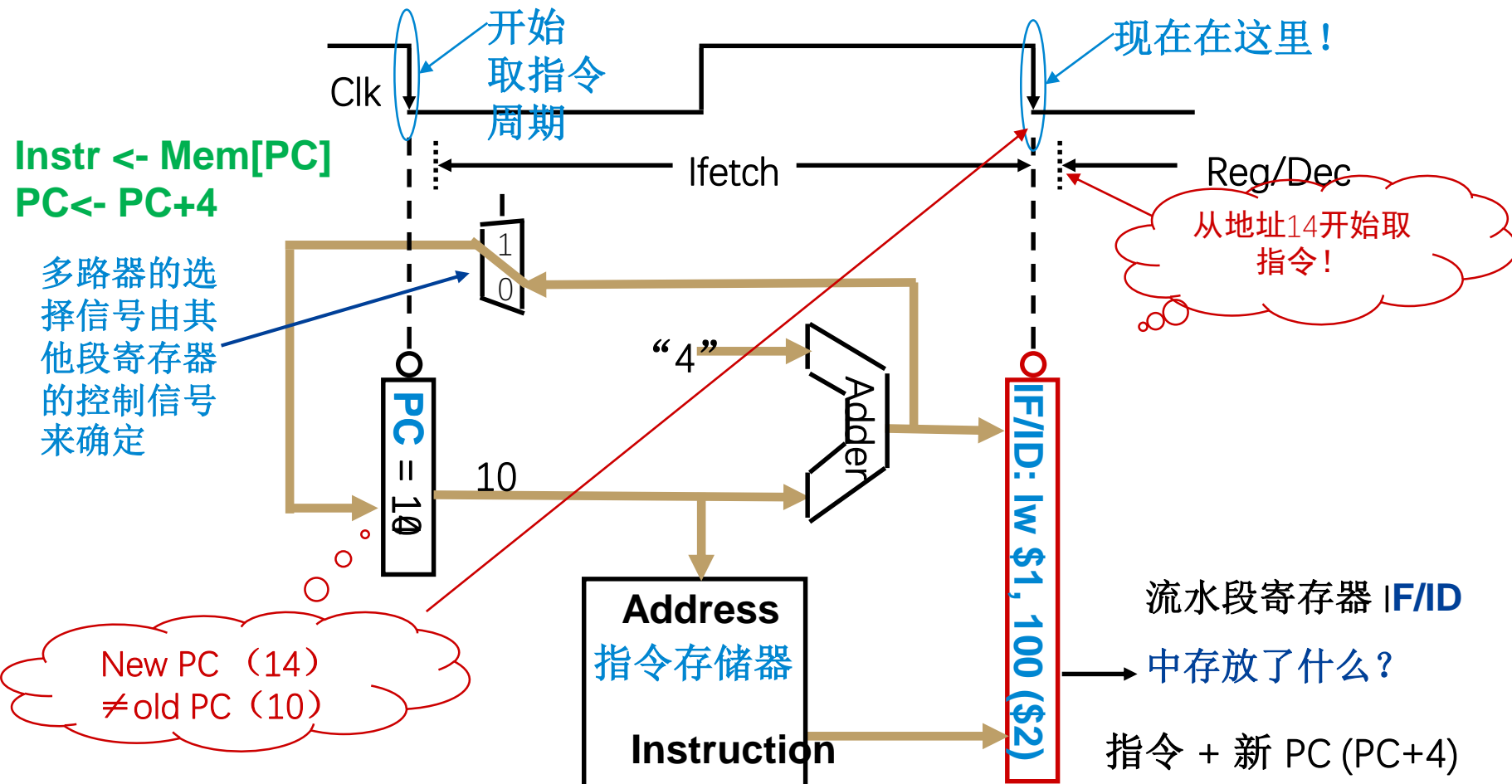
MIPS 流水线数据通路



- 在MIPS 的数据通路上增加段寄存器，将各流水段隔离开

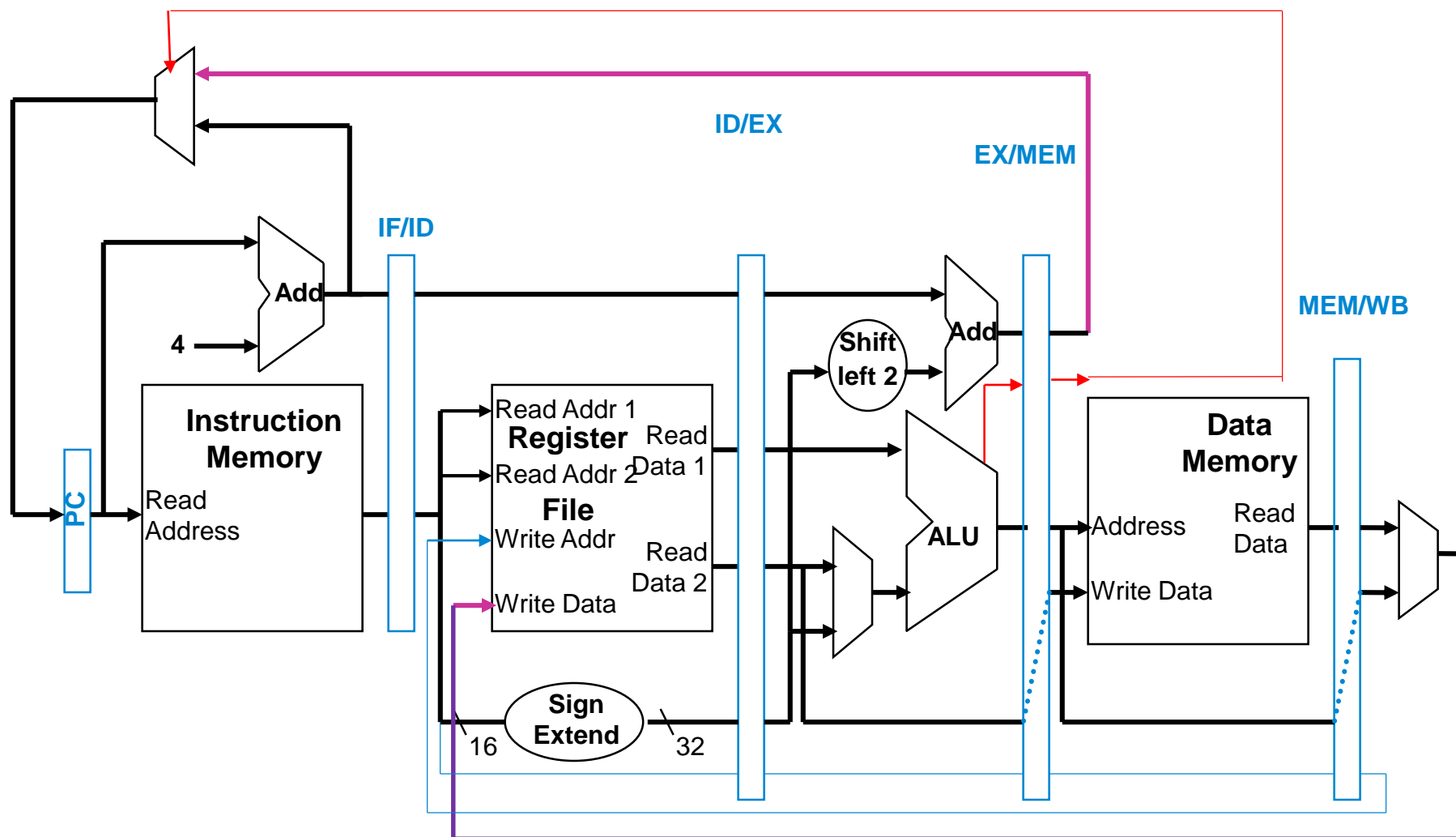
取指令单元

10: : lw \$1, 0x100(\$2)



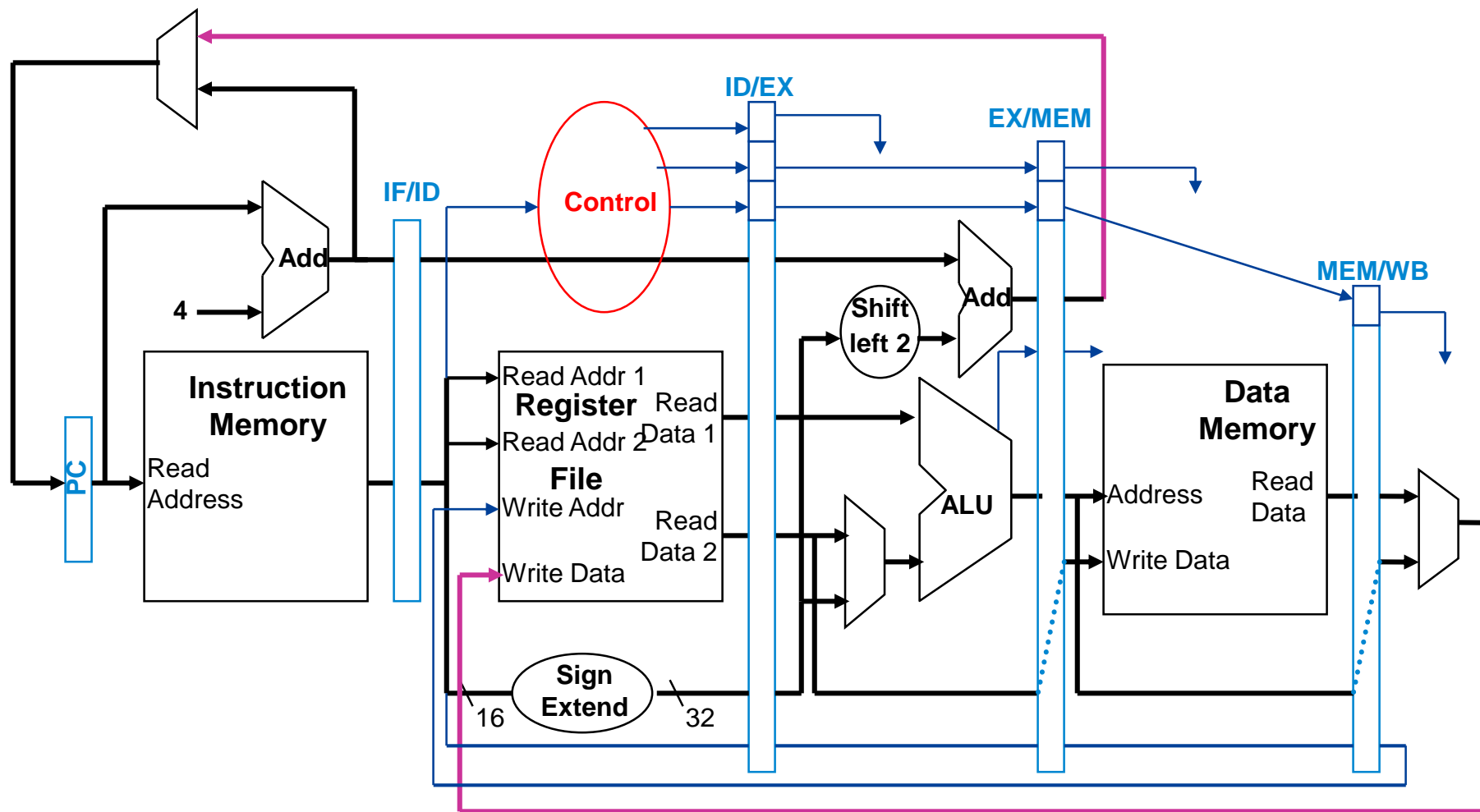
不需要控制信号，因为所有的指令执行的第一步都是取指令

新的PC：如果有转移指令



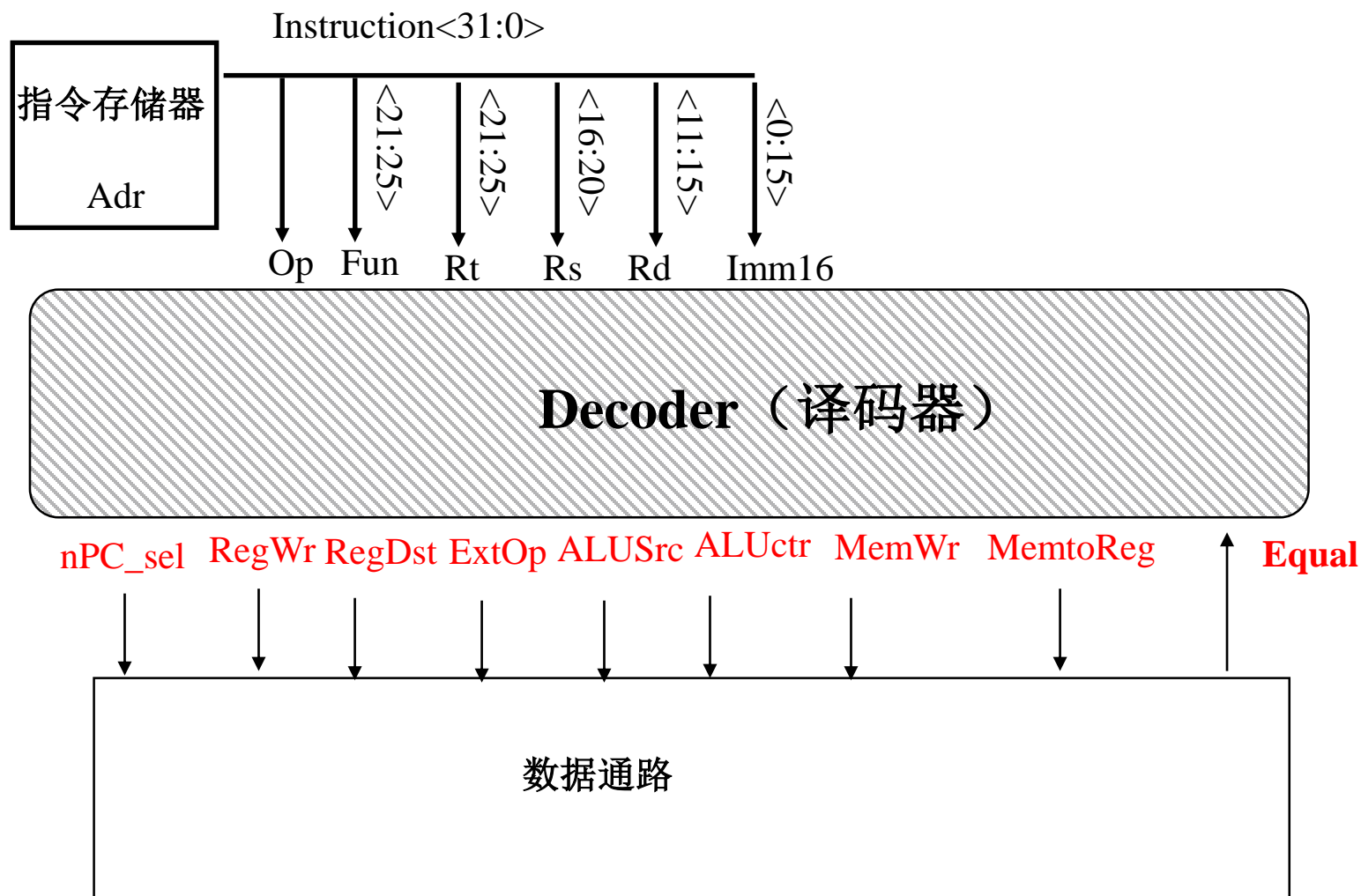
- 把所有改变PC值的操作都放在IF段进行

译码/读寄存器阶段，同时生成控制信号



- 所有控制信号在译码（Decode）阶段生成
 - 通过段寄存器（stage register）逐级流水传递

回顾：单周期处理器控制信号的生成

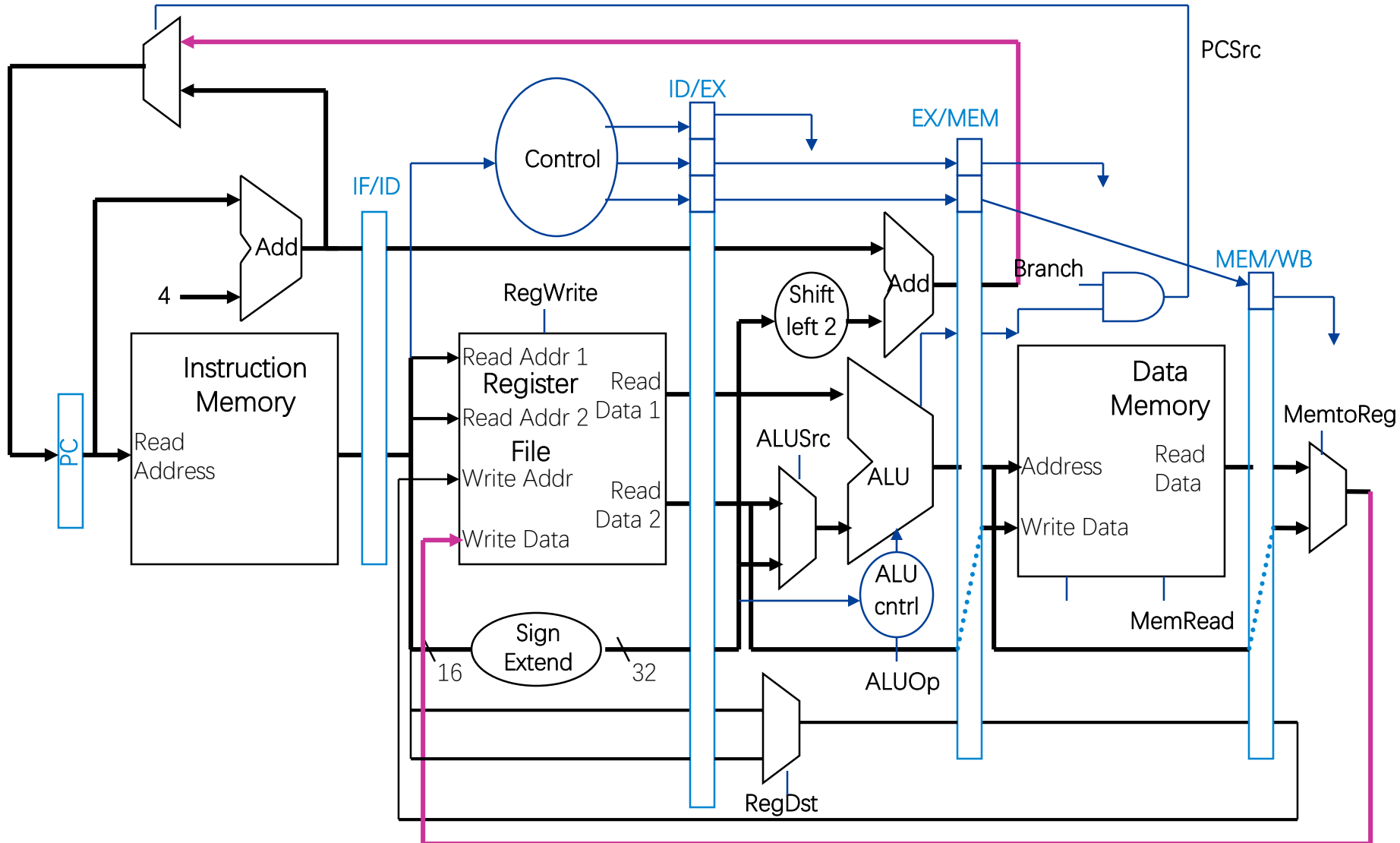


流水线数据通路上需要的控制信号

- PC 不需要控制信号
- Ifetch （取指）段和 Dec/Reg （译码）段不需要控制信号
- Exec phase （执行段）
 - ExtOp : 1- 带符号位扩展； 0- 无符号数，高位填零扩展
 - ALUSrc : 1- 来自于扩展器； 0- 来自于 bus B
 - ALUOp: 用于控制ALU完成的功能
 - RegDst : 1- Rd； 0- Rt
- Mem （访存段）
 - MemWr : 1: 写， 0: 其他
 - Branch : 1: 转移， 0: 其他
- Wr （写回段）
 - MemtoReg : 1- 数据存储器输出； 0- ALU的输出
 - RegWr : 1: 写寄存器， 0: 其他

MIPS Pipeline Control Path Modifications

- All control signals can be determined during Decode
 - and held in the **state registers** between pipeline stages



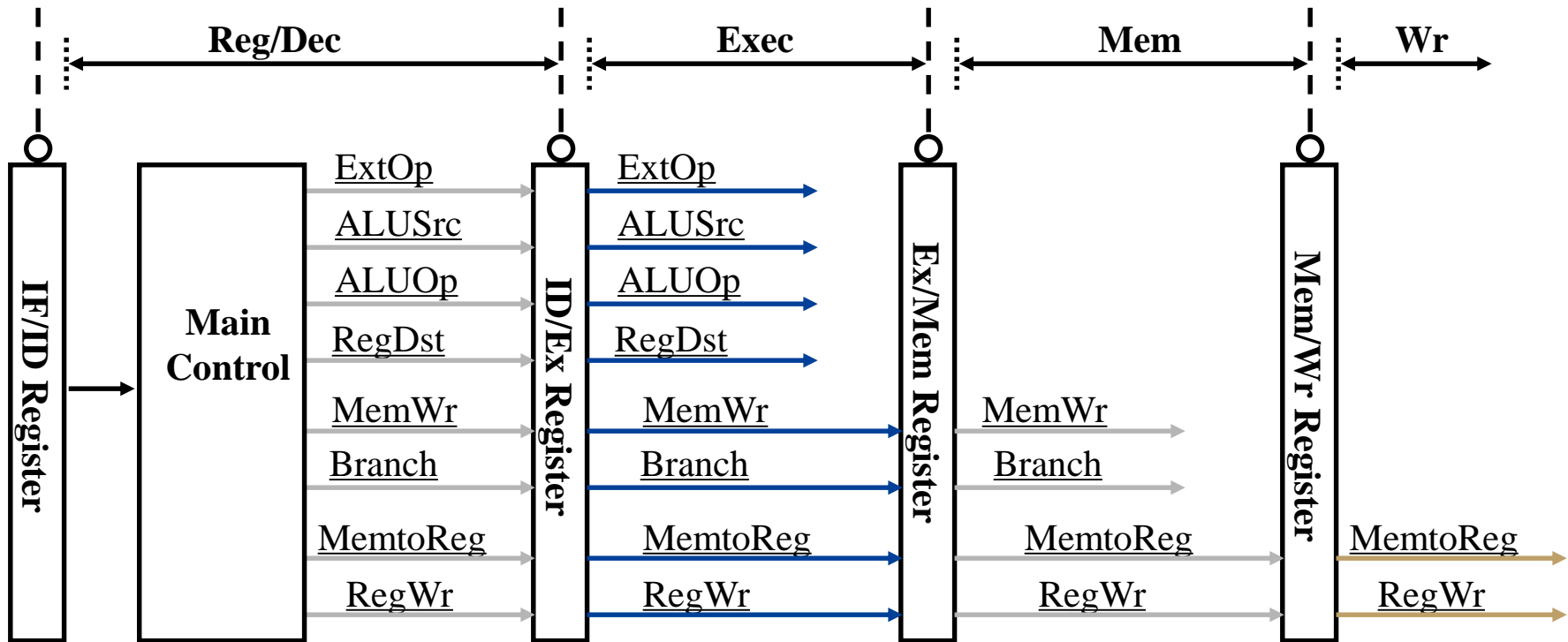
流水线数据通路上的控制信号

- IF Stage 取指段: 取指令, 计算新PC
- ID Stage 译码段: 不需要控制信号

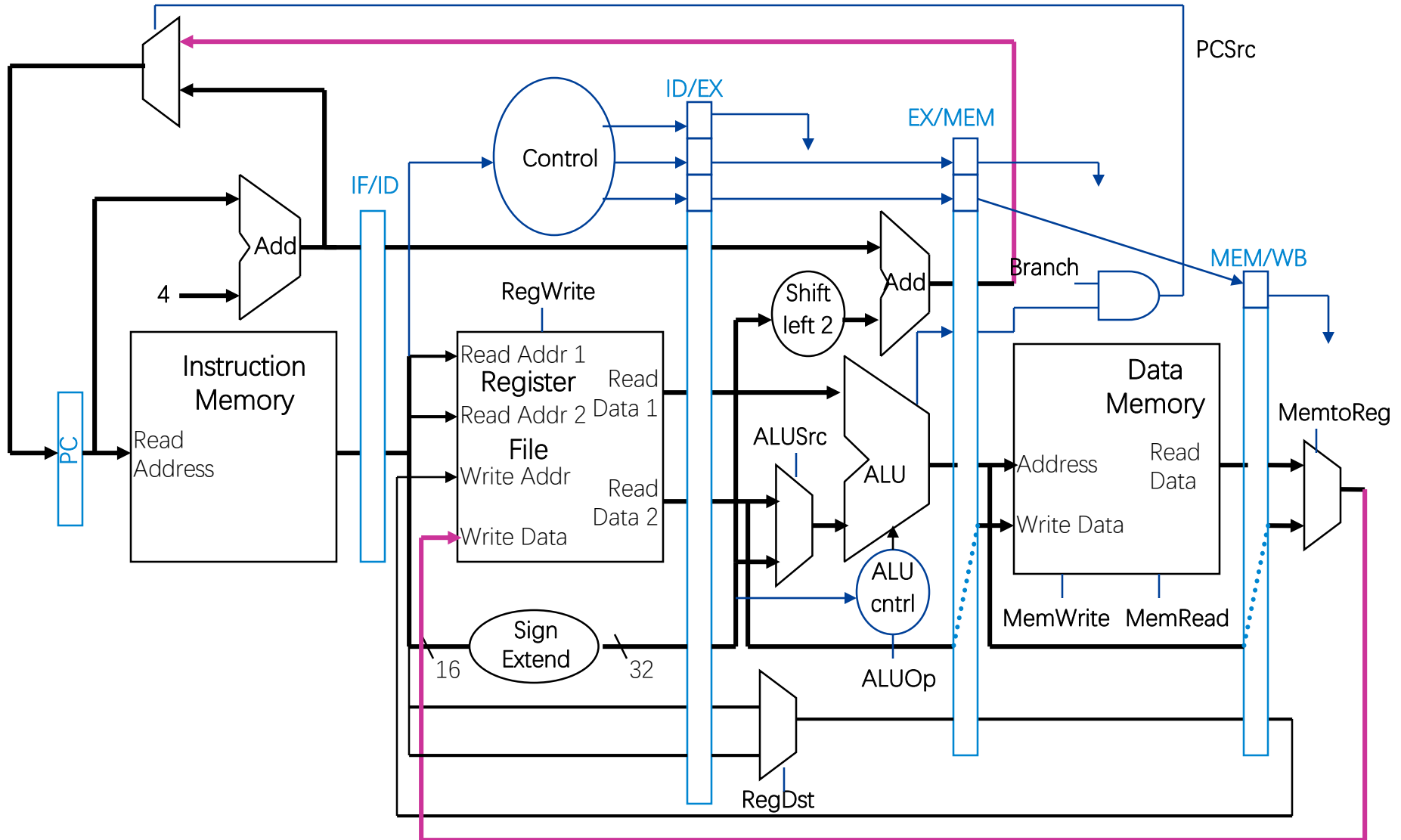
	EX Stage				MEM Stage			WB Stage	
	Reg Dst	ALU Op1	ALU Op0	ALU Src	Brch	Mem Read	Mem Write	Reg Write	Mem toReg
R	1	1	0	0	0	0	0	1	0
lw	0	0	0	1	0	1	0	1	1
sw	X	0	0	1	0	0	1	0	X
beq	X	0	1	0	1	0	0	0	X

通过段寄存器传递控制信号

- 主控制单元在译码段（ Reg/Dec ）产生所有控制信号
 - Exec (ExtOp, ALUSrc, ...)段需要的控制信号，在一周期后使用
 - Mem (MemWr Branch)段需要的控制信号，在两周期后使用
 - Wr (MemtoReg MemWr))段需要的控制信号，在三周期后使用

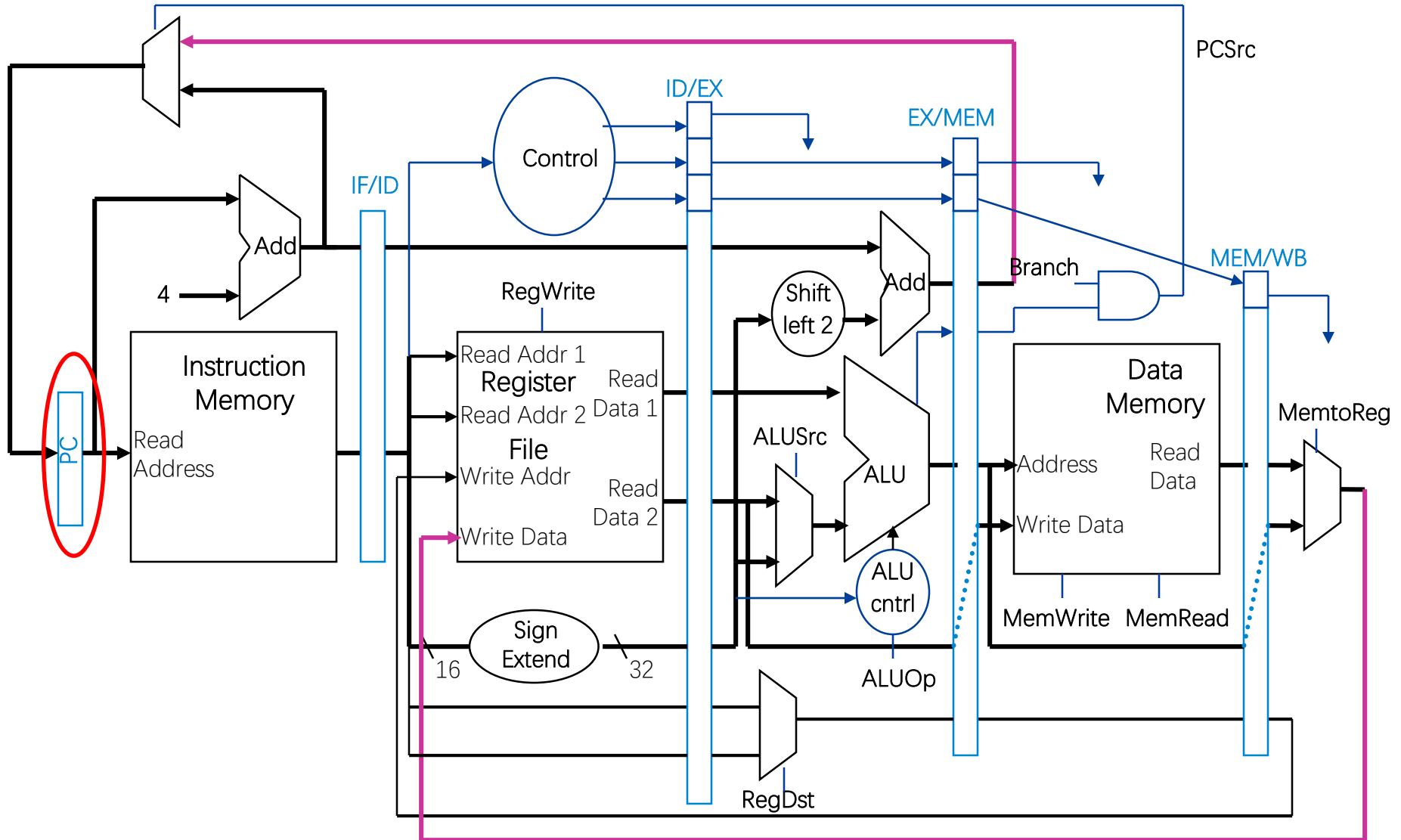


Review: MIPS Pipeline Data and Control Paths



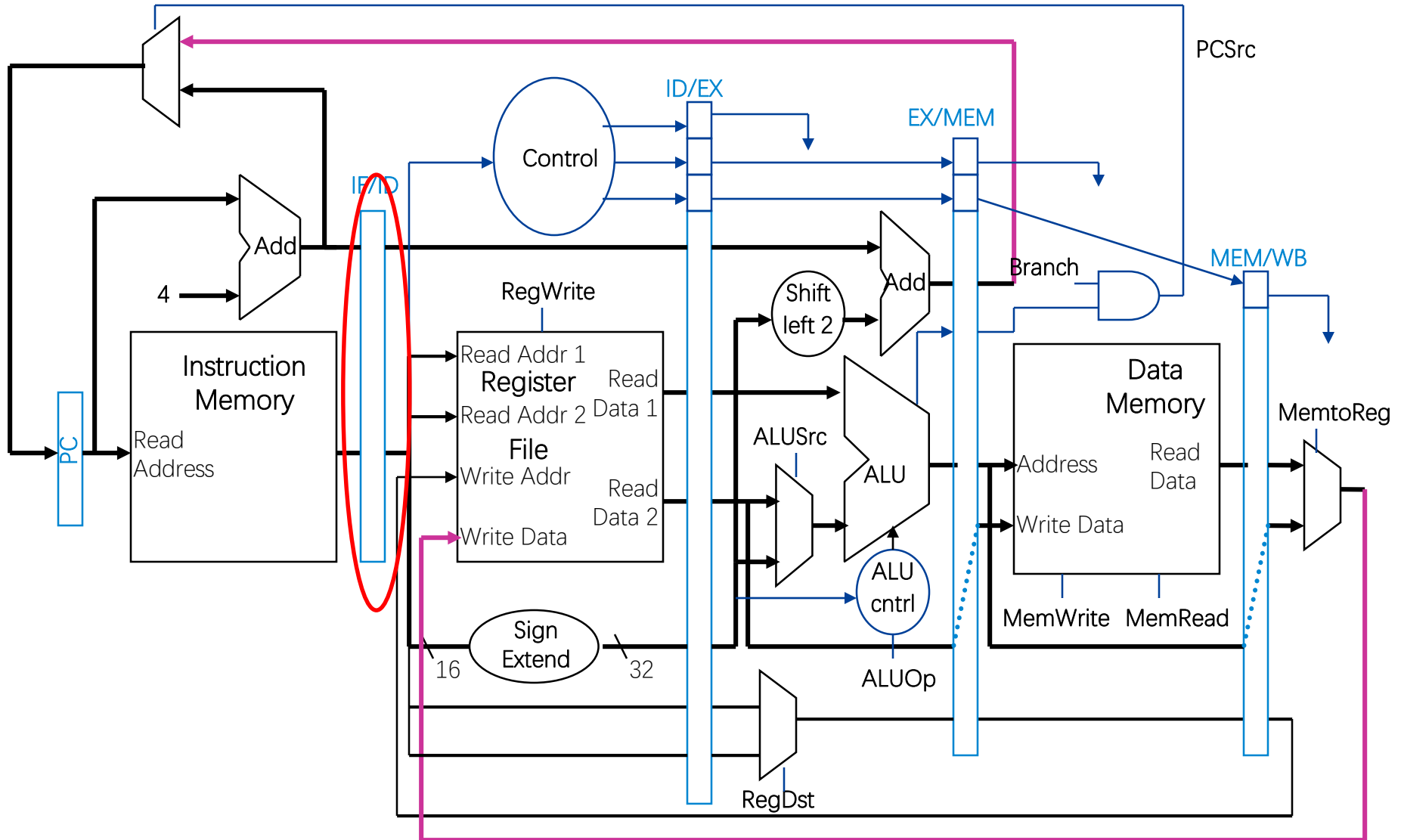
How many bits wide is each pipeline register?

Review: MIPS Pipeline Data and Control Paths



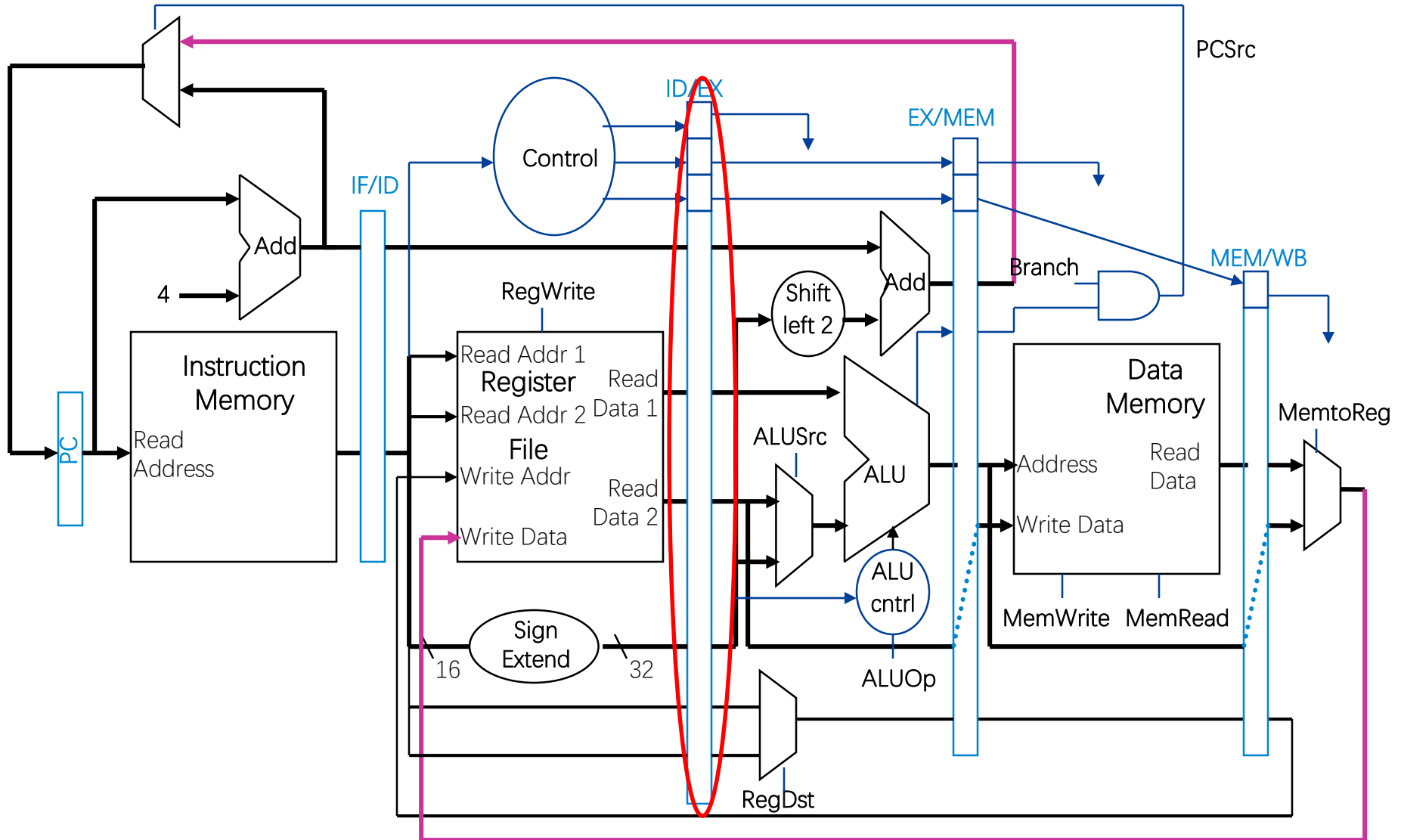
PC – 32 bits

Review: MIPS Pipeline Data and Control Paths



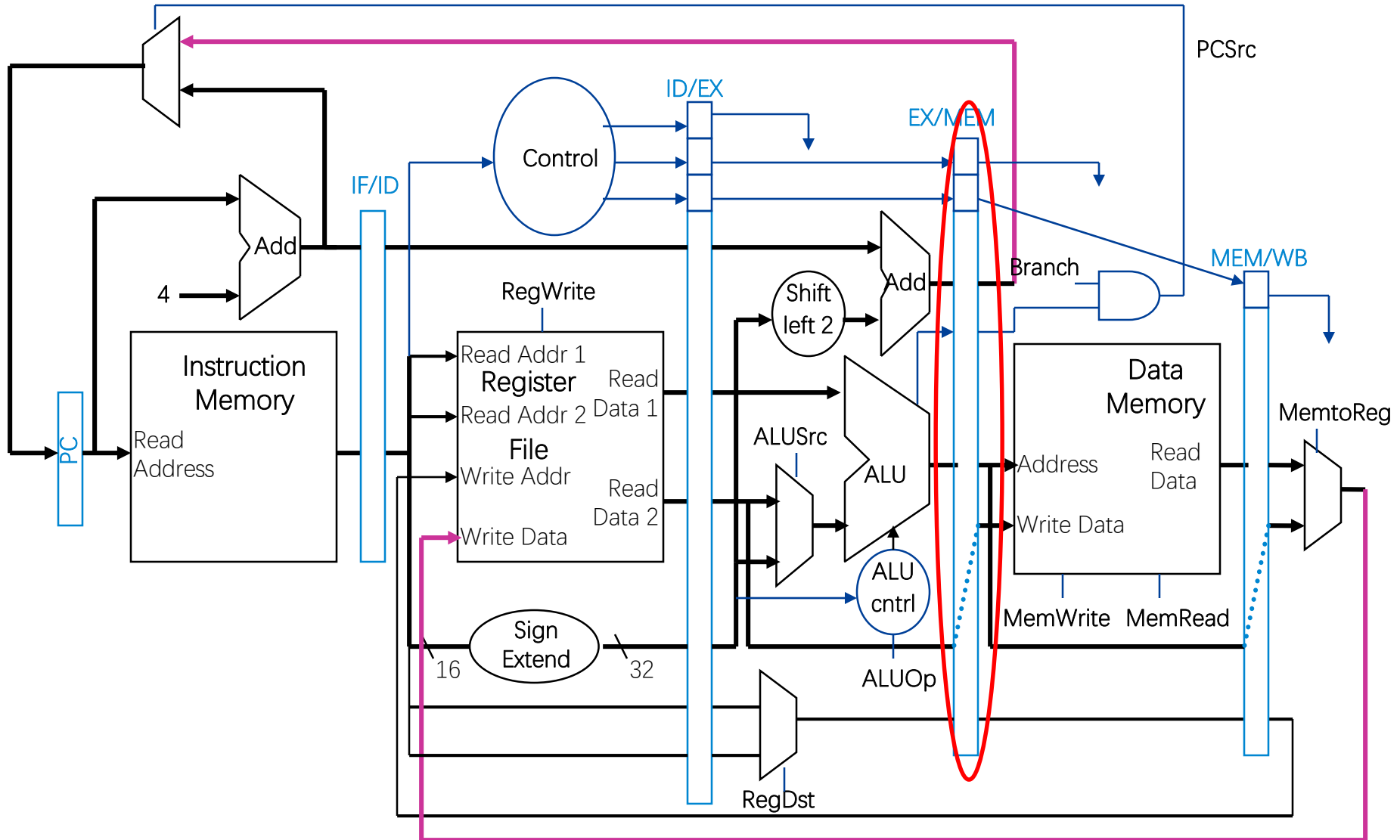
IF/ID – 64 bits (PC+4, instruction)

Review: MIPS Pipeline Data and Control Paths



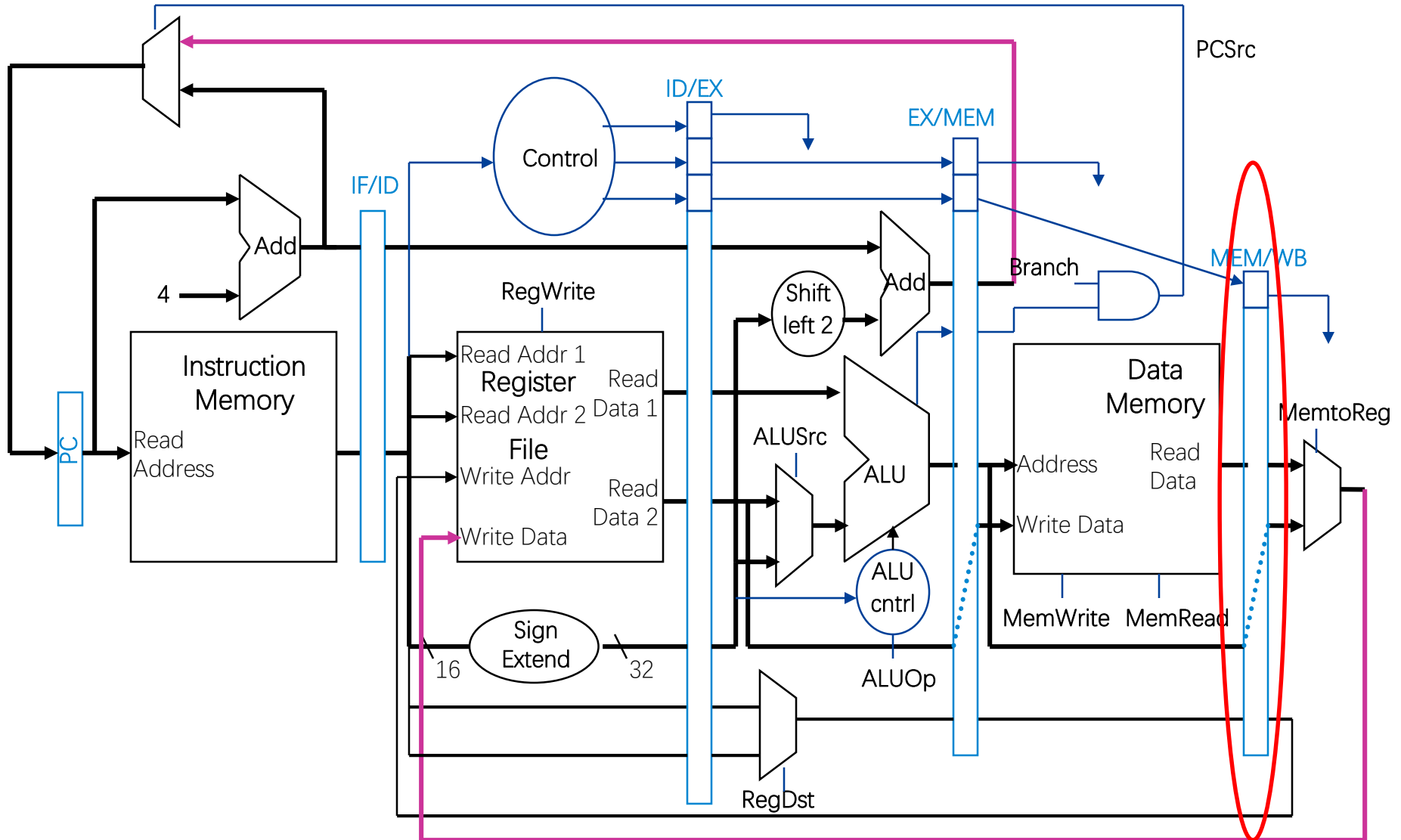
ID/EX – 9 + 32x4 + 10 = 147 (control signal, PC+4 (32), IMM (32), RS(32), RT(32), RT (5), RD(5))

Review: MIPS Pipeline Data and Control Paths



$$5 + 1 + 32 \times 3 + 5 = 107 \text{ (control signal, zero, ALUout, Branch address, rt, (rt or rd's address))}$$

Review: MIPS Pipeline Data and Control Paths



$$\text{MEM/WB} - 2 + 32 \times 2 + 5 = 71 \text{ (WB地址+MEM+ALUout+(rt or rd's address))}$$

谢谢！

