

Revue PGE

Equipement de tests vidéo





Plan



01 Gestion de projet

02 Ingénierie Système

03 Software

04 Hardware

05 Mécanique



Gestion de Projet

- Cycle en V
- Diagramme de Gantt

Cycle en V

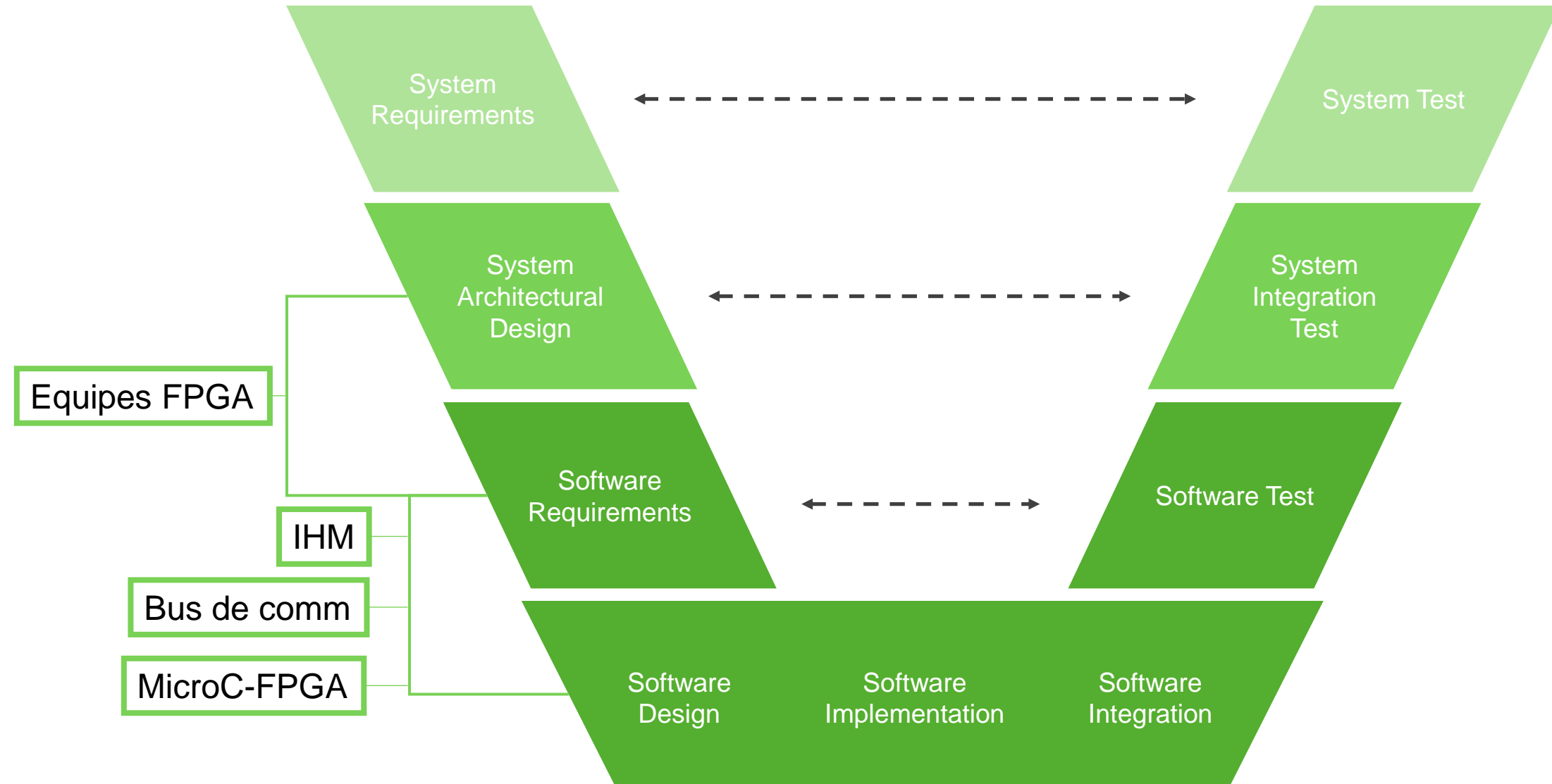


Diagramme de Gantt

WP2 : Spécification fonctionnelle							
Choix du microcontrôleur	S.A	Done				EXAM	NOEL
Choix FPGA	S.A	Done				EXAM	NOEL
Spécification des besoin (entrée/sortie...) du boîtier	N.A	Done				EXAM	NOEL
Commande matériel	S.A	Waiting				EXAM	NOEL
Installation logiciel/prise en main	S.A	Waiting				EXAM	NOEL
Installation logiciel/prise en main	D.M	Done				EXAM	NOEL
Spécification de chaque fonction FPGA	S.A	Waiting				EXAM	NOEL
Conception trames bus	S.A	Done				EXAM	NOEL
Spécification de chaque fonction MICROC	S.A	Done				EXAM	NOEL
Spécification compasant (ihm, port HDMI, port BNC...)	D.M	Done				EXAM	NOEL
Modèle avancé du boîtié	N.A	Done				EXAM	NOEL
Diagramme SYSML	H.L	Done				EXAM	NOEL
WP3: Conception							
Première maquette du boîtier	N.A	Waiting				EXAM	NOEL
Programation FPGA	S.A	Waiting				EXAM	NOEL
Choix de la méthode de communication entre FPGA et MICROC	S.A	Done				EXAM	NOEL
Programation MICROC	S.A	Waiting				EXAM	NOEL
Mise en œuvre plan PCB	D.M	Waiting				EXAM	NOEL



Ingénierie Système

- Analyse des exigences

Ingénierie Système



1. Définition
des besoins



2. Analyse des
exigences



Définition des besoins

Cette partie a été faite après avoir étudié le cahier des charges fourni par tachysséma. La revue de l'analyse des besoins a été faite lors de la réunion du 13/10/2020



Analyse des exigences

Après avoir fait plusieurs recherches, les équipes ont pu faire l'analyse des exigences. Ceci se traduit par la réalisation de diagramme de cas d'utilisation et de diagrammes de séquences.



3. Rédaction des
specifications



4. Architecture
logique et
matérielle



Rédaction des spécification

La prochaine étape sera de rédiger les spécifications fonctionnelles. C'est à dire la description des fonctions du logiciel en vue de sa réalisation. La spécification fonctionnelle décrit dans le détail la façon dont les exigences seront prises en compte.



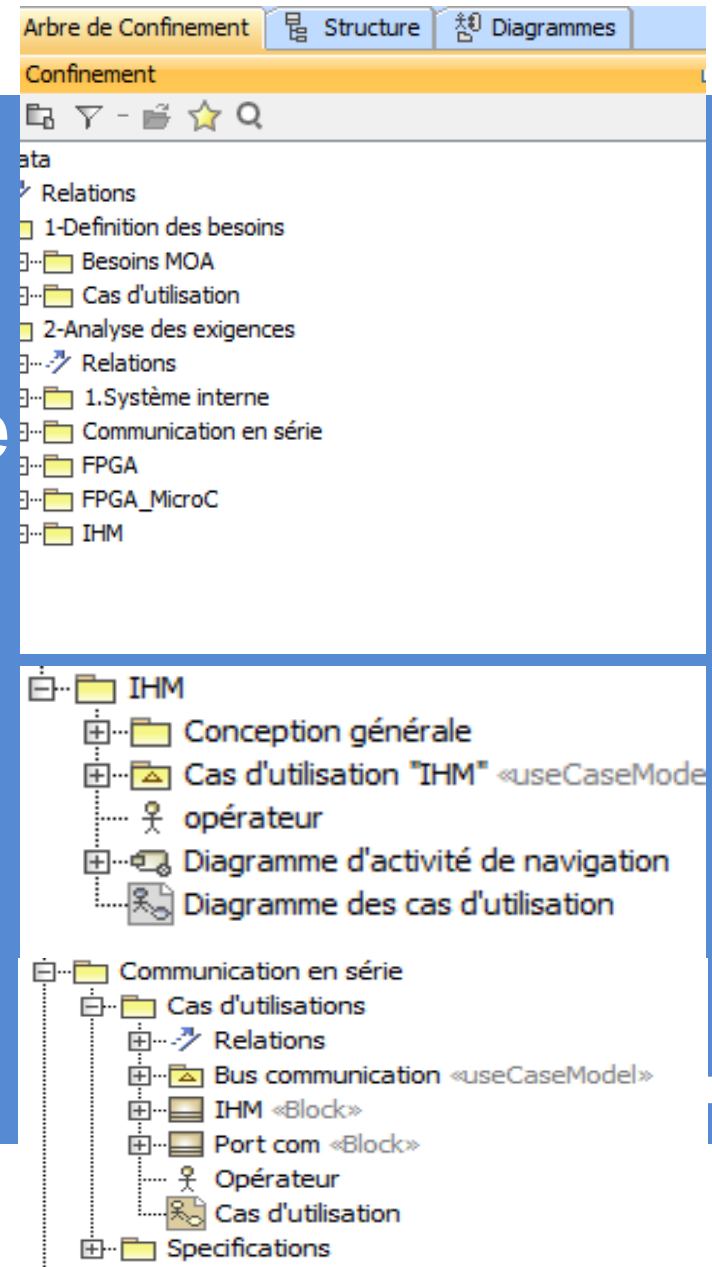
Concevoir l'architecture logique et matérielle

Dossier D'ingénierie système

Fichier PGE.mdzip

Ce fichier sera envoyé à Mr Rivière ainsi qu'à Mr Berthou.

Ce fichier sera complété au fur et à mesure de l'avancement du projet.





Software

- IHM

IHM

Objectifs :

La realisation d'une IHM bidirectionnelle

➤ Environnement de travail



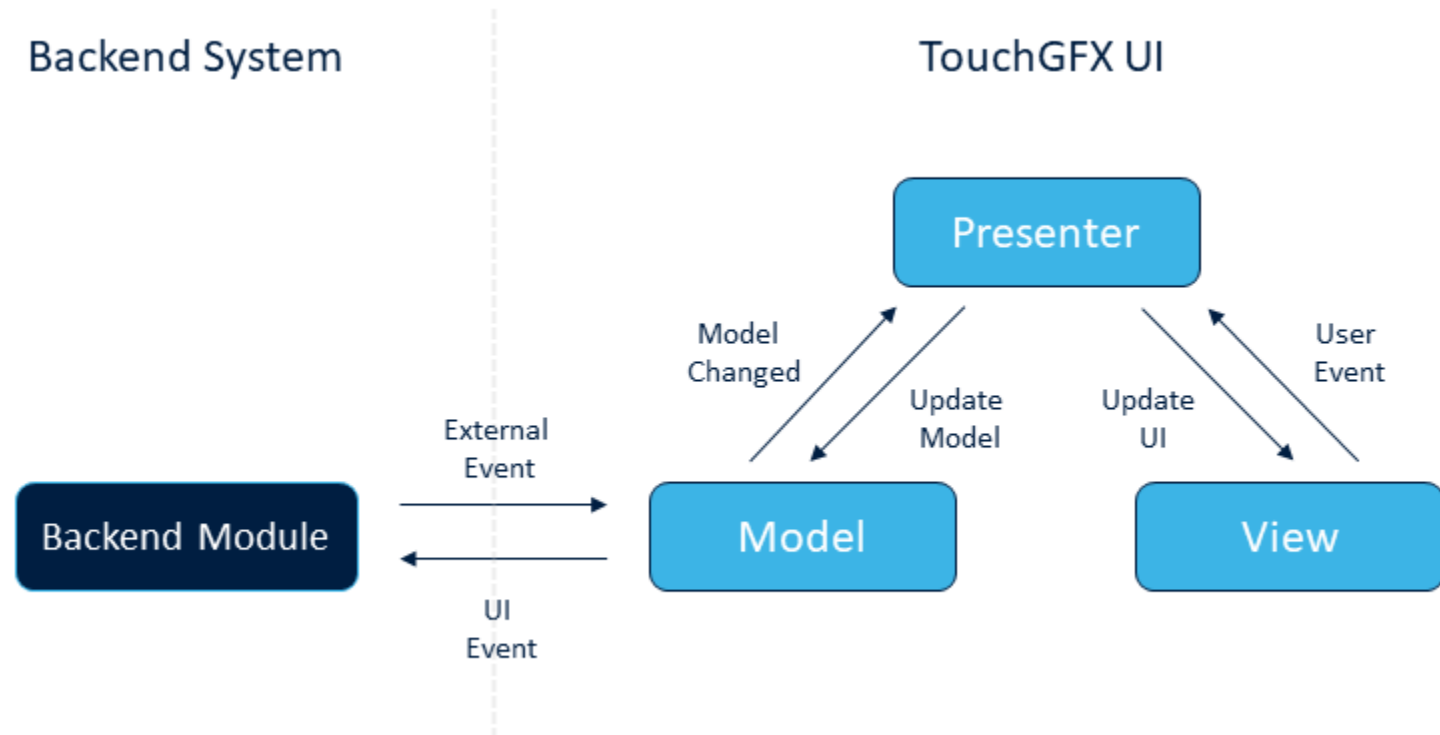
TouchGFX



Logiciel proposé

- Le développement de l'interface graphique se fera suivant l'architecture MVC (= Model View Control)

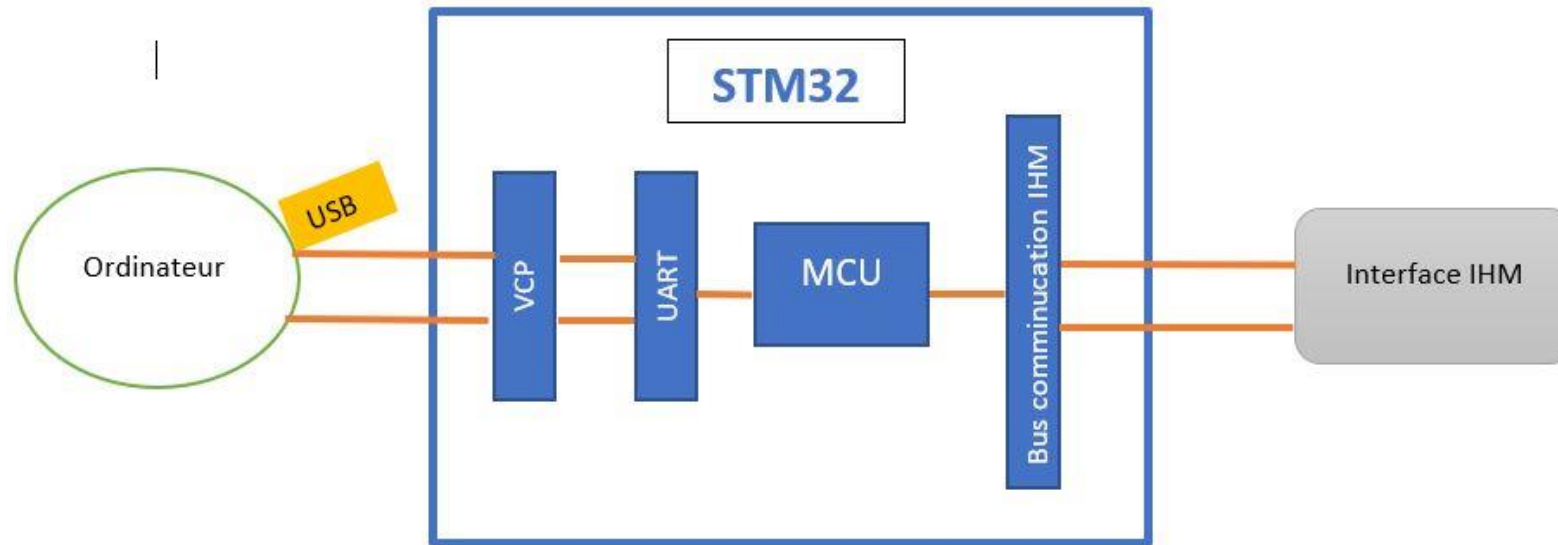
- Architecture MVC:



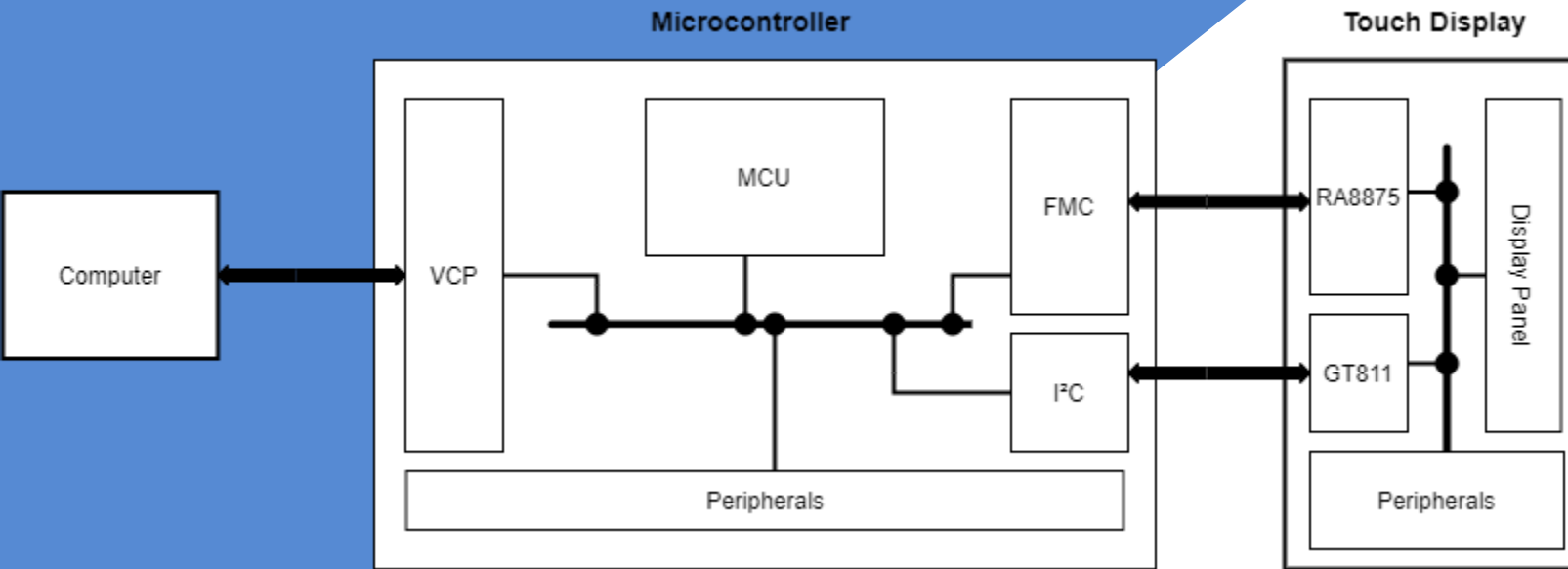
Liaison PC – Microcontrôleur

Objectif : Commander le système via un ordinateur

- **Exigence** : Liaison par câble USB
- **Solution** : Utilisation du protocole UART + Virtual Communication Port (VCP)



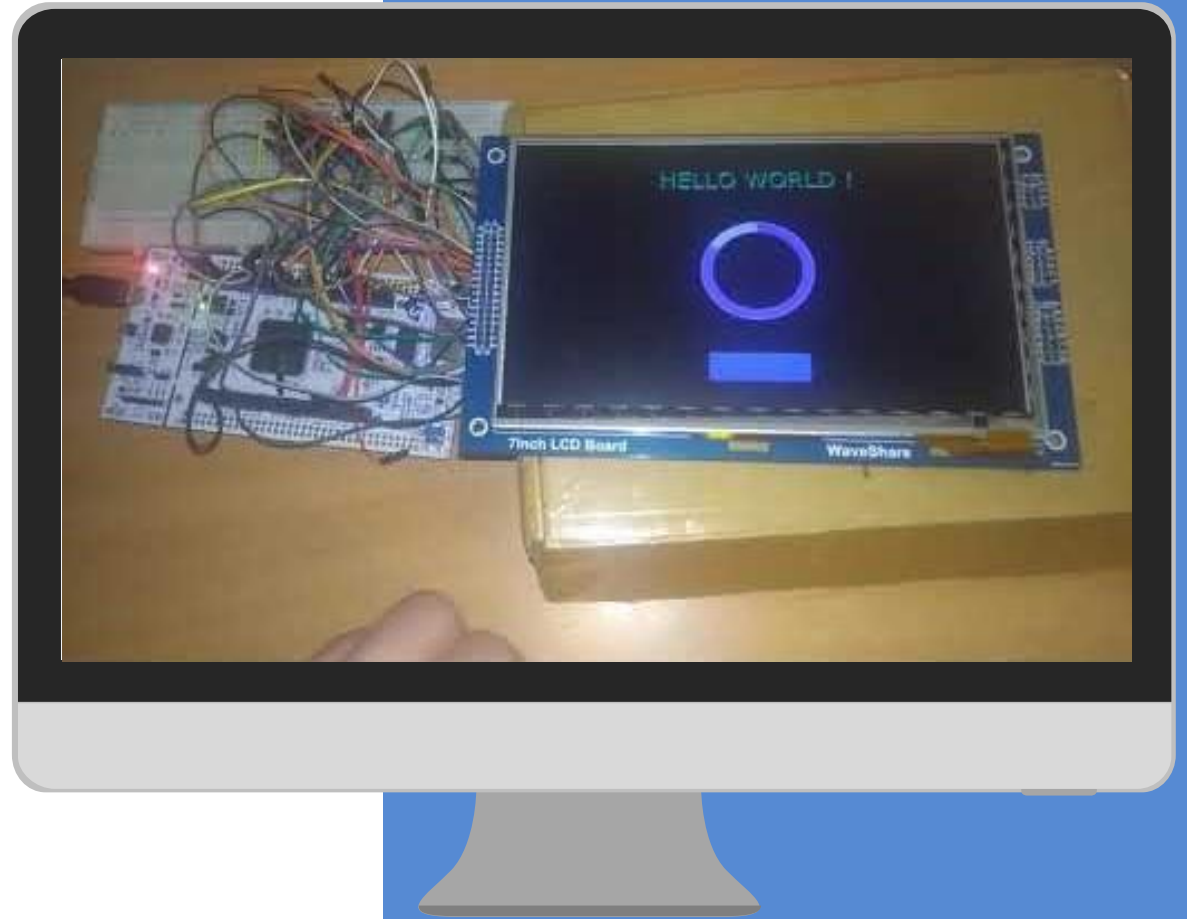
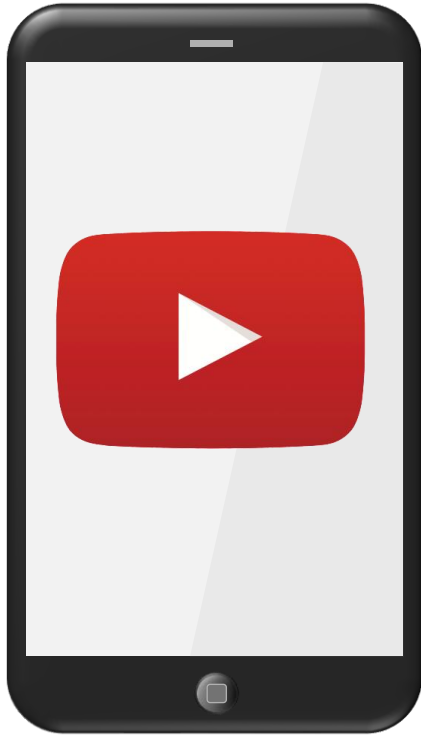
Démonstration



+ TouchGFX

- Nous avons développé :
 - Des drivers pour les contrôleurs LCD et Tactile
 - Compléter le framework touchGFX et prise en main
 - Développer une petite interface graphique de test
- STM32
 - 256 Ko RAM
 - Jusqu'à 180 Mhz
 - Chrom-ART accelerator (2D DMA)
 - Flexible Memory Controller (FMC)
- Ecran
 - Resolution 800 x 480
 - Couleur 16 bit
 - Contrôleurs LCD

Video démonstration

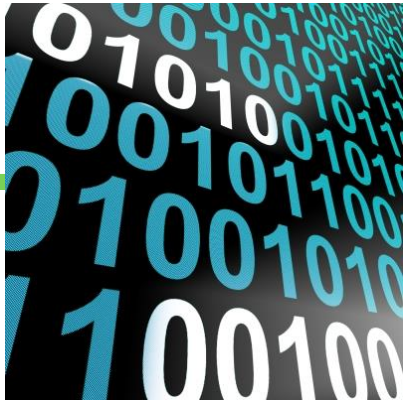




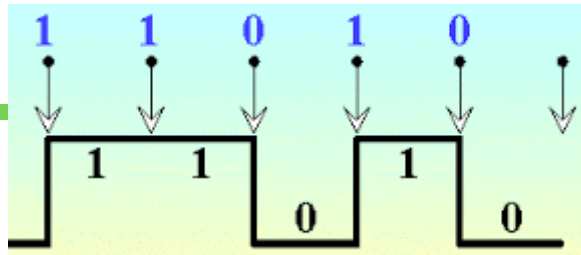
Software

- Bus de communication

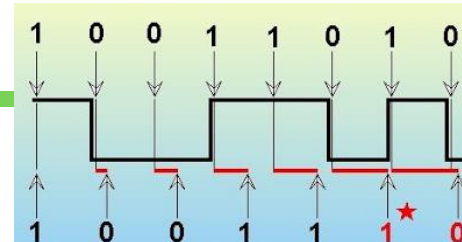
Liaison série



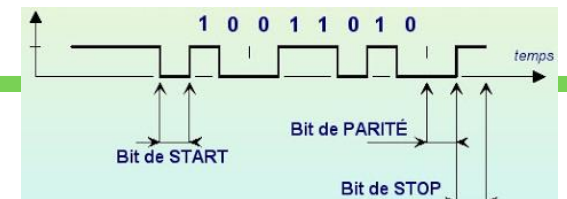
Bit par bit
(≠ liaison parallèle)



Synchrone
(même horloge)



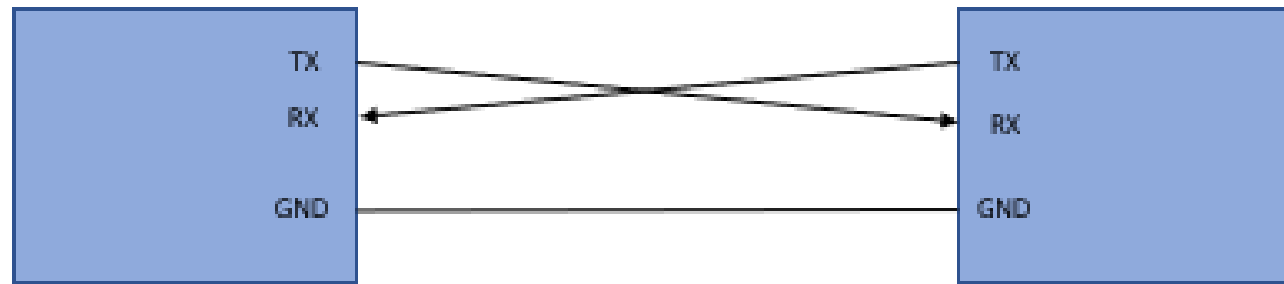
Asynchrone
(horloges séparées)



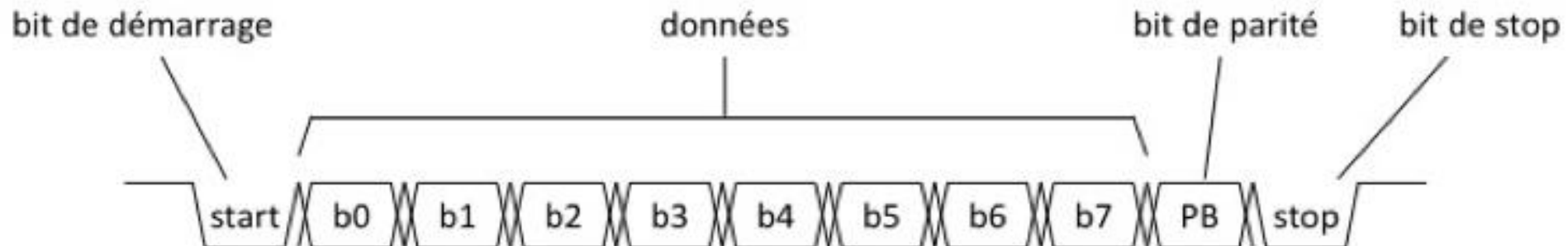
Bit de parité
pour détecter des
erreurs

UART : Universal Asynchronous Receiver Transmitter

- Communication

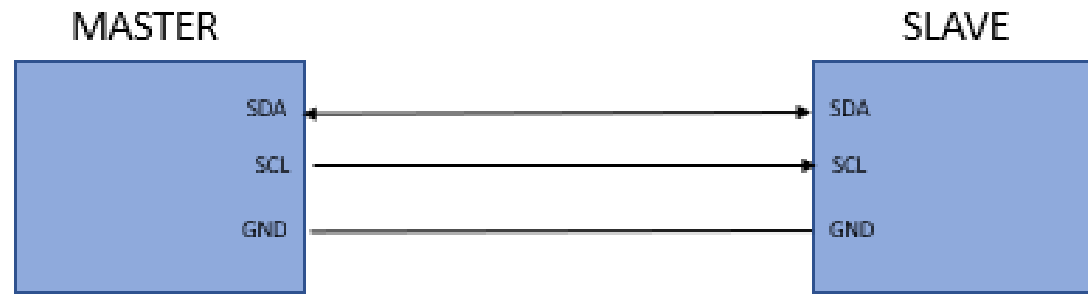


- Trame UART



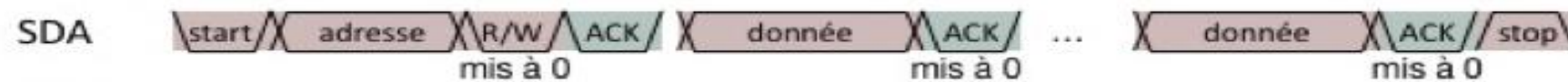
I2C : Inter-Integrated Circuit

- Communication



- Trame I2C :

Ecriture



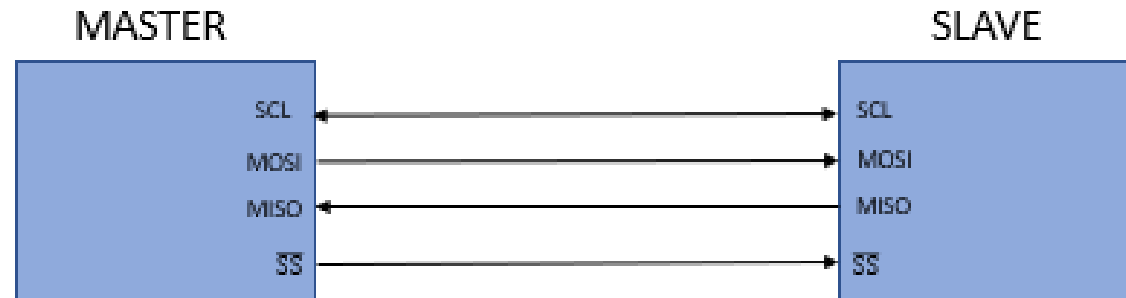
Lecture



■ Etat imposé par le maître
■ Etat imposé par l'esclave

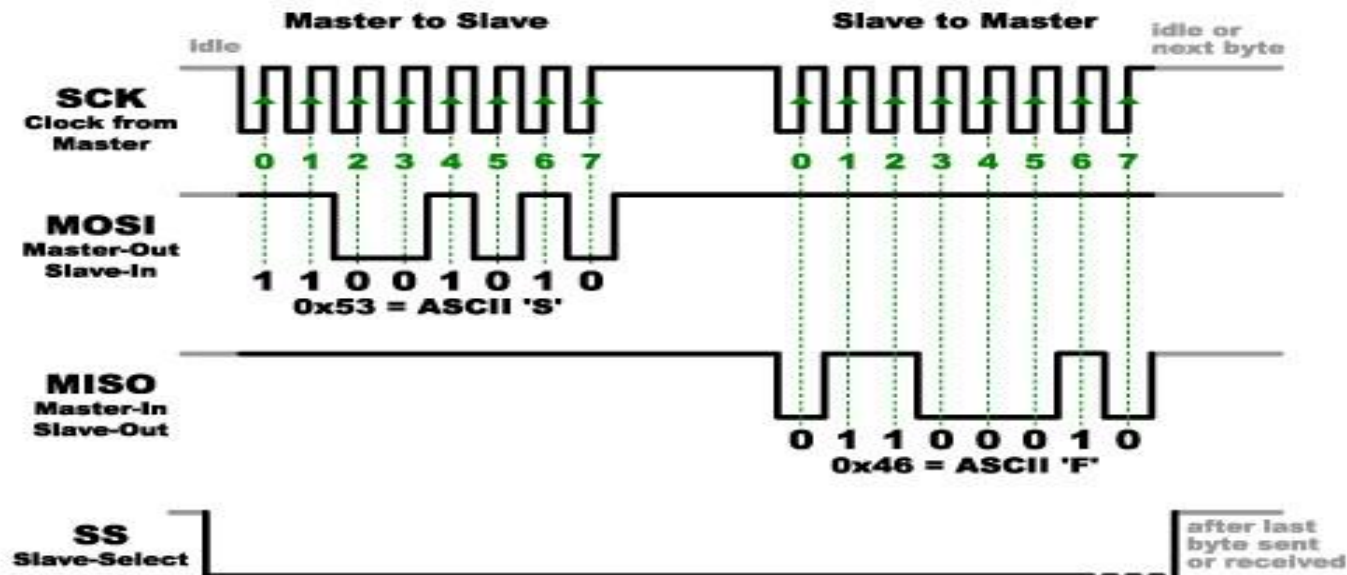
SPI : Synchronous Peripheral Interface

- Communication



4 modes de fonctionnement
dépendant de CPOL et
CPHA


- Trame SPI :



Détection du protocole

Le système doit pouvoir **identifier** le protocole et donc savoir quel bus de communication est utilisé.

Première idée d'identification :

- ✓ Le système utilise **2 pins + GND** : **UART** ou **I2C**
 S'il y a présence d'une horloge : **I2C**
Sinon : **UART**
- ✓ Le système utilise **plus de 3 pins** : **SPI**

La lecture se fait alors suivant le protocole associé.



Software

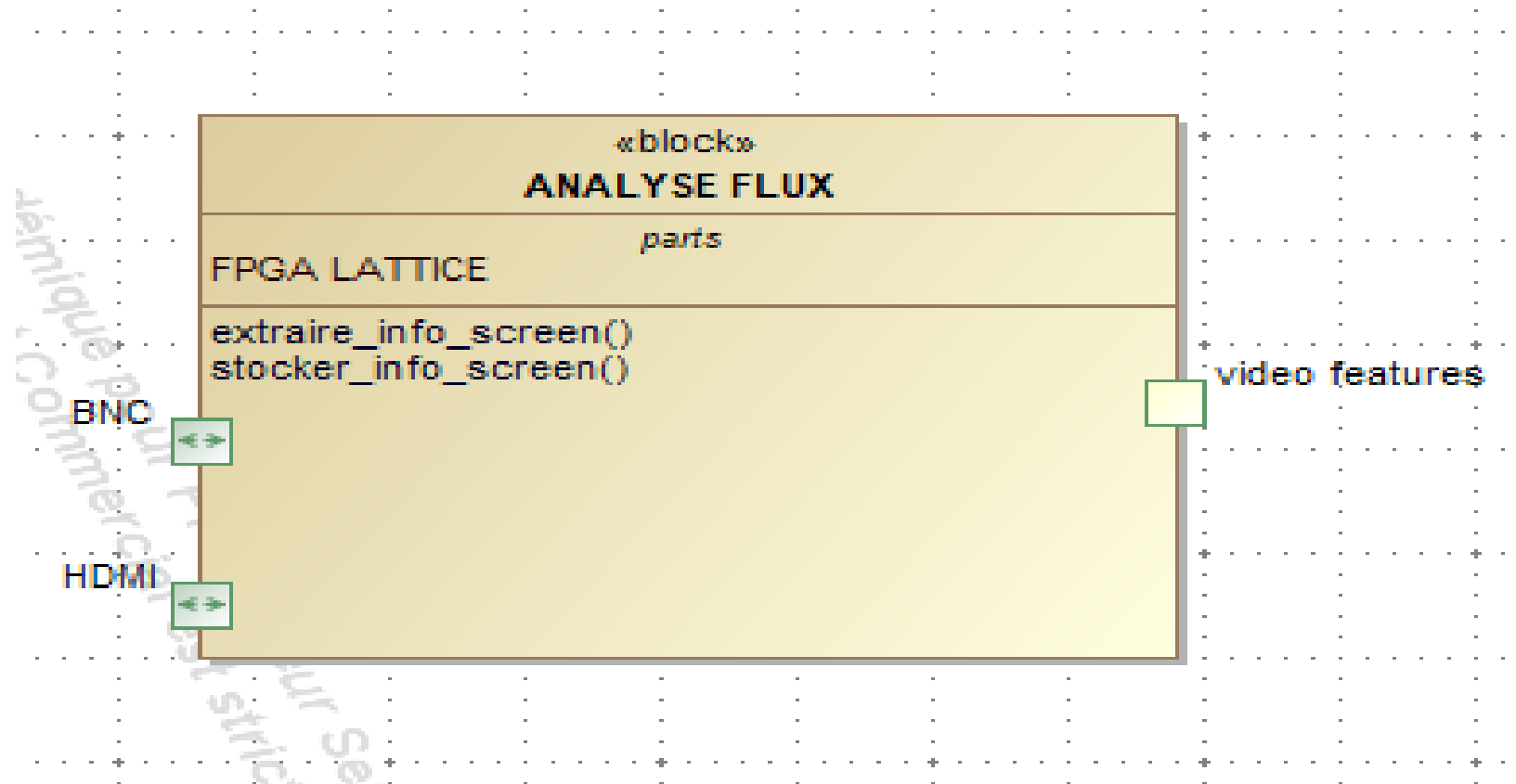
- FPGA : Analyse et generation de flux vidéo

Introduction

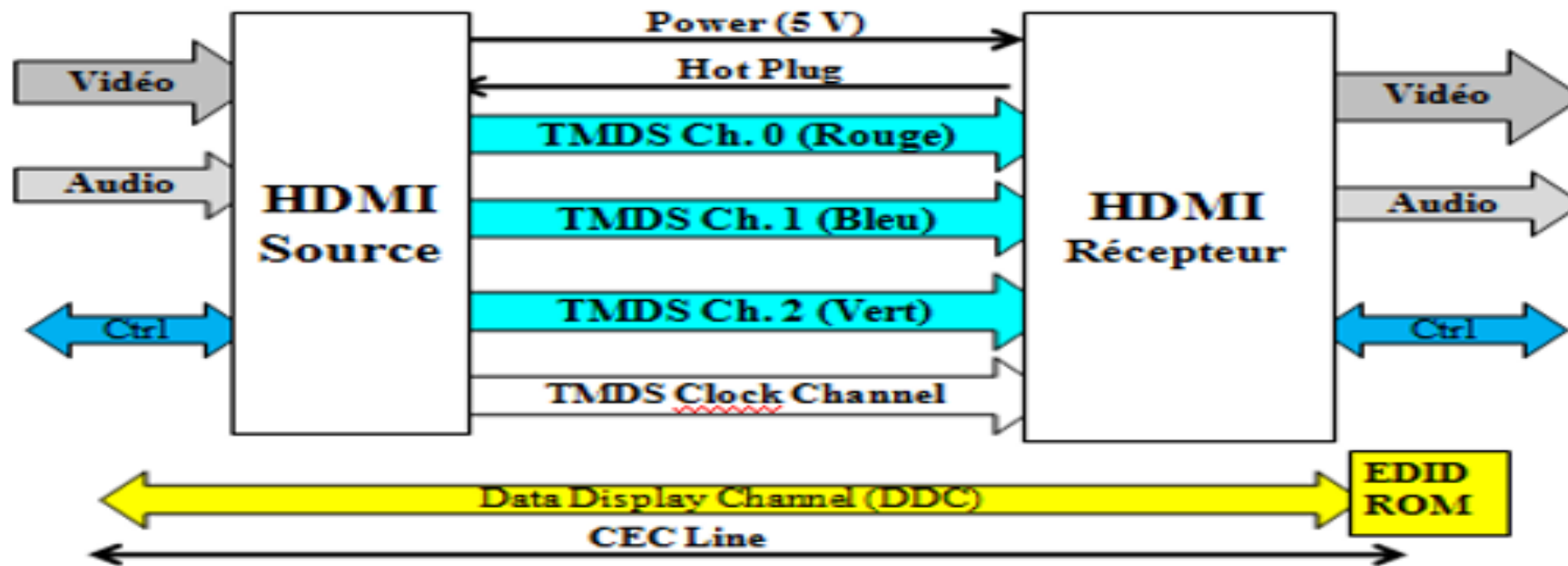
- La recherche faites sur la partie analyse du flux vidéo est plus précise par rapport à la partie génération de flux, car dans cette partie on va chercher juste le/les canal(canaux) ou on va récupérer les informations concernant l'écran et que doit fournir l'appareil source.

Remarque : cette recherche est faite pour se familiariser avec les technologies utiliser dans l'équipement à concevoir, en se basant sur le cahier de charge fournit par le client.

Vu général du sous-système (analyse flux)



Canal DDC/EDID



- L'échange de données EDID est un moyen normalisé permettant à un écran de communiquer ses capacités à un périphérique source.

Protocole TMDS

- Est un protocole de communication utilisé par HDMI ainsi que les DVI qui utilise un algorithme très intelligent pour l'envoi des données vidéo à haute vitesse de transfert il peut atteindre 3.4 Gbits/s en un seul canal.
- Le format des flux données se décompose en trois paquets : data vidéo, contrôle data, audio data
- On va s'intéresser au paquet data vidéo pour notre système

Conclusion

- Cette présentation avait pour but de de montrer une solution technologique en lien avec nos taches à faire et en se basant sur les besoins du cahier de charges .
- Cette solution n'est pas définitive car il n'est pas eu de consensus à propos de cette solution au sein de l'équipe et les sepcifications liée à cette partie n'ont pas été réaliser .
- En fin, la prochaine étape est d'écrire les exigences liée à cette partie et les approuvés par le client puis on attaquera la conception et le codage en suivant le cycle en V du PGE.





Hardware

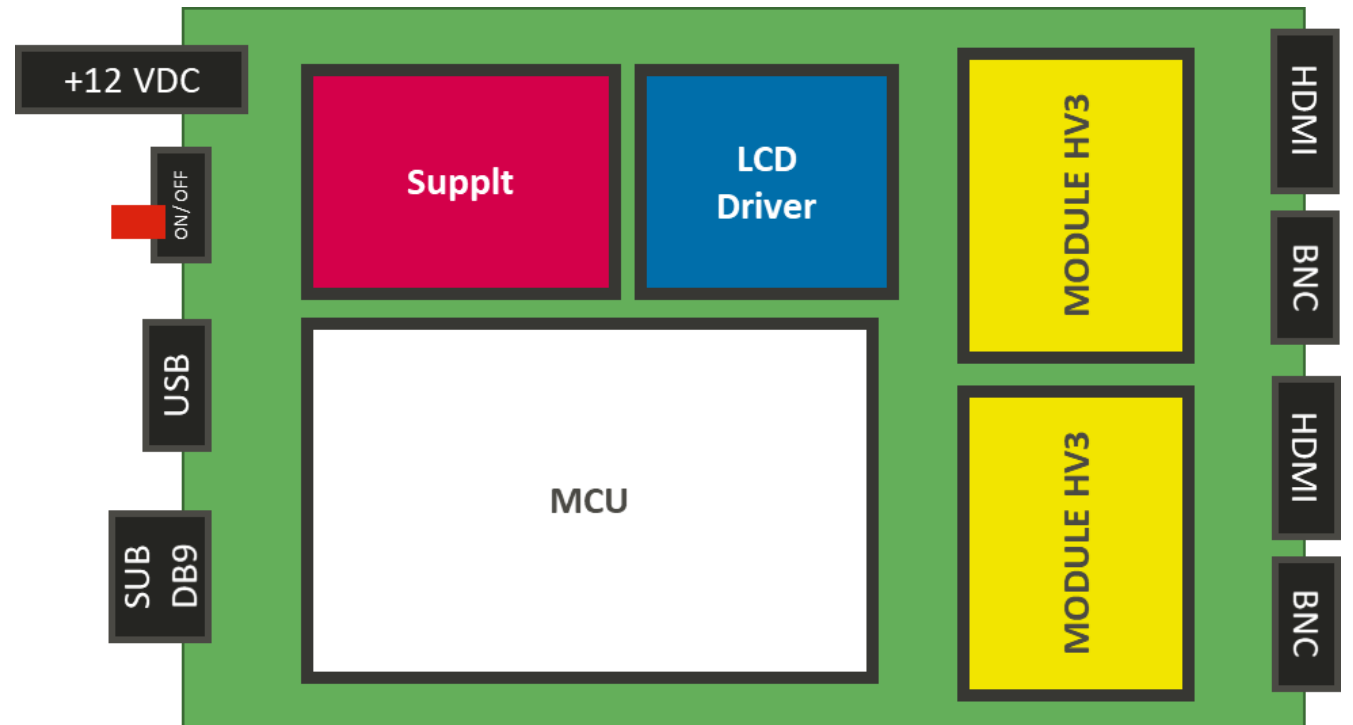
- Schematique
- Liste des composants

PCB

TOP

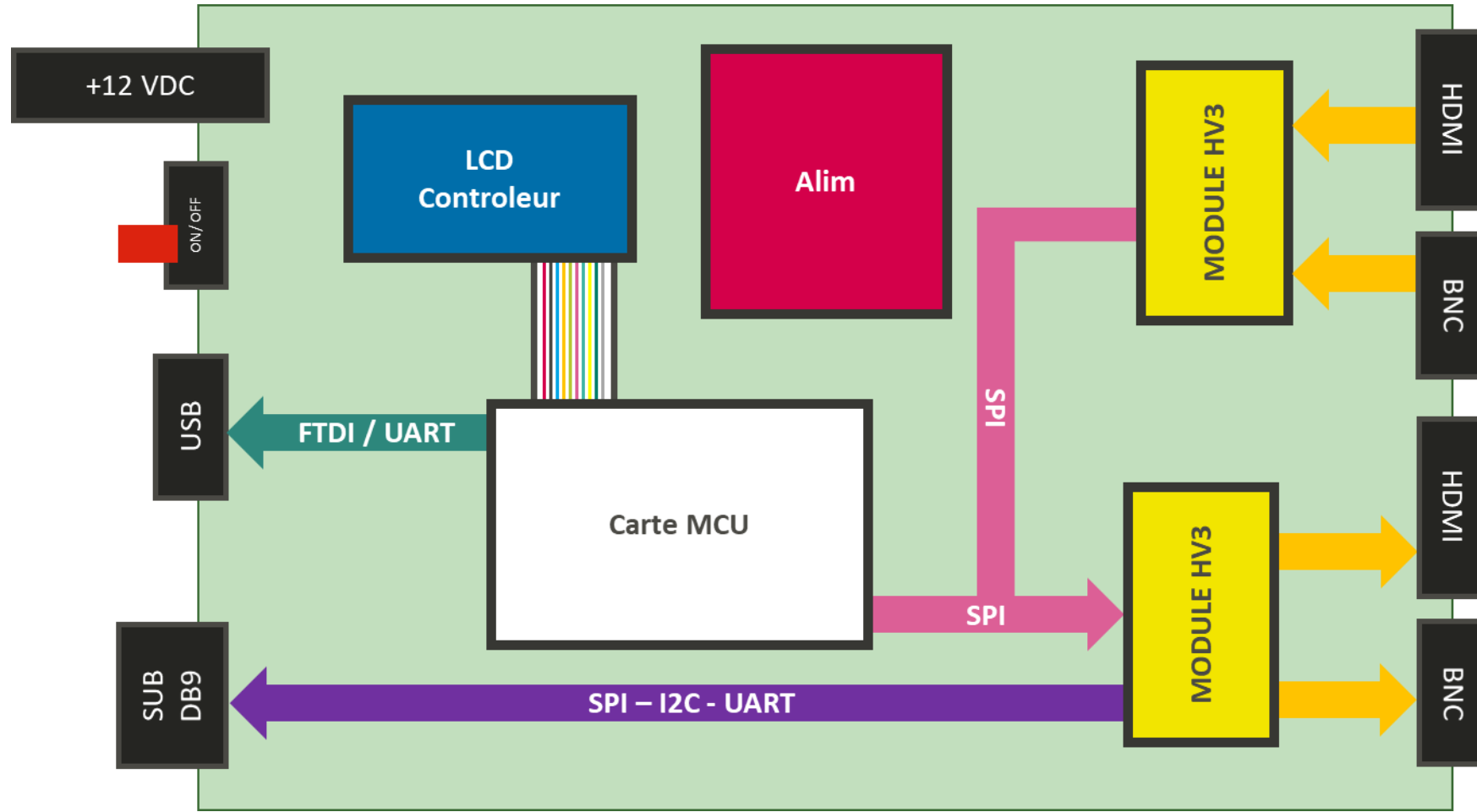


BOTTOM



Les schémas ne sont pas à l'échelle

Communication

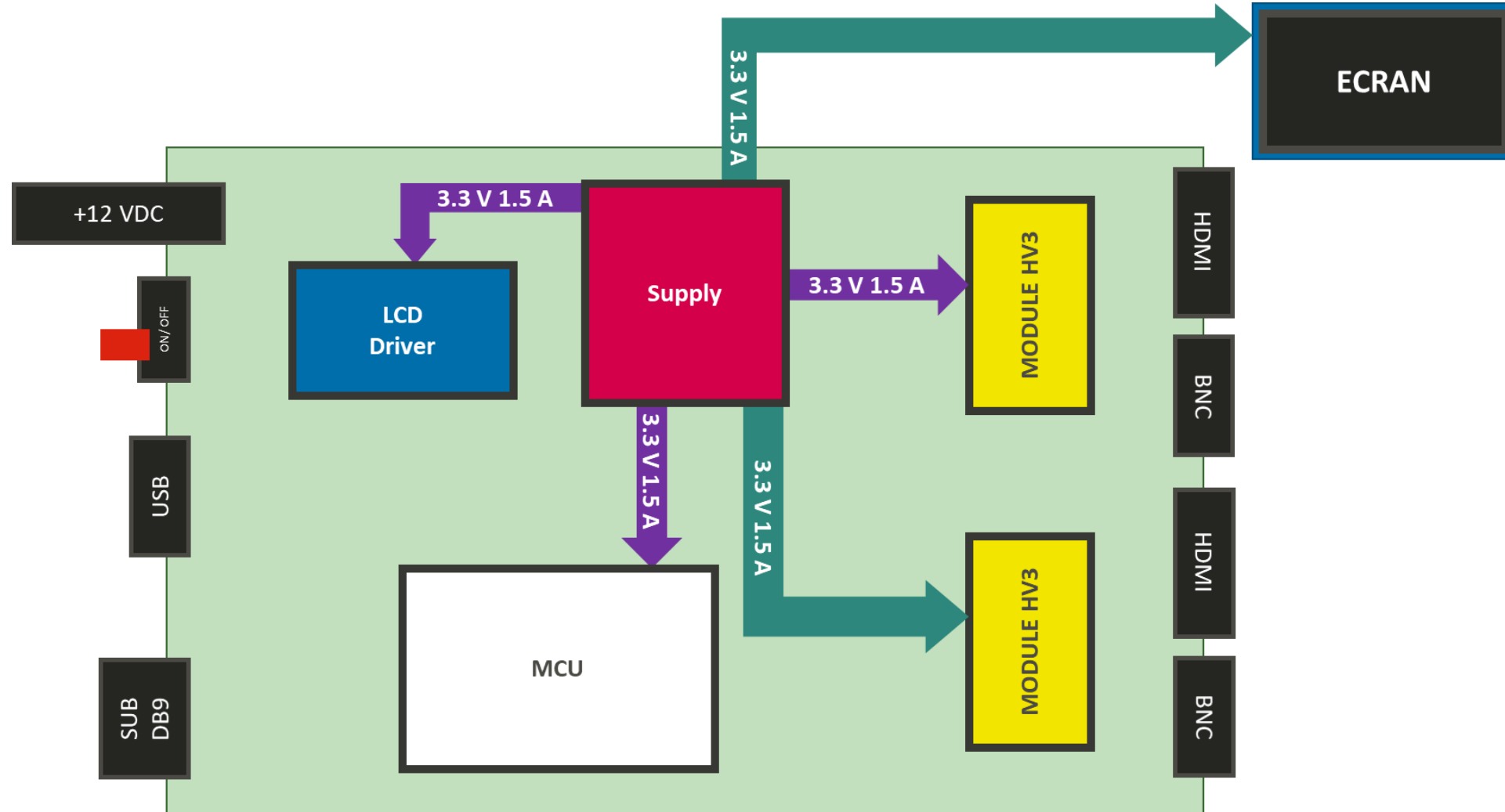


Les schémas ne sont pas à l'échelle

Supply

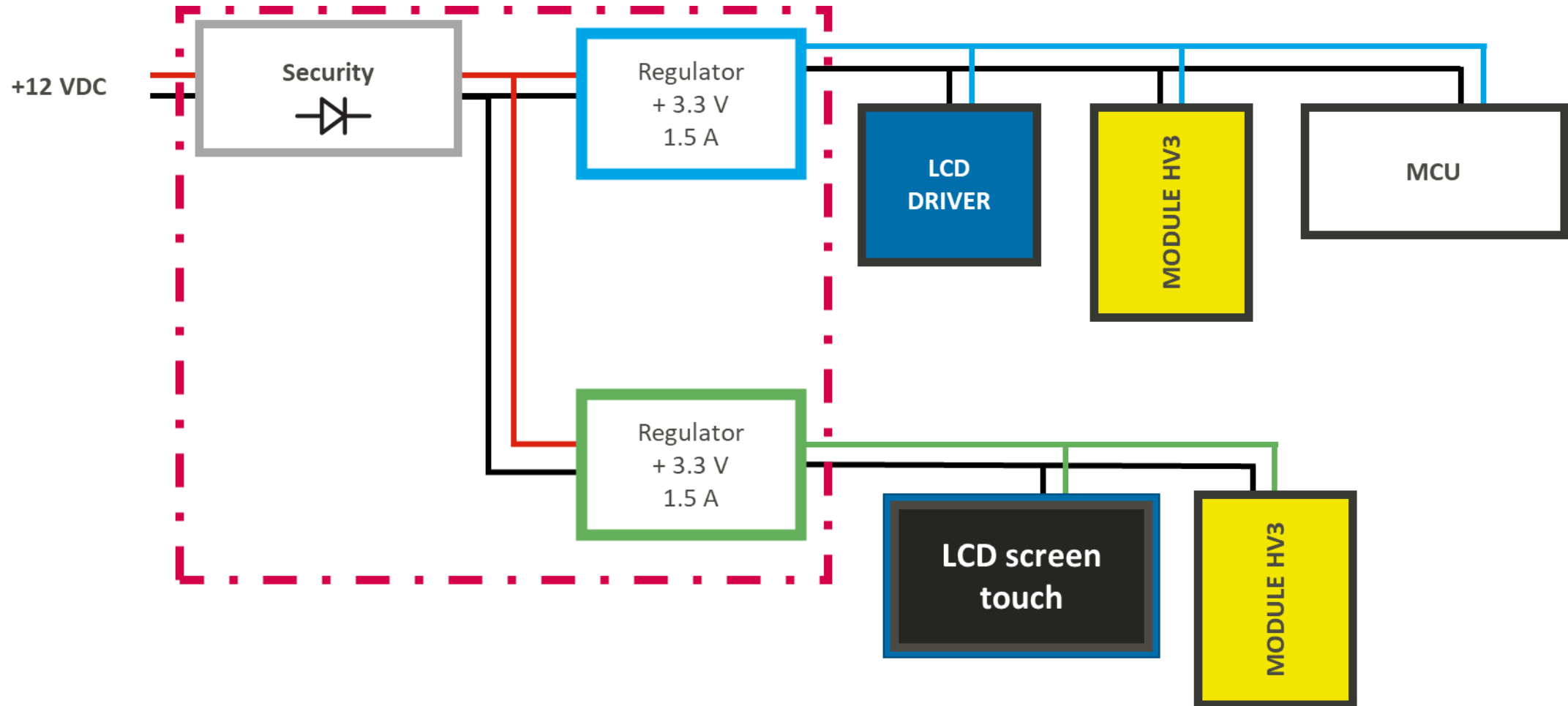
	Min	Typ	Max	Unit
MCU			300	mA
LCD screen touch			300	mA
LCD driver			50	mA
HV3 module (1)			1	A
HV3 module (2)			1	A
Total			2.65	A

Alimentation



Les schémas ne sont pas à l'échelle

Supply



Les schémas ne sont pas à l'échelle



Equipe Hardware

Prochaines étapes

- Réalisation d'un PCB avec des « modules » pour validation
- Définir le pinout avec l'équipe SW (MCU + HV3)



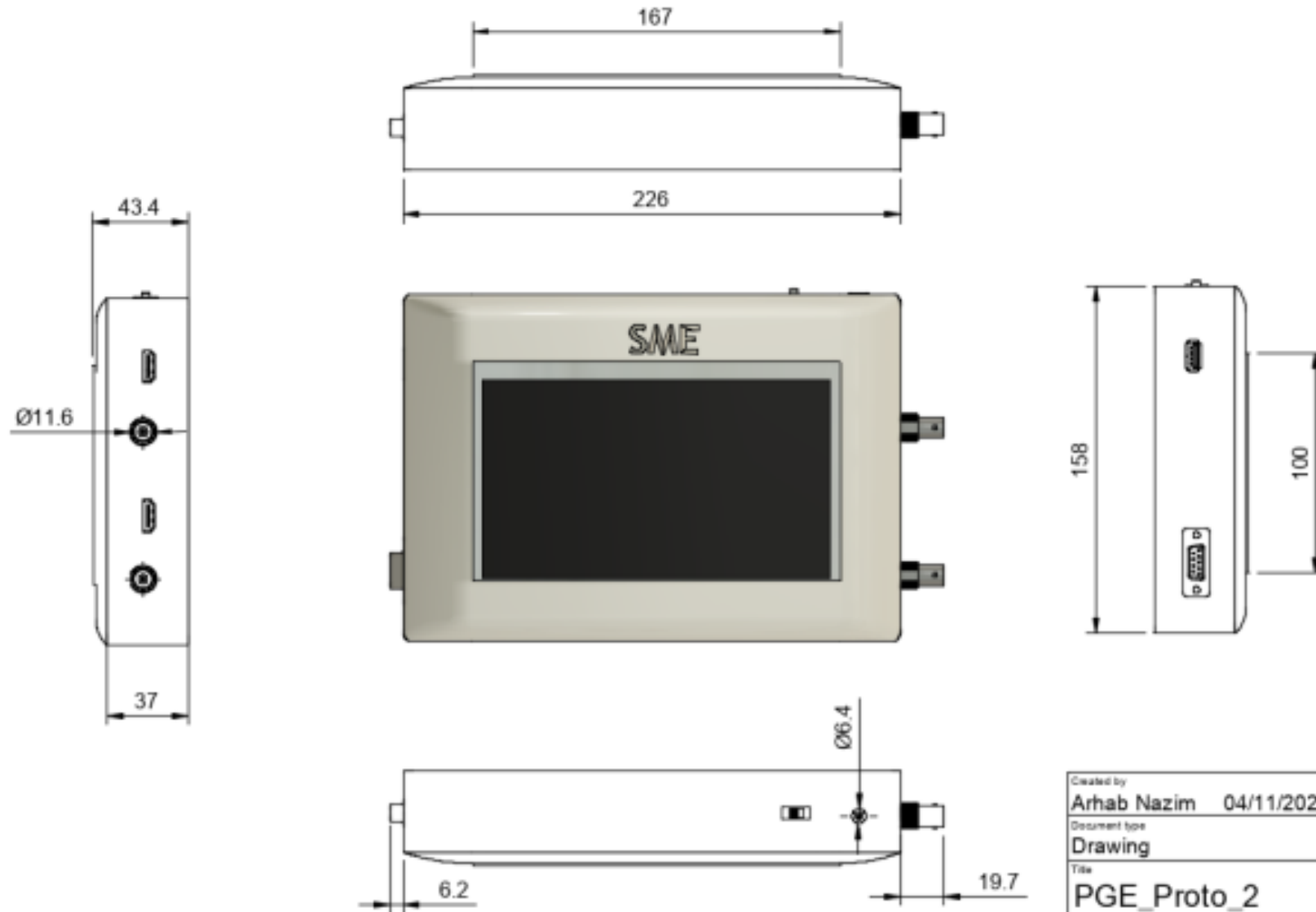
Mécanique

- Second prototype

Deuxième Prototype



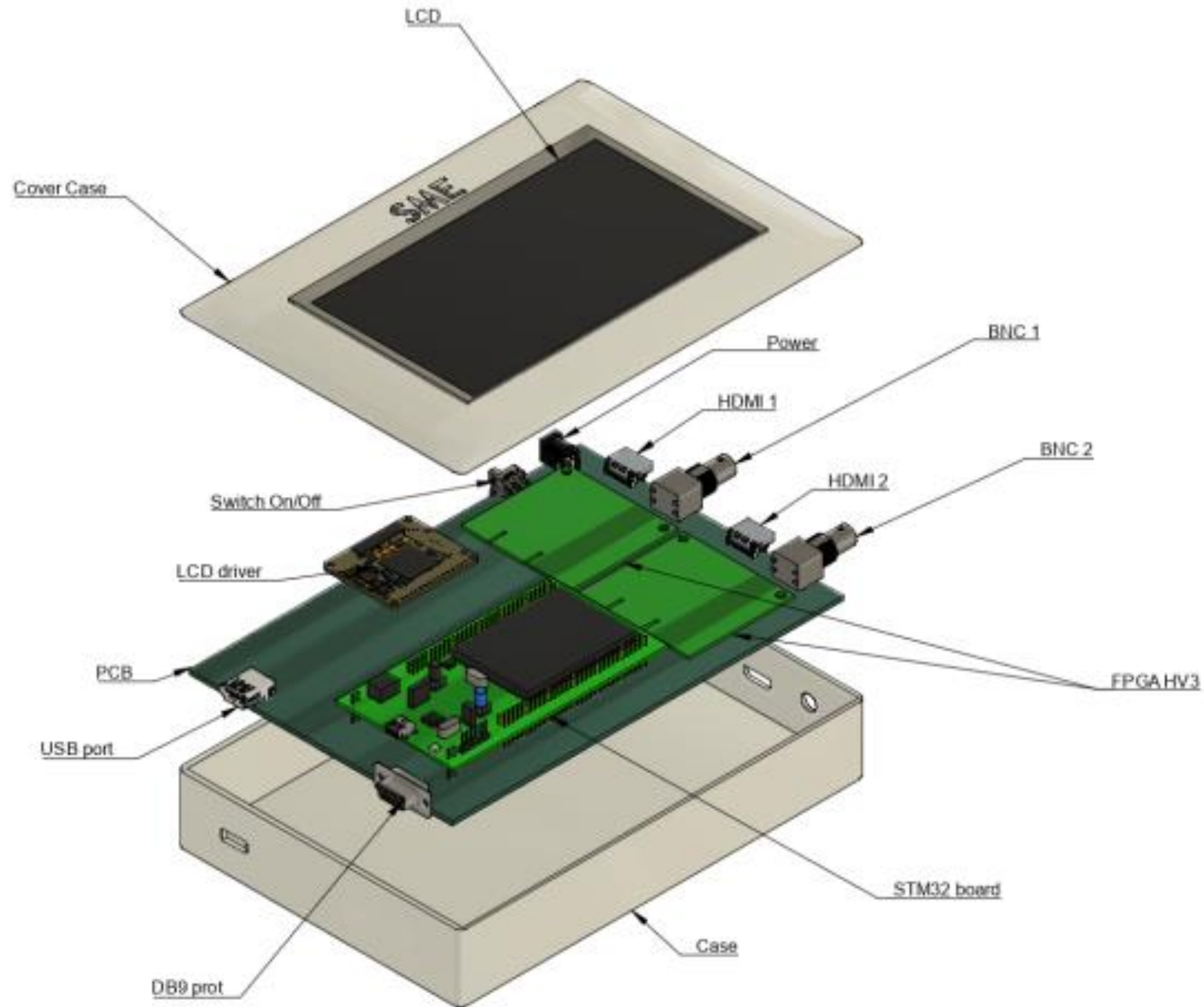
Dimensions



Note : All measurements in millimeters

Created by Arhab Nazim 04/11/2020		Approved by HDW Team	
Document type Drawing		Document status DRAFT	
Title PGE_Proto_2		DWG No.	
Rev.	Date of issue	Sheet 1/1	

Détails





Deuxième Prototype



Merci

D'avoir suivi la présentation