苏州大学实验报告

|  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 院、系 | 计算机学院 | | 年级专业 | | 21计科 | | 姓名 | 彭光 | 学号 | 2127405052 |
| 课程名称 | | 数字电路与数字系统设计 | | | | | | | 成绩 |  |
| 指导教师 | | 张春生 | | 同组实验者 | | 无 | | 实验日期 | 2022.12.05 | |

|  |  |
| --- | --- |
| 实 验 名 称 | 计数器实验 |

1. 实验目的
2. 能够使用Verilog HDL语言熟练设计各种进制的计数器。
3. 理解多级计数器级联的原理并掌握其设计方法。
4. 了解多位七段共阴级数码管动态显示原理。
5. 学习计数、译码、显示电路的综合应用方法。
6. 实验设备

PC微机一台，TD-DS+/TD-DS实验仪一台，下载电缆一根。

1. 实验内容

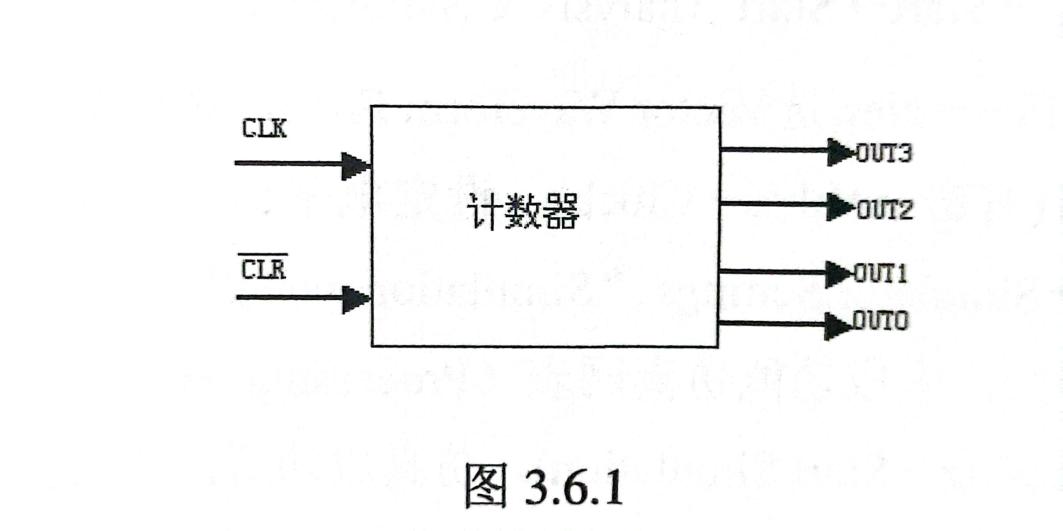
本实验使用Verilog HDL语言，在CPLD-EPM240T100C5中设计实现。

实现一个六进制计算器；在7段LED灯上显示。

1. 实验原理

计数器是对输入脉冲个数进行计数的电路。计数器的“模”（用M显示）是计数器累计输入脉冲的最大数目，也是电路的有效状态数。

六进制计数器原理如下图所示



其中out接SEG2-5中的一个，CLK和CLR接芯片里的90、89扩展。

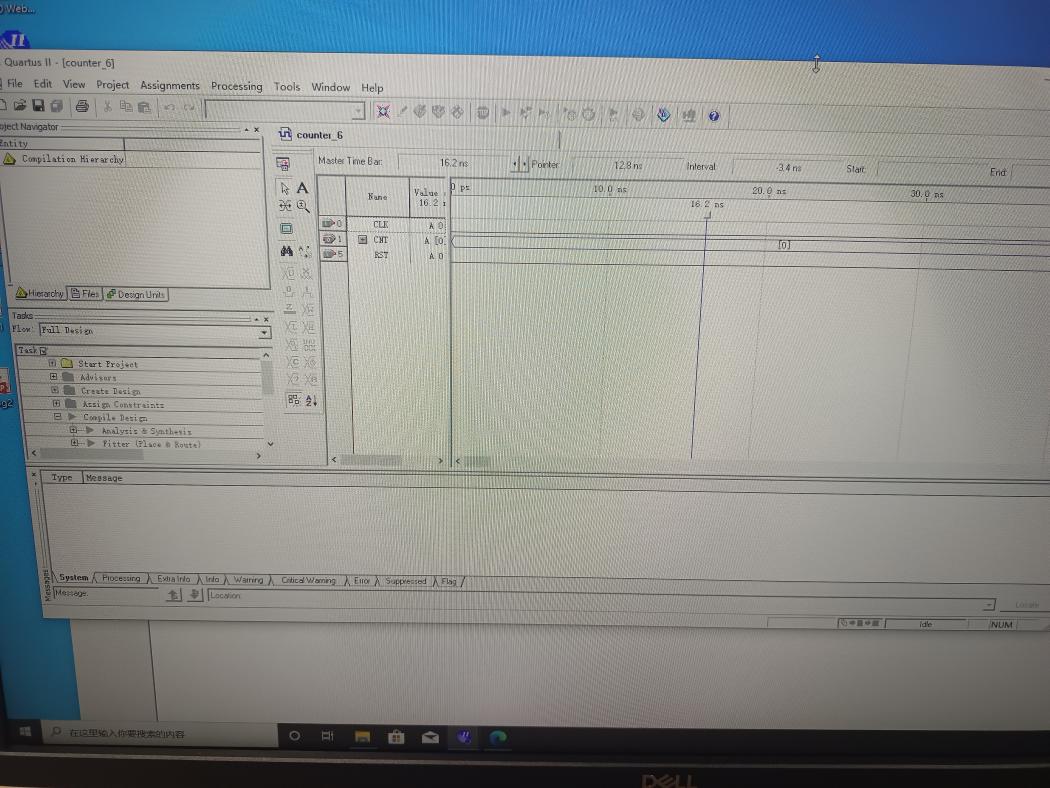
1. 实验步骤与结果

步骤：

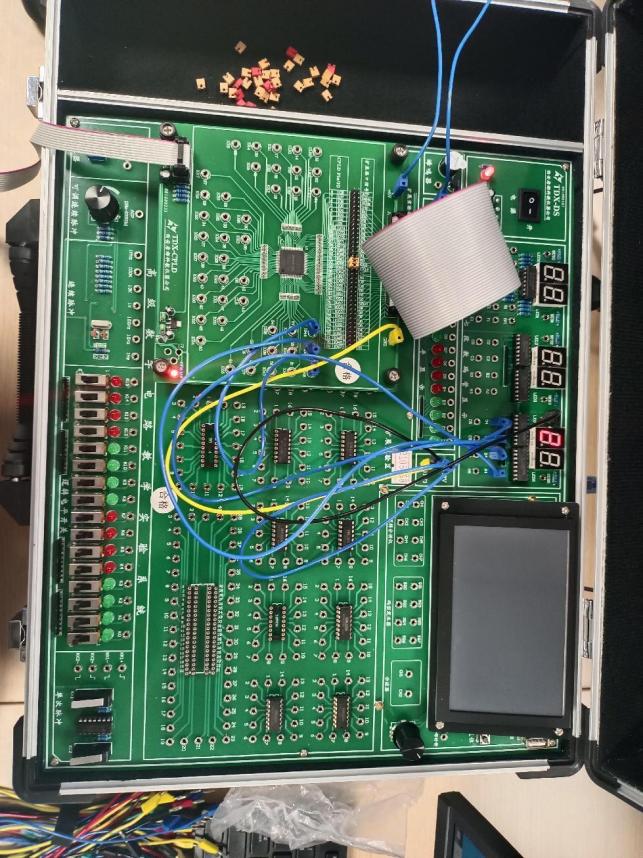
1. 在E盘新建一个文件夹，进入Quartus II集成环境。
2. 建立工程文件。File->new Project Wizard，选定工程文件存放目录，输入工程名和顶层设计实体名，选择设计所用器件；“Family”选“MAXII”，“Device”选“All”，“Available Device”项选中“EPM240T100C5”。
3. 建立设计源文件，File—>new选Verilog HDL File，根据功能表设计并输入源程序代码，保存文件。
4. 分析与综合。Processing->Start->Start Analysis & Synthesis。
5. 仿真。新建波形文件，添加结点，保存波形文件，设置仿真模式，生成功能仿真网表。仿真成功后，记录仿真结果。如果有问题，重新返回到QuartusII环境中对源程序进行修改，纠正错误。
6. 管脚分配，根据管脚分配表设定输入输出管脚以进行管脚分配，管脚分配后编译整个工程。
7. 下载。将下载电缆线一端插到计算机USB接口，另一端接到试验仪接口；打开试验仪电源开关，左上角LED电源指示灯会亮，将编译好的设计熔丝图下载到芯片中。
8. 实现。通过单次脉冲来实现六进制计数。

结果：

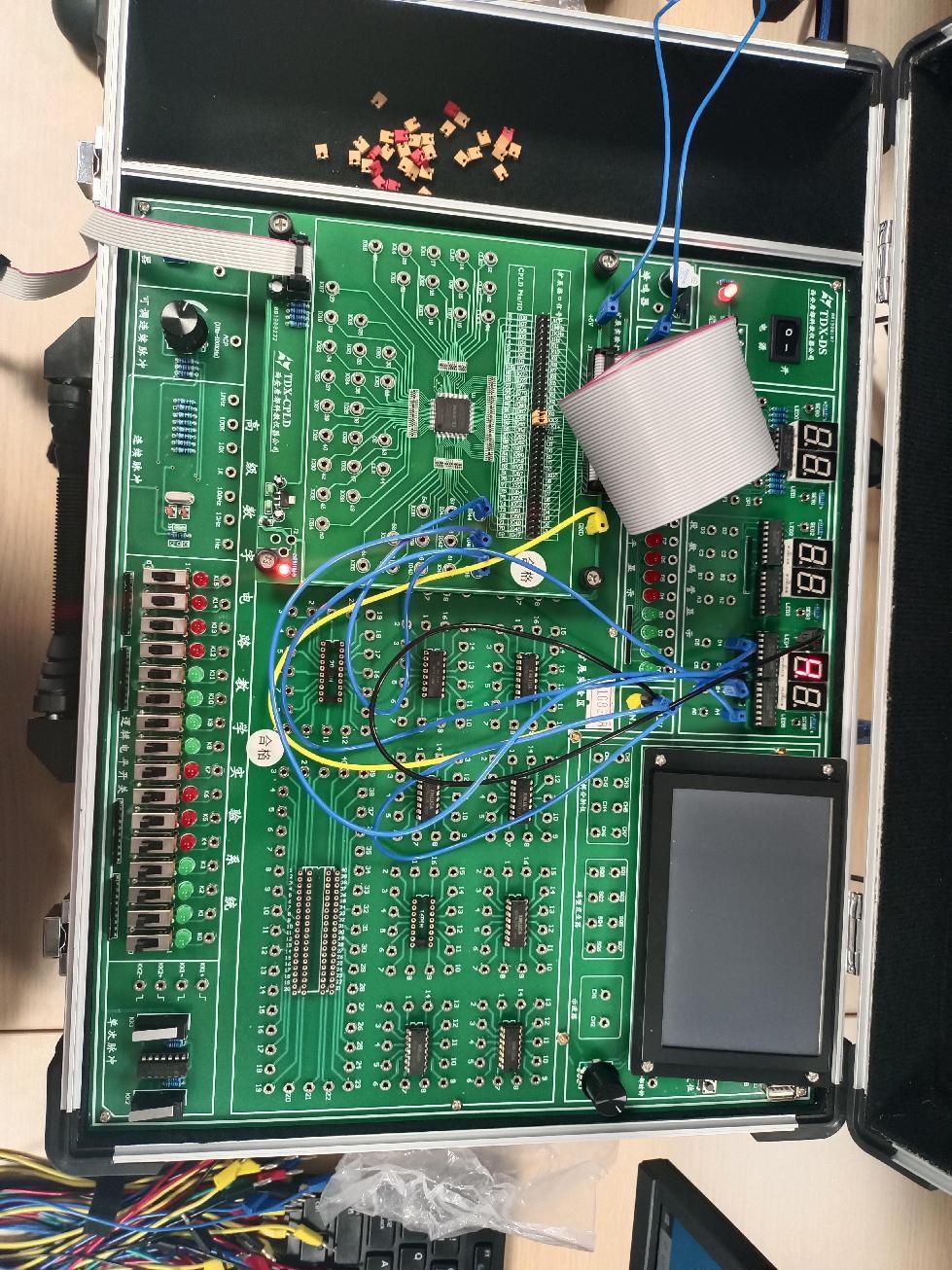
1. 波形图：

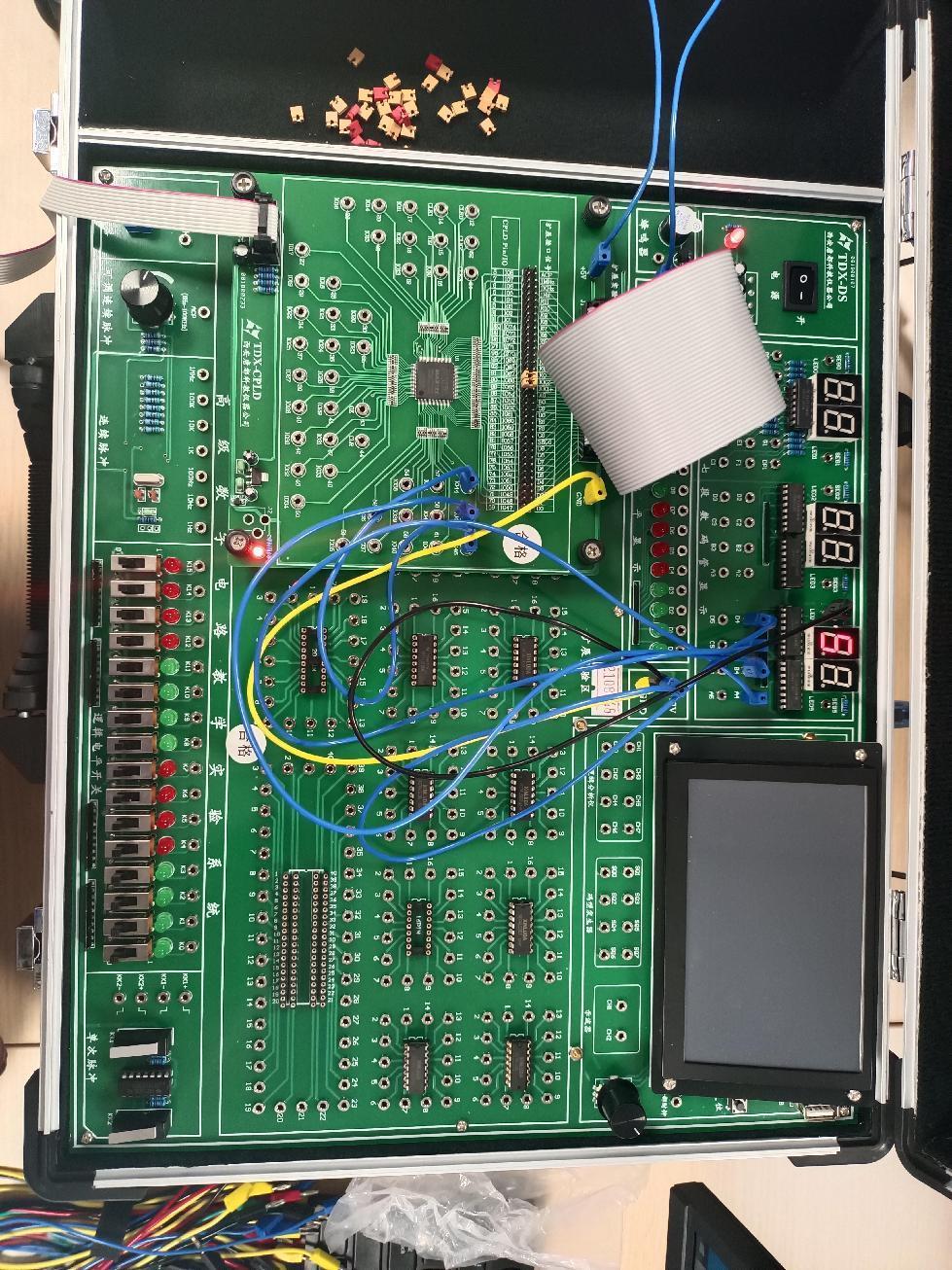


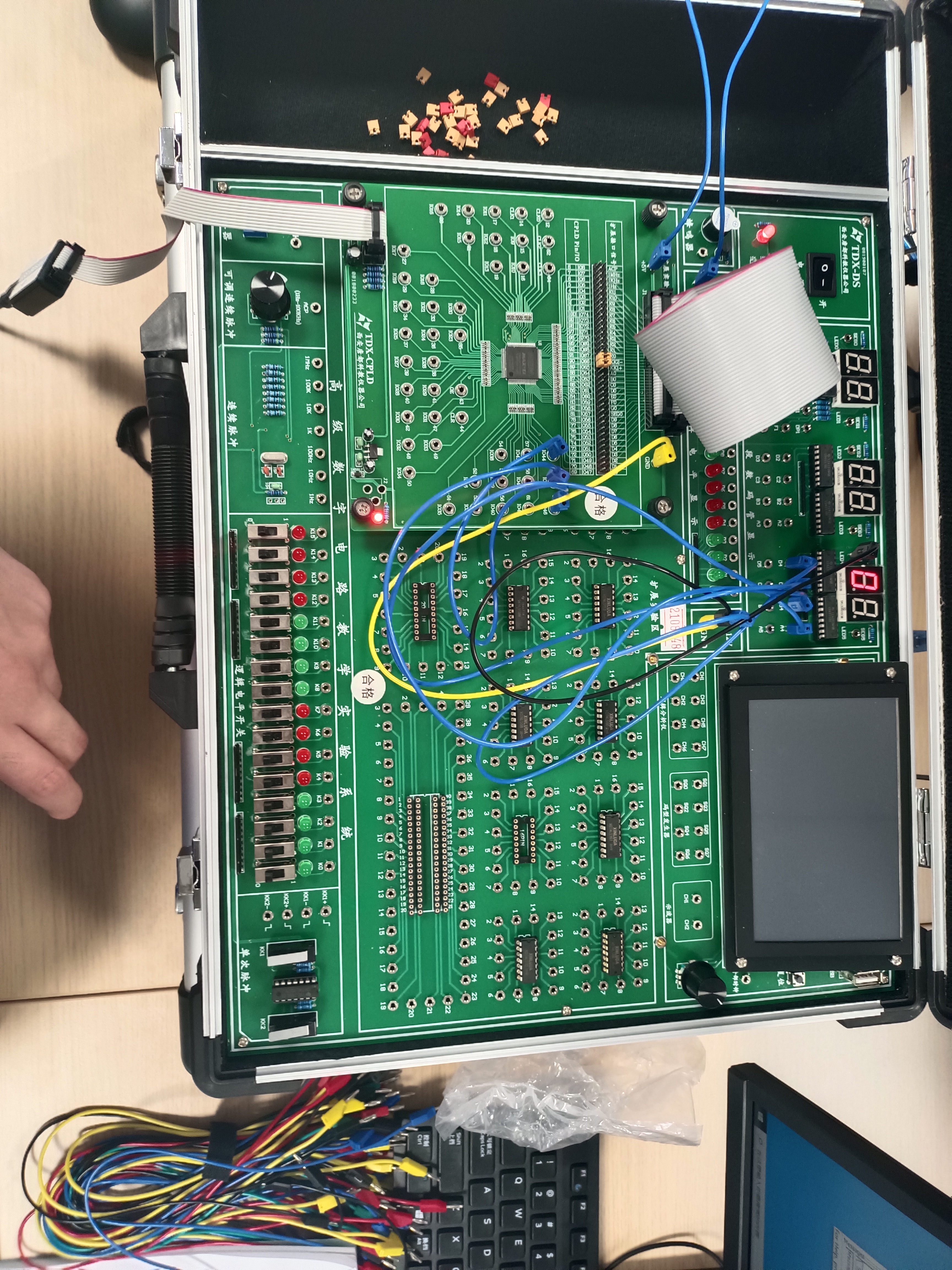
1. 试验仪图像：













1. 实验总结

通过本次实验，我懂得了verilog语言是如何使用的。这次实验，我收获了很多，提高了我的动手实践的能力。