

# 同济大学计算机系

## 数字逻辑课程实验报告



学 号 2252707

姓 名 陈艺天

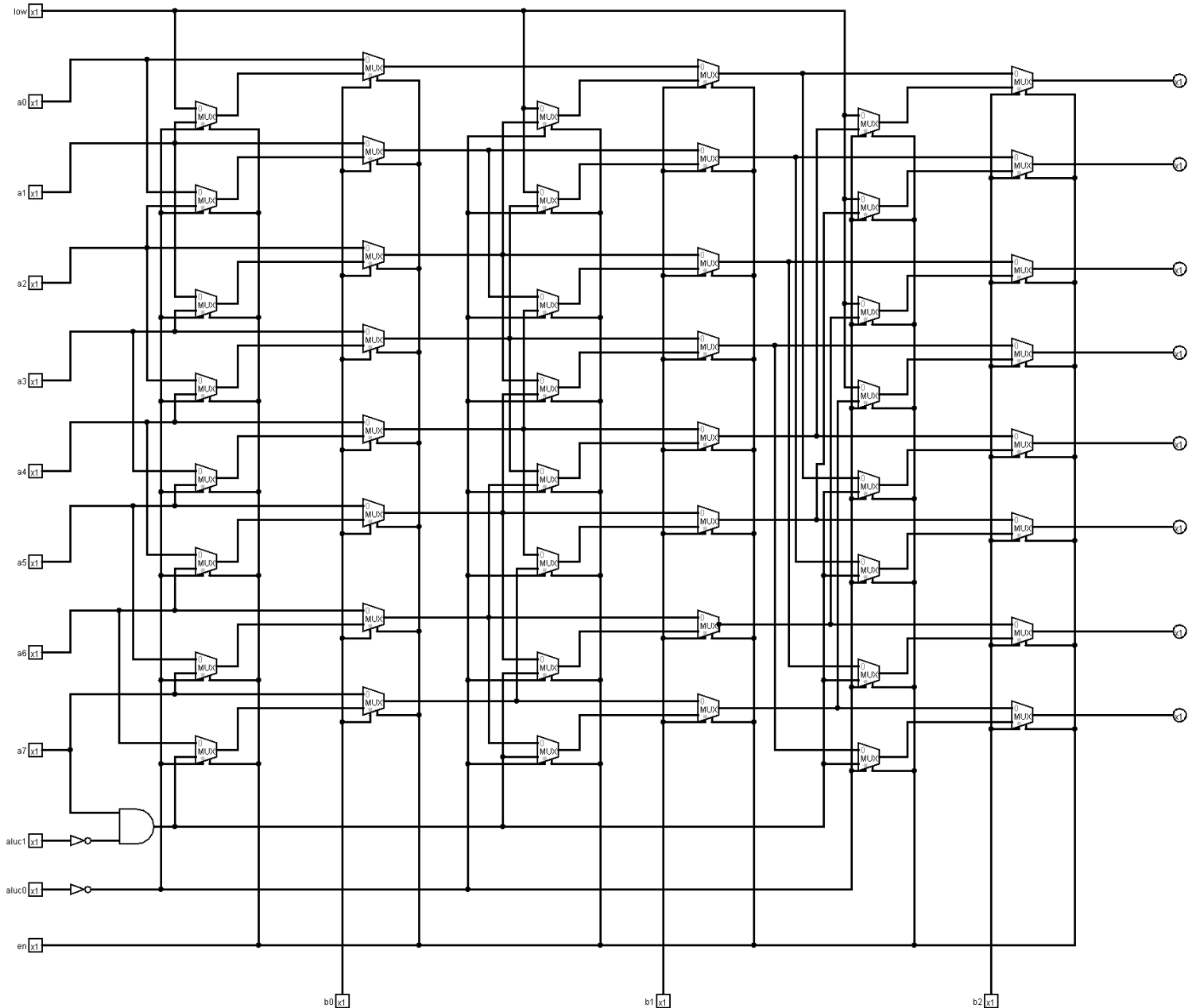
专 业 计算机科学与技术

授课老师 张冬冬

## 一、实验内容

在本次实验中，我们将使用 Verilog HDL 语言实现 32 位桶形移位器的设计和仿真。并且使用 logisim 画出电路逻辑图

## 二、硬件逻辑图



## 三、模块建模

```

module barrelshifter32(
    input[31:0]a,
    input[4:0]b,
    input[1:0]aluc,
    output reg[31:0]c
);

always@(*)
begin
    if(aluc[0])
        c = (a<<b);
    else if(aluc[1])
        c=(a>>b);
    else begin
        if(!aluc[31])
            c=(a>>b);
        else begin
            c=(a>>b)|~(32'b11111111111111111111111111111111>>b);
        end
    end
end
endmodule

```

## 四、测试模块建模

```

module barrelshifter32_tb;
    reg [31:0]a;
    reg [4:0]b;
    reg [1:0]aluc;
    wire [31:0]c;

    barrelshifter32 instshifter(a,b,aluc,c);

    initial begin
        a=32'b1000000001000000001000000010000000;
        aluc=2'b00;

        #20 b=3'b000;
        #20 b=5'b01;
        #20 b=5'b110;
        #20 b=5'b0;
        #20 b=5'b11111;

        #40 aluc=2'b10;
        #20 b=5'b01;
        #20 b=5'b110;
        #20 b=5'b0;
        #20 b=5'b11111;

        #40 aluc=2'b01;
        #20 b=5'b01;
        #20 b=5'b110;
        #20 b=5'b0;
        #20 b=5'b11111;

        #40 aluc=2'b11;
        #20 b=5'b01;
        #20 b=5'b110;
        #20 b=5'b0;
        #20 b=5'b11111;

        #40;
        a=32'b00000000100000001000000010000000;
        aluc=2'b00;

        #20 b=3'b000;
        #20 b=5'b01;
        #20 b=5'b110;
        #20 b=5'b0;
        #20 b=5'b11111;

        #40 aluc=2'b10;
        #20 b=5'b01;
        #20 b=5'b110;
        #20 b=5'b0;
        #20 b=5'b11111;

        #40 aluc=2'b01;
        #20 b=5'b01;
        #20 b=5'b110;
        #20 b=5'b0;
        #20 b=5'b11111;

        #40 aluc=2'b11;
        #20 b=5'b01;
        #20 b=5'b110;
        #20 b=5'b0;
        #20 b=5'b11111;

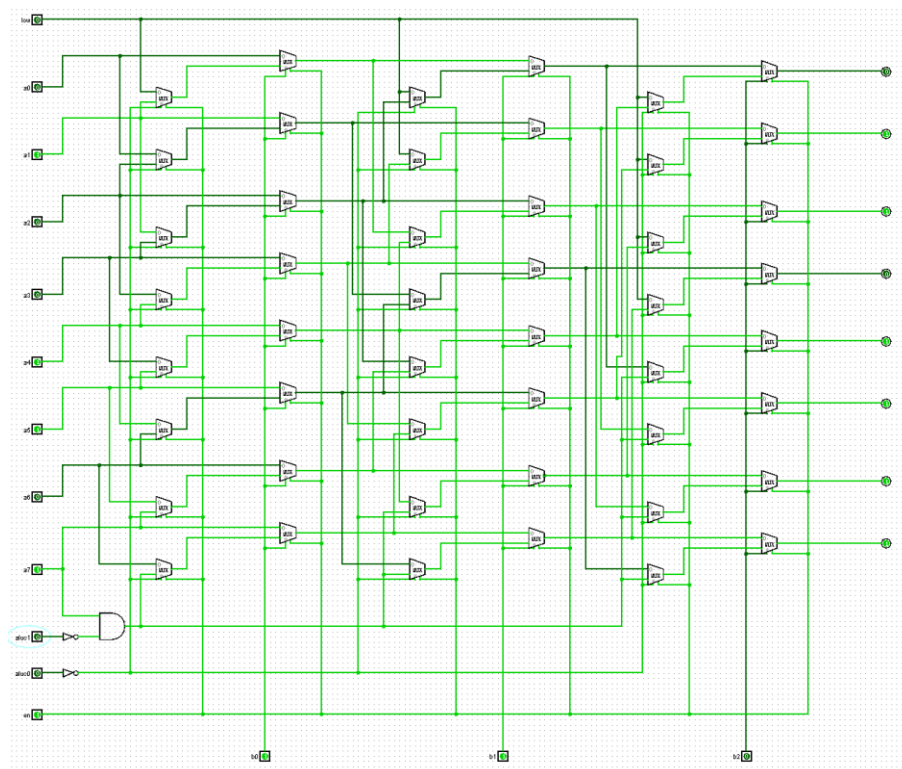
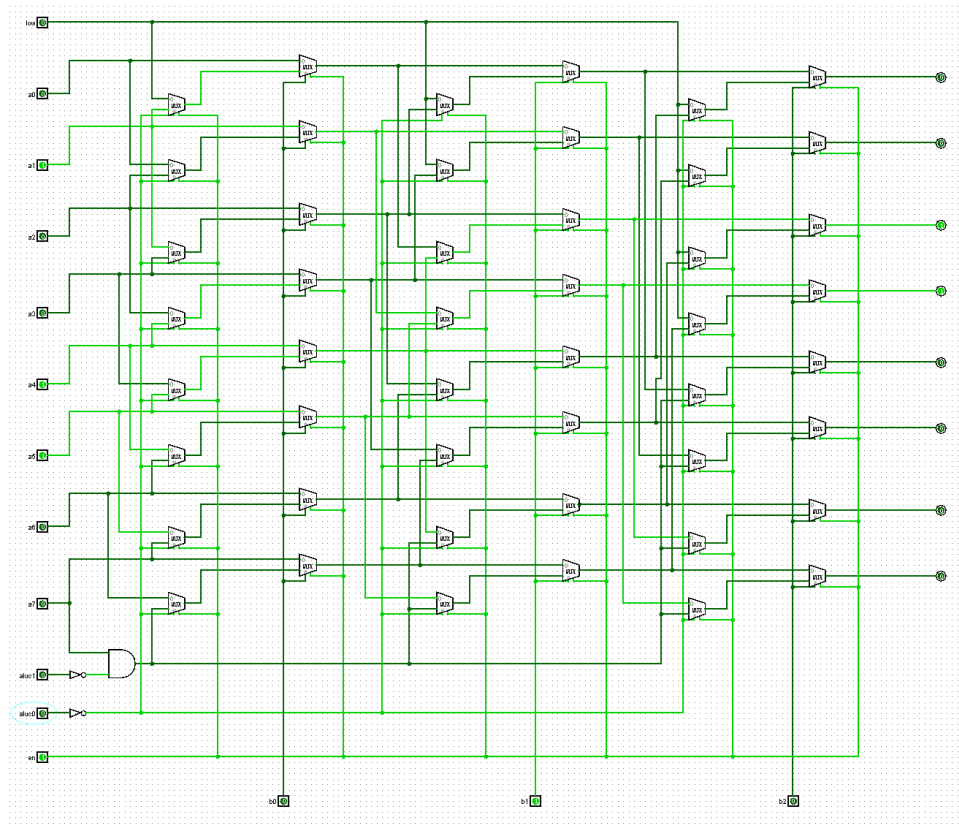
        end
    endmodule

```

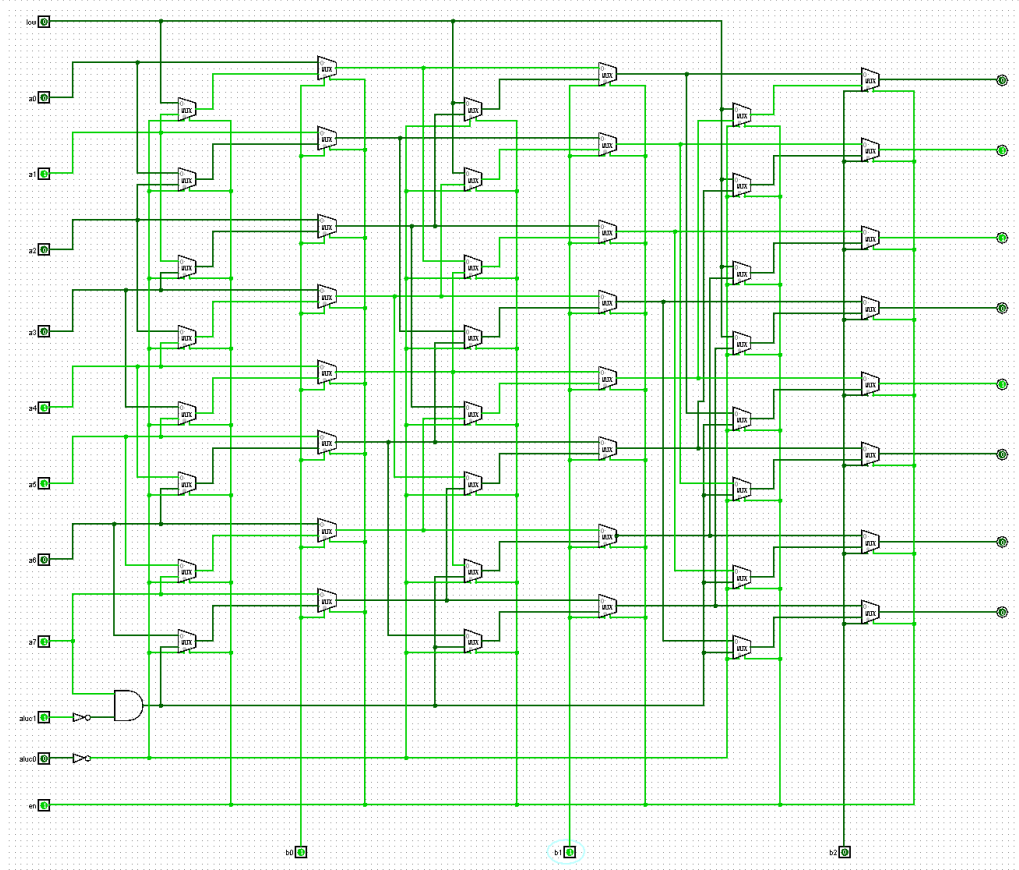
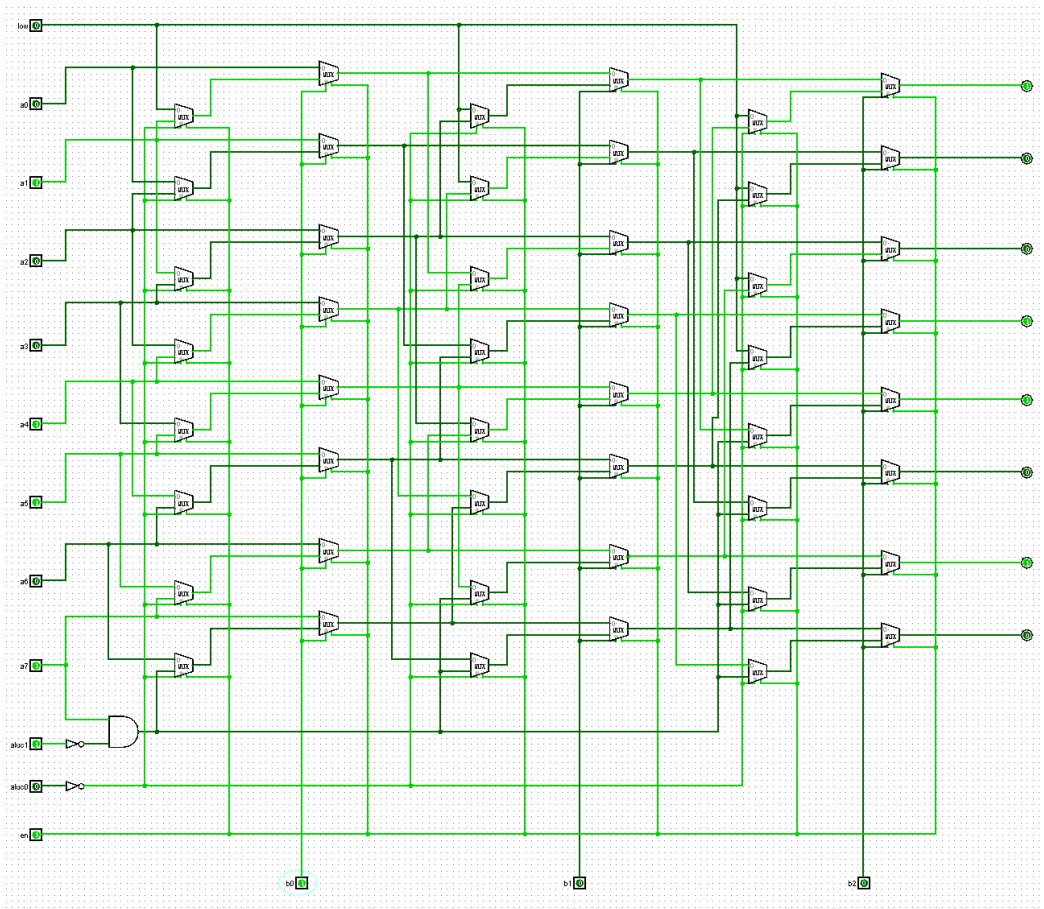
## 五、实验结果

### 1) logisim 逻辑验证图

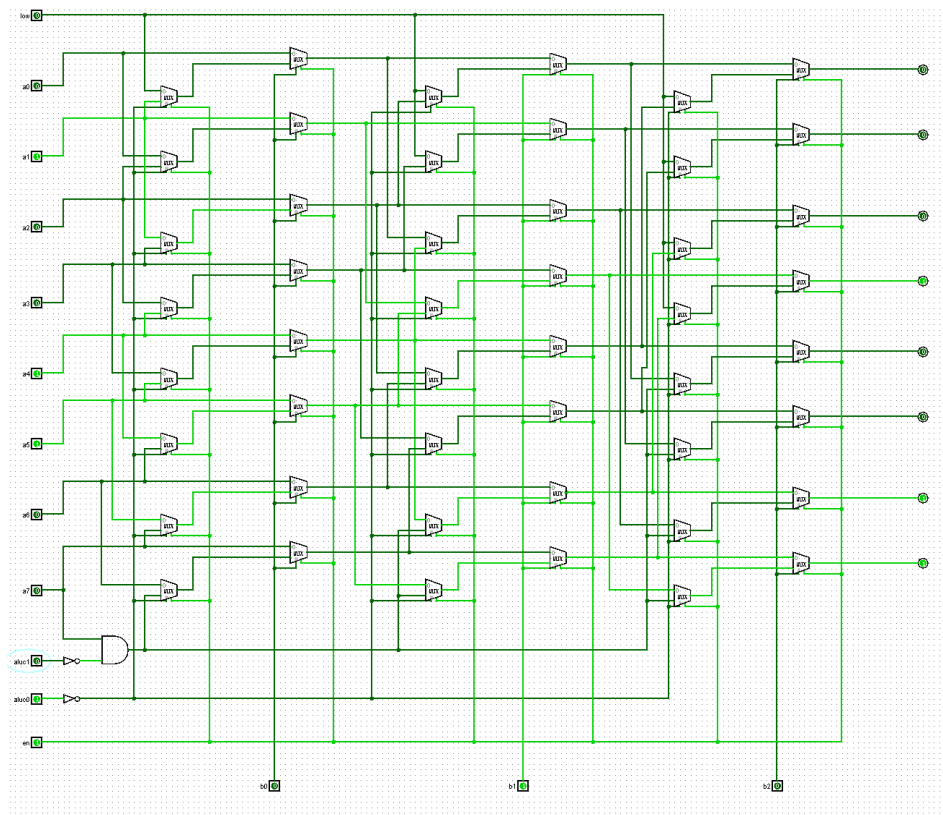
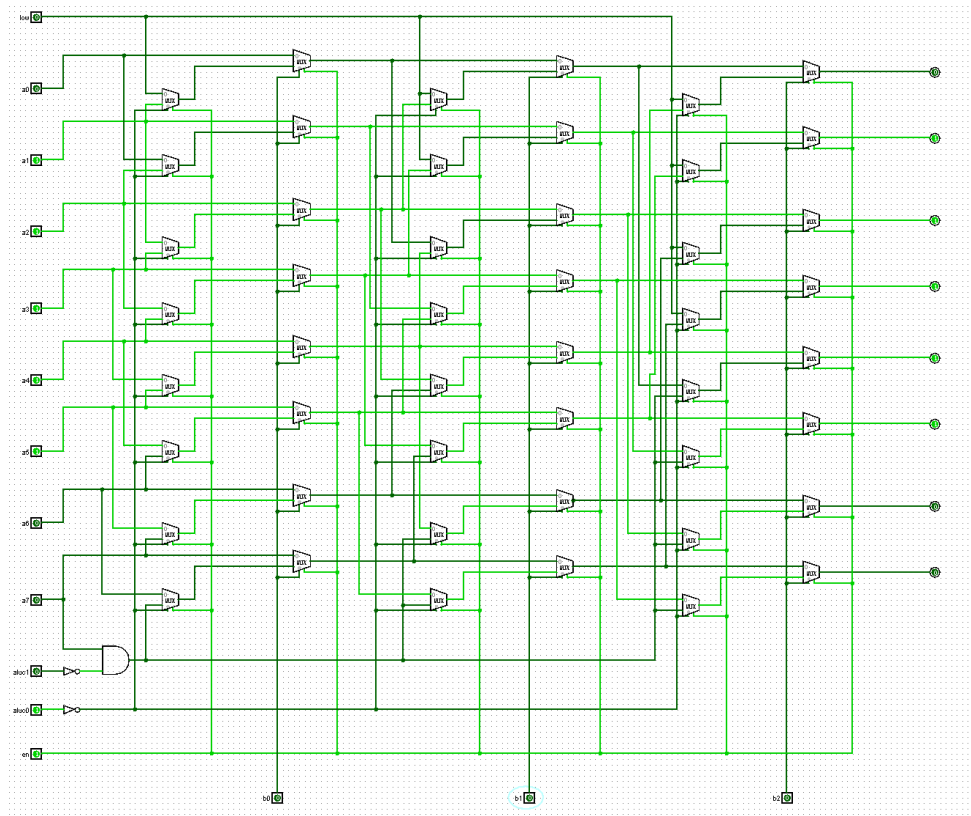
算数右移验证：



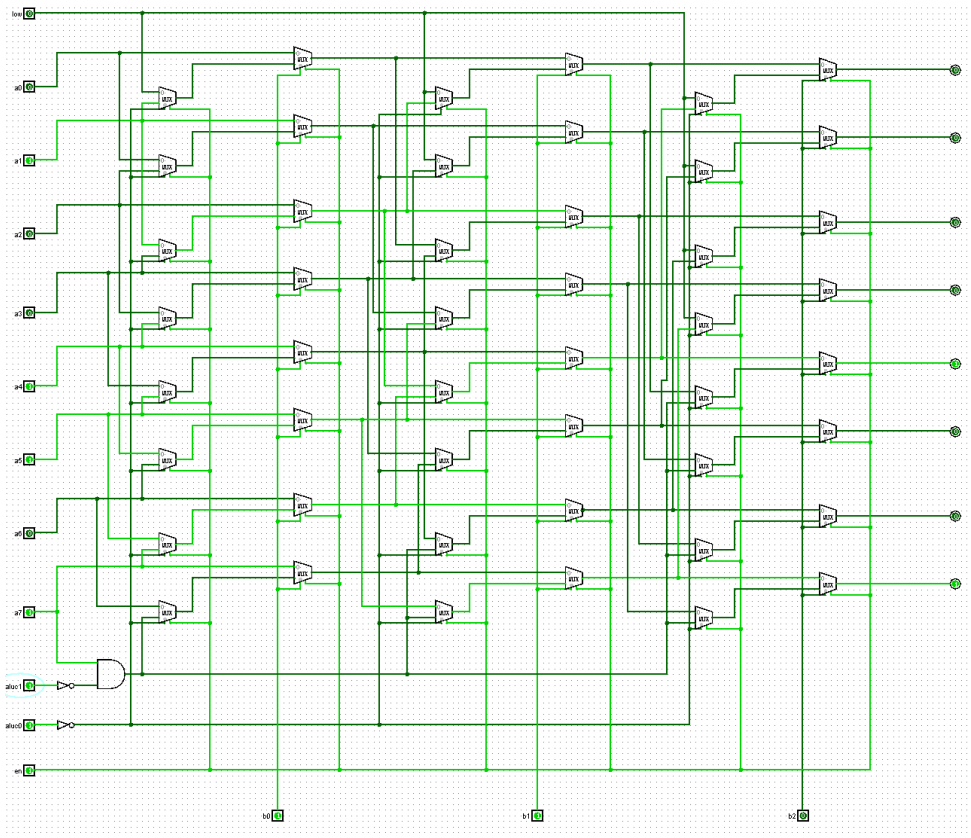
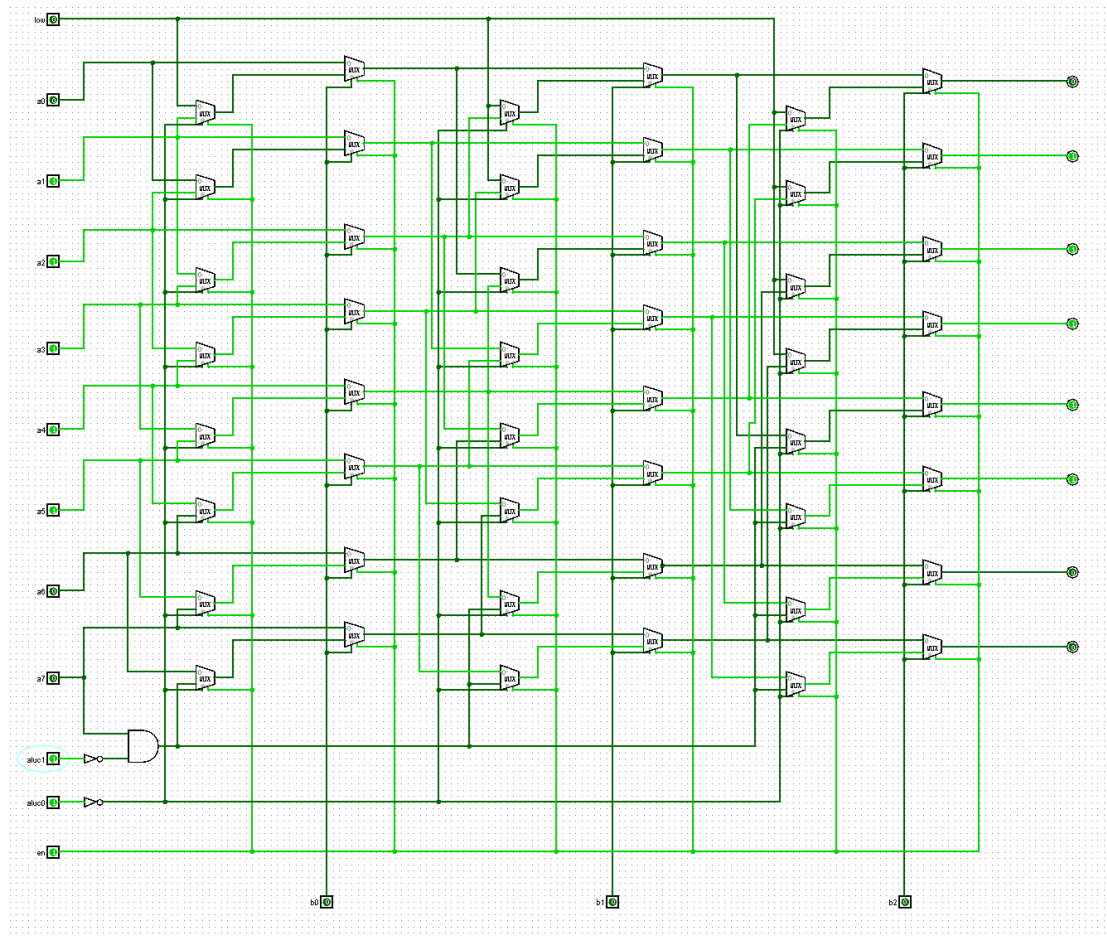
逻辑右移验证:

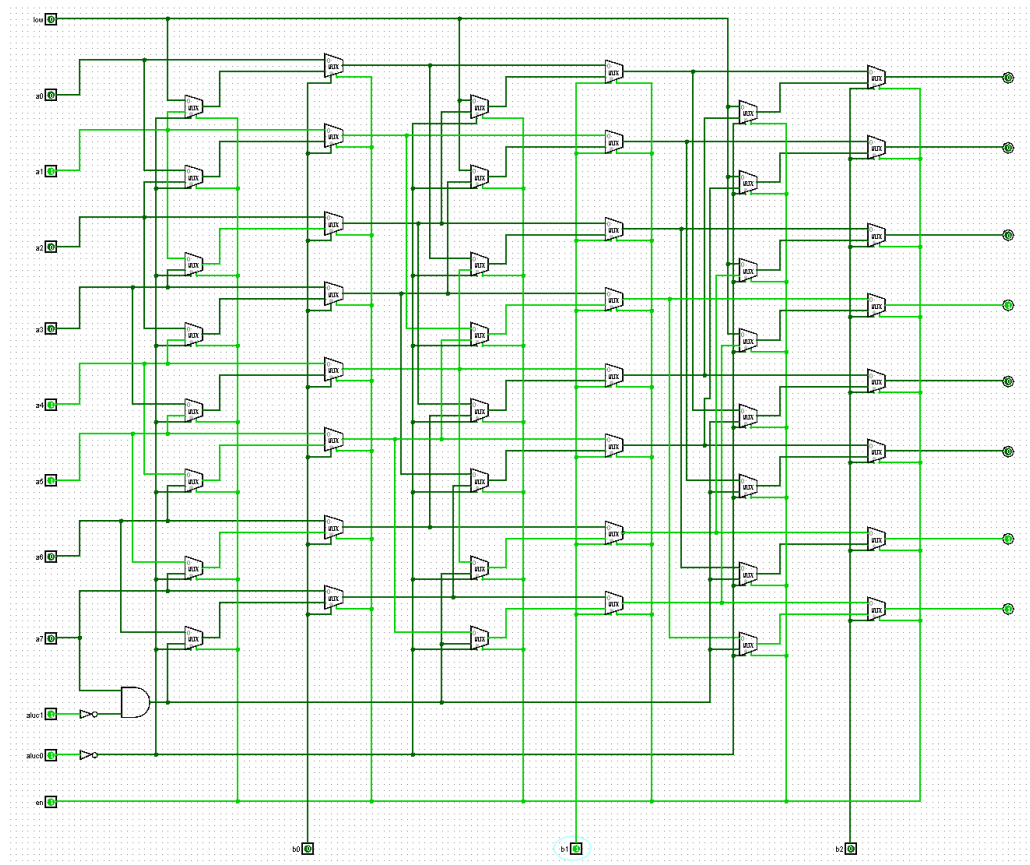


算数左移验证：



逻辑左移验证：





2) modelsim 仿真结果图

