



黃伯凱

Verilog

Systemverilog

UVM

C/C++

Python

群聯電子股份有限公司 | 數位ic驗證工程師

交通大學 | 資訊工程研究所 碩士畢業

3~4年工作經歷 | 希望職稱：數位ic設計工程師、數位ic驗證工程師

具備 1 年 Design Verification 及 3.5 年 Firmware 開發經驗，參與過與國外客戶合作的 ip 驗證，也清楚如何與 designer 有效溝通。熟悉 SystemVerilog 與 UVM，工作效率高並隨時抱持著積極學習的工作態度。

個人資料 男、29歲、役畢(2022/10)

就業狀態 在職中

主要手機 0932-732-142

E-mail pokaihuang.tw@gmail.com

通訊地址 苗栗縣竹南鎮天文路\*\*\*

## 學歷

交通大學

2018/9~2020/10

資訊工程研究所 | 碩士畢業

中央大學

2013/9~2017/6

通訊工程學系 | 大學畢業

## 專長

### 程式語言

- Systemverilog
- Verilog
- C/C++
- Python

### 技能

- Design Verification (DV)
- UFS underlying IP - Unipro
- UVM

## 工作經驗

總年資 3~4年工作經歷

數位ic驗證工程師  
群聯電子股份有限公司 (IC設計相關業 500人以上)  
數位IC設計工程師 | 苗栗縣竹南鎮

2024/6~仍在職

- UVM 環境開發
- 撰寫 Test plan
- 設計 testvector
- UFS underlying IP - Unipro 驗證



韌體工程師  
慧榮科技股份有限公司 (IC設計相關業 500人以上)  
韌體工程師 | 新竹縣竹北市

2021/1~2024/5  
3年5個月

- 開發、維護 TCG Spec 規範的 Security Feature
- 撰寫 TCG test plan
- 設計 TCG testvector
- Secure Boot Authentication
- Firmware Update Verification
- 客製化 FW 需求

求職條件

希望性質 全職工作  
上班時段 日班  
可上班日 錄取後隨時可上班  
希望待遇 面議  
希望地點 新竹縣市、苗栗縣竹南鎮  
遠端工作 對遠端工作有意願

希望職稱 數位ic設計工程師、數位ic驗證工程師  
希望職類 數位IC設計工程師  
希望產業 電子資訊／軟體／半導體相關業

語言能力

英文  
聽/精通 | 說/中等 | 讀/精通 | 寫/中等  
TOEIC (多益測驗) 895

# 自傳

---

## 【關於我】

我的個性活潑，大學時期參與過相當多的校園活動，擔任過多次幹部、容易與人打成一片，也懂得如何與人溝通並分配工作。我擔任過 6-7 年的高中數學家教，這些經驗也培養出了我良好的表達能力。

## 【工作經驗】

目前在群聯電子擔任數位ic驗證工程師，負責 UFS 底層 IP - **Unipro** 的驗證。在群聯的這一年間，參與了一輪 Unipro 3.0 完整的驗證，其中有：

- 設計 test plan
- 與國外客戶討論並修改 test plan
- 撰寫 testvector
- 驗證廠內 DUT 並與 designer 合作 debug

除了在公司的工作經驗之外，我也利用閒暇時間自我精進，透過撰寫 VIP 的方式熟悉 UVM 環境與建構過程中的種種邏輯。

曾在慧榮科技擔任過三年半的韌體工程師，開發 FW、Security feature、排除 FW bug。我會設計驗證流程並撰寫驗證腳本進行測試確認 FW feature 沒問題、將腳本模組化以便於開發和管理，也著手進行過從 FW 中將 feature 獨立出來做成 library的工作。此外，我也相當熟悉 Secure Boot Authentication 與 Firmware Update Verification。

---

## [About Me]

I am an outgoing and energetic person. During my university years, I have participated in various campus activities and held multiple leadership roles. I get along well with others and know how to communicate and delegate tasks effectively. I have also worked as a high school math tutor for 6–7 years, which has helped me develop strong communication and presentation skills.

## [Work Experience]


I am currently working at Phison Electronics as a DV Engineer, responsible for verifying the UFS underlying IP – **Unipro**. Over the past year at Phison, I have participated in a full cycle of Unipro 3.0 verification, which includes:

- Designing test plans
- Discussing and modifying test plans with overseas clients
- Writing testvectors
- Verifying in-house DUTs and collaborating with designers on debugging

In addition to my professional experience at Phison, I have proactively used my spare time to enhance my skills by developing VIPs, allowing me to gain a deeper understanding of the UVM and the underlying logic involved in the verification process.

Previously, I worked at Silicon Motion Technology for 3.5 years as a FW Engineer. My responsibilities included developing firmware and security features, as well as troubleshooting firmware bugs. I designed verification processes and wrote test scripts to ensure FW features functioned correctly, modularized scripts for easier development and maintenance, and worked on extracting features from FW to create standalone libraries. In addition, I am familiar with Secure Boot Authentication and FW Update Verification.

PKhuang-TW/  
**pkhuang\_sync\_fifo\_vip**



Sync fifo UVM vip

1

Contributor

0


Issues

0

Stars

0


Forks



github.com/PKhuang-TW/pkhuang\_sync\_fifo\_vip

Sync FIFO UVM Verification IP

PKhuang-TW/  
**pkhuang\_up\_down\_coun...**



An up/down counter UVM vip with reverse bit

1

Contributor

0


Issues

0

Stars

0

Forks



github.com/PKhuang-TW/pkhuang\_up\_down\_counter...

Counter UVM Verification IP