			Sİ	nc
1. Considere el siguient instrucción aparece su c	_			
0x4FF10000	beq \$s1,	\$s2, mylabel		
0x4FF2A000 mylabel:	addi \$t1	, \$t2,4		
El código anterior es co	recto. ¿Es e	eso cierto?		
<b>2.</b> La instrucción 1w \$s1 relativo a registro (base		o) implementa un modo de direccionamiento ). ¿Es eso cierto?		
3. Considere el fragmento de código que se muestra a continuación				
	sw \$t0,	0xABCD9876 100(\$0) 101(\$0)		
_	•	oduce que se cargue en el registro \$s5 el valor or que ejecuta este código es de tipo <i>Little</i>		
·		epresentan dos números binarios con signo 2. ¿Es cierto que el  A <  B ?		
		nero en coma flotante de precisión sencilla en		

## PARTE 2

## PREGUNTA 2.1. Considere el siguiente fragmento de código escrito en Java

```
int[] arr = {11, 22, 33, 44};
len = arr.length;
// la traducción de estas líneas es dada

// complete la traducción de las líneas que siguen...
int evensum = 0;
for (int i=0; i<len; i++) {
  if (arr[i] & 1 == 0) {
    evensum += arr[i];
  }
}</pre>
```

Analice el código anterior y explique brevemente qué es lo que hace. A continuación, represente el algoritmo implementado por el fragmento anterior mediante un diagrama de flujo. Finalmente, complete la traducción (que se muestra a continuación) en leguaje ensamblador MIPS del fragmento anterior. Utilice el registro \$±0 para almacenar el valor de la variable evensum.

```
.data
   arr: .word 11 22 33 44
   len: .word 4

.text
   la $s0, arr
   la $s1, len
   subu $s1, $s1, $s0
   srl $s1, $s1,2
```

Explique también por qué, después de ejecutar el código ensamblador anterior, el registro \$s1 contiene el tamaño del vector arr.

PREGUNTA 2.2. Asuma que un procesador dado no tiene soporte hardware para la multiplicación de manera que la única forma de realizar una multiplicación es por software mediante sumas sucesivas. Si para realizar una multiplicación en hardware se tardan 4 ciclos, mientras que por software se precisan 200 ciclos, ¿cuál sería la mejora del rendimiento (Speedup) de una implementación hardware si el procesador pasa el 10% de su tiempo ejecutando multiplicaciones? ¿Cuál sería el Speedup de la implementación hardware si el procesador pasa el 40% de su tiempo ejecutando multiplicaciones? Finalmente, explique, justificando adecuadamente sus conclusiones, en cuál de los dos escenarios anteriores es más conveniente utilizar una implementación hardware.

**PREGUNTA 2.3.** Se quiere valorar las prestaciones de dos compiladores distintos compilando un mismo programa. La tabla siguiente muestra para cada uno de los compiladores utilizados el número de instrucciones en las que es compilado el programa y los tiempos de ejecución.

Comp	oiler A	Compiler B		
Núm. instrucciones	Tiempo de ejec.	Núm. instrucciones	Tiempo de ejec.	
1×10 <sup>9</sup>	1.8s	1.2×10 <sup>9</sup>	1.6s	

- 1. Halle el CPI medio para cada uno de los programas compilados sabiendo que el procesador tiene una frecuencia de reloj de 1 GHz.
- 2. Asuma ahora el mismo CPI hallado en el punto anterior; sin embargo, esta vez los dos programas se ejecutan en procesadores distintos. Si los tiempos de ejecución de los dos procesadores son idénticos, ¿de cuánto es más elevada la frecuencia de reloj del procesador que ejecuta el código del compilador A respecto a la del procesador que ejecuta el código del compilador B?

## PARTE 3

**PROBLEMA 3.1.** NVIDIA tiene un "medio" formato parecido al IEEE 754 excepto por el hecho que es de 16 bits. El bit más significativo representa el signo, seguido por un exponente sobre 5 bits representado en exceso-16 y una mantisa de 10 bits con hidden bit. Escriba el patrón binario asumiendo del número -1.5625×10<sup>-1</sup>. Compare el rango y la precisión de este formato con el de precisión sencilla del IEEE 754.

Finalmente, asuma A=2.6125×10<sup>1</sup> y B=4.150390625×10<sup>-1</sup>. Calcule la suma de A y B a mano asumiendo el "medio" formato NVIDIA descrito anteriormente. Asuma un bit de guarda, 1 bit de redondeo y un sticky bit. Redondee al número par más próximo. Ilustre todos los pasos seguidos.

Arquitectura de ordenadores (23/10/2018)

· Pregunta 1

direction beg 0x4FF10000

dirección addi 0x 4FF2A000

diferencia entre direcciones: 0X4 FFZAOW-9/4FF10000 = BX14000 I

Il offset del solto no se puede representer sobre 16 bits en complements 92

R: el código es incorrecto

o Pregunta 2

lw \$51, wo (\$zero)

Ri es un modo de direccionoment celetivo a registro (\$zero es este aso)

o Pregunta 3

Addr.	data (sig endron)	data (little endien)
100	AB	76
401	CD	98
*02	98	Co
X63	76	AB

Ri la lis en 101 devuelve 98 por la que el procesador es de tipo little endian.

6 Pregunta 4

A = 10010011 = -10910

B= 00111110= 7210

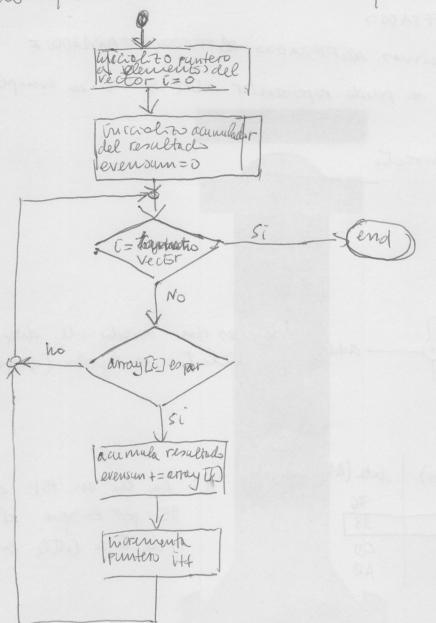
|A|=109> |B|=72 R: falso

AP=01111100=124-127=-3

 $X = +2^{-3} \cdot 15 = 0.0011_2 = \frac{1}{3} + \frac{1}{16} = \frac{3}{16} = 0.1875$ 

## Fægunta 2-1 (la traducción en ensemblador se deja como ejercició)

el programo realiza un borrido de un vector de enteros sumendo aquellos elementos del vector que son números pores.



Je treta de aplicar la ley de Ahmdal:

Tiemps mejorado = (Fracción mejorado). Tiemps no niejorado + (Fracción as mejorado). Tompono factor de mejorado mejorado mejorado

Tiempo mejora do = [fracción mejorada] + (fracción ao mejorada)] Trempo no mejorado

Speedup = Tolupo us neporado = (fracción no meporado) + fracción neporado fortor de mepora

(a) 10% multiplica covernes => fracción ineprada = 0.1 fracción no neporada = 1 - fracción mejorada = 0.9

factor de mejora =  $\frac{200}{4} = 50$ Speedup =  $\frac{1}{0.9 + \frac{0.1}{50}} = 1.11$ 

(b) 40% multiplice would => fracción mejorade = 0.4 fracción era mejorade = 1-0.4=0.6

Speedup =  $\frac{1}{0.6 + 0.4} = 1.64$ 

es més conveniente utiliter le implementación hardwere en el con (5) ya que se alcontaria un speedup mayor.

Pregunta 2-3 Compilador A Compilador B # instr. T. exec 1-2-109 1.60 fax = 16Hz (a) CPI = Texc - fax = (1.8 (1.109) = 1.8 (Guipi lador A) # instr. = (1.6-(1.109) = 1.8 (Compiledor B) (b)  $\frac{f_{\alpha \kappa_{A}}}{f_{\alpha \kappa_{B}}} = \frac{CPI_{A} \cdot \# Instr_{A}}{T_{expl}} = \frac{T_{expl}}{CPI_{B} \cdot \# Instr_{B}} =$ CPIB-# instr = 1.8. (1.109) = 1.8 = (1.2.109) = 1.56= = 1,15 el procesador A ejecuta un programa més conte que el B en el mismo trempo precisendo un fax un 15% mer elevada que B  $-1.5625 \cdot 10^{-1} = -0.15625 \cdot 10^{0} = -0.00101 \cdot 2^{0} = -1.01 \cdot 2^{-3}$ 2) A = 2.6125.10' = 26.125=11010.001 = 1.1010001.24 B=4,150390625·10-1=0.4150390625=1.1010100111.2-2 tenso que alinear B En el exponente mayor (corriendo el número 6 por ciones a la deredia B= 0.0000011010100111 Sums los números 1.10100010000000 0.00000110101100111 buts descortados \$0 => sticky but = 1 1.1010001000,685 0-00000110101101 T = 5.2-13 = 5.2-3.2-10= 52-10= 5LSB > LLSB por la que tenga que redandes el resultado 1.1010100010 101 A+B= 1-1010100011.2 = 11010.100011.2°=26,546875= = 2.6546875=101