

Universidad de Costa Rica

Facultad de Ingeniería

Escuela de Ingeniería Eléctrica

IE0311 - Dispositivos Semiconductores

II ciclo 2024

# **Proyecto: Compuertas de Paso, Multiplexores y Elementos Secuenciales**

Pablo Salas Gómez, C27061

Profesora: Karen Tovar Parra

2 de Diciembre de 2024

# Índice

<b>1. Compuerta de paso</b>	<b>1</b>
1.1. Esquemático . . . . .	1
1.2. Ícono . . . . .	2
1.3. Layout . . . . .	3
1.4. DRC . . . . .	4
1.5. Simulación . . . . .	4
<b>2. Mux 2:1 con compuertas de paso</b>	<b>6</b>
2.1. Esquemático . . . . .	6
2.2. Ícono . . . . .	7
2.3. Layout . . . . .	8
2.4. DRC . . . . .	9
<b>3. Mux 2:1 con compuertas NAND2</b>	<b>10</b>
3.1. Esquemático . . . . .	10
3.2. Ícono . . . . .	11
3.3. Layout . . . . .	12
3.4. DRC . . . . .	13
<b>4. Comparación de muxes</b>	<b>14</b>
4.1. Comparación de área . . . . .	14
4.2. Código SPICE . . . . .	14
4.3. Comparación de retardo . . . . .	15
4.4. Análisis comparativo . . . . .	16
<b>5. Latch D</b>	<b>17</b>
5.1. Esquemático . . . . .	17
5.2. Ícono . . . . .	18
5.3. Layout . . . . .	19
5.4. DRC . . . . .	20
5.5. Simulación de funcionamiento correcto . . . . .	20
<b>6. Flip-Flop D</b>	<b>22</b>
6.1. Esquemático . . . . .	22
6.2. Ícono . . . . .	23
6.3. Layout . . . . .	24
6.4. DRC . . . . .	25
6.5. Simulación de funcionamiento correcto . . . . .	25
6.6. Análisis del tiempo de setup . . . . .	26

## Índice de figuras

1.	Esquemático de la compuerta de paso creado en Electric . . . . .	1
2.	Ícono de la compuerta de paso creado en Electric . . . . .	2
3.	Layout de la compuerta de paso creado en Electric . . . . .	3
4.	Mensaje en Electric al correr la herramienta de DRC en el layout de la compuerta de paso . . . . .	4
5.	Layout de simulación de la compuerta de paso con el código de SPICE . . . . .	4
6.	Gráficas resultantes al simular la compuerta de paso . . . . .	5
7.	Esquemático del mux 2:1 con compuertas de paso creado en Electric . . . . .	6
8.	Ícono del mux 2:1 con compuertas de paso creado en Electric . . . . .	7
9.	Layout del mux 2:1 con compuertas de paso creado en Electric . . . . .	8
10.	Mensaje en Electric al correr la herramienta de DRC en el layout del mux 2:1 con compuertas de paso . . . . .	9
11.	Esquemático del mux 2:1 con compuertas NAND2 creado en Electric . . . . .	10
12.	Ícono del mux 2:1 con compuertas NAND2 creado en Electric . . . . .	11
13.	Layout del mux 2:1 con compuertas NAND2 creado en Electric . . . . .	12
14.	Mensaje en Electric al correr la herramienta de DRC en el layout del mux 2:1 con compuertas NAND2 . . . . .	13
15.	Código de SPICE utilizado para determinar los retardos de subida y bajada de ambos multiplexores . . . . .	14
16.	Valores de los retardos de subida y bajada en el mux 2:1 con compuertas de paso . . .	15
17.	Valores de los retardos de subida y bajada en el mux 2:1 con compuertas NAND2 . .	15
18.	Esquemático del latch D de fase positiva creado en Electric . . . . .	17
19.	Ícono del latch D de fase positiva creado en Electric . . . . .	18
20.	Layout del latch D de fase positiva creado en Electric . . . . .	19
21.	Mensaje en Electric al correr la herramienta de DRC en el layout del latch D de fase positiva . . . . .	20
22.	Layout de simulación del latch D de fase positiva con el código de SPICE . . . . .	20
23.	Gráficas resultantes al simular el latch D de fase positiva . . . . .	21
24.	Esquemático del flip-flop D de flanco positivo creado en Electric . . . . .	22
25.	Ícono del flip-flop D de flanco positivo creado en Electric . . . . .	23
26.	Layout del flip-flop D de flanco positivo creado en Electric . . . . .	24
27.	Mensaje en Electric al correr la herramienta de DRC en el layout del flip-flop D de flanco positivo . . . . .	25
28.	Código de SPICE de utilizado para verificar el funcionamiento del flip-flop D de flanco positivo . . . . .	25
29.	Gráficas resultantes al simular el flip-flop D de flanco positivo . . . . .	26
30.	Código de SPICE de utilizado para obtener el valor del tiempo de setup del flip-flop D de flanco positivo . . . . .	26
31.	Gráficas resultantes al simular el flip-flop D de flanco positivo . . . . .	27

# 1. Compuerta de paso

## 1.1. Esquemático

Para la creación del esquemático de esta compuerta se utilizó un transistor NMOS y un PMOS, se conectaron el drain y el source de cada transistor entre sí al punto común entre los drain se conectó la entrada A y al punto común de los source se conectó la salida Y, en el gate del NMOS se conectó la señal de selección la cual activa el NMOS y en el gate del PMOS se conectó la señal de selección negada la cual activa el PMOS.

Por lo tanto, el esquemático resultante para esta compuerta se muestra en la siguiente figura:

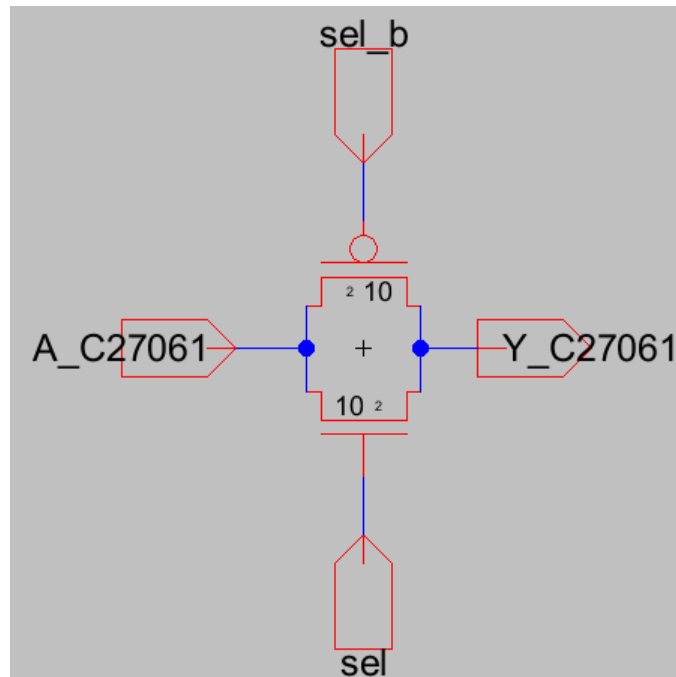


Figura 1: Esquemático de la compuerta de paso creado en Electric

## 1.2. Ícono

El ícono creado para el esquemático de esta compuerta se basó en el ícono mostrado en el enunciado, en este se pueden observar la entrada y la salida de la compuerta, así como la señal de selección y su equivalente negada. En la figura 2 se puede observar el ícono creado.

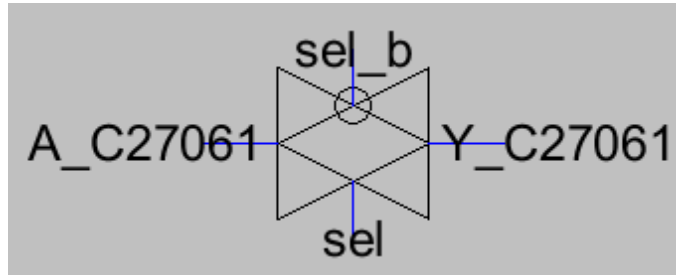


Figura 2: Ícono de la compuerta de paso creado en Electric

### 1.3. Layout

Para la creación del layout se tomó como base el esquemático creado, a partir de este se realizaron las conexiones de los drain y source utilizando metal-1, después se agregaron los conectores de polisilicio a metal-1 y de metal-1 a metal-2 para dejar los pines para las señales sel y sel\_b a partir de los gate, tanto estas entradas como la de A y la salida Y se dejaron en metal-2. Finalmente se agregaron las barras de  $V_{DD}$  y tierra respetando la distancia de  $80\lambda$  entre estas al igual que su grosor, aunque estas no se utilizan en la compuerta y no se conectaron a nada, eran necesarias para mantener el mismo tamaño que en las demás compuertas ya creadas en Electric. Todas las entradas, así como la salida y los pines de  $V_{DD}$  y tierra se exportaron para ser utilizados en la simulación.

El layout resultante para esta compuerta se muestra en la siguiente figura:

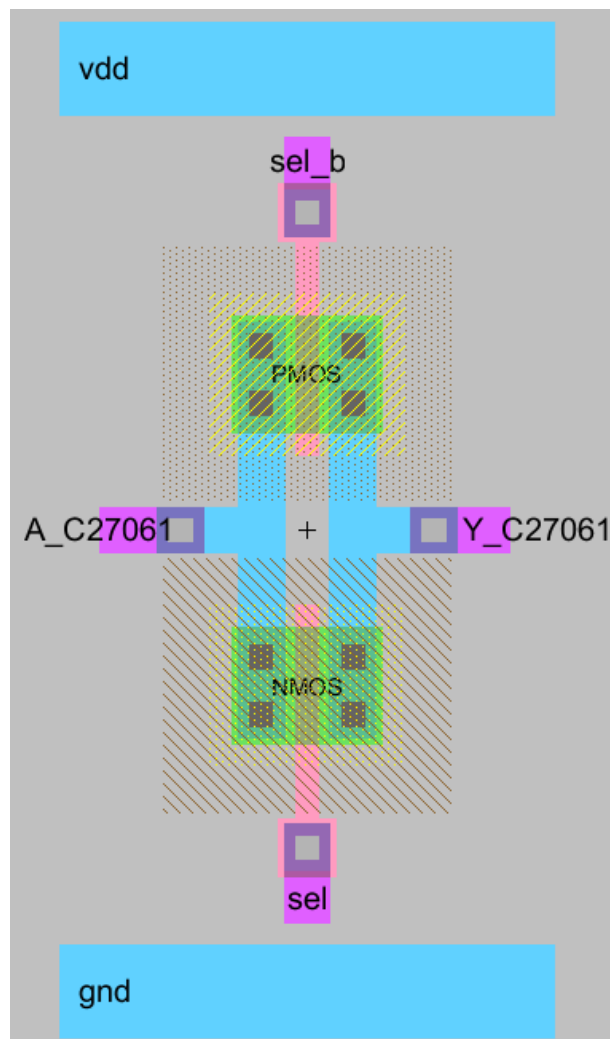


Figura 3: Layout de la compuerta de paso creado en Electric

## 1.4. DRC

Usando la herramienta de Electric para detectar errores de DRC se pudo observar que este layout no incumple ninguna de las leyes de distanciamiento, en la figura 4 se muestra el resultado de la consola al utilizar esta herramienta en este layout.

```
Running DRC with area bit on, extension bit on, Mosis bit
Checking again hierarchy .... (0.001 secs)
Found 9 networks
Checking cell 'PASO_10_10_C27061{lay}'
    No errors/warnings found
0 errors and 0 warnings found (took 0.039 secs)
```

Figura 4: Mensaje en Electric al correr la herramienta de DRC en el layout de la compuerta de paso

## 1.5. Simulación

Para realizar la simulación de la compuerta de paso y comprobar su correcto funcionamiento se creó otro layout donde se instanció el layout de esta compuerta y se agregó el código de SPICE que permitirá observar todas las combinaciones de las entradas para comprobar el funcionamiento de la compuerta. El layout para la simulación se muestra en la figura 5.

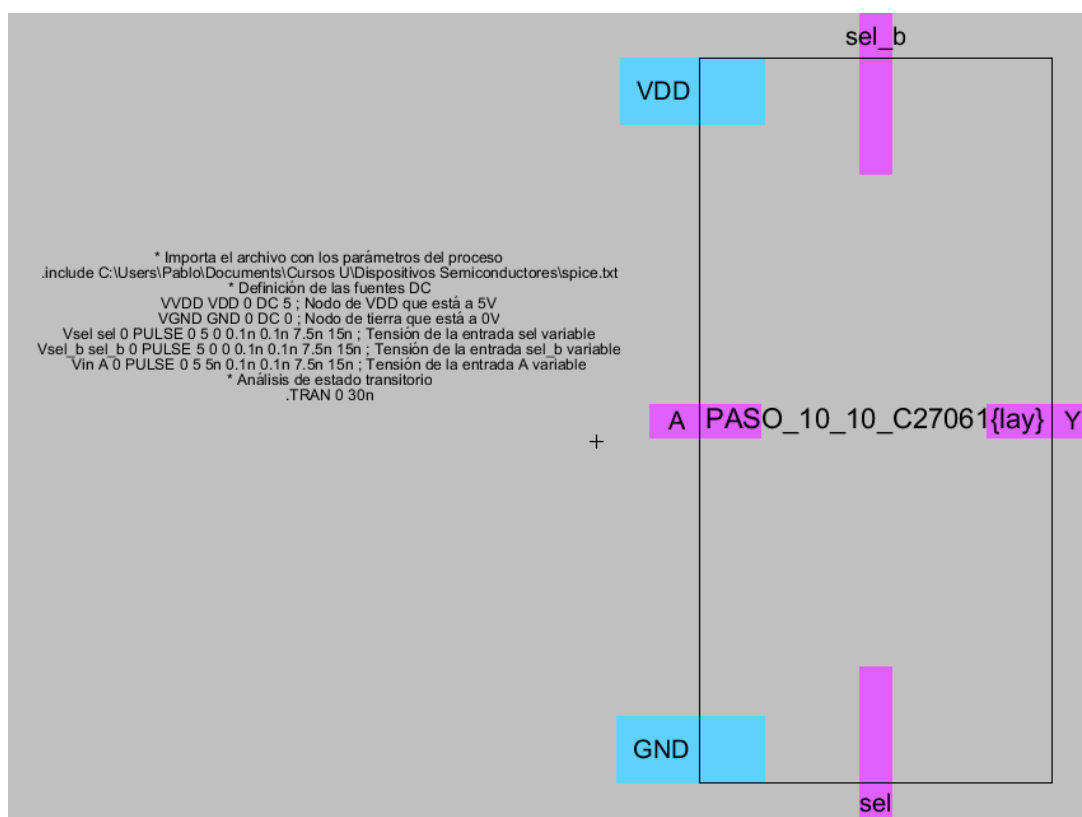


Figura 5: Layout de simulación de la compuerta de paso con el código de SPICE

Al crear el archivo .spi de este layout y ejecutarlo en LTSpice se obtuvieron las siguientes gráficas:

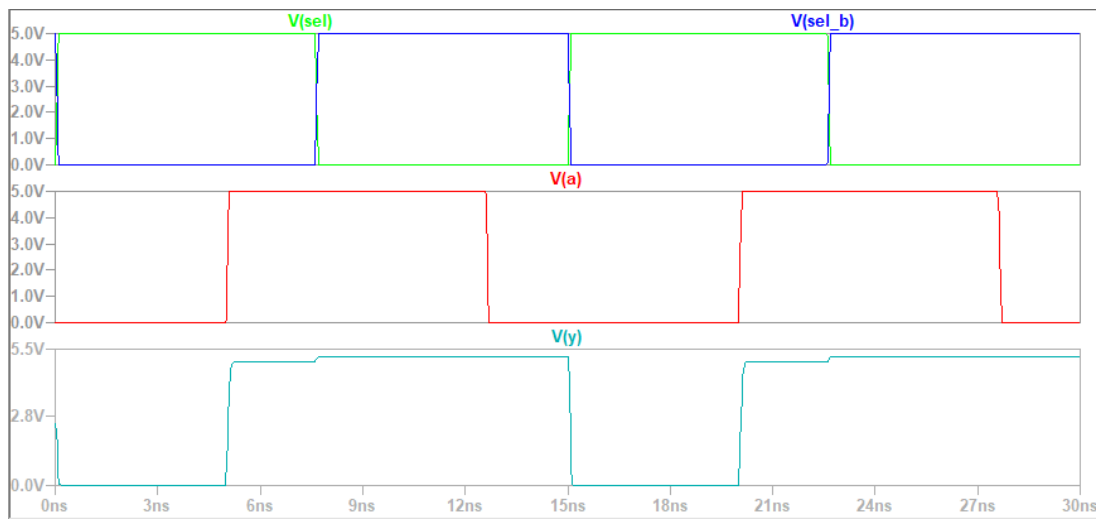


Figura 6: Gráficas resultantes al simular la compuerta de paso

En la figura 6 se pueden observar tres gráficas, en la primera se muestra el funcionamiento de sel y sel\_b las cuales van al contrario todo el tiempo, ya que una es la negada de la otra, en la segunda gráfica se observa la señal de entrada A, la cuál no está en fase con sel y sel\_b, esto es intencionado ya que así se pueden mostrar los cuatro casos de combinaciones entre las señales de entrada que se pedían en el enunciado, por último, la tercera gráfica muestra el resultado de la señal en la salida Y, la cuál es igual a A mientras sel está activada y cuando sel se desactiva mantiene el valor que tenía.



## 2. Mux 2:1 con compuertas de paso

### 2.1. Esquemático

Para la creación del esquemático de este multiplexor se instanciaron dos compuertas de paso de las creadas anteriormente, se utilizaron dos ya que el multiplexor tiene que tener dos entradas y para que sea una sola salida se conectaron las salidas de ambas compuertas a juntas. Ahora para que no se vayan a activar ambas compuertas a la vez y produzcan un cortocircuito en la salida se conectó la señal de selección de una compuerta con la de selección negada de la otra y viceversa, así si una compuerta tiene un 1 en se la otra tendrá un 0 y nunca se activaran ambas a la vez. Esto también cumple con el principio de un multiplexor el cual solo escoge una de las entradas mediante la señal de selección y la muestra en la salida.

Por lo tanto, el esquemático resultante para este multiplexor se muestra en la siguiente figura:

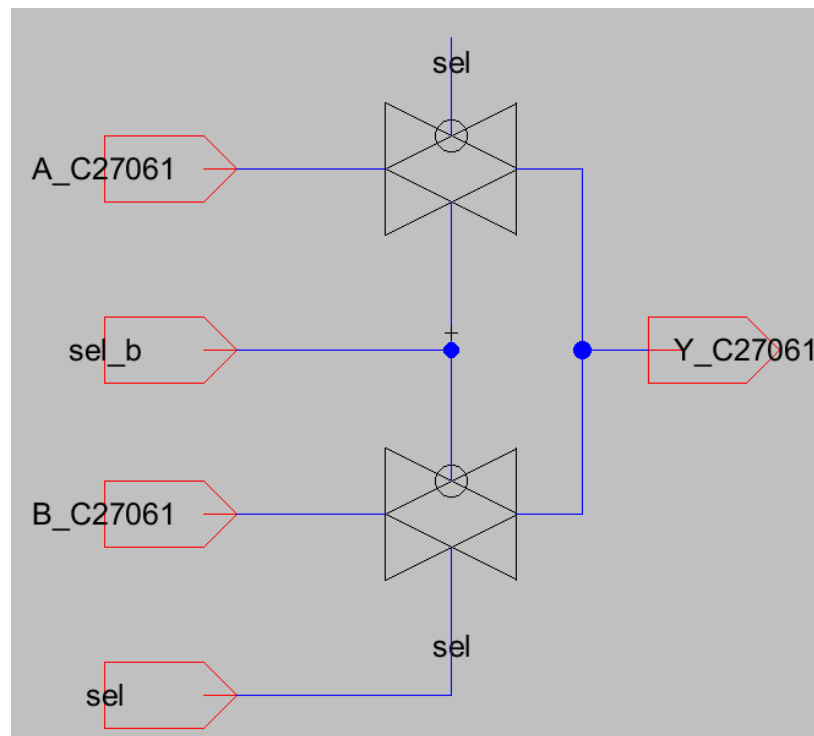


Figura 7: Esquemático del mux 2:1 con compuertas de paso creado en Electric

## 2.2. Ícono

El ícono creado para el esquemático de este multiplexor se basó en el ícono típico de una mux 2:1, el cuál consiste de un trapecio que presenta a la izquierda las dos entradas, a la derecha la salida y en los costados de arriba y abajo la señal de selección y su equivalente negada. En la figura 8 se puede observar el ícono creado.

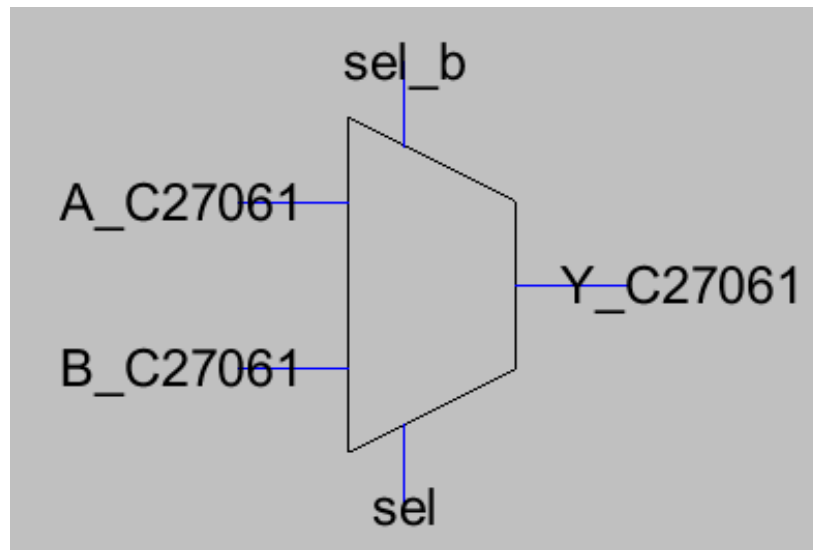


Figura 8: Ícono del mux 2:1 con compuertas de paso creado en Electric

### 2.3. Layout

Para la creación del layout se tomó como base el esquemático creado, por lo tanto al igual que en este se instanciaron dos compuertas de paso, en este caso el layout de estas, y se conectaron sus pines entre sí para que corresponda con las conexiones en el esquemático, por último se crearon los pines de las entradas y salidas y se exportaron estos así como las señales de  $V_{DD}$  y tierra para ser usados en la simulación.

El layout resultante para esta compuerta se muestra en la siguiente figura:

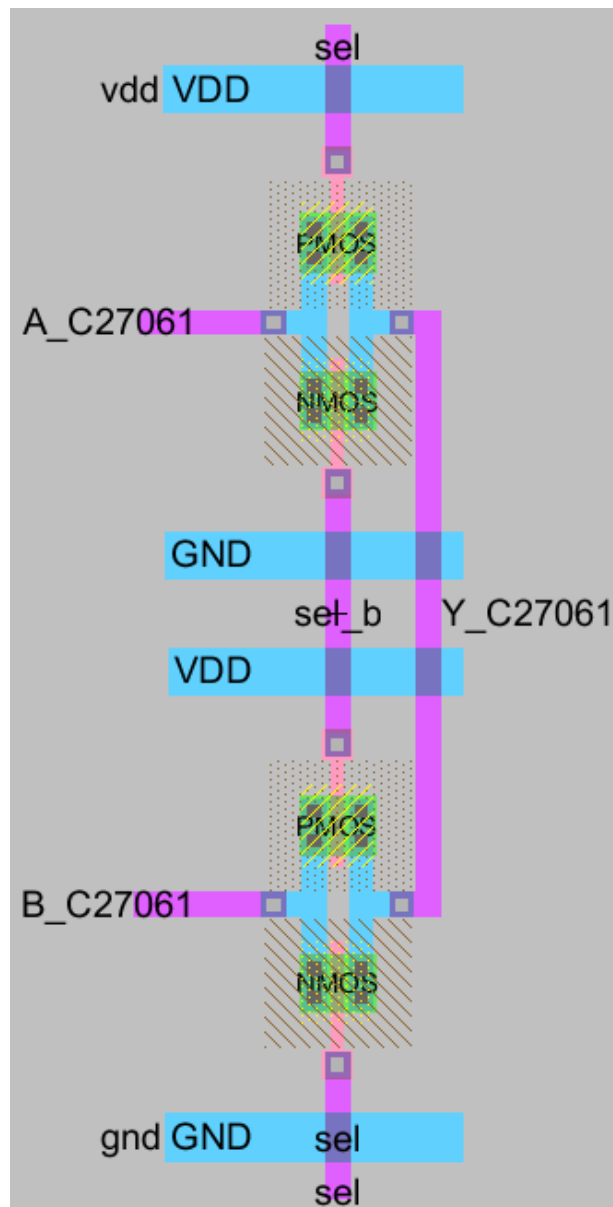


Figura 9: Layout del mux 2:1 con compuertas de paso creado en Electric

## 2.4. DRC

Usando la herramienta de Electric para detectar errores de DRC se pudo observar que este layout no incumple ninguna de las leyes de distanciamiento, en la figura 10 se muestra el resultado de la consola al utilizar esta herramienta en este layout.

```
Running DRC with area bit on, extension bit on, Mosis bit
Network: Layout cell 'MUX_2_1_PASO_C27061{lay}' has nets with same name GND
Network: Layout cell 'MUX_2_1_PASO_C27061{lay}' has nets with same name VDD
Network: Layout cell 'MUX_2_1_PASO_C27061{lay}' has nets with same name sel
Checking again hierarchy .... (0.0 secs)
Found 11 networks
Checking cell 'MUX_2_1_PASO_C27061{lay}'
    No errors/warnings found
0 errors and 0 warnings found (took 0.009 secs)
```

Figura 10: Mensaje en Electric al correr la herramienta de DRC en el layout del mux 2:1 con compuertas de paso

### 3. Mux 2:1 con compuertas NAND2

#### 3.1. Esquemático

Para la creación del esquemático de este multiplexor se instanciaron tres compuertas NAND2 de las creadas anteriormente, las primeras dos NAND2 tienen en una de sus entradas la señal de entrada del mux, ya sea A o B, y en la otra entrada la señal de selección para la que tenía la entrada B y la señal de selección negada para la que tenía la entrada A, esto permite nuevamente que solo se active una de las compuertas a la vez, ya que cuando la señal de selección sea 1 la negada será 0 y con un 0 en una de sus entradas la salida de una NAND2 siempre será 1, mientras que la otra NAND2 tendrá en su salida el valor negado de la entrada correspondiente, debido a que los valores salen negados se añadió la tercera NAND2 que recibe en sus entradas las salidas de las dos NAND2 anteriores y en su salida muestra el valor de la entrada que se había seleccionado en el multiplexor.

Por lo tanto, el esquemático resultante para este multiplexor se muestra en la siguiente figura:

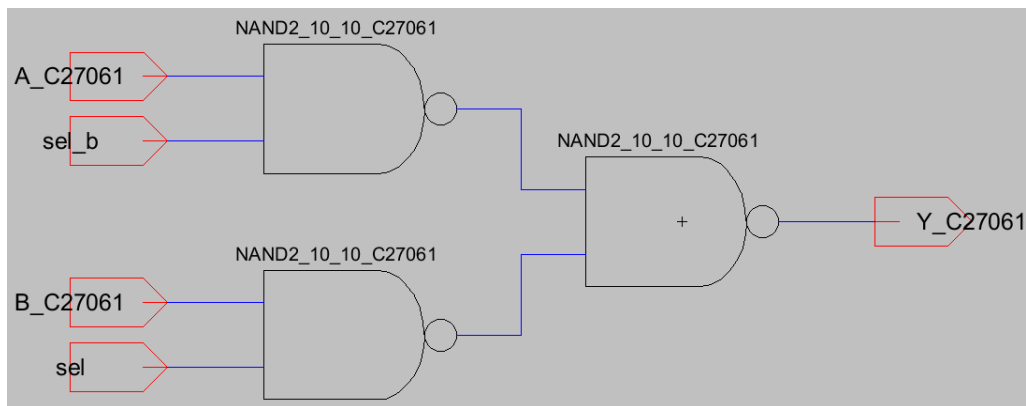


Figura 11: Esquemático del mux 2:1 con compuertas NAND2 creado en Electric

### 3.2. Ícono

El ícono creado para el esquemático de este multiplexor se basó en el ícono típico de una mux 2:1, el cuál consiste de un trapecio que presenta a la izquierda las dos entradas, a la derecha la salida y en los costados de arriba y abajo la señal de selección y su equivalente negada. En la figura 12 se puede observar el ícono creado.

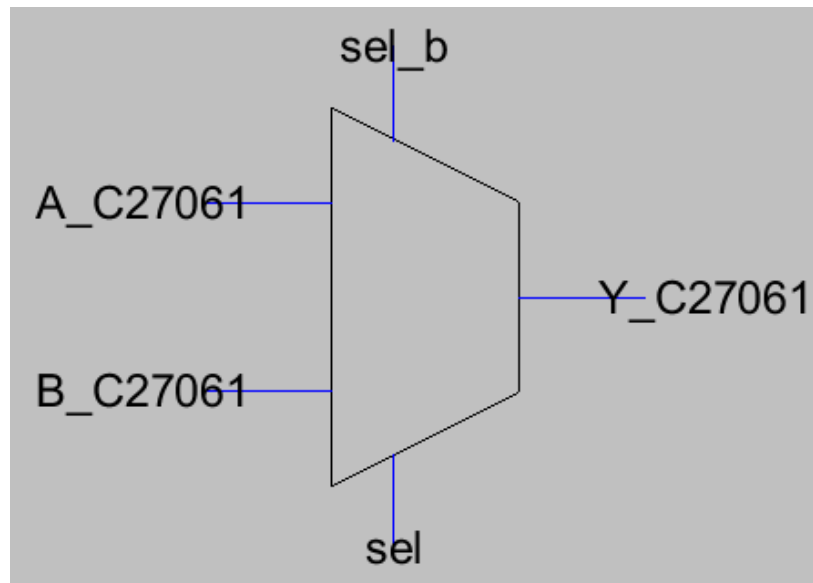


Figura 12: Ícono del mux 2:1 con compuertas NAND2 creado en Electric

### 3.3. Layout

Para la creación del layout se tomó como base el esquemático creado, por lo tanto al igual que en este se instanciaron tres compuertas NAND2, en este caso el layout de estas, y se conectaron sus pines entre sí para que corresponda con las conexiones en el esquemático, por último se crearon los pines de las entradas y salidas y se exportaron estos así como las señales de  $V_{DD}$  y tierra para ser usados en la simulación.

El layout resultante para esta compuerta se muestra en la siguiente figura:

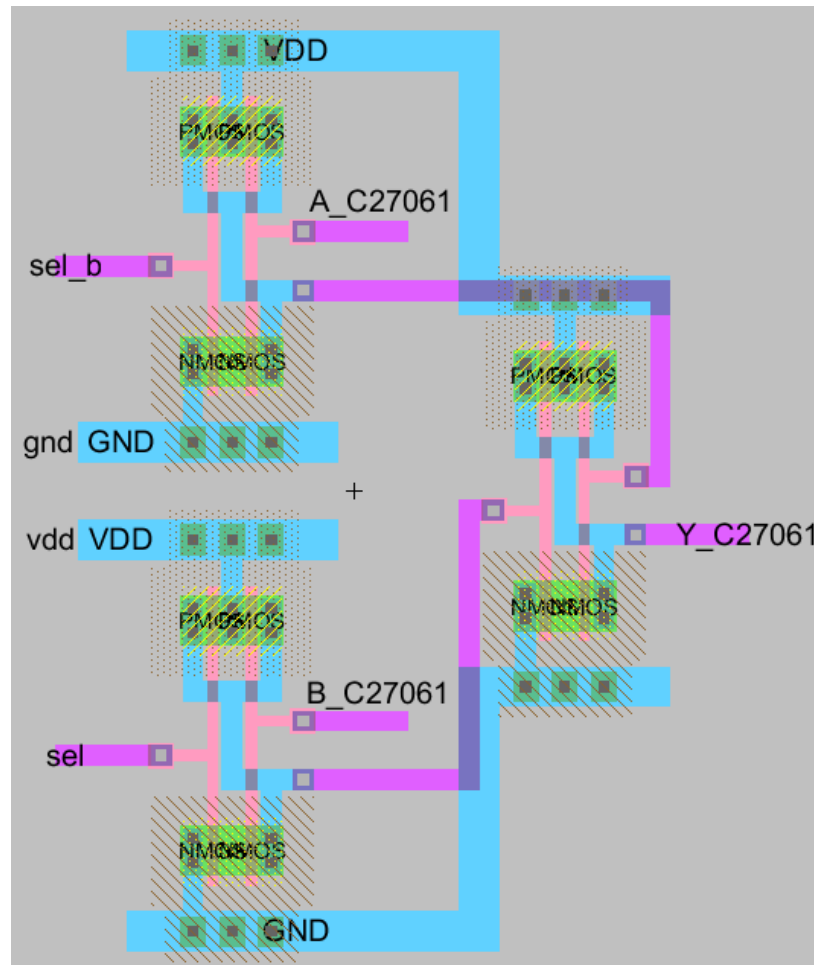


Figura 13: Layout del mux 2:1 con compuertas NAND2 creado en Electric

### 3.4. DRC

Usando la herramienta de Electric para detectar errores de DRC se pudo observar que este layout no incumple ninguna de las leyes de distanciamiento, en la figura 14 se muestra el resultado de la consola al utilizar esta herramienta en este layout.

```
Running DRC with area bit on, extension bit on, Mosis bit
Network: Layout cell 'MUX_2_1_NAND2_C27061{lay}' has nets with same name GND
Network: Layout cell 'MUX_2_1_NAND2_C27061{lay}' has nets with same name VDD
Checking again hierarchy .... (0.0 secs)
Found 12 networks
Checking cell 'MUX_2_1_NAND2_C27061{lay}'
    No errors/warnings found
0 errors and 0 warnings found (took 0.011 secs)
```

Figura 14: Mensaje en Electric al correr la herramienta de DRC en el layout del mux 2:1 con compuertas NAND2



## 4. Comparación de muxes

### 4.1. Comparación de área

Para realizar esta comparación basta con observar el esquemático o el layout de ambos multiplexores, como se puede ver en las figura 7, 11, 9 y 13 es evidente que el multiplexor hecho con compuertas NAND2 presenta un área mayor al hecho con compuertas de paso, esto se debe al hecho de que el que fue realizado con compuertas NAND2 necesitó de tres de estas compuertas, mientras que el realizado con compuertas de paso utilizó solo dos de estas, y como al área de ambas compuertas es parecida se puede determinar que el multiplexor con mayor área es el que fue realizado con compuertas NAND2.

El hecho de tener un área mayor puede ser negativo para el funcionamiento del multiplexor, ya que esto puede generar que tenga una resistencia más grande y por ende sea más malo para pasar ya sean unos o ceros, además de que esto puede generar que el retraso en la salida sea mayor al tener más compuertas, esto último se analizará más adelante.

### 4.2. Código SPICE

Para comparar de otra forma ambos multiplexores se realizó una simulación con ambos para observar los retardos de subida y bajada presentes en la salida, para esto fue necesario crear otro layout para cada multiplexor donde se creó una instancia de este y se agregó un código de SPICE el cual fue el mismo para ambos casos, el código utilizado fue el mostrado en la figura 15.

```
* Importa el archivo con los parámetros del proceso
.include C:\Users\Pablo\Documents\Cursos U\Dispositivos Semiconductores\spice.txt
* Definición de las fuentes DC
VDD VDD 0 DC 5 ; Nodo de VDD que está a 5V
VGND GND 0 DC 0 ; Nodo de tierra que está a 0V
Vsel sel 0 DC 0 ; Tensión de la entrada sel a 0V
Vselb sel_b 0 DC 5 ; Tensión de la entrada sel_b a 5V
Vb B 0 DC 0 ; Tensión de la entrada B a 0V
Vin A 0 PULSE 0 5 0 0.1n 0.1n 5.305n 10.61n ; Tensión de la entrada A variable
* Definición de variables para recopilar retardos de subida y bajada
.MEAS t_rise time TRIG V(A)=2.5 RISE=1 TARG V(Y)=2.5 RISE=1
.MEAS t_fall time TRIG V(A)=2.5 FALL=1 TARG V(Y)=2.5 FALL=1
* Análisis de estado transitorio
.TRAN 0 50n
```

Figura 15: Código de SPICE utilizado para determinar los retardos de subida y bajada de ambos multiplexores

De este código se puede destacar el hecho de que la única entrada que varía es la entrada A, esto se hizo para obtener los retardos con respecto a esta entrada, aunque deberían ser iguales para la entrada B también, para que el multiplexor seleccionara la entrada A para la salida fue necesario hacer la señal de selección igual a 0 para que su contraparte negada sea 1 y se seleccione la entrada A en ambos casos. Otra cosa importante es que como la salida del multiplexor va a ser igual a la entrada, sin negarla ni nada, se tuvo que poner en la función MEAS tanto el trigger como el target con RISE=1 para el retardo de subida y FALL=1 para el retardo de bajada, así el programa detectaría cuando la entrada sube o baja y mide el tiempo hasta que la salida hace lo mismo.

### 4.3. Comparación de retardo

Al ejecutar este código en LTSpice y observar las variables en el SPICE error log con sus respectivos valores de tiempo se obtuvo que los retardos correspondientes al multiplexor hecho con las compuertas de paso son los mostrados en la figura 16 y los correspondientes al multiplexor hecho con las compuertas NAND2 son los mostrados en la figura 17.

```
LTspice 24.0.12 for Windows
Circuit: *** SPICE deck for cell MUX_2_1_PASO_C27061_sim{lay}
Start Time: Mon Dec 2 14:49:40 2024
c3: both pins shorted together -- ignoring.
vgnd: both pins shorted together -- ignoring.
Ignoring BSIM parameter XL
Ignoring BSIM parameter XW
Ignoring BSIM parameter XL
Ignoring BSIM parameter XW
solver = Normal
Maximum thread count: 12
tnom = 27
temp = 27
method = modified trap
Direct Newton iteration for .op point succeeded.

t_rise=4.79939e-11 FROM 5e-11 TO 9.79939e-11
t_fall=5.15844e-11 FROM 5.455e-09 TO 5.50658e-09

Total elapsed time: 0.113 seconds.
```

Figura 16: Valores de los retardos de subida y bajada en el mux 2:1 con compuertas de paso

```
LTspice 24.0.12 for Windows
Circuit: *** SPICE deck for cell MUX_2_1_NAND2_C27061_sim{lay}
Start Time: Mon Dec 2 14:54:34 2024
c3: both pins shorted together -- ignoring.
vgnd: both pins shorted together -- ignoring.
Ignoring BSIM parameter XL
Ignoring BSIM parameter XW
Ignoring BSIM parameter XL
Ignoring BSIM parameter XW
solver = Normal
Maximum thread count: 12
tnom = 27
temp = 27
method = modified trap
Direct Newton iteration for .op point succeeded.

t_rise=2.6002e-10 FROM 5e-11 TO 3.1002e-10
t_fall=2.47115e-10 FROM 5.455e-09 TO 5.70211e-09

Total elapsed time: 0.120 seconds.
```

Figura 17: Valores de los retardos de subida y bajada en el mux 2:1 con compuertas NAND2

De estas dos figuras se puede observar que para cada multiplexor sus retardos de subida y bajada son muy parecidos entre sí, esto se puede deber a que en sus compuertas tanto los PMOS como los NMOS tienen el mismo tamaño. Ahora comparando los retardos de un multiplexor con el otro se puede observar que el multiplexor con las compuertas NAND2 presenta retardos más elevados que el multiplexor con las compuertas de paso, esto se puede deber a que tiene una mayor cantidad de compuertas, por lo tanto la señal debe pasar por más etapas para llegar a la salida.

#### **4.4. Análisis comparativo**

Como resumen se pudo determinar que el multiplexor con las compuertas de paso presenta tanto un área como unos retardos de subida y bajada menores que el multiplexor con compuertas NAND2 esto hace que sea más útil ya que transmite la señal de una forma más rápida y efectiva, por lo tanto se puede deducir que el multiplexor es mejor cuando se hace con compuertas de paso que con compuertas NAND2.

## 5. Latch D

### 5.1. Esquemático

Para la creación del esquemático del latch se utilizaron dos compuertas de paso y tres inversores 20/10, todos creados anteriormente, el esquemático se basó en el presentado en el enunciado del proyecto, utilizando una compuerta de paso para pasar la entrada D a la salida Q cuando la señal de clk era igual a 5V y la otra compuerta de paso se utilizó para mantener el valor en la salida cuando clk era 0V, estas compuertas de paso por ende no se activaban a la vez, ya que como en el multiplexor la señal de selección de una era la de selección negada de la otra y viceversa, los inversores se utilizaron para añadir más etapas al circuito con tal de reducir las corrientes de fuga.

Por lo tanto, el esquemático resultante para el latch se muestra en la siguiente figura:

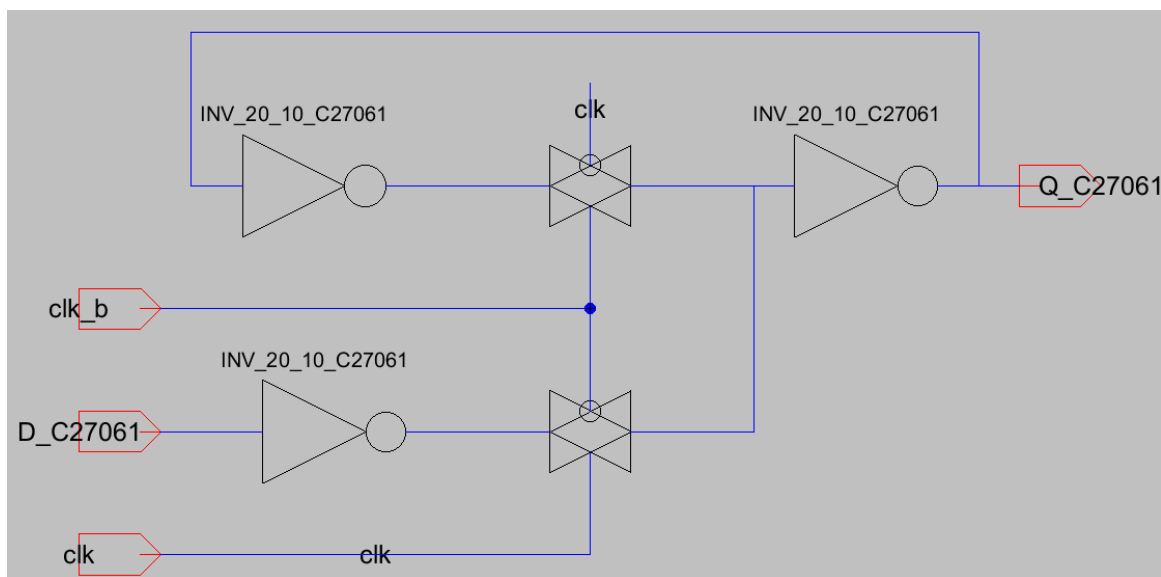


Figura 18: Esquemático del latch D de fase positiva creado en Electric

## 5.2. Ícono

El ícono creado para el esquemático del latch se basó en el ícono típico de un latch D, el cual es un rectángulo que cuenta al lado izquierdo con la entrada D, la señal de clk y esta misma con un círculo representando su equivalente negada y al lado derecho la salida Q. En la figura 19 se puede observar el ícono creado.

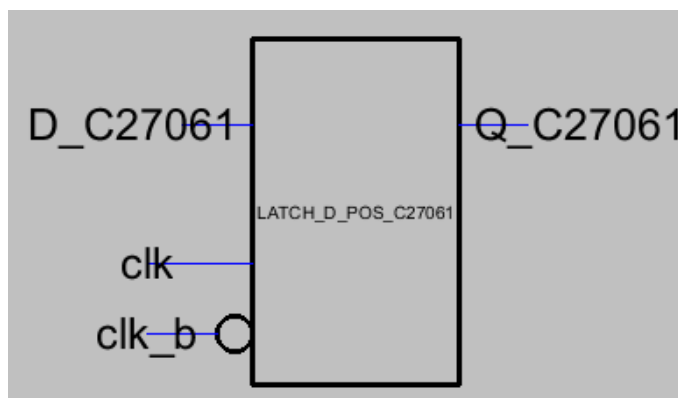


Figura 19: Ícono del latch D de fase positiva creado en Electric

### 5.3. Layout

Para la creación del layout se tomó como base el esquemático creado, por lo tanto también se instanciaron las compuertas de paso y los inversores, en este caso sus layouts, y se conectaron sus pines entre si para que correspondan con el esquemático, por último se crearon los pines de las entradas y salidas y se exportaron estos así como las señales  $V_{DD}$  y tierra para ser usados en la simulación.

El layout resultante para el latch se muestra en la siguiente figura:

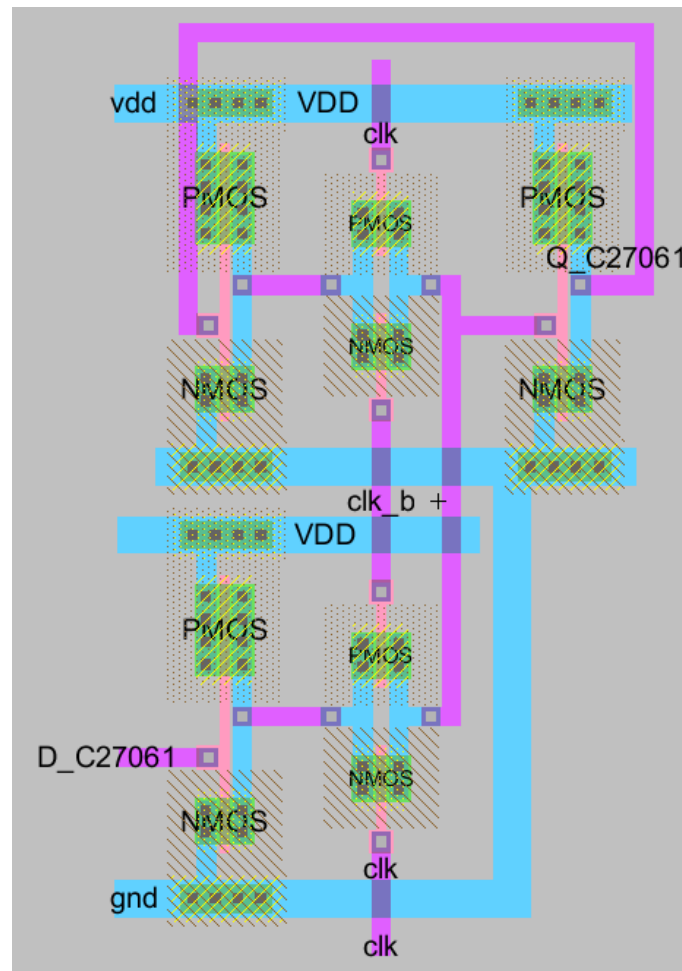


Figura 20: Layout del latch D de fase positiva creado en Electric

## 5.4. DRC

Usando la herramienta de Electric para detectar errores de DRC se pudo observar que este layout no incumple ninguna de las leyes de distanciamiento, en la figura 21 se muestra el resultado de la consola al utilizar esta herramienta en este layout.

```
Running DRC with area bit on, extension bit on, Mosis bit
Network: Layout cell 'LATCH_D_POS_C27061{lay}' has nets with same name VDD
Network: Layout cell 'LATCH_D_POS_C27061{lay}' has nets with same name clk
Checking again hierarchy .... (0.0 secs)
Found 12 networks
Checking cell 'LATCH_D_POS_C27061{lay}'
    No errors/warnings found
0 errors and 0 warnings found (took 0.036 secs)
```

Figura 21: Mensaje en Electric al correr la herramienta de DRC en el layout del latch D de fase positiva

## 5.5. Simulación de funcionamiento correcto

Para realizar la simulación del latch y comprobar su correcto funcionamiento se creó otro layout donde se instanció el layout de este y se agregó el código de SPICE que permitirá observar todas las combinaciones de las entradas para comprobar el funcionamiento del latch. El layout para la simulación se muestra en la figura 22.

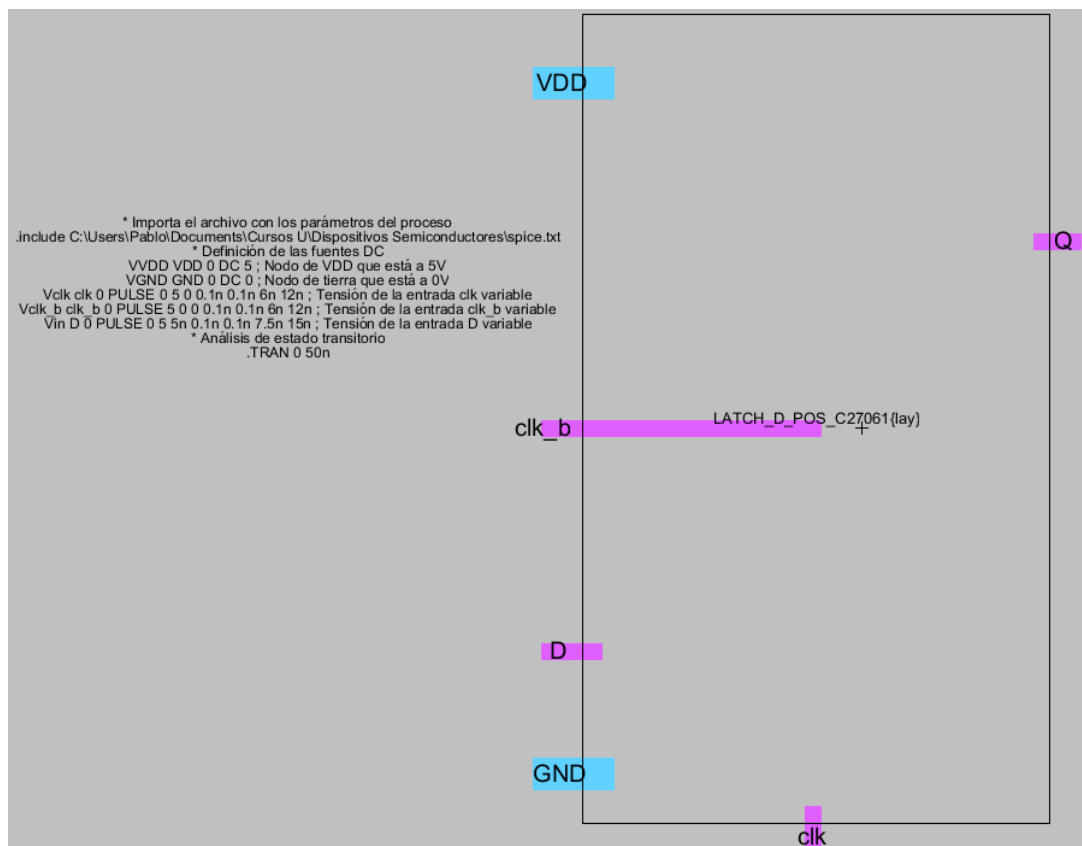


Figura 22: Layout de simulación del latch D de fase positiva con el código de SPICE

Al crear el archivo .spi de este layout y ejecutarlo en LTSpice se obtuvieron las siguientes gráficas:

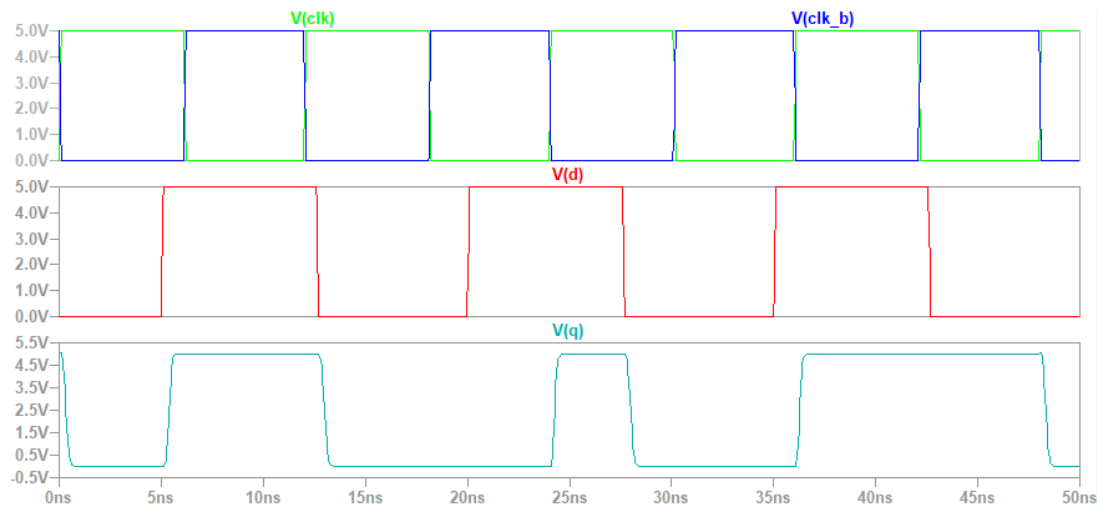


Figura 23: Gráficas resultantes al simular el latch D de fase positiva

En la figura 23 se pueden observar tres gráficas, en la primera se muestra el funcionamiento de clk y clk\_b las cuales van al contrario todo el tiempo, ya que una es la negada de la otra, en la segunda gráfica se observa la señal de entrada D, la cuál no está en fase con clk y clk\_b, esto es intencionado ya que así se pueden mostrar los cuatro casos de combinaciones entre las señales de entrada que se pedían en el enunciado, por último, la tercera gráfica muestra el resultado de la señal en la salida Q, la cuál es igual a D mientras clk está activada y cuando clk se desactiva mantiene el valor que tenía como debería de hacer un latch.



## 6. Flip-Flop D

### 6.1. Esquemático

Para la creación del esquemático del flip-flop se utilizaron dos latches D y tres inversores 20/10, todos creados anteriormente, el esquemático se basó en el presentado en el enunciado del proyecto, utilizando un latch para recibir la entrada D del flip-flop en su entrada D y la entrada clk de forma negada con respecto a sus entradas clk, osea clk negado en el pin de clk y clk sin negar en el pin de clk\_b y el otro latch se conectó para recibir en su entrada D la salida del anterior latch y los valores de clk de forma directa, osea clk sin negar en el pin de clk y clk negado en el pin de clk\_b, se realizó esto con la entrada clk para que el flip-flop funcione con los flancos en vez de con los valores de clk, los inversores se utilizaron para realizar las negaciones de clk cuando era necesario y para no conectar los pines de los latches directamente entre ellos y así evitar corrientes de fuga.

Por lo tanto, el esquemático resultante para el flip-flop se muestra en la siguiente figura:

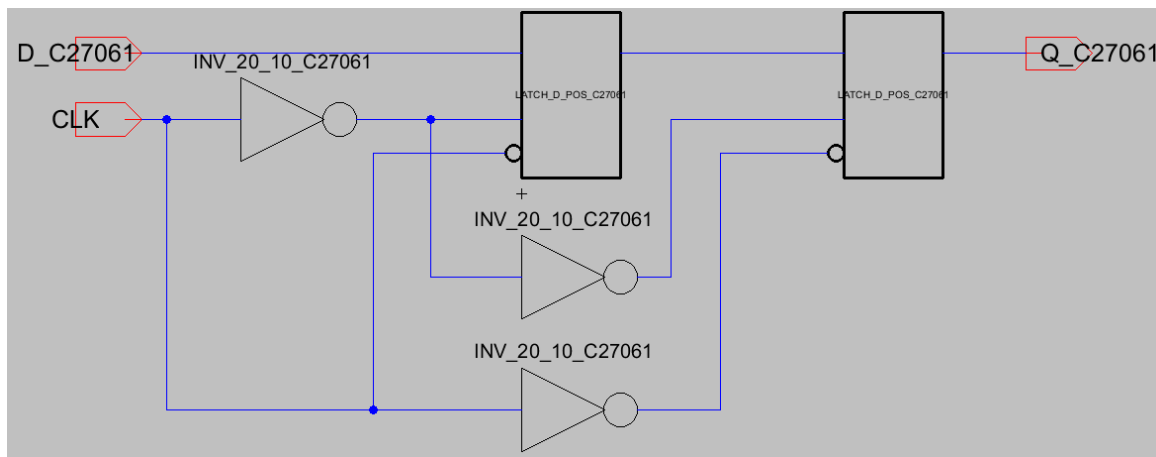


Figura 24: Esquemático del flip-flop D de flanco positivo creado en Electric

## 6.2. Ícono

El ícono creado para el esquemático del flip-flop se basó en el ícono típico de un flip-flop D, el cual es un rectángulo que cuenta al lado izquierdo con la entrada D y la señal de clk con un triángulo que representa que es una señal de reloj y al lado derecho la salida Q. En la figura 25 se puede observar el ícono creado.

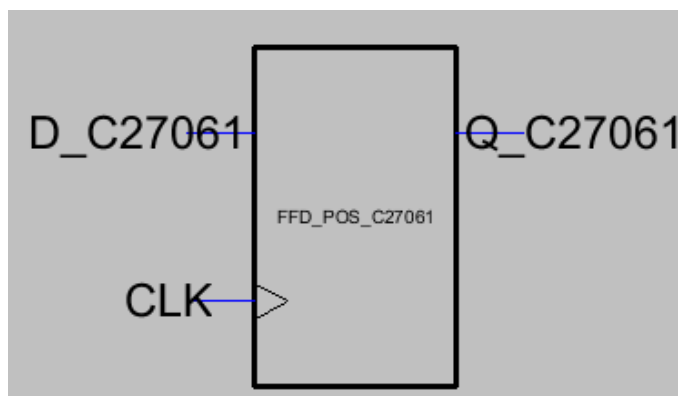


Figura 25: Ícono del flip-flop D de flanco positivo creado en Electric

### 6.3. Layout

Para la creación del layout se tomó como base el esquemático creado, por lo tanto también se instanciaron los latches y los inversores, en este caso sus layouts, y se conectaron sus pines entre si para que correspondan con el esquemático, por último se crearon los pines de las entradas y salidas y se exportaron estos así como las señales  $V_{DD}$  y tierra para ser usados en la simulación.

El layout resultante para el flip-flop se muestra en la siguiente figura:

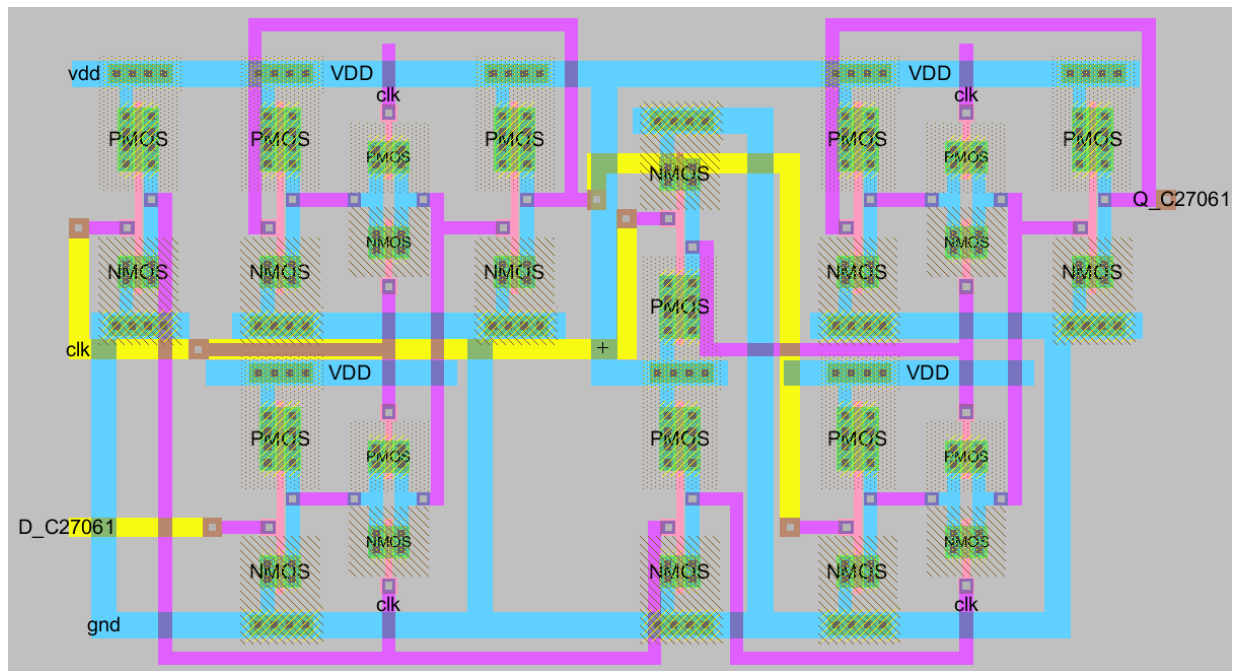


Figura 26: Layout del flip-flop D de flanco positivo creado en Electric

## 6.4. DRC

Usando la herramienta de Electric para detectar errores de DRC se pudo observar que este layout no incumple ninguna de las leyes de distanciamiento, en la figura 27 se muestra el resultado de la consola al utilizar esta herramienta en este layout.

```
Running DRC with area bit on, extension bit on, Mosis bit
Checking again hierarchy .... (0.0 secs)
Found 10 networks
Checking cell 'FFD_POS_C27061{lay}'
    No errors/warnings found
0 errors and 0 warnings found (took 0.007 secs)
```

Figura 27: Mensaje en Electric al correr la herramienta de DRC en el layout del flip-flop D de flanco positivo

## 6.5. Simulación de funcionamiento correcto

Para realizar la simulación del flip-flop y comprobar su correcto funcionamiento se creó otro layout donde se instanció el layout de este y se agregó el código de SPICE que permitirá observar todas las combinaciones de las entradas para comprobar el funcionamiento del flip-flop. El código de SPICE usado para la simulación se muestra en la figura 28.

```
* Importa el archivo con los parámetros del proceso
.include C:\Users\Pablo\Documents\Cursos U\Dispositivos Semiconductores\spice.txt
* Definición de las fuentes DC
VVDD VDD 0 DC 5 ; Nodo de VDD que está a 5V
VGND GND 0 DC 0 ; Nodo de tierra que está a 0V
Vclk clk 0 PULSE 0 5 5n 0.1n 0.1n 7.5n 15n ; Tensión de la entrada clk variable
Vin D 0 PULSE 0 5 0 0.1n 0.1n 25n 50n ; Tensión de la entrada D variable
* Análisis de estado transitorio
.TRAN 0 50n
```

Figura 28: Código de SPICE de utilizado para verificar el funcionamiento del flip-flop D de flanco positivo

Al crear el archivo .spi de este layout y ejecutarlo en LTSpice se obtuvieron las siguientes gráficas:

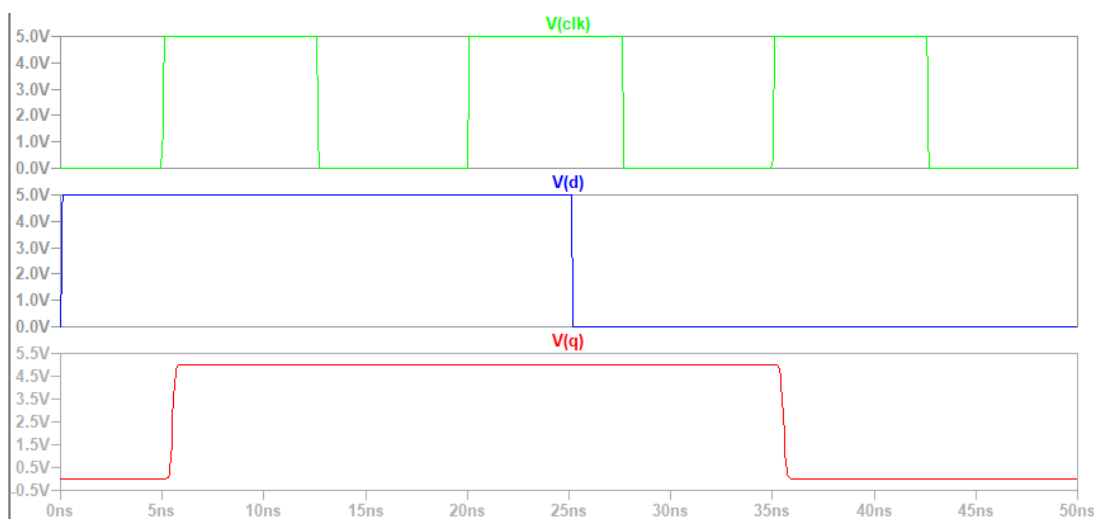


Figura 29: Gráficas resultantes al simular el flip-flop D de flanco positivo

En la figura 29 se pueden observar tres gráficas, en la primera se muestra el funcionamiento de clk la cual van es una señal periódica, en la segunda gráfica se observa la señal de entrada D, la cual solo presenta un periodo, esto para mostrar el funcionamiento de la salida cuando D es 1 y cuando es 0, por último, la tercera gráfica muestra el resultado de la señal en la salida Q, la cuál es igual al valor de D cuando se presenta un flanco positivo de clk y el resto del tiempo mantiene el valor que tenía.

## 6.6. Análisis del tiempo de setup

Para la segunda simulación se creó otro layout donde se instanció el layout del flip-flop y se creó otro código de SPICE con el que se iban juntando cada vez más los flancos positivos de las señales en la entrada D y en clk hasta que en la salida no se mostrara el valor que debía el valor que debía tener, y el tiempo de diferencia entre ambos flancos sería el tiempo de setup. El código de SPICE usado para la simulación se muestra en la figura ??.

```
* Importa el archivo con los parámetros del proceso
.include C:\Users\Pablo\Documents\Cursos U\Dispositivos Semiconductores\spice.txt

* Definición de las fuentes DC
VDD VDD 0 DC 5 ; Nodo de VDD que está a 5V
VGND GND 0 DC 0 ; Nodo de tierra que está a 0V

Vclk clk 0 PULSE 0 5 5n 0.1n 0.1n 15n 30n ; Tensión de la entrada clk variable
Vin D 0 PULSE 0 5 4.73n 0.1n 0.1n 15n 30n ; Tensión de la entrada D variable

* Definición de variable para medir el tiempo de setup
.MEAS t_setup time TRIG V(D)=2.5 RISE=1 TARG V(clk)=2.5 RISE=1

* Análisis de estado transitorio
.TRAN 0 30n
```

Figura 30: Código de SPICE de utilizado para obtener el valor del tiempo de setup del flip-flop D de flanco positivo

Al crear el archivo .spi de este layout y ejecutarlo en LTSpice se obtuvieron las siguientes gráficas:

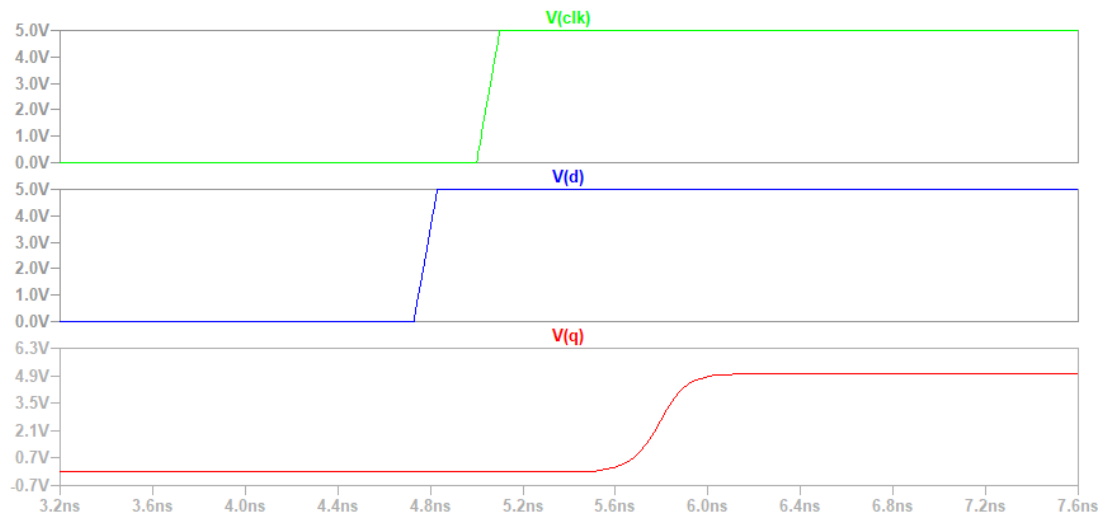


Figura 31: Gráficas resultantes al simular el flip-flop D de flanco positivo

En la figura 31 se pueden observar las mismas tres gráficas que la vez pasada, solo que en este caso se hizo zoom al momento donde tanto D como clk se hacen 1, después de varias pruebas con el código se pudo determinar que esta era la distancia máxima que se podían juntar ambas antes de que la salida Q fallará, así se pudo revisar el tiempo de setup en el SPICE error log y se obtuvo un valor de 0.27ns.