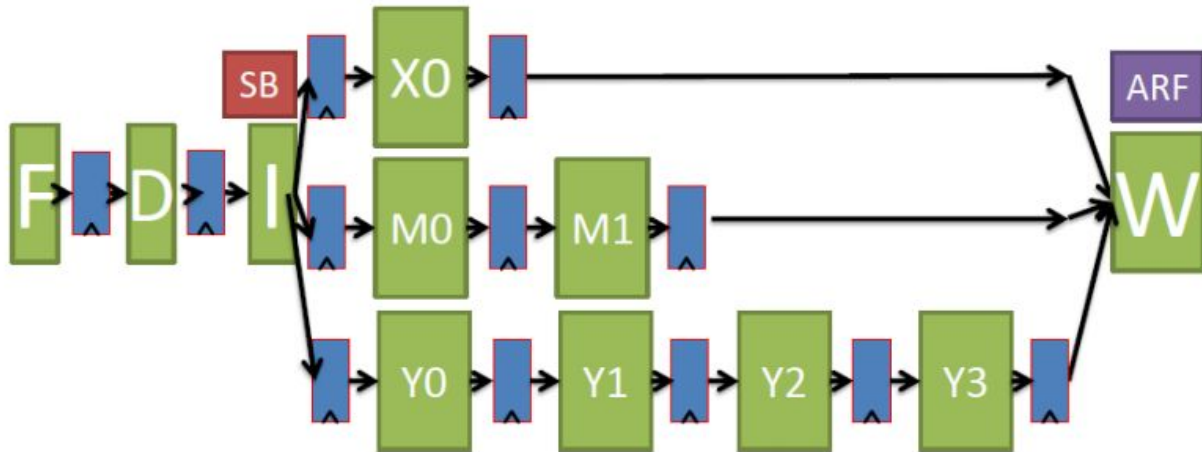


Descrição do TP 3

Na terceira e ultima etapa do trabalho os alunos devem alterar o código entregue no trabalho anterior (Processador I4) a fim de desenvolver o processador I2O2 apresentado na figura.

Processador I2O2



Nessa etapa é preciso **implementar o encaminhamento** de dados entre os módulos a fim de aumentar o desempenho e entregar um relatório final. Nesse relatório expliquem a arquitetura implementada bem como suas vantagens e desvantagens. Expliquem também como seria possível corrigir o problema da escrita fora de ordem e quais alterações no hardware seriam feitas a fim de corrigir esse problema. O relatório deve ser entregue em formato PDF junto com os arquivos do projeto via Moodle.

Nesse trabalho não será necessário codificação na entrega, mas fora isso a correção será no mesmo estilo.

- Funcionamento das instruções load e store nos novos estágios (simulação no **MODELSIM** serve).
- Funcionamento da instrução mult nos novos estágios (simulação no **MODELSIM** serve).
- Funcionamento do ScoreBoard (simulação no **MODELSIM** serve).
- Funcionamento do projeto na placa.
 - Será necessário exibir o conteúdo dos registradores \$0, \$1, \$2, \$3, \$4 nos displays HEX0, HEX1, HEX2, HEX3 e HEX4 respectivamente (valores em decimal [3 bits menos significativos] ou em hexadecimal [4 bits menos significativos]).
 - Usar o input CLOCK_50 para a geração de clock na placa. Criem um contador de 32 bits que é incrementado em 1 no posedge do CLOCK_50 e usem o bit 24

do contador como clock do projeto. Dica: coloquem no LEDG0 esse bit para terem noção do período do clock.

Dica: usem o MARS para a geração de código de teste.