

**Universidad de Costa Rica**  
**Escuela de Ingeniería Eléctrica**  
**IE-1119 Verificación Funcional**  
**Prof. Gerardo Castro Jiménez**

## **Tarea #1 Lenguaje de Descripción de Hardware**

### **Notas generales:**

- El examen debe realizarse en forma individual.
- Se calificará con una nota de cero si se demuestra cualquier tipo de plagio.
- Fecha de entrega: 16 de abril del 2018, a las 7pm.

### **Diseño de un detector de secuencias.**

Describir en Verilog una máquina de estados (FSM) a nivel RTL que reconoce 2 secuencias específicas aplicadas en su entrada. Las 2 secuencias serían: cuatro 1s consecutivos o cuatro 0s consecutivos. Se tiene dos entrada rst y w. Se tiene una salida z. Cuando rst=1, la salida deberá tener el valor de z=0 sin importar el valor de la entrada w. Cuando rst=0 y w=1 o w=0 durante 4 flancos positivos de reloj consecutivos el valor de la salida z debe ser 1, de lo contrario z=0. Secuencias traslapadas son permitidas, es decir si w=1 por 5 ciclos de reloj la salida z debe ser igual a 1 luego del cuarto y quinto ciclo de reloj. La entrada rst es asincrónica y demás entradas y salidas son sincrónicas con respecto al flanco positivo de reloj.

### **Entregables:**

- Se debe entregar un archivo .v con el siguiente nombre: Nombre\_carne\_detector2.v al correo [estudiantes.eie.ucr@gmail.com](mailto:estudiantes.eie.ucr@gmail.com). Debe generar un archivo prueba.vcd que muestre la siguiente funcionalidad de la máquina de estados.
  - A. Una secuencia de cuatro 1s y 0s con rst=1.
  - B. Una secuencia de cuatro 1s y 0s con rst=0.
  - C. Una secuencia de cinco 1s y 0s con rst=0.
  - D. Una secuencia donde se muestre que rst es asincrónica.

### **Evaluación:**

- 25% funcionalidad A.
- 25% funcionalidad B.
- 25% funcionalidad C.
- 25% funcionalidad D.