

Universidad de Costa Rica
Escuela de Ingeniería Eléctrica
IE-1119 Verificación Funcional
Prof. Gerardo Castro Jiménez

Tarea #2 Lenguaje de Descripción de Hardware

Notas generales:

- La tarea debe realizarse en forma individual.
- Se calificará con una nota de cero si se demuestra cualquier tipo de plagio.
- Fecha de entrega: 21 de mayo del 2018, a las 7pm.

Diseño de un banco de pruebas en SystemC para el detector de secuencias.

Con base en el ejemplo de banco de pruebas en SystemC visto en clase, crear un banco de pruebas equivalente para el detector de secuencias de la tarea #1 (No se requiere hacer un modelo del DUT en SystemC).

Entregables:

- Se debe entregar un archivo .tar.gz con el siguiente nombre: Nombre_carne_detector_sc.tar.gz al correo estudiantes.eie.ucr@gmail.com. Debe generar un archivo prueba.vcd que muestre la siguiente funcionalidad de la máquina de estados del detector de secuencias.
 - A.** Una secuencia de cuatro 1s y 0s con rst=1.
 - B.** Una secuencia de cuatro 1s y 0s con rst=0.
 - C.** Una secuencia de cinco 1s y 0s con rst=0.
 - D.** Una secuencia donde se muestre que rst es asíncrona.

Evaluación:

- 25% funcionalidad A.
- 25% funcionalidad B.
- 25% funcionalidad C.
- 25% funcionalidad D.