

Universidad de Costa Rica
Escuela de Ingeniería Eléctrica
IE-1119 Verificación Funcional
Prof. Gerardo Castro Jiménez

Examen Corto #1 Lenguaje de Descripción de Hardware

Notas generales:

- El examen debe realizarse en forma individual.
- Se calificará con una nota de cero si se demuestra cualquier tipo de plagio.
- Fecha de entrega: 9 de abril del 2018, a las 7pm.

Diseño de un detector de secuencias.

Describir en Verilog una máquina de estados a nivel estructural que reconoce una secuencia específica aplicada en su entrada. La secuencia sería: cuatro 1s consecutivos. Se tienen dos entradas rst y w. Se tiene una salida z. Cuando rst=1, la salida deberá tener el valor de z=0 sin importar el valor de la entrada w. Cuando rst=0 y w=1 durante 4 flancos positivos de reloj consecutivos el valor de la salida z debe ser 1, de lo contrario z=0. Secuencias traslapadas son permitidas, es decir si w=1 por 5 ciclos de reloj la salida z debe ser igual a 1 luego del cuarto y quinto ciclo de reloj. Todas las entradas y salidas son sincrónicas con respecto al flanco positivo de reloj.

Entregables:

- Se debe entregar un archivo .v con el siguiente nombre: Nombre_carne_detector1.v al correo estudiantes.eie.ucr@gmail.com. Debe generar un archivo prueba.vcd que muestre la siguiente funcionalidad de la máquina de estados.
 - A. Una secuencia de cuatro 1s con rst=1.
 - B. Una secuencia de cuatro 1s con rst=0.
 - C. Una secuencia de cinco 1s con rst=0.

Evaluación:

- 30% funcionalidad A.
- 30% funcionalidad B.
- 40% funcionalidad C.