

INTRODUCCIÓN A LOS COMPUTADORES

Práctica 4.1

1. ¿Cuánta memoria principal podremos direccionar en un sistema de 32 bits? ¿Y en uno de 64 bits?
2. Supongamos un sistema con 4 GiB memoria física y el siguiente segmento de datos en ensamblador MIPS:

```
.data:  
vectorX: .double 0.5, 0.2, 0.8, 1.2  
vectorY: .float 1.0, 2.5  
entero: .word 5
```

Sabiendo que el vectorX se almacena a partir de la dirección de memoria 0xAB010000, indica cuál es la dirección del entero 5.

3. Si un sistema tiene 64 MiB de memoria principal, ¿cuántos bits tienen las direcciones de memoria física? ¿cuál es el rango de direcciones de memoria válidas? Indica si son válidas las siguientes direcciones

```
0x100FFF8  
0xF0C0008  
0x4C2FF84  
0x47AC
```

4. Si en el sistema descrito en el ejercicio anterior la memoria está dividida en 8 módulos, ¿cuánta capacidad tiene cada uno de los módulos? Las direcciones válidas del ejercicio anterior, ¿en qué módulo se encuentran si se usa entrelazamiento de orden superior? ¿y si se usa entrelazamiento de orden inferior?
5. Dada una memoria entrelazada de orden superior con 2^{34} posiciones de memoria y con 2^{32} posiciones de memoria por modulo, ¿qué bits de la dirección indican el número de modulo?
6. Sea una memoria principal compuesta por 4 módulos de 8 palabras por modulo. El procesador emite la siguiente secuencia de direcciones físicas: 07, 08, 09, 16, 05, 10, 22, 23, 24 y 25. Calcula el número de palabras por ciclo que se pueden leer: a) Con entrelazamiento de orden superior, b) Con entrelazamiento de orden inferior.
7. Un sistema cuenta con 16 MiB de memoria principal y una memoria caché de 64 KiB con un tamaño de línea de 256 B. Determina en qué lugar de la caché y con qué etiqueta se alojarán las direcciones 0xB864C0, 0x045FA2 y 0x3104C8, si la cache es de correspondencia directa.

8. Un sistema tiene una memoria física de 1 MiB direccionables a nivel de byte. Está dotado de una única caché de datos de 256 bytes con líneas de 16 Bytes. Dada la siguiente secuencia de direcciones a las que accede un programa durante su ejecución,

$(FF2A0)_{\text{hex}}$, $(FF0A0)_{\text{hex}}$, $(FC2A4)_{\text{hex}}$, $(FF0A4)_{\text{hex}}$, $(FF2A2)_{\text{hex}}$, $(FF0A8)_{\text{hex}}$

Determina el formato de las direcciones y el contenido de las etiquetas de todas las líneas de la caché de datos, inicialmente vacía, en los siguientes supuestos:

- a) La caché es de correspondencia directa

Dirección	Etiqueta	Índice	Despl	Resultado
0xFF2A0				
0xFF0A0				
0xFC2A4				
0xFF0A4				
0xFF2A2				
0xFF0A8				

- b) La caché es totalmente asociativa

Dirección	Etiqueta	Despl	Resultado
0xFF2A0			
0xFF0A0			
0xFC2A4			
0xFF0A4			
0xFF2A2			
0xFF0A8			

- c) La caché es asociativa por conjuntos de 4 vías

Dirección	Etiqueta	Índice	Despl	Resultado
0xFF2A0				
0xFF0A0				
0xFC2A4				
0xFF0A4				
0xFF2A2				
0xFF0A8				