

# **Circuitos lógicos programables**

## **Práctica 3**

### **Implementación de un sistema**

## Introducción

Esta práctica es la continuación de la práctica anterior, en la cual se implementará el circuito digital previamente sintetizado. Se hará un análisis de temporización y se generará el archivo de configuración para verificar el sistema en hardware.

## Objetivos

Después de completar esta práctica será capaz de:

- Implementar un sistema sintetizado
- Generar los reportes correspondientes y analizar los resultados
- Realizar un análisis de temporización
- Generar el archivo de configuración y verificar la funcionalidad en el hardware

## Procedimiento

Esta práctica está separada en pasos que consisten en sentencias generales que proveen información sobre las instrucciones detalladas que le siguen. Siga estas instrucciones detalladas para avanzar dentro de esta práctica.

Esta práctica está compuesta por 4 pasos principales: abrir el proyecto usando Vivado, implementar el sistema, generar el archivo de configuración y, verificar la funcionalidad en el hardware.

## Descripción del Diseño

El sistema consiste en un receptor serie asincrónico (UART) que recibe caracteres y muestra la representación binaria de la parte baja del carácter en 4 Leds. Cuando se presiona un botón, se representa la parte alta del carácter. En la Figura 1 se ve el diagrama en bloques del sistema.

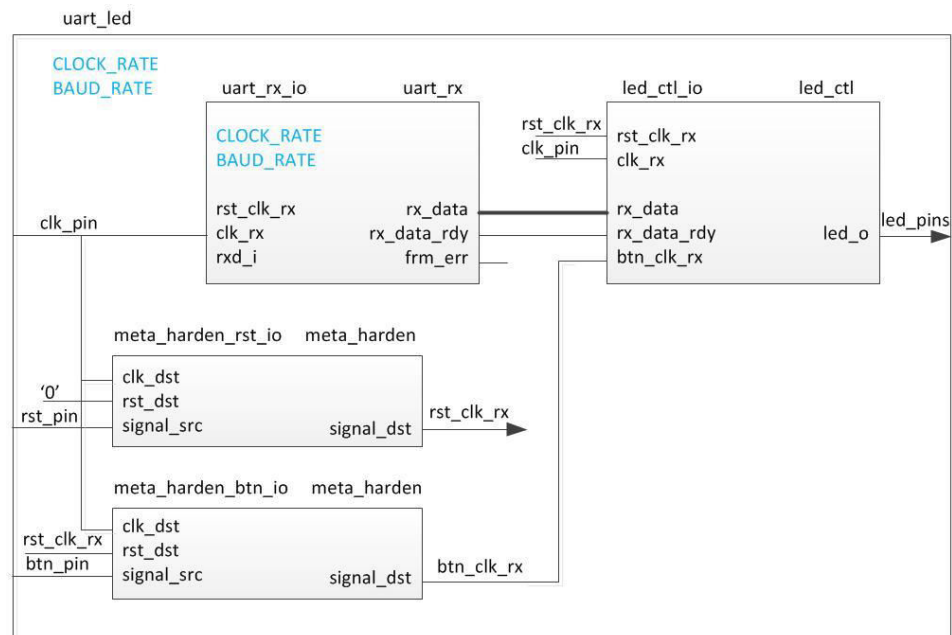
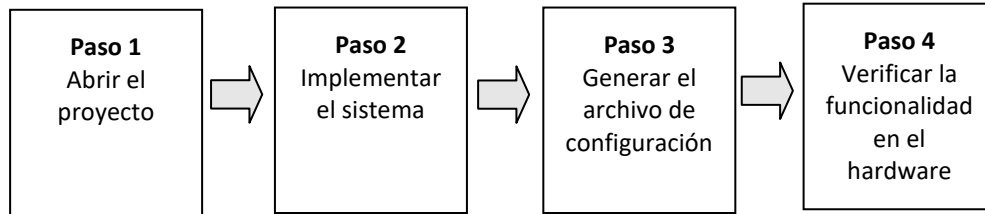


Figura 1. Sistema a implementar

## Flujo General para esta práctica



## Abrir el proyecto

## Paso 1

- 1-1. Iniciar la aplicación Vivado y abrir el proyecto de la práctica 2. Guardar el proyecto como **Práctica3** en otro directorio con la opción **create subdirectory**. Configurar la opción de síntesis **flatten\_hierarchy** en **rebuilt**. Crear una nueva síntesis y denominarla **synth\_2**.
- 1-1-1. Iniciar la aplicación Vivado y abrir el proyecto de la práctica 2 mediante el enlace **Open Project** de la página inicial.
- 1-1-2. Seleccionar el menú **File ► Project ► Save Project As...** para abrir el cuadro de diálogo **Save Project As** e ingresar **Practica3** como nombre del proyecto. Verificar que la opción **Create Project Subdirectory** esté marcada y presionar **OK**.
- 1-1-3. En el menú **Flow Navigator**, seleccionar **Settings** y presionar **Synthesis**.
- 1-1-4. Verificar que la opción **flatten\_hierarchy** esté seleccionada en **rebuilt**, lo que permite que se mantenga la estructura de módulos, lo que facilita el análisis, ya que las referencias entre módulos se mantienen.

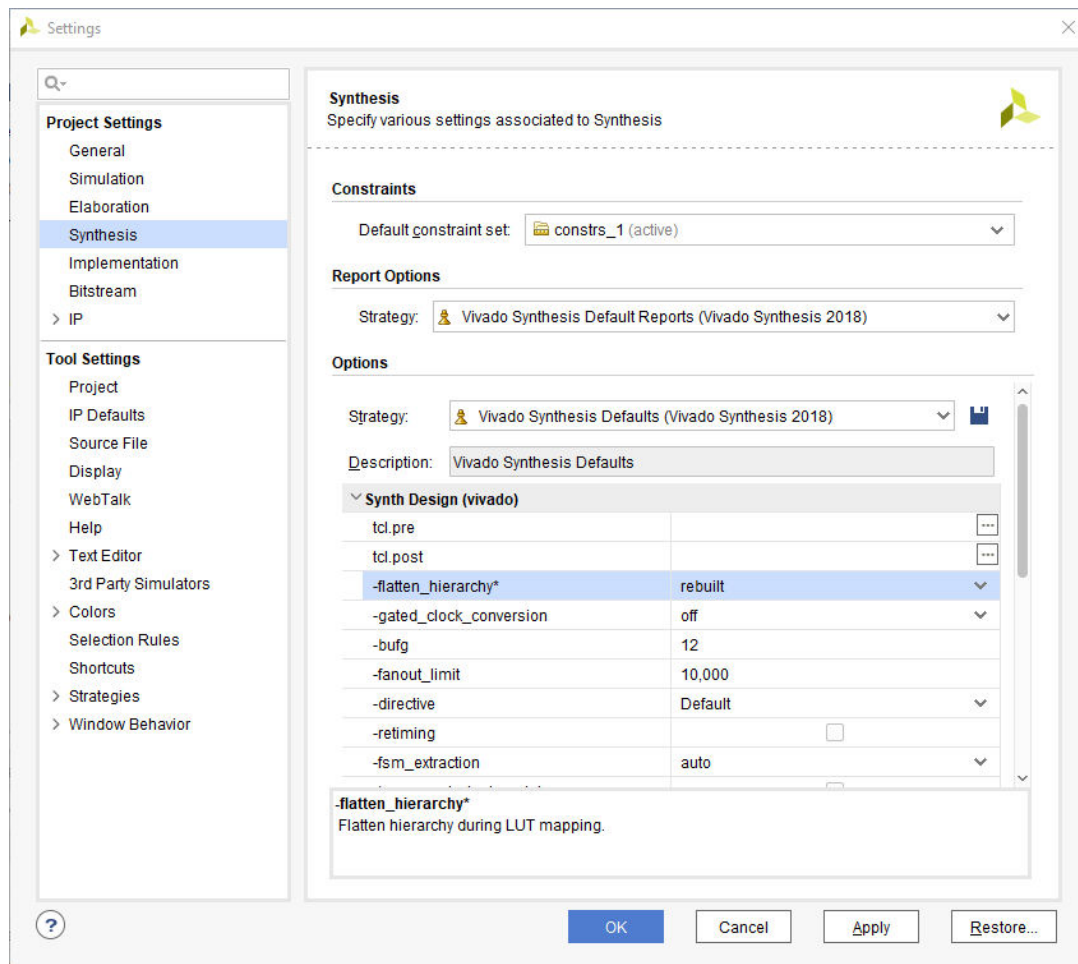


Figura 2. Opción flatten-design configurada como rebuilt

**1-1-5. Presionar **Apply**.**

Aparecerá el cuadro de dialogo *Create New Run*. Presionar **Yes** y después **OK** para crear una síntesis independiente denominada synth\_2. Presionar **OK** para cerrar el cuadro de diálogo *Settings*

**1-2. Sintetizar el sistema. Generar el reporte *timing summary* y analizar los resultados**

- 1-2-1.** Abrir el archivo de restricciones *uart\_led\_timing\_ArtyZ7.xdc*. Modificar el reloj para que su frecuencia sea de 125MHz. Para ello reemplazar la línea 4 con lo siguiente:

```
create_clock -period 8.000 -name clk_pin -waveform {0.000 4.000} [get_ports clk_pin]
```

Guardar el archivo de restricciones una vez hecha la modificación.

- 1-2-2.** Abrir el archivo de restricciones *uart\_led\_pins\_ArtyZ7.xdc*. Agregar el pin de Tx para tener eco de lo enviado. Para ello agregar lo siguiente en la línea 22:

```
set_property -dict { PACKAGE_PIN Y19 IOSTANDARD LVCMOS33 } [get_ports { txd_pin }];
```

Guardar el archivo de restricciones una vez hecha la modificación.

- 1-2-3.** Abrir el archivo HDL *uart\_top.vhd*. Agregar el puerto de Tx de la uart. Para ello insertar en la línea 31 (entre *rxn\_pin* y *led\_pins*)

```
txd_pin: out std_logic; (no olvidar el punto y coma)
```

Conectar la entrada de *rxn* a la salida *txd*. Para ello insertar lo siguiente en la parte descriptiva de la arquitectura (entre el *begin* y el *end*):

```
txd_pin <= rxn_pin; (no olvidar el punto y coma)
```

Guardar el archivo *HDL uart\_top.vhd*

- 1-2-4.** Abrir el archivo *led\_ctl.vhd*. Modificar las líneas 62 y 64; en la línea 62 es *char\_data[7:4]* y en la línea 64 es *char\_data[3:0]* Guardar el archivo.

- 1-2-5.** En el menú **Flow Navigator**, seleccionar **Synthesis**, presionar **Run Synthesis**. Presionar **OK** para iniciar el proceso de síntesis.

El proceso de síntesis se ejecutará sobre el módulo *uart\_top.vhd* y todos sus submódulos. Cuando el proceso finalice, aparecerá el cuadro de diálogo **Synthesis Completed** con 3 opciones.

- 1-2-6.** Seleccionar la opción **Open Synthesized Design** y presionar **OK** para ver los resultados del proceso de síntesis.

**1-2-7.** En el menú **Flow Navigator**, seleccionar **Synthesis**, y presionar **Report Timing Summary**.

**1-2-8.** Presionar **OK** para generar el reporte *timing\_1*.

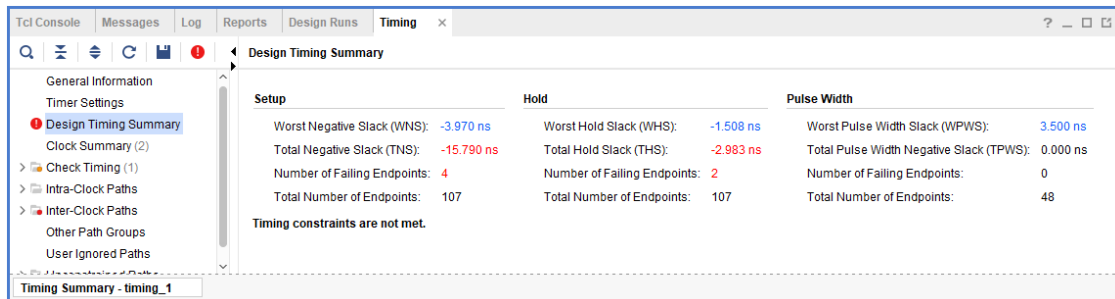


Figura 3. Reporte Timing Summary

**1-2-9.** Presionar en el enlace azul al lado de Worst Negative Slack (WNS) y observar los 4 caminos que no cumplen los requisitos de temporización.

**1-2-10.** Presionar dos veces en el Path 21 para ver el reporte detallado de los retardos de ese camino. El reporte detallado se compone de 4 secciones: (i) Resumen (Summary), (ii) Camino del Reloj de entrada (Source Clock Path), que es el retardo desde el pad de entrada de la señal de reloj hasta la entrada de reloj del primer flip flop; (iii) Camino de los Datos (Data Path), que es el retardo interno de la FPGA; y (iv) Camino del reloj de salida (Destination Clock Path), que es el retardo de la señal de salida desde la salida del último flip flop hasta el pad de salida de dicha señal

**1-2-11.** Seleccionar el camino 21 (Path 21) en la pestaña *Timing*, presionar el botón derecho y seleccionar Schematic

Se mostrará un diagrama esquemático del camino de salida de la señal

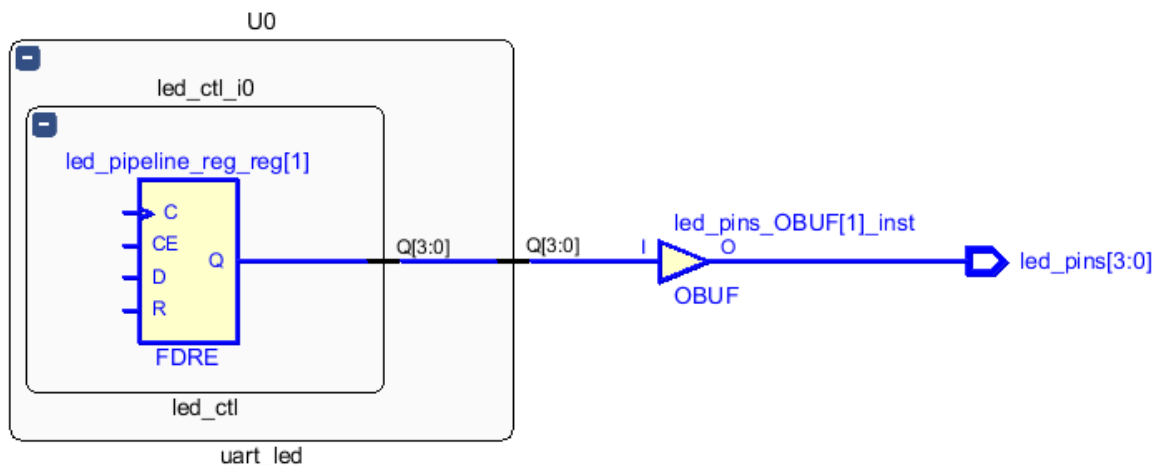
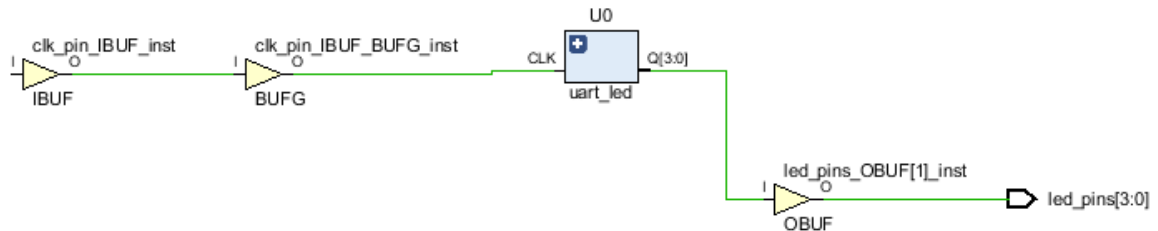


Figura 4. Camino de salida de los datos

**1-2-12.** Para ver el camino del reloj de entrada en forma esquemática, presionar 2 veces en el pin "C" del flip Flop FDRE.

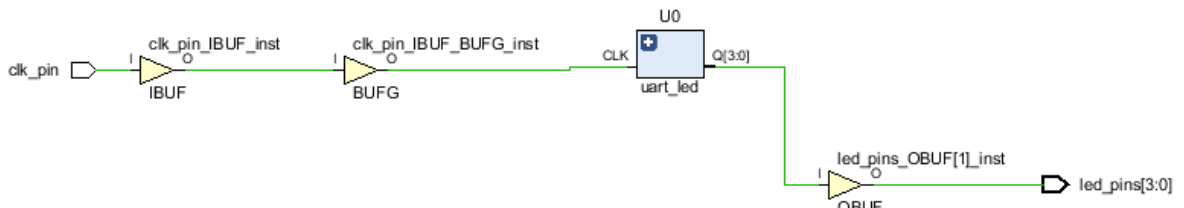
Esto mostrará el camino entre el buffer de reloj global BUFG y la entrada C del flip Flop FDRE.

- 1-2-13.** Nuevamente presionar 2 veces en la entrada del buffer BUFG para ver el camino entre el buffer de entrada IBUF y el buffer global BUFG.



*Figura 5. Camino desde el buffer de entrada hasta la entrada de reloj del flip flop FDRE*

- 1-2-14.** Finalmente, presionar 2 veces en el pin de entrada del buffer IBUF para ver el camino completo entre el pad de entrada de la señal de reloj y la entrada de reloj del flip flop FDRE.



*Figura 6. Diagrama esquemático del camino del reloj de entrada*

Este camino corresponde al camino de reloj de entrada (Source Clock Path) del reporte *Timing Report*.

Source Clock Path				
Delay Type	Incr (ns)	Path (...)	Locati...	Netlist Resource(s)
(clock clk_pin rise edge)	(r) 8.000	8.000		
	(r) 0.000	8.000	Sit...16	clk_pin
net (fo=0)	0.000	8.000		clk_pin
			Sit...16	clk_pin_IBUF_inst/I
<a href="#">IBUF (Prop_ibuf I O)</a>	(r) 1.457	9.457	Sit...16	clk_pin_IBUF_inst/O
net (fo=1, unplaced)	0.800	10.257		clk_pin_IBUF
				clk_pin_IBUF_BUFG_inst/I
<a href="#">BUFG (Prop_bufg I O)</a>	(r) 0.101	10.358		clk_pin_IBUF_BUFG_inst/O
net (fo=47, unplaced)	0.584	10.942		U0/led_ctl_i0/CLK
FDRE				U0/led_ctl_i0/led_pipeline_reg_reg[1]/C

*Figura 7. Temporización del camino de reloj de entrada*

En el detalle de la temporización se ve que el tiempo total de propagación es 15.945ns (arrival time); por otra parte el tiempo total disponible es de 11.975ns (Required Time), esta diferencia (3.970ns) es lo que las herramientas reportan como no cumplimiento de los requerimientos de temporización

Source Clock Path				
Delay Type	Incr (ns)	Path (ns)	Location	Netlist Resource(s)
(clock clk_pin rise edge)	(r) 8.000	8.000		
	(r) 0.000	8.000	Site: 16	clk_pin
net (fo=0)	0.000	8.000		clk_pin
			Site: 16	clk_pin_IBUF_inst/I
IBUF (Prop. ibuf I O)	(r) 1.457	9.457	Site: 16	clk_pin_IBUF_inst/O
net (fo=1, unplaced)	0.800	10.257		clk_pin_IBUF
				clk_pin_IBUF_BUFG_inst/I
BUFG (Prop. bufq I O)	(r) 0.101	10.358		clk_pin_IBUF_BUFG_inst/O
net (fo=47, unplaced)	0.584	10.942		U0/led_ctl_i0/CLK
FDRE				U0/led_ctl_i0/led_pipeline_reg_reg[1]/C
Data Path				
Delay Type	Incr (ns)	Path (ns)	Location	Netlist Resource(s)
FDRE (Prop. fdre C Q)	(r) 0.456	11.398		U0/led_ctl_i0/led_pipeline_reg_reg[1]/Q
net (fo=1, unplaced)	0.800	12.198		led_pins_OBUF[1]
			Site: P14	led_pins_OBUF[1]_inst/I
OBUF (Prop. obuf I O)	(r) 3.747	15.945	Site: P14	led_pins_OBUF[1]_inst/O
net (fo=0)	0.000	15.945		led_pins[1]
			Site: P14	led_pins[1]
<b>Arrival Time</b>		<b>15.945</b>		
Destination Clock Path				
Delay Type	Incr (ns)	Path (ns)	Location	Netlist Resource(s)
(clock virtual...ck rise edge)	(r) 12.000	12.000		
ideal clock network latency	0.000	12.000		
clock pessimism	0.000	12.000		
clock uncertainty	-0.025	11.975		
output delay	-0.000	11.975		
<b>Required Time</b>		<b>11.975</b>		

Figura 8. Peor caso de retardo sobre el camino 21

### 1-3. Cambiar las restricciones de diseño para restringir el reloj virtual a 10 ns. Sintetizar nuevamente el sistema y analizar los resultados.

#### 1-3-1. En el menú **Flow Navigator**, seleccionar **Synthesis**, **Open Synthesized Design** y presionar **Edit Timing Constraints**.

Aparecerá el cuadro de diálogo de las restricciones de temporización; mostrando que el sistema tiene restricciones asociadas a dos relojes, a cuatro entradas y a una salida. En la sección **All Constraints** se ven las restricciones en forma de texto.



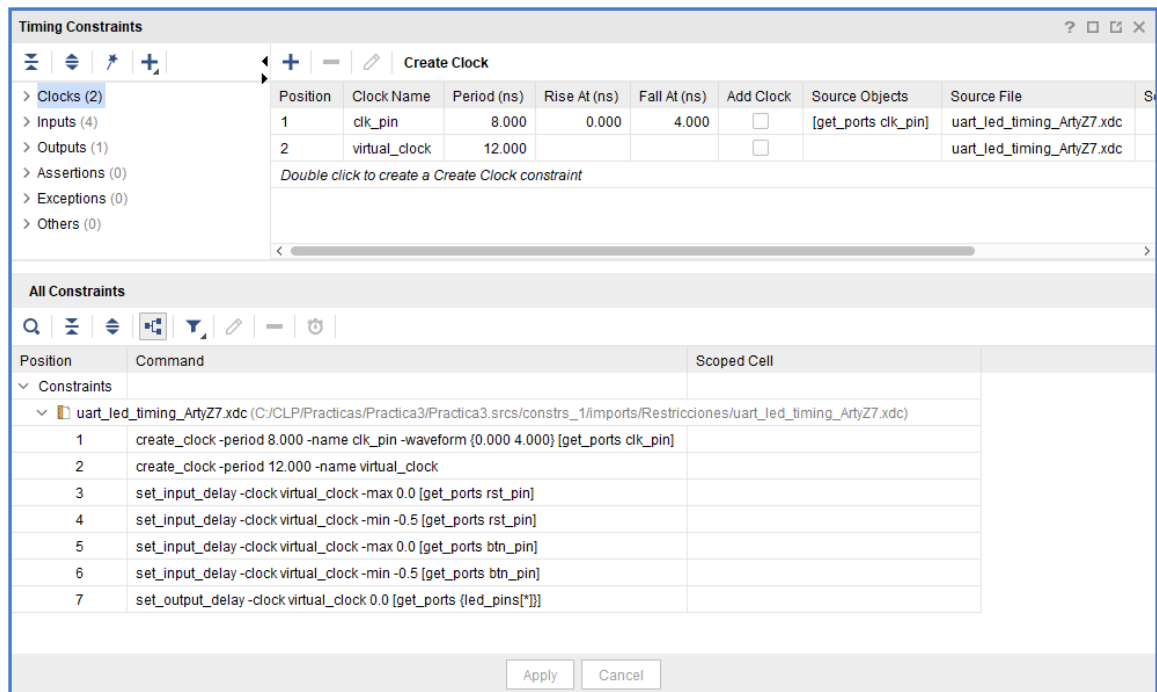


Figura 9. Restricciones de temporización mostrando el reloj virtual de 12 ns de periodo

1-3-2. Seleccionar la celda **Period** del reloj virtual y cambiar el periodo de 12 a 8; presionar **Enter**

1-3-3. Presionar **Apply**.

Dado que cambio la restricción de temporización, aparece un mensaje de advertencia para ejecutar nuevamente el reporte.

1-3-4. Presionar el enlace **Rerun**.

Ahora no hay problemas con el tiempo de establecimiento (setup), pero aun hay 2 caminos que no cumplen la temporización en la retención (Hold)

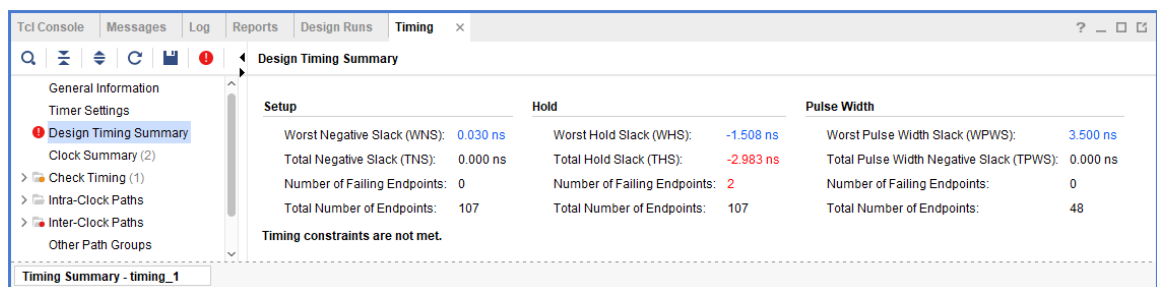


Figura 10. Tiempos de establecimiento cumplidos

1-3-5. Presionar el enlace azul **WHS** para ver los caminos que no cumplen la temporización.

1-3-6. Presionar dos veces en el camino 31 para ver como es el camino de temporización. Como es un tiempo de retención, el retardo de reloj no incluye el periodo entero de la señal de reloj (a diferencia del camino anterior).

1-3-7. Seleccionar File ► Constraints ► Save. Presionar **OK** en el cuadro de diálogo.

- 1-3-8. Presionar **Update** en el cuadro de diálogo para actualizar las restricciones del sistema. Seleccionar el archivo de restricciones *uart\_led\_timing\_ArtyZ7.xdc*
- 1-3-9. Presionar **OK**. En la parte superior derecha de la pantalla aparecerá una actualización de estado **Synthesis Out-of-Date**.

## Implementar el sistema

## Paso 2

### 2-1. Ejecutar los procesos de Síntesis e Implementación. Realizar un Análisis de Temporización

**2-1-1.** En la pestaña **Design Runs** (parte inferior de la pantalla), presionar con el botón derecho en **synth\_2** (cuyo estado es “*Synthesis Out-of-date*”) y seleccionar **Reset Runs**. Presionar **Reset** en el cuadro de diálogo.

**2-1-2.** En la parte superior de la pantalla, presionar el enlace azul **Close Design**.

**2-1-3.** En el menú **Flow Navigator**, seleccionar **Implementation**, presionar **Run Implementation**.

**2-1-4.** Presionar **OK** en el cuadro de diálogo para que se ejecute el proceso de síntesis antes de la implementación. Presionar nuevamente **OK** para iniciar ambos procesos.

Los procesos de síntesis e implementación se ejecutarán sobre el modulo `uart_top.vhd` y todos sus submódulos. Cuando el proceso de implementación finalice, aparecerá el cuadro de diálogo **Implementation Completed** con 3 opciones.

**2-1-5.** Seleccionar la opción **Open Implemented Design** y presionar **OK**.

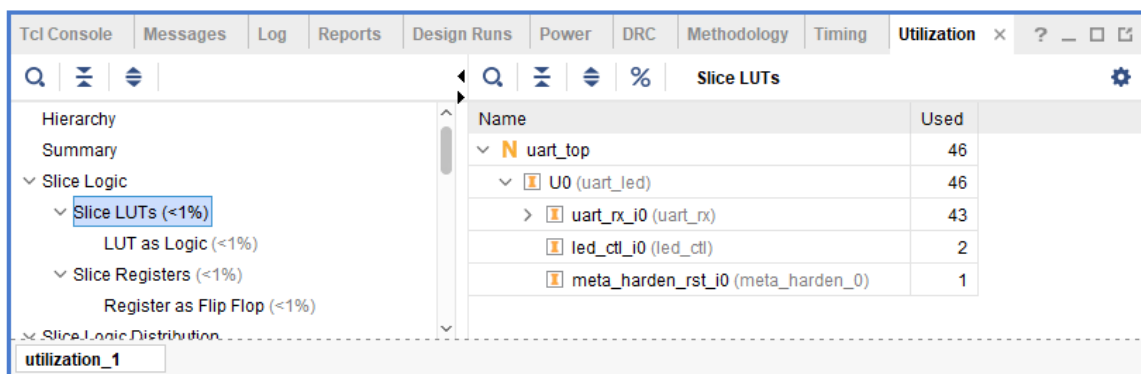
**2-1-6.** Aparecerá un cuadro de diálogo advirtiéndole que no se cumplieron los requisitos de temporización. Presionar **OK**.

### 2-2. Verificar los recursos utilizados de la FPGA mediante el reporte de utilización

**2-2-1.** En el panel **Flow Navigator**, seleccionar **Open Implemented Design** ► **Report Utilization**. Se abrirá el cuadro de diálogo **Report Utilization**.

Presionar **OK**. El reporte de utilización aparecerá en la parte inferior de la pantalla. Se puede seleccionar cualquiera de los recursos y ver su utilización.

**2-2-2.** Seleccionar **Slice LUTs** para ver la utilización de este recurso por cada módulo del sistema



Name	Used
uart_top	46
U0 (uart_led)	46
uart_rx_i0 (uart_rx)	43
led_ctl_i0 (led_ctl)	2
meta_harden_rst_i0 (meta_harden_0)	1

Figura 11. Utilización de recursos post-implementación

## 2-3. Generar un reporte Timing Summary.

**2-3-1.** En el menú **Flow Navigator**, seleccionar Implementation ► Open Implemented Design y presionar **Report Timing Summary**.

**2-3-2.** Dejar todas las opciones por defecto y presionar **OK** para generar el reporte.

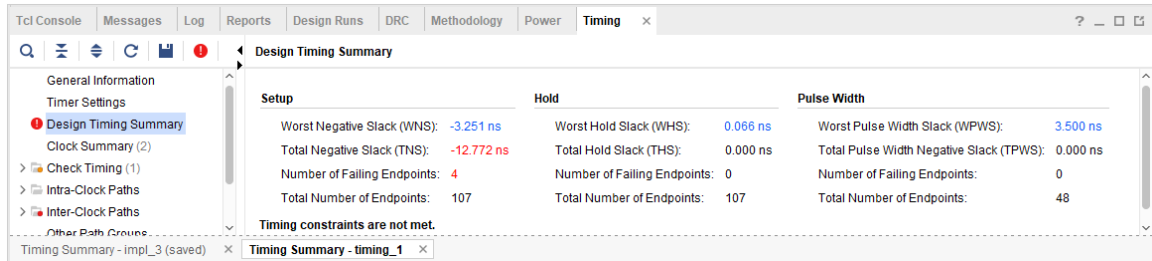


Figura 12. Reporte Timing Summary mostrando que no se cumplen restricciones temporales

**2-3-3.** Presionar en el enlace azul **WNS** para ver un reporte detallado de los caminos que no cumplen la temporización.

**2-3-4.** Presionar dos veces en el camino 21 para ver porque no se cumple

Summary					
Source Clock Path					
Delay Type	Incr (ns)	Path ...	Location	Netlist Resource(s)	
(clock clk_pin rise edge)	(r) 0.000	0.000			
	(r) 0.000	0.000	Site: H16	clk_pin	
net (fo=0)	0.000	0.000		clk_pin	
			Site: H16	clk_pin_IBUF_inst/I	
IBUF (Prop_ibuf I O)	(r) 1.457	1.457	Site: H16	clk_pin_IBUF_inst/O	
net (fo=1, routed)	2.076	3.533		clk_pin_IBUF	
			Site: BUF...TRL_X0Y16	clk_pin_IBUF_BUFG_inst/I	
BUFG (Prop_bufg I O)	(r) 0.101	3.634	Site: BUF...TRL_X0Y16	clk_pin_IBUF_BUFG_inst/O	
net (fo=47, routed)	1.755	5.389		U0/led_ctl_i0/CLK	
FDRE			Site: SLICE_X43Y39	U0/led_ctl_i0/led_pipeline_reg_reg[1]/C	
Data Path					
Delay Type	Incr (ns)	Path ...	Location	Netlist Resource(s)	
FDRE (Prop_fdre C Q)	(r) 0.419	5.808	Site: SLICE_X43Y39	U0/led_ctl_i0/led_pipeline_reg_reg[1]/Q	
net (fo=1, routed)	1.670	7.478		led_pins_OBUF[1]	
			Site: P14	led_pins_OBUF[1]_inst/I	
OBUF (Prop_obuf I O)	(r) 3.747	11.226	Site: P14	led_pins_OBUF[1]_inst/O	
net (fo=0)	0.000	11.226		led_pins[1]	
			Site: P14	led_pins[1]	
Arrival Time		11.226			
Destination Clock Path					
Delay Type	Incr (ns)	Path ...	Loca...	Netlist Resourc...	
(clock virtual...ck rise edge)	(r) 8.000	8.000			
ideal clock network latency	0.000	8.000			
clock pessimism	0.000	8.000			
clock uncertainty	-0.025	7.975			
output delay	-0.000	7.975			
Required Time		7.975			

Figura 13. Retardos en el camino

Comparado con los retardos del reporte post-síntesis, los retardos de las redes actuales son los reales (no una estimación). El retardo del camino de datos es mayor que el retardo del camino

de reloj de salida. El retardo del camino de datos es de 11.226 ns y el retardo del camino de reloj de salida es de 7.975 ns, generando un slack negativo de -3.251 ns.

En este punto, se puede ignorar este incumplimiento, ya que el cambio en el LED diferido por algunos nanosegundos no es apreciable por el ojo humano. También se puede cambiar el retardo de salida en -3.3 ns y de esa manera se cumplirían los requerimientos de temporización

- 2-3-5.** En el panel **Flow Navigator**, seleccionar Implementation ► Open Implemented Design ► Edit Timing Constraints
- 2-3-6.** Seleccionar la entrada **Set Output Delay** en el panel de la izquierda y cambiar el valor de retardo de 0.000 a -3.300 ns. Presionar **Apply**.
- 2-3-7.** Presionar el enlace azul **Rerun** en la ventana **Timing** para ejecutar nuevamente el reporte. Debería cumplirse el tiempo de Setup. Se puede dar el caso de que el tiempo de Hold falle.
- 2-3-8.** Expandir la entrada **Intra-Clock Paths**, expandir *clk\_pin*, y seleccionar **Setup** para ver los 10 peores retardos en el panel derecho
- 2-3-9.** Presionar dos veces en cualquiera de los caminos para ver cómo es su temporización. Presionar el botón derecho sobre cualquiera de los caminos y seleccionar **Schematic**. Aparecerá una representación esquemática del camino de esa señal. Presionar en la pestaña **Device** y se verá en blanco el camino tal como está ruteado dentro de la FPGA
- 2-3-10.** En el panel **Flow Navigator**, seleccionar Implementation ► Open Implemented Design ► Report Clock Networks. Presionar **OK** en el cuadro de diálogo.  
Se abrirá el reporte **Clock Networks** mostrando dos redes de reloj
- 2-3-11.** Seleccionar *clk\_pin* y ver en la vista de dispositivo (Device) que esta señal pasa por distintas regiones de reloj (las regiones de reloj son las que están marcadas como XnYn abajo a la izquierda de cada recuadro, en este caso son 4 recuadros porque la FPGA tiene 4 regiones de reloj).

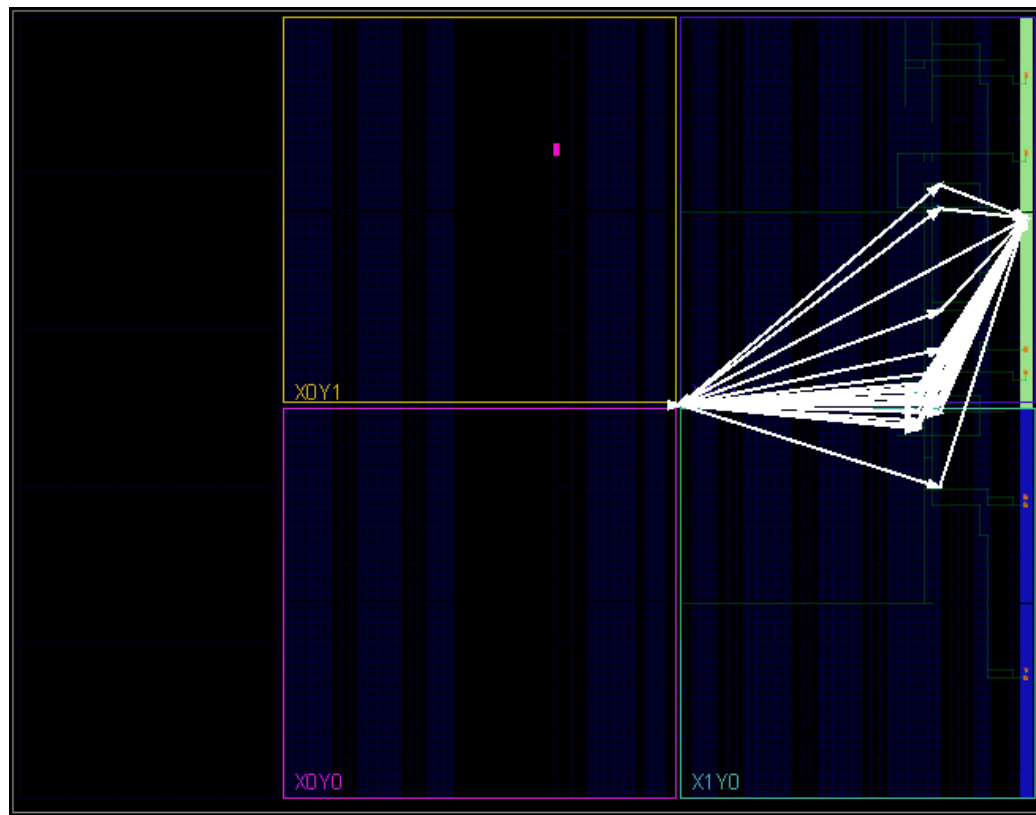


Figura 14. Redes de reloj

## Generar el archivo de configuración

## Paso 3

### 3-1. Generar el archivo .bit.

3-1-1. En el panel **Flow Navigator**, seleccionar **Program and Debug**, presionar **Generate Bitstream**.

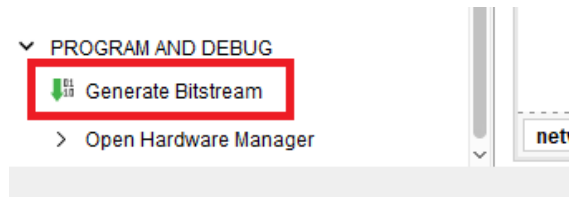


Figura 15. Generar el archivo de configuración

- 3-1-2. En el cuadro de diálogo, presionar **Save** para guardar los archivos que cambiaron. Presionar **OK** en el siguiente cuadro de diálogo, presionar **Yes** en el tercer cuadro de diálogo para ejecutar nuevamente los procesos de síntesis e implementación (ya que cambiaron las restricciones desde su última ejecución). Presionar **OK** para iniciar los procesos.
- 3-1-3. Presionar Cancel cuando aparezca el cuadro de diálogo luego de que se generó el archivo de configuración.

## Verificar la funcionalidad

## Paso 4

### 4-1. Conectar la placa, conectar el adaptador usb-serie. Abrir una sesión de hardware y configurar la FPGA.

**4-1-1.** Conectar el cable micro-usb al conector prog/uart de la placa Arty Z7. Este conector se encuentra al costado del conector ethernet. Conectar el otro extremo a un puerto usb de la computadora

**4-1-2.** Conectar el adaptador usb-serie a la computadora. Verificar el puerto COM al que se mapea.

**4-1-3.** Conectar los 3 cables de Tx, Rx y GND entre el conector USB-serie y el puerto JA de la placa ArtyZ7: TxD en el pin 1; RxD en el pin 2 y GND en el pin 5

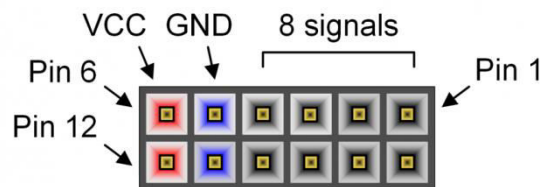


Figura 16. Vista de un PMOD

Nota: Primero conectar la placa ArtyZ7 a la computadora, luego conectar el adaptador usb-serie.

**4-1-4.** En el panel **Flow Navigator**, seleccionar **Program and Debug**, presionar **Open Hardware Manager**.

Aparecerá la interfaz del administrador de hardware (Hardware Manager) indicando el estado desconectado (unconnected).

**4-1-5.** Presionar en el enlace **Open target**, y luego en la opción **Auto Connect** del menú.

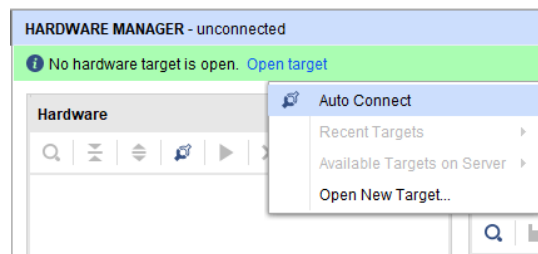


Figura 17. Hardware Manager

**4-1-6.** El estado de la sesión de hardware pasa de desconectado a tener el nombre del servidor (en este caso local host porque la placa está conectada en forma local). También se indica que el estado del dispositivo es **not programmed**.

**4-1-7.** Seleccionar el dispositivo (xc7z010\_1) en la ventana de **hardware**. Presionar el botón derecho y seleccionar **Program Device...**



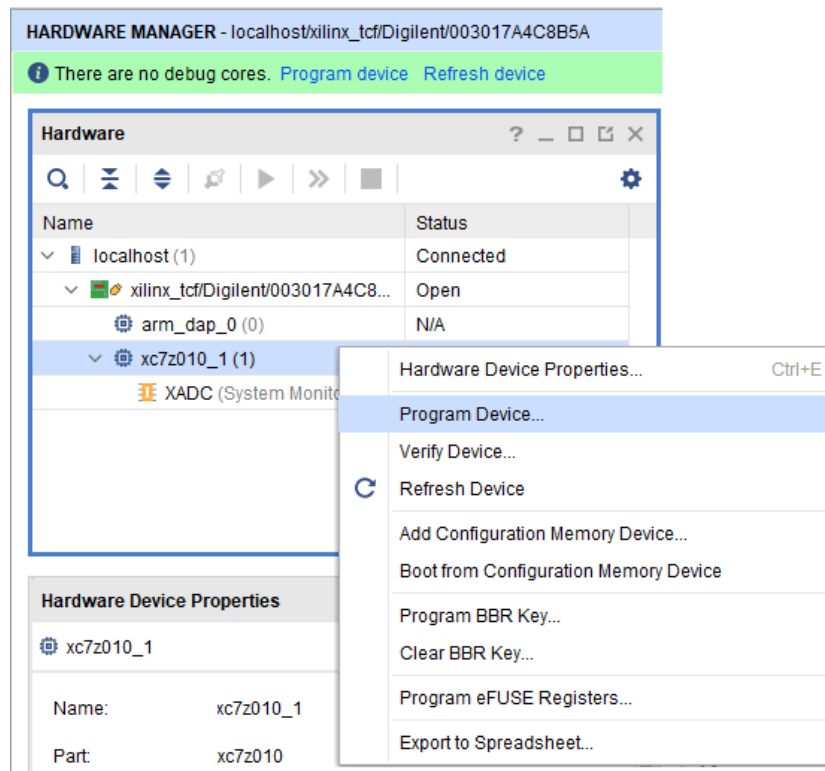


Figura 18. Configuración del dispositivo

**4-1-8.** En el cuadro de diálogo, presionar el botón **Program**.

Se transferirá el archivo de configuración y el led verde DONE (LD12) se prenderá cuando la FPGA esté configurada.

**4-2. Iniciar un programa de emulación de terminal (por ejemplo TeraTerm), configurarlo con el puerto serie del adaptador usb-serie y con los parámetros de comunicación 115200 N-8-1.**

**4-2-1.** Iniciar el programa de comunicaciones (por ejemplo TeraTerm).

**4-2-2.** Seleccionar el puerto serie (COM) del adaptador usb-serie.

**4-2-3.** Configurar el puerto serie a **115200**, sin paridad, **8 bits** de datos, **1 bit** de parada.

**4-2-4.** En el programa de comunicaciones, escribir algunos caracteres. Los mismos aparecerán en la pantalla reenviados por la placa y en los 4 Leds se verá el nibble bajo del ASCII equivalente del carácter

**4-2-5.** Presionar y mantener presionado el botón **BTN0** y ver como ahora los Leds muestran el nibble alto del ASCII equivalente del carácter escrito en el programa de comunicaciones.

**4-2-6.** Seleccionar File ► Close Hardware Manager. Presionar **OK**.

- 4-2-7.** Cerrar el programa de comunicaciones. Desconectar el adaptador usb-serie de la computadora. Desconectar la placa ArtyZ7 de la computadora. Hacerlo en ese orden, sino se puede dañar la placa.