

## **Trabajo práctico final**

### **CESE 11 Cohorte**

#### **Enunciado general**

El trabajo práctico final de la materia consiste en la implementación de un bloque de hardware digital que deberá ser descripto en lenguaje VHDL, simulado e implementado en un kit de FPGA (aquellos que no cuenten con uno deberán realizar la implementación en el kit conectado al servidor, provisto por la carrera).

Dicho bloque será elegido por el alumno y deberá ser alguna parte constitutiva de su trabajo práctico final de carrera. En el caso en que este último requerimiento sea de difícil concreción la cátedra indicará el bloque a implementar.

#### **Requerimientos detallados**

1. Bloque de hardware digital que implementa parte de alguna funcionalidad del trabajo final de carrera (consensuado con el docente).
2. Lenguaje HDL a utilizar: VHDL
3. Se pueden utilizar bloques escritos por terceros, pero esto tendrá impacto en la nota final
4. Se deberán simular todos los componentes que formen parte del bloque principal (utilizando cualquier aplicación disponible, Vivado, ModelSim, GHDL+GTKWave, etc).
5. Se deberá simular el bloque principal.
6. Se deberá sintetizar e implementar el diseño y finalmente crear el archivo de configuración (.bit), utilizando cualquier aplicación disponible para tal fin, como por ejemplo Vivado.
7. Se deberá crear un documento que contenga:
  - a. Una breve explicación de lo implementado
  - b. Diagramas en bloques del circuito
  - c. Capturas de las simulaciones realizadas más relevantes
  - d. Tabla de uso de recursos de la FPGA
8. La fecha de entrega es la última clase de la materia, en la que deberán realizar una presentación de 15 minutos, explicando lo realizado y mostrando los resultados.

#### **Entregables**

1. Documento en formato PDF, de acuerdo al requerimiento 7.
2. Código VHDL de todo lo implementado (no incluir archivos generados por las herramientas).
3. Presentación.