

# IP Integrator y Catálogo de IP

Circuitos Lógicos Programables



Laboratorio de  
**Sistemas Embebidos**



# Contenido

- Conocer la herramienta IP Integrator para administrar IP predefinida
- Crear y reutilizar IP a nivel sistema
- Conocer la herramienta IP Packager para integrar IP propia al catálogo de IP disponible
- Conocer los distintos tipos de IP disponible en el catálogo
- Usar el asistente de temporización para configurar y agregar recursos de temporización al sistema

# Temario

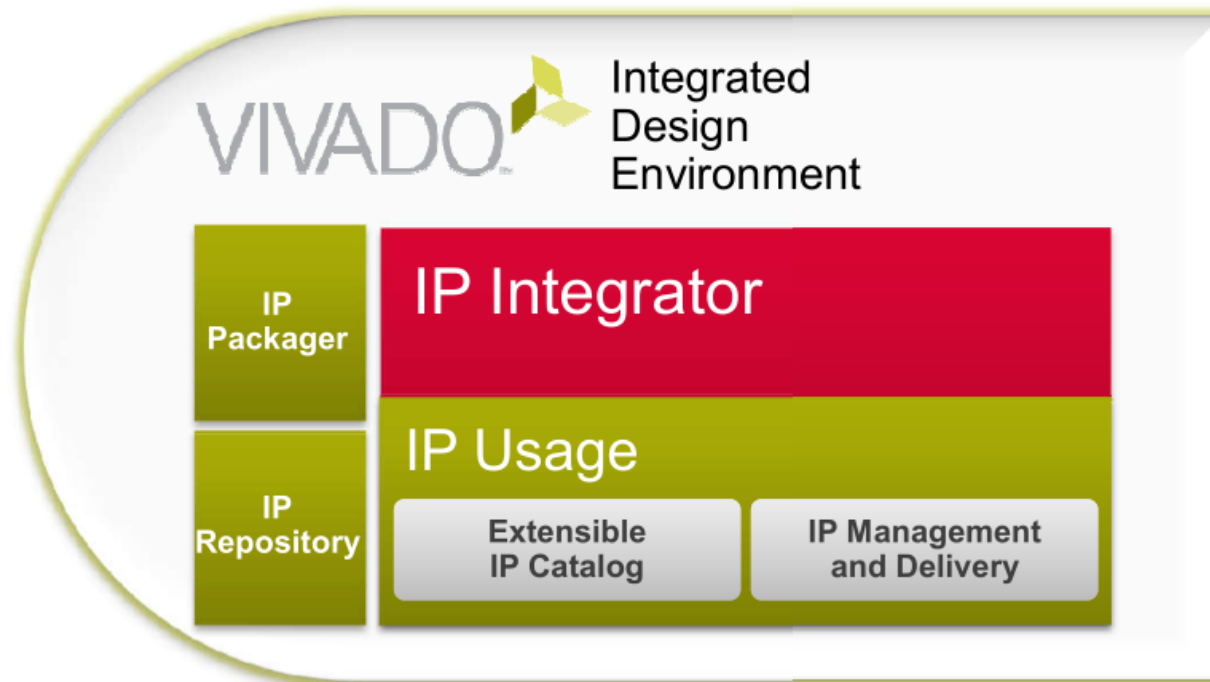
- **Herramienta IP Integrator**
- Herramienta IP Packager
- Catálogo IP
- Asistente de temporización
- Resumen

# Diseño de sistemas con IP externa

- La IP externa suele tener distintas interfaces
  - Muchas señales, mapeo complejo a archivos RTL
  - La conectividad dentro del sistema no es simple
- La IP externa es parametrizable
  - El sistema debe ser consistente en las interfaces entre bloques
  - Se debe tener en cuenta la interacción entre los distintos bloques
- Puede ser necesario reutilizar parte de un sistema y ponerlo disponible para utilizar en otros proyectos

# Herramienta IP Integrator

- Es una herramienta para agregar IP externa en sistemas basados en procesadores o sistemas basados en máquinas de estado.
- *Tiene un entorno gráfico y se puede manejar mediante scripts para configurar la IP e integrarla al sistema.*



# IP Integrator

## ➤ **Conectividad a nivel interfaz**

- Se pueden administrar interfaces complejas (por ejemplo controladores de memoria)
- Se pueden crear interfaces personalizadas

## ➤ **Integración y reutilización de IP**

- Permite la reutilización de IP ya probada y depurada

## ➤ **Generación automática de código fuente HDL**

- La IP se integra a nivel componentes/bloques al código fuente

## ➤ **Permite crear sistemas basados en procesador**

- Procesador, buses, periféricos y su interconexión.
- Integración con periféricos personalizados.

## ➤ **Se utiliza principalmente a través de una interfaz gráfica**

# Interfaz gráfica de IP Integrator

The screenshot displays the Vivado IP Integrator interface for a project named 'audio'. The main workspace shows a hierarchical block design of a system. A red box labeled 'Hierarchy Support' points to the 'system' block in the hierarchy. Another red box labeled 'Interface Connections with Live DRCs' points to the connections between the 'system' block and its sub-components. A third red box labeled 'Extensible IP Repository' points to the search results on the right. A fourth red box labeled 'System Hierarchy View' points to the 'Design' tab in the left sidebar. A fifth red box labeled 'TCL Console' points to the bottom console window.

**System Hierarchy View**

**Interface Connections with Live DRCs**

**Extensible IP Repository**

**TCL Console**

**Search:**

- 1G/2.5G Ethernet PCS/PMA or SGM
- 2D Graphics Accelerator Bit Block T
- 3GPP LTE Channel Estimator
- 3GPP LTE MIMO Decoder
- 3GPP LTE MIMO Encoder
- 3GPP LTE Turbo Encoder
- 3GPP Mixed Mode Turbo Decoder
- 3GPP Turbo Encoder
- 10G Ethernet MAC
- Accumulator
- Adder/Subtractor
- AHB-Lite to AXI Bridge
- Audio I2S Transmitter/Receiver
- AXI-Stream FIFO
- AXI 1G/2.5G Ethernet Subsystem
- AXI4-Stream Accelerator Adapter

**TCL Console**

```
Adding component instance block -- xilinx.com:ip:axi_gpio:2.0 -- axi_gpio_0
Adding component instance block -- xilinx.com:user:zed_audio_ctrl:1.0 -- zed_audio_ctrl_0
Adding component instance block -- xilinx.com:ip:proc_sys_reset:2.0 -- rst_processing_system7_0_100M
Adding component instance block -- xilinx.com:chirp:chirp:1.0 -- chirp_left
Adding component instance block -- xilinx.com:chirp:chirp:1.0 -- chirp_right
Adding component instance block -- xilinx.com:ip:axi_protocol_converter:2.1 -- auto_pc
Successfully read diagram <system> from UI file <C:/xup/sys_design/2015_2_synq_lab6/lab6/audio/audio.xpr/sources_1/bd/system/system.tcl>
Type a Tcl command here
```

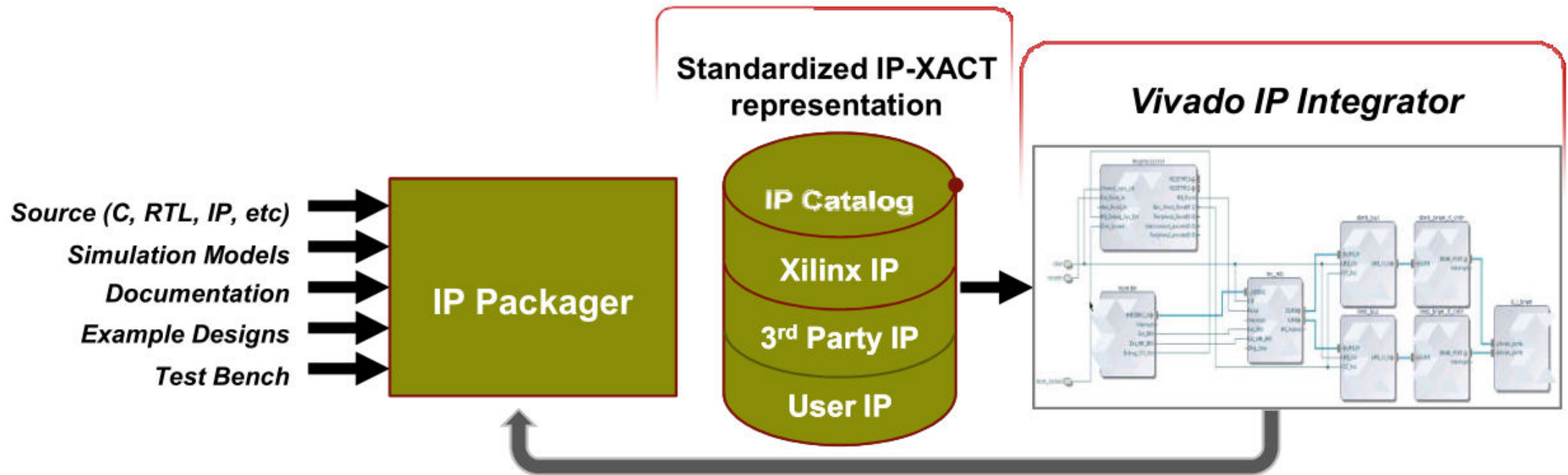
# Temario

- Herramienta IP Integrator
- **Herramienta IP Packager**
- Catálogo IP
- Asistente de temporización
- Resumen



# Reutilización de IP

- Se puede integrar IP de distintas fuentes
- Toda la IP disponible en el catalogo se puede utilizar en un sistema
- Los diagramas creados con IP Integrator se pueden convertir en una sola IP, ocultando la complejidad del subsistema



# Creación de IP propia utilizando información utilizando IP Packager

## ➤ **Se utiliza mediante un asistente**

- Automatiza el proceso de generación de IP
- Se infiere en forma automática la información adicional (simulación, documentación, etc.)
- Se puede agregar meta-data adicional

# Personalización de la IP propia en IP Packager

The screenshot shows the 'Package IP - myip' window in IP Packager. The left sidebar, titled 'IP Packaging Steps', lists several steps with green checkmarks: 'IP Identification', 'IP Compatibility', 'IP File Groups', 'IP Customization Parameters', 'IP Ports and Interfaces', 'IP Addressing and Memory', and 'IP GUI Customization'. Below these is a 'Review and Package' button. The main area is titled 'IP Identification' and contains the following fields:

Vendor:	xilinx.com
Library:	user
Name:	myip
Version:	1.0
Display name:	myip_v1.0
Description:	My new AXI IP
Vendor display name:	
Company url:	
Categories:	AXI_Peripheral
Root directory:	c:/ctt-vivado/ip_repo/myip_1.0
Xml file name:	c:/ctt-vivado/ip_repo/myip_1.0/component.xml

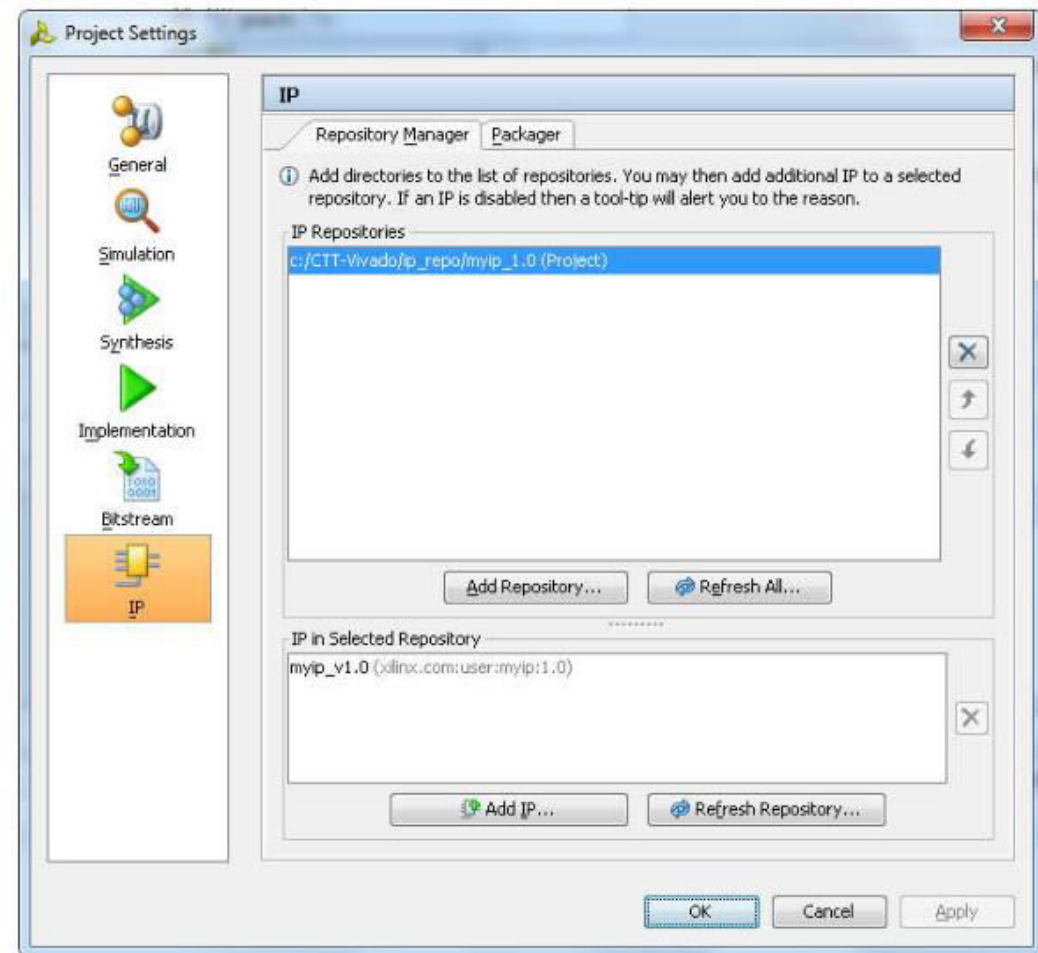
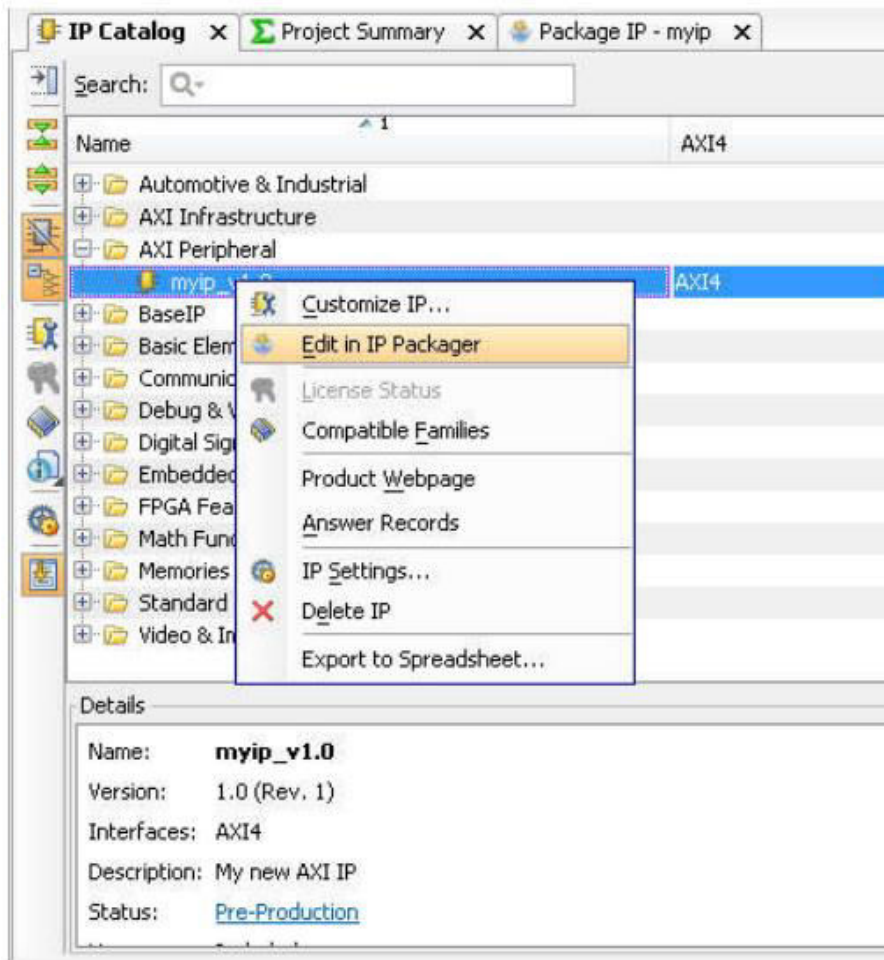
Each text field has a small 'x' icon in the top right corner. There is a 'more info' link in the top right corner of the main area. The 'Categories' field has a dropdown arrow icon.

**Select  
Options**

**Add, Edit or  
change defaults**

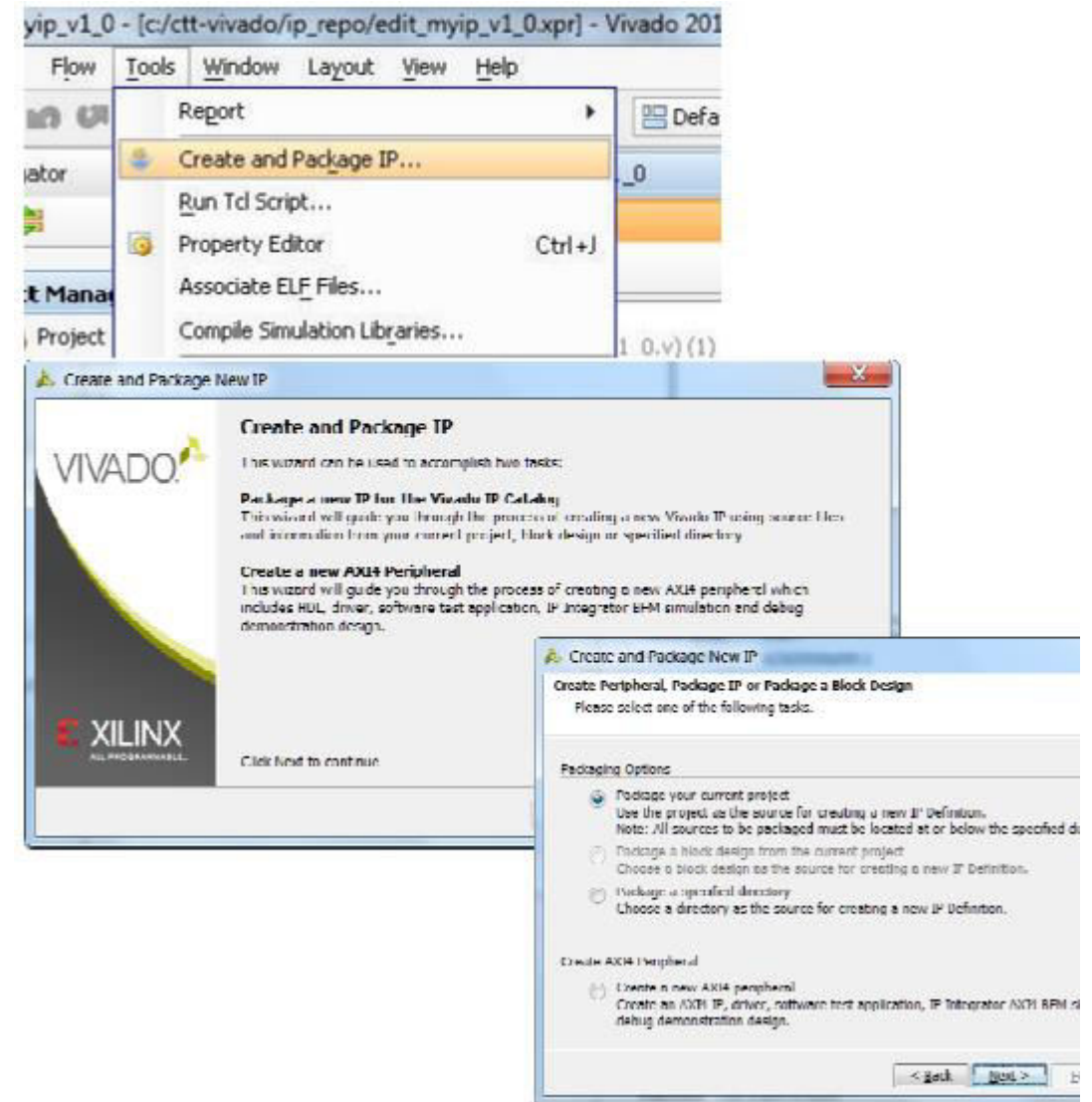
# Reutilización de IP

- El catálogo de IP se puede ampliar agregando nuevos repositorios. Toda la IP (independientemente de su origen) se gestiona de la misma manera.



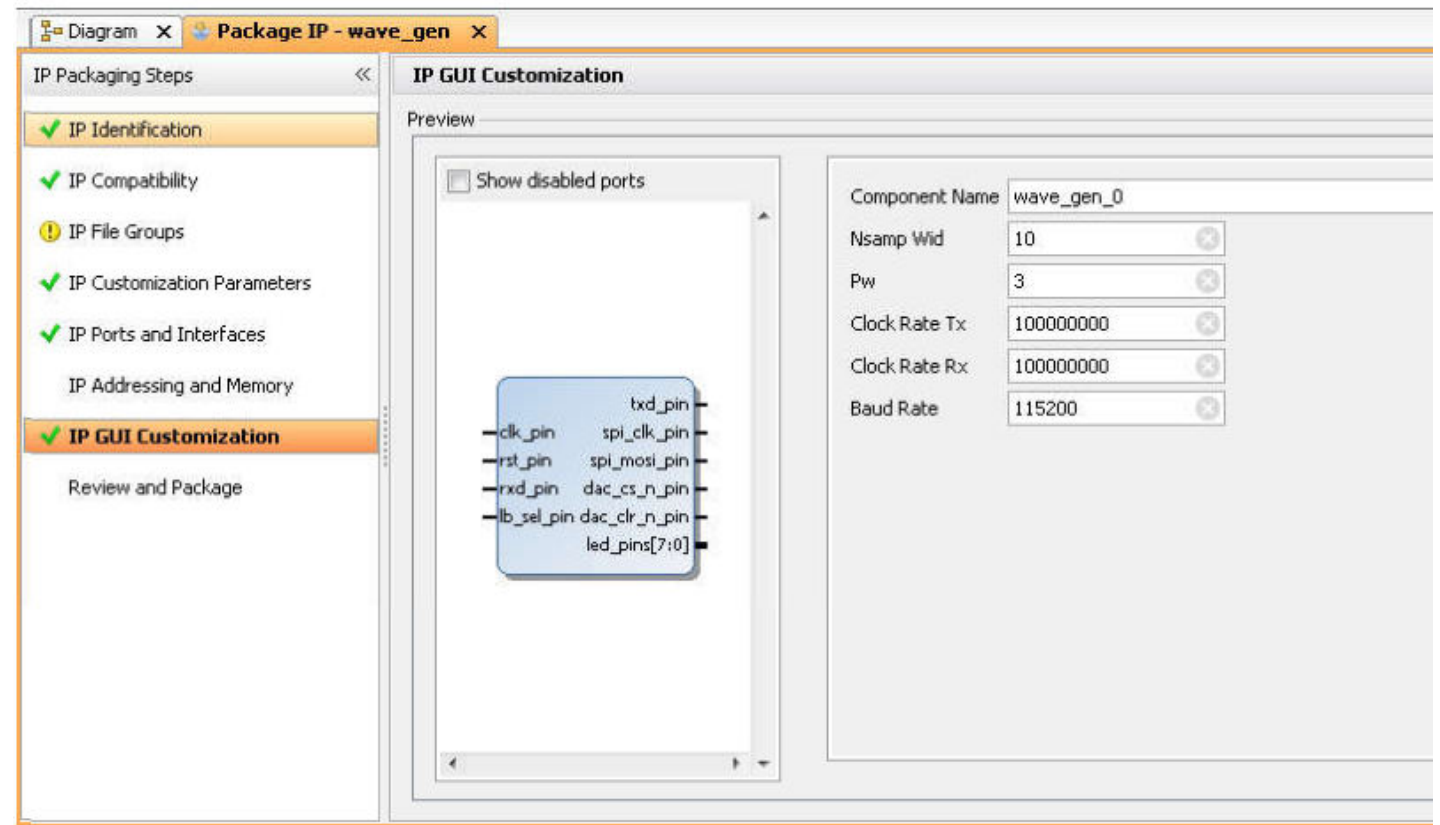
# Herramienta IP Packager

- La herramienta IP Packager permite que un módulo/bloque lógico se integre al catálogo de IP para su uso o distribución.
- La IP se compone de:
  - Código fuente
  - Restricciones
  - Archivos de prueba
  - Documentación
- Esta herramienta puede ejecutarse desde el entorno gráfico o en forma independiente.



# Herramienta IP Packager

- Realiza un análisis de los archivos para determinar los parámetros de la IP en forma automática.
- Genera un resumen de las características de la IP
- Identifica:
  - Archivo fuente
  - Parámetros
  - Puertos
  - Interfaces
- Crea una interfaz gráfica para parametrizar la IP.





# Herramienta IP Packager

## ➤ Configuración de la IP

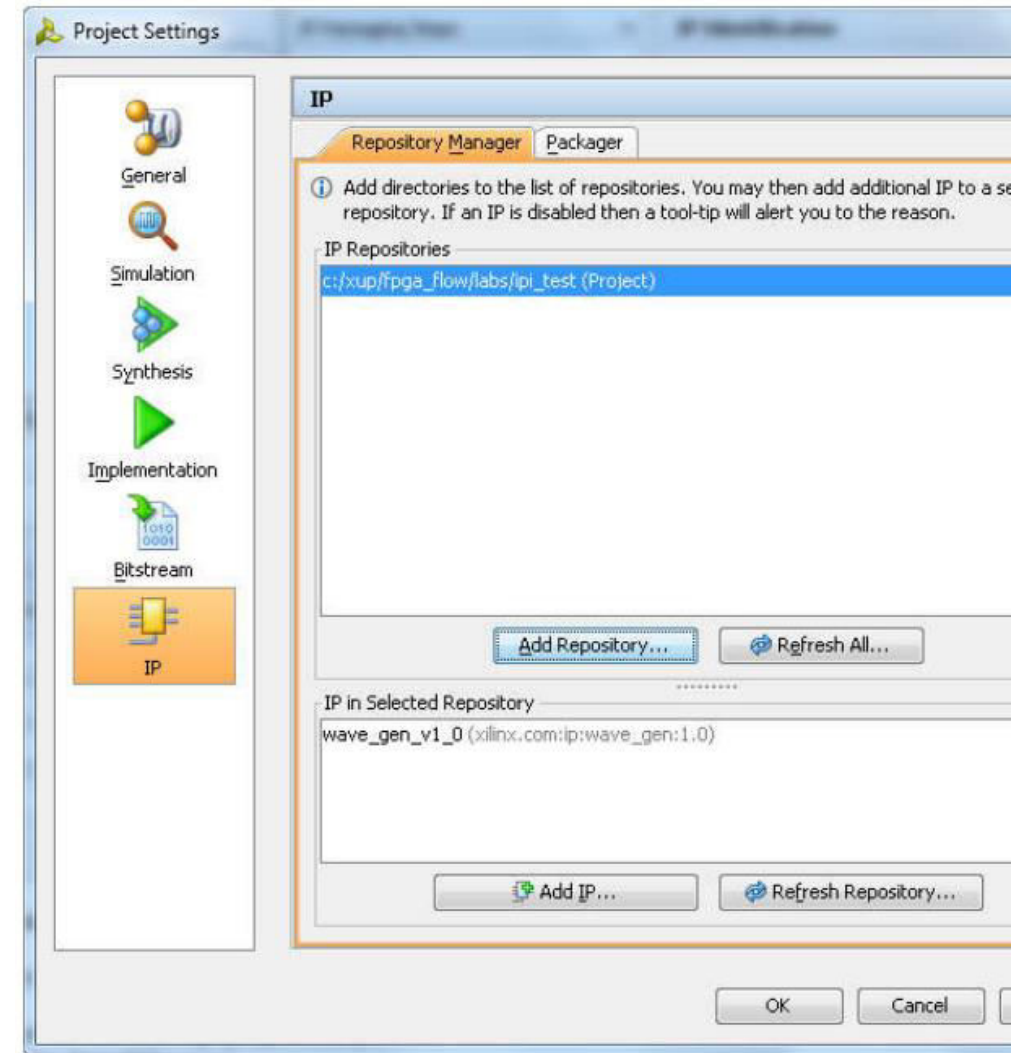
- Propiedades
- Compatibilidad
- Archivos
- Parámetros específicos
- Puertos
- Interfaces
- Dirección y memoria

The screenshot shows the 'Package IP - wave\_gen' window of the IP Packager tool. The left pane, titled 'IP Packaging Steps', lists the following steps: IP Identification (highlighted with a green checkmark), IP Compatibility (green checkmark), IP File Groups (yellow warning icon), IP Customization Parameters (green checkmark), IP Ports and Interfaces (green checkmark), IP Addressing and Memory, IP GUI Customization (green checkmark), and Review and Package. The right pane, titled 'IP Identification', contains the following fields and values:

Vendor:	xilinx.com
Library:	user
Name:	wave_gen
Version:	1.0
Display name:	wave_gen_v1_0
Description:	wave_gen_v1_0
Vendor display name:	
Company url:	
Categories:	/BaseIP
Root directory:	c:/xup/fpga_flow/labs/ipi_test/ipi_test.srcs
Xml file name:	c:/xup/fpga_flow/labs/ipi_test/ipi_test.srcs/component.xml

# Repositorio de IP

- Se crea un archivo específico **component.xml** para la IP
- Se especifica la ubicación física de los archivos de la IP
- Se integra la IP al repositorio general



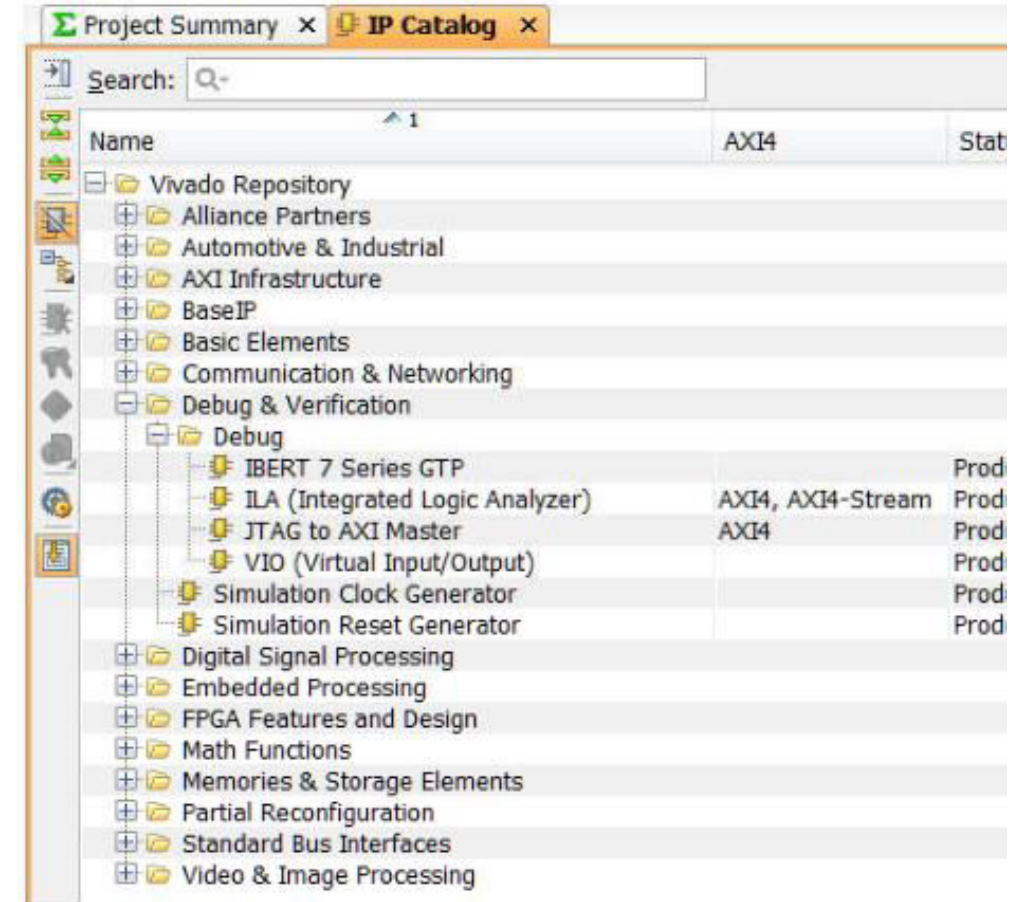


# Temario

- Herramienta IP Integrator
- Herramienta IP Packager
- **Catálogo IP**
- Asistente de temporización
- Resumen

# Catálogo de IP

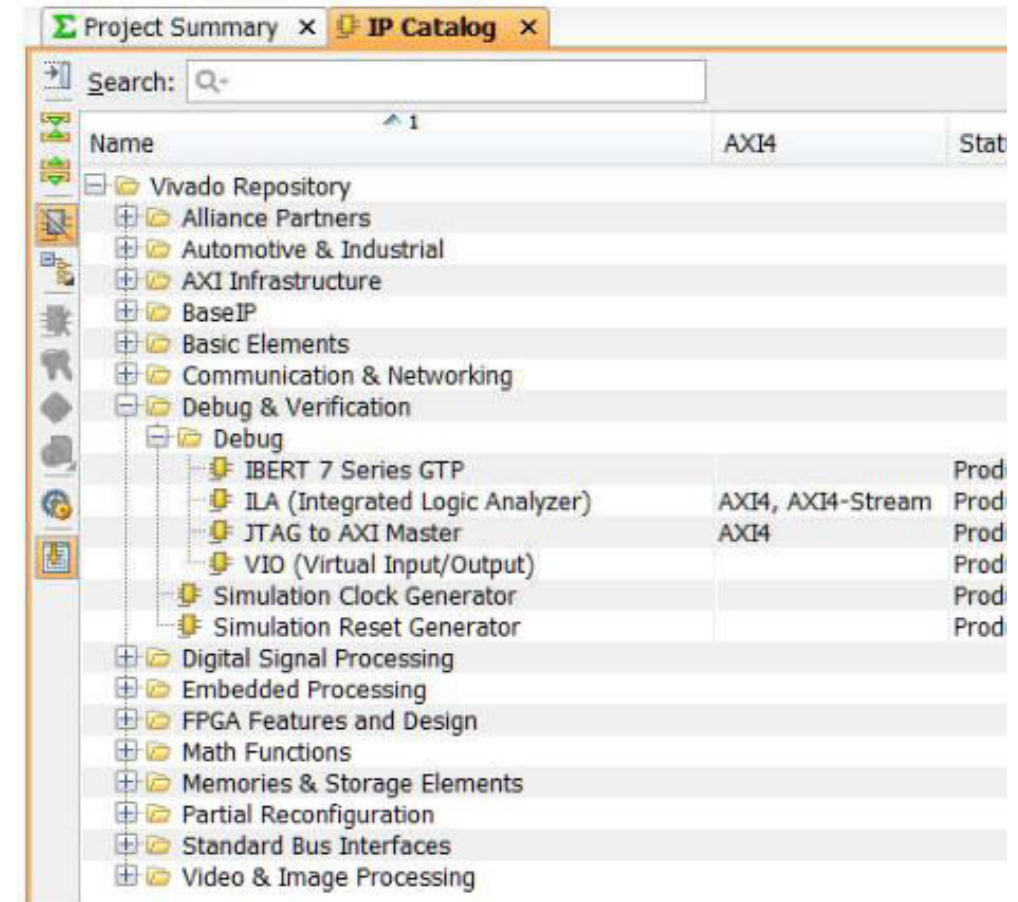
- **Contiene la colección de IP que puede utilizarse en un sistema**
- **Permite la construcción rápida de sistemas de características estándar**
- **Cada bloque IP tiene sus propios parámetros de configuración**
- **La mayor parte de la IP es de uso libre, pero algunas requieren una licencia individual**
- **Se almacenan como código fuente en el directorio de instalación de las herramientas**
  - Se procesan de la misma manera que el código fuente HDL
  - Algunas IP se almacenan encriptadas y sólo se pueden integrar en la implementación



# Catálogo de IP

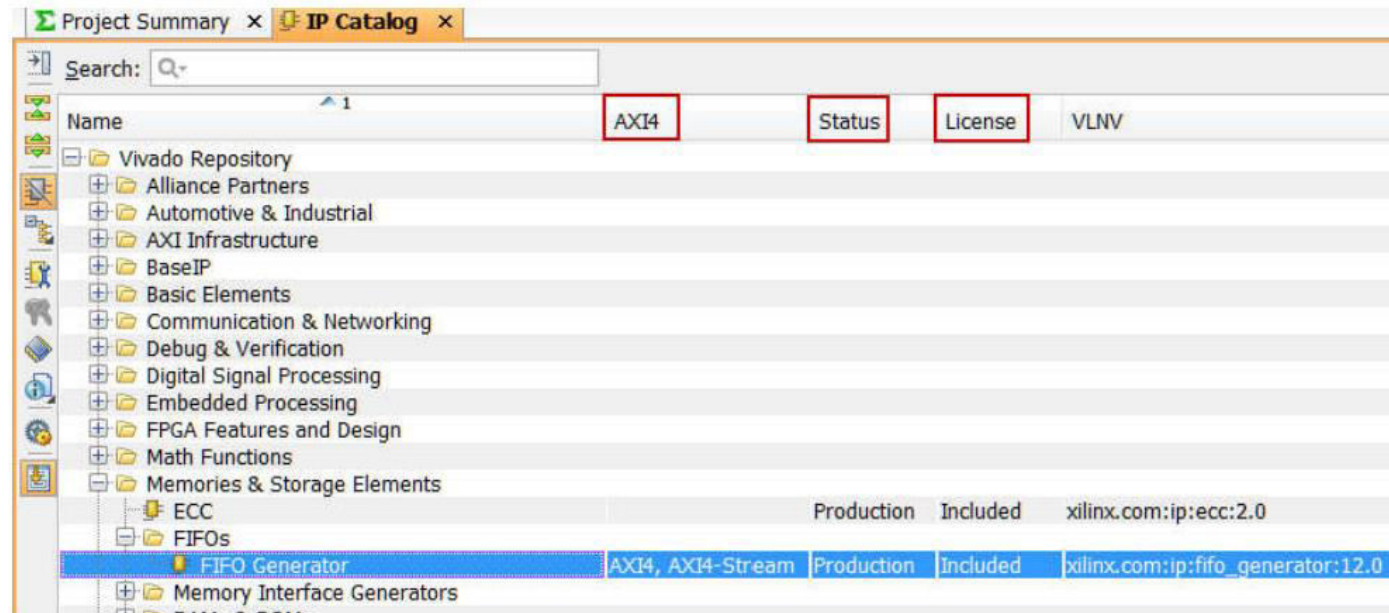
## ➤ Gestión de las distintas IP disponibles

- Permite la personalización de la IP
- Tiene una interface grafica similar a la del entorno de desarrollo Vivado
- La síntesis e implementación se hace a través de las herramientas de Vivado
- Puede gestionarse a través de comandos Tcl



# Catálogo de IP: Distintos tipos de IP disponibles

- **Mucha IP en el catálogo es del tipo periférico (tiene una interfaz de bus)**
  - Este tipo de periféricos indican el tipo de bus: AXI4 o AXI4-Stream
- **La IP que no es tipo periférico no tiene entrada en la columna AXI4**
- **La columna "Status" indica si la IP está en estado "production" (probada y depurada), "pre-production" (funcionalidad probada pero no optimizada)**
- **La columna "License" indica si la IP es de uso gratuito o si es necesario adquirir una licencia adicional para su uso.**



The screenshot shows the Vivado IP Catalog window. The 'Name' column lists various IP categories and specific IP blocks. The 'AXI4' column indicates the bus interface type. The 'Status' column shows the IP's development stage. The 'License' column indicates if a license is required. The 'VLNV' column shows the vendor, library, name, and version.

Name	AXI4	Status	License	VLNV
Vivado Repository				
Alliance Partners				
Automotive & Industrial				
AXI Infrastructure				
BaseIP				
Basic Elements				
Communication & Networking				
Debug & Verification				
Digital Signal Processing				
Embedded Processing				
FPGA Features and Design				
Math Functions				
Memories & Storage Elements				
ECC		Production	Included	xilinx.com:ip:ecc:2.0
FIFOs				
FIFO Generator	AXI4, AXI4-Stream	Production	Included	xilinx.com:ip:fifo_generator:12.0
Memory Interface Generators				
RAM & ROMs				



# Catálogo de IP: IP disponible para uso sin licencia

- Controladores de Bus y bridges
- Módulos de depuración
- Controladores de DMA
- Timers
- Comunicación entre procesadores (para sistemas multiprocesador)
- Controladores para memoria DRAM externa
- Periféricos para comunicaciones a alta y baja velocidad
- Otros

Name	AXI4	Status	License	VLNV
AXI Infrastructure				
AXI-Stream FIFO	AXI4, AXI4-Stream	Production	Included	xilinx.com:
AXI4-Stream Accelerator Adapter	AXI4, AXI4-Stream	Production	Included	xilinx.com:
AXI4-Stream Broadcaster	AXI4-Stream	Production	Included	xilinx.com:
AXI4-Stream Clock Converter	AXI4-Stream	Production	Included	xilinx.com:
AXI4-Stream Combiner	AXI4-Stream	Production	Included	xilinx.com:
AXI4-Stream Data FIFO	AXI4-Stream	Production	Included	xilinx.com:
AXI4-Stream Data Width Converter	AXI4-Stream	Production	Included	xilinx.com:
AXI4-Stream Interconnect		Production	Included	xilinx.com:
AXI4-Stream Interconnect RTL	AXI4-Stream	Production	Included	xilinx.com:
AXI4-Stream Protocol Checker	AXI4-Stream	Production	Included	xilinx.com:
AXI4-Stream Register Slice	AXI4-Stream	Production	Included	xilinx.com:
AXI4-Stream Subset Converter	AXI4-Stream	Production	Included	xilinx.com:
AXI4-Stream Switch	AXI4, AXI4-Stream	Production	Included	xilinx.com:
AXI Central Direct Memory Access	AXI4	Production	Included	xilinx.com:
AXI Chip2Chip Bridge	AXI4, AXI4-Stream	Production	Included	xilinx.com:
AXI Clock Converter	AXI4	Production	Included	xilinx.com:
AXI Crossbar	AXI4	Production	Included	xilinx.com:
AXI Data FIFO	AXI4	Production	Included	xilinx.com:
AXI DataMover	AXI4, AXI4-Stream	Production	Included	xilinx.com:
AXI Data Width Converter	AXI4	Production	Included	xilinx.com:
AXI Direct Memory Access	AXI4, AXI4-Stream	Production	Included	xilinx.com:
AXI DMA Back-End Core	AXI4, AXI4-Stream	Production	Purchase	nwlogic.co
AXI Interconnect		Production	Included	xilinx.com:

# Catálogo de IP: IP disponible para evaluación (requiere licencia)

- **Controlador CAN AXI**
- **USB2 device AXI**
- **Video IP**
- **Telecoms/ Wireless IP**

Name	AXI4	Status	License	VLNV
AXI Infrastructure				
AXI-Stream FIFO	AXI4, AXI4-Stream	Production	Included	xilinx.com:
AXI4-Stream Accelerator Adapter	AXI4, AXI4-Stream	Production	Included	xilinx.com:
AXI4-Stream Broadcaster	AXI4-Stream	Production	Included	xilinx.com:
AXI4-Stream Clock Converter	AXI4-Stream	Production	Included	xilinx.com:
AXI4-Stream Combiner	AXI4-Stream	Production	Included	xilinx.com:
AXI4-Stream Data FIFO	AXI4-Stream	Production	Included	xilinx.com:
AXI4-Stream Data Width Converter	AXI4-Stream	Production	Included	xilinx.com:
AXI4-Stream Interconnect		Production	Included	xilinx.com:
AXI4-Stream Interconnect RTL	AXI4-Stream	Production	Included	xilinx.com:
AXI4-Stream Protocol Checker	AXI4-Stream	Production	Included	xilinx.com:
AXI4-Stream Register Slice	AXI4-Stream	Production	Included	xilinx.com:
AXI4-Stream Subset Converter	AXI4-Stream	Production	Included	xilinx.com:
AXI4-Stream Switch	AXI4, AXI4-Stream	Production	Included	xilinx.com:
AXI Central Direct Memory Access	AXI4	Production	Included	xilinx.com:
AXI Chip2Chip Bridge	AXI4, AXI4-Stream	Production	Included	xilinx.com:
AXI Clock Converter	AXI4	Production	Included	xilinx.com:
AXI Crossbar	AXI4	Production	Included	xilinx.com:
AXI Data FIFO	AXI4	Production	Included	xilinx.com:
AXI DataMover	AXI4, AXI4-Stream	Production	Included	xilinx.com:
AXI Data Width Converter	AXI4	Production	Included	xilinx.com:
AXI Direct Memory Access	AXI4, AXI4-Stream	Production	Included	xilinx.com:
AXI DMA Back-End Core	AXI4, AXI4-Stream	Production	Purchase	nwlogic.co
AXI Interconnect		Production	Included	xilinx.com:



# Catálogo de IP: Información de la IP

- Datos de configuración
- Compatibilidad con las distintas familias de FPGA
- Hoja de datos (Product Guide)
- Registro de cambios (Change Log)
- Página web de la IP (Product Webpage)

Name	AXI4	Status	License	VLNV
AXI Infrastructure				
AXI-Stream FIFO	AXI4, AXI4-Stream	Production	Included	xilinx.com:
AXI4-Stream Accelerator Adapter	AXI4, AXI4-Stream	Production	Included	xilinx.com:
AXI4-Stream Broadcaster	AXI4-Stream	Production	Included	xilinx.com:
AXI4-Stream Clock Converter	AXI4-Stream	Production	Included	xilinx.com:
AXI4-Stream Combiner	AXI4-Stream	Production	Included	xilinx.com:
AXI4-Stream Data FIFO	AXI4-Stream	Production	Included	xilinx.com:
AXI4-Stream Data Width Converter	AXI4-Stream	Production	Included	xilinx.com:
AXI4-Stream Interconnect		Production	Included	xilinx.com:
AXI4-Stream Interconnect RTL	AXI4-Stream	Production	Included	xilinx.com:
AXI4-Stream Protocol Checker	AXI4-Stream	Production	Included	xilinx.com:
AXI4-Stream Register Slice	AXI4-Stream	Production	Included	xilinx.com:
AXI4-Stream Subset Converter	AXI4-Stream	Production	Included	xilinx.com:
AXI4-Stream Switch	AXI4, AXI4-Stream	Production	Included	xilinx.com:
AXI Central Direct Memory Access	AXI4	Production	Included	xilinx.com:
AXI Chip2Chip Bridge	AXI4, AXI4-Stream	Production	Included	xilinx.com:
AXI Clock Converter	AXI4	Production	Included	xilinx.com:
AXI Crossbar	AXI4	Production	Included	xilinx.com:
AXI Data FIFO	AXI4	Production	Included	xilinx.com:
AXI DataMover	AXI4, AXI4-Stream	Production	Included	xilinx.com:
AXI Data Width Converter	AXI4	Production	Included	xilinx.com:
AXI Direct Memory Access	AXI4, AXI4-Stream	Production	Included	xilinx.com:
AXI DMA Back-End Core	AXI4, AXI4-Stream	Production	Purchase	nwlogic.co
AXI Interconnect		Production	Included	xilinx.com:

# Temario

- Herramienta IP Integrator
- Herramienta IP Packager
- Catálogo IP
- **Asistente de temporización**
- Resumen

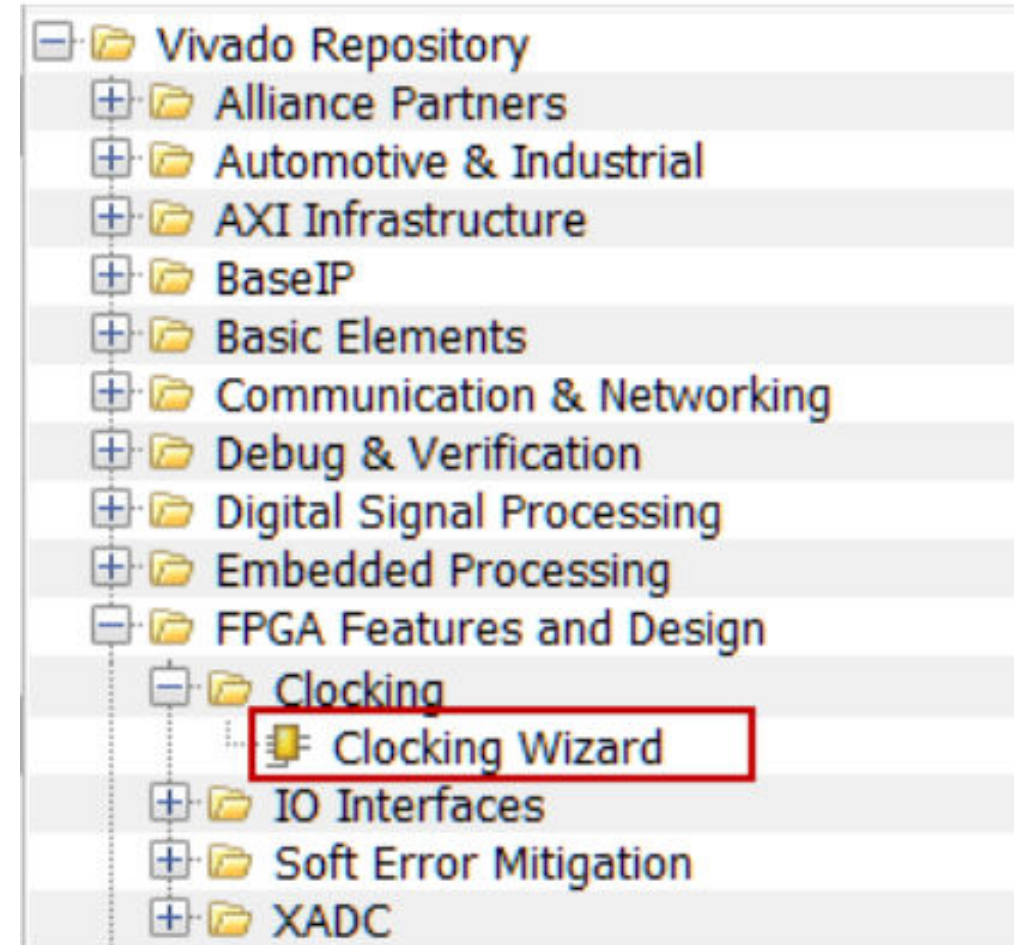


# Recursos de temporización: MMCM y PLL

- Un dispositivo puede tener hasta 24 dominios distintos (Clock Management Tile - CMT)
- En cada CMT hay un Mixed Mode Clock Manager (MMCM) y un Phase Locked Loop (PLL)
- El PLL está más orientado a uso en interfaces
- El MMCM en general se utiliza para generar la temporización del sistema
- Los bloques PLL y MMCM no se pueden inferir, se deben instanciar.

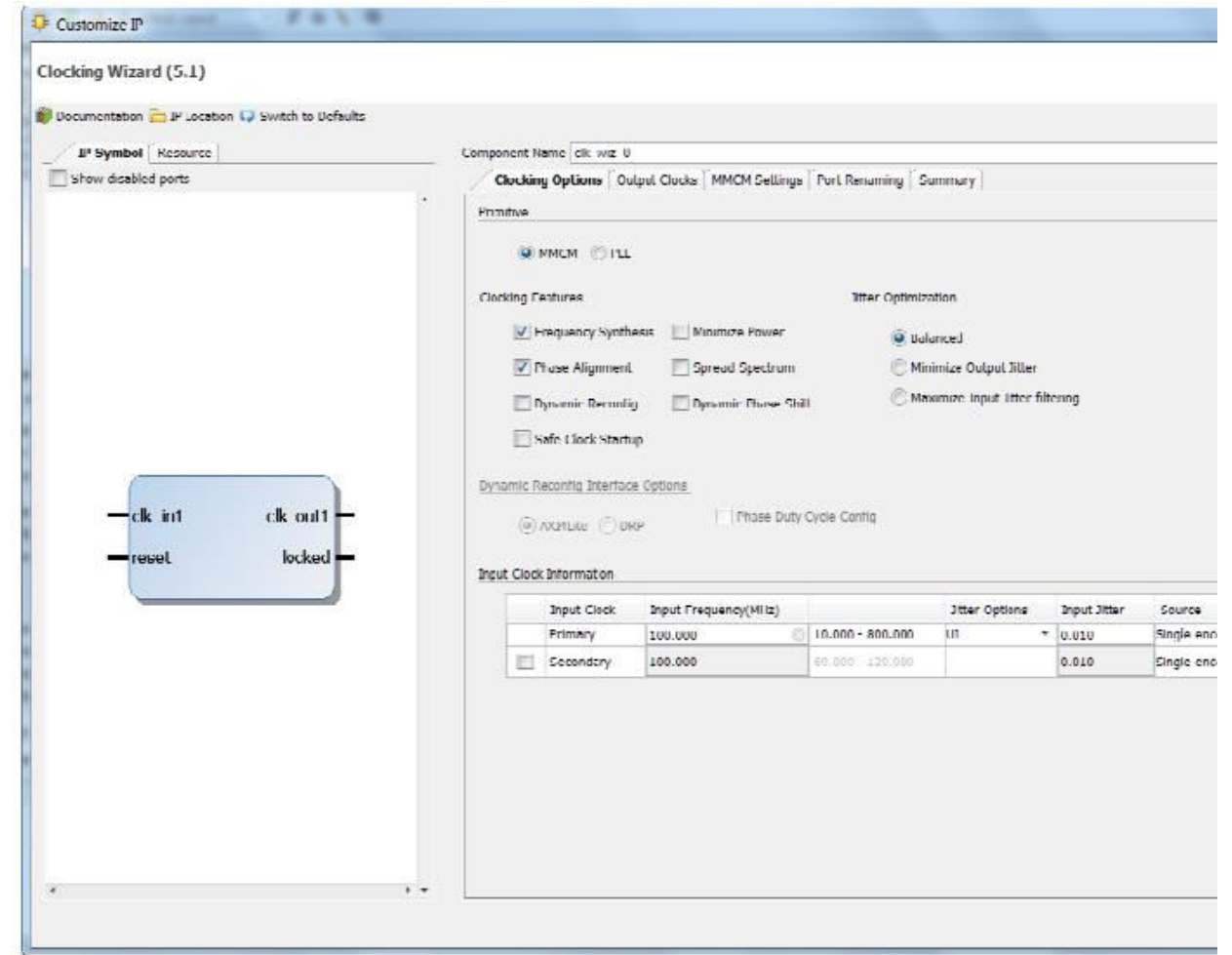
# Asistente de temporización (Clocking Wizard)

- **Seleccionar el catalogo IP**
- **Expandir la opción FPGA Features and Design -> Clocking**
- **Dar doble clickn en Clocking Wizard**
- **El asistente realiza los pasos necesarios generar el subsistema de temporización**



# Asistente de temporización: Opciones

- **Seleccionar la primitiva a utilizar**
  - MMCME2\_ADV
  - PLLE2\_ADV
- **Especificar la frecuencia y tipo de entrada**
  - Opcionalmente se puede especificar una segunda entrada
- **Seleccionar las características de la señal de reloj a generar**
  - Frecuencia
  - Fase



# Asistente de temporización: Señales de salida

- Seleccionar la cantidad de salidas de reloj
- Fijar las frecuencias de salida
- Opcionalmente: seleccionar otros puertos

The screenshot shows the 'Customize IP' Clocking Wizard (5.1) interface. The 'Output Clocks' tab is active, displaying a table of output clock configurations. The table has columns for Output Clock, Output Freq (MHz) Requested, Actual, Phase (degrees) Requested, Actual, and Duty Cycle (%) Requested, Actual. The first row, 'clk\_out1', is selected with a checked checkbox and has values of 100.000 MHz, 100.000 MHz, 0.000 degrees, 0.000 degrees, and 50.000% duty cycle. The other rows, 'clk\_out2' through 'clk\_out7', are disabled with unchecked checkboxes and have 'N/A' for actual values. Below the table, there is a 'USE CLOCK SEQUENCING' section with a table of Output Clock and Sequence Number, where all sequence numbers are set to 1. To the right, the 'Clocking Feedback' section shows 'Automatic Control On-Chip' selected. At the bottom, there are checkboxes for 'Enable Optional Inputs / Outputs' and a 'Reset Type' dropdown.

Output Clock	Output Freq (MHz) Requested	Actual	Phase (degrees) Requested	Actual	Duty Cycle (%) Requested	Actual
<input checked="" type="checkbox"/> clk_out1	100.000	100.000	0.000	0.000	50.000	50.0
<input type="checkbox"/> clk_out2	100.000	N/A	0.000	N/A	50.000	N/A
<input type="checkbox"/> clk_out3	100.000	N/A	0.000	N/A	50.000	N/A
<input type="checkbox"/> clk_out4	100.000	N/A	0.000	N/A	50.000	N/A
<input type="checkbox"/> clk_out5	100.000	N/A	0.000	N/A	50.000	N/A
<input type="checkbox"/> clk_out6	100.000	N/A	0.000	N/A	50.000	N/A
<input type="checkbox"/> clk_out7	100.000	N/A	0.000	N/A	50.000	N/A

Output Clock	Sequence Number
clk_out1	1
clk_out2	1
clk_out3	1
clk_out4	1
clk_out5	1
clk_out6	1
clk_out7	1

USE CLOCK SEQUENCING

Clocking Feedback

Source: ☒ Automatic Control On-Chip, ☐ Automatic Control Off-Chip, ☐ User-Controlled On-Chip, ☐ User-Controlled Off-Chip

Signaling: ☒ Single-ended, ☐ Differential

Enable Optional Inputs / Outputs: ☐ reset, ☐ source\_strobe, ☐ source\_clk\_divided

Reset Type:

OK

# Asistente de temporización: Configuración de MMCM

- Permite sobrescribir los parámetros generados por el asistente.
- Permite fijar a mano la fase, el periodo, el jitter, etc.

Timing Wizard: MMCM Settings

These are the settings based on inputs from previous pages. Any update on this page will override the optimal settings calculated by the wizard

☐ Allow Override Mode

Attribute	Value
BANDWIDTH	OPTIMIZED
CLKFBOUT_MULT_F	10.000
CLKFBOUT_PHASE	0.000
CLKIN1_PERIOD	10.0
CLKIN2_PERIOD	10.0
COMPENSATION	ZHOLD
DIVCLK_DIVIDE	1
REF_JITTER1	0.010
REF_JITTER2	0.010
STARTUP_WAIT	<input type="checkbox"/>
CLKFBOUT_USE_FINE_PS	<input type="checkbox"/>
CLKOUT4_CASCADE	<input type="checkbox"/>

Clk Wizard Port	Renamed Port	MMCM/PLL Port	Divide	Duty Cycle	Phase	Us
clk_out1	clk_out1	CLKOUT0	10.000	0.500	0.000	

# Asistente de temporización: Renombrado de puertos

- Permite cambiar los nombres de los puertos de entrada/salida.
- También se puede cambiar el nombre de los puertos opcionales.

The screenshot shows the 'Port Renaming' tab of a timing assistant. It contains three main sections: 'Input Clock', 'Output Clock', and 'Optional Port Names'.

**Input Clock:** A table with 4 columns: Input Clock, Port Name, Freq (MHz), and Input Jitter (UI). It contains one row for the 'Primary' clock with port name 'clk\_in1', frequency '100.000', and jitter '0.010'.

**Output Clock:** A section with 'VCO Freq = 1000.000 MHz' and a table with 7 columns: Output Clock, Port Name, Output Freq (MHz), Phase (degrees), Duty Cycle (%), Pk-to-Pk Jitter (ps), and Phase Error. It contains one row for 'clk\_out1' with port name 'clk\_out1', frequency '100.000', phase '0.000', duty cycle '50.0', jitter '130.958', and phase error '98.575'.

**Optional Port Names:** A table with 2 columns: Other Pins and Port Name. It contains two rows: 'reset' and 'locked', both with their respective port names unchanged.

Input Clock	Port Name	Freq (MHz)	Input Jitter (UI)
Primary	clk_in1	100.000	0.010

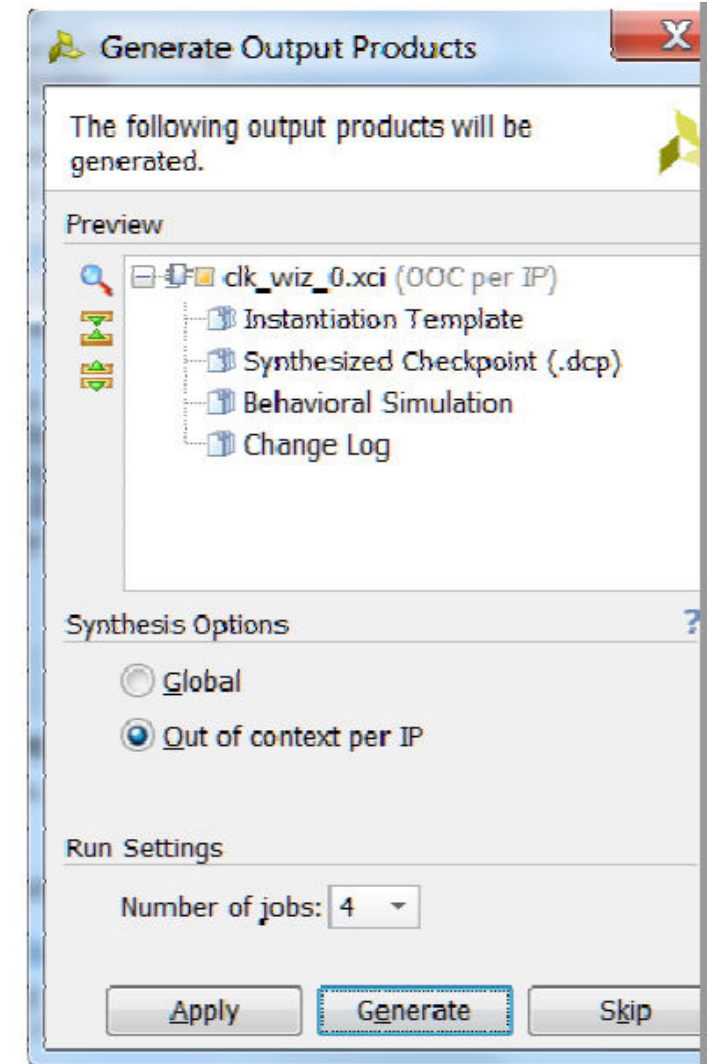
VCO Freq = 1000.000 MHz

Output Clock	Port Name	Output Freq (MHz)	Phase (degrees)	Duty Cycle (%)	Pk-to-Pk Jitter (ps)	Phase Error
clk_out1	clk_out1	100.000	0.000	50.0	130.958	98.575

Other Pins	Port Name
reset	reset
locked	locked

# Asistente de temporización: Salidas

- **Genera la plantilla de instanciado a incorporar en el código fuente HDL.**
- **Modelo para el proceso de síntesis.**
- **Modelo de simulación.**
- **Archivos para el proceso de implementación**
- **Ejemplo de uso**



# Temario

- Herramienta IP Integrator
- Herramienta IP Packager
- Catálogo IP
- Asistente de temporización
- **Resumen**



# Resumen

- **Se puede agregar IP a partir de liberías o crear IP propia para reutilización.**
- **La herramienta IP Packager permite generar paquetes de IP para reutilizar.**
- **El catálogo de IP permite utilizar IP ya probada y depurada.**
  - La IP está agrupada de acuerdo a su funcionalidad.
- **El asistente de temporización (Clocking Wizard) permite la configuración y el instanciado de subsistemas de temporización.**