

BLOQUE TEMÁTICO 1**TÍTULO DE LA ACTIVIDAD:**
Conexión sensor-FPGA (4ª parte).**CÓDIGO:**
BT1.A2_P3**FECHA:****NOMBRE:****APELLIDOS:****MODALIDAD:**Libre.
Resolución de problemas.**TIPO:**

No presencial

DURACIÓN:120
minutos**CALENDARIO:**

Previo a la sesión presencial S8

REQUISITOS:**CRITERIO DE
ÉXITO:**

COMENTARIOS E INCIDENCIAS:

TIEMPO DEDICADO:

minutos

AUTOEVALUACIÓN:
[entre 0 y 10 puntos]

No procede

Introducción

En esta actividad se completará el análisis de la conexión sensor-FPGA en modo no presencial. Durante su desarrollo se plantean una serie de cuestiones cuya resolución es necesaria para el progreso del diseño. La información relevante que debe manejar para la resolución de todas estas cuestiones está en las hojas de datos del sensor y la FPGA.

Configuración de los pines de la FPGA

Como parte del proceso de diseño será necesario determinar la configuración de los pines de usuario de la FPGA que se utilicen en el mismo. Una parte de esta configuración se especificará en el propio código VHDL (si el pin es de entrada, de salida o bidireccional), mientras que el resto de parámetros tendrán que ser fijados durante el proceso de síntesis lógica con Quartus.

En esta actividad se trata de determinar la configuración de los pines de la FPGA que se conectan al sensor de temperatura. Probablemente muchos o todos los parámetros de configuración ya los tenga claros en función del trabajo ya realizado; en ese caso este apartado simplemente le servirá para documentar la configuración de estos pines. Si no, determine la configuración en función de la especificación del diseño, la interconexión entre la FPGA y el sensor (que puede ver en los esquemas de la tarjeta DECA) y la información disponible en el *Device Datasheet* y el *Intel MAX10 General Purpose I/O User Guide* de la FPGA.

Utilice la siguiente tabla para describir la configuración de los pines de la interfaz sensor-FPGA de manera compacta:

	direccion	open drain	pull-up	bus hold	slew rate	reg. salida	reg. entrada	Reg. OE	Curr. strength	Schmitt Trigger
Y10										
AA10										

Alimentación del banco 3 de la FPGA

Como puede ver en los esquemas de la tarjeta DECA, los pines Y10 y AA10 pertenecen al banco 3 de la FPGA. Indique aquí cuál es el valor de la tensión de alimentación para ese banco:

Tensión de alimentación del banco 3 de la FPGA en la tarjeta DECA	
---	--

Estándar de E/S para los pines del banco 3

Para proseguir en el diseño de la interfaz sensor-FPGA es necesario determinar cuál es el estándar de E/S que se utilizará para los pines que se utilicen en esa interfaz. Teniendo en cuenta la alimentación del banco en el que se encuentran y las otras restricciones que le parezcan relevantes, seleccione el estándar que va a utilizar para cada pin:

Pin	Estándar de E/S
Y10	
AA10	

Compatibilidad lógica

En este apartado deberá comprobar que, con la configuración de pines que ha seleccionado, y dadas las características eléctricas del sensor (en su hoja de datos) y de la FPGA (en el Device datasheet), hay compatibilidad lógica a nivel de tensiones y corrientes. Calcule también los márgenes de ruido del 0 y del 1.

Verifique si hay compatibilidad lógica de tensiones y corrientes para el nivel bajo y con qué márgenes de ruido.

Para verificar la compatibilidad a nivel alto sería necesario disponer del valor de la corriente de fugas a nivel alto de las salidas drenador abierto del sensor, pero este dato no aparece en las hojas de datos. En su lugar, calcule cuál es el valor máximo de esa corriente que asegura la compatibilidad lógica con unos márgenes de ruido iguales que los que se han obtenido para el nivel bajo.

Capacidad parásita en el bus I2C

Una de las restricciones que deben satisfacerse en una interfaz I2C es el valor máximo de la capacidad parásita en el bus. Obtenga este valor consultando en el documento de especificación del bus:

Valor máximo de la capacidad parásita en las líneas del bus I2C	
---	--

Esta capacidad parásita será la suma de las capacidades parásitas de los pines conectados a la línea más la capacidad parásita de la conexión. La capacidad parásita de la conexión podría calcularse de manera aproximada si se dispusiera de la información de diseño de la placa de circuito impreso de la tarjeta. Como no se dispone de esa información, únicamente puede obtenerse la suma de las capacidades parásitas de los pines de la FPGA y del sensor.

Extraiga la información sobre la capacidad parásita de los pines SDA y SCL del sensor (en la hoja de datos del sensor) y la de los pines de la FPGA (en el *Device datasheet* de la FPGA):

Pines	Capacidad parásita
Y10, AA10 (FPGA)	
SCL, SDA (sensor)	

Como verá, la suma de las capacidades parásitas en estos dos pines es muy inferior al valor máximo. Teniendo en cuenta las dimensiones de la tarjeta y la ubicación de la FPGA y del sensor, cabe esperar que las capacidades parásitas de las interconexiones sean pequeñas y que esta restricción se supere con bastante holgura.

Integración de la información relevante sobre la interfaz sensor-FPGA en la memoria del diseño

Una vez contestadas estas cuestiones, la siguiente información debe integrarse en la memoria del diseño: configuración de los pines de la interfaz FPGA-sensor y estándar de e/s seleccionado para dichos pines (en el apartado 5.1), compatibilidad de corrientes y tensiones y márgenes de ruido en la interfaz FPGA-sensor (en el apéndice 1). Adicionalmente, se integrará la información acerca de la secuencia de operación para la obtención de datos de temperatura y humedad a través de la interfaz I2C (en el apéndice 2).

Incorporación de los documentos relevantes a la bibliografía

Si no lo ha hecho ya, debe incorporar a la bibliografía de la memoria del diseño la referencia a los siguientes documentos:

- Hojas de datos de la FPGA: *Device Datasheet*, *Device Architecture*, *General Purpose I/O User Guide*, *Device Pin-Out* y *Device Overview*
- Especificación del estándar I2C.

Recuerde que en cada referencia deberá incluir el enlace correspondiente (si está disponible online) y un resumen de la información que contiene y que ha utilizado durante el diseño.