



ETSIST-UPM

Dpto. de Ing. Telemática y Electrónica



Diseño Digital 2

Bloque temático 1

Actividad 2

Interfaz FPGA-sensor de temperatura

Introducción. Uso del sensor de temperatura y humedad en el diseño.

- Medida de la temperatura y de la humedad relativa en el ambiente que circunda al sensor
- La medición se realizará de forma periódica a intervalos de 500 ms

Introducción. Propósito de la actividad 2.

- Análisis de la información del sensor a partir de su hoja de datos
 - Interfaz
 - Funcionamiento
 - Alimentación
 - Tensiones y corrientes
 - ...
- Análisis de la conexión con la FPGA en la tarjeta DECA

Introducción. Reparto del trabajo en subactividades

subactividad	duración	descripción
introducción	10 min	Descripción de la actividad.
Análisis del datasheet del sensor (primera parte)	45 min	Interfaz y función, características eléctricas,
Conexión sensor-FPGA (primera parte)	45 min	Esquemas y starting guide, propósito. Generalidades sobre esquemas. Conexión FPGA-sensor. Alimentaciones. Ruido de conmutación.
Análisis del datasheet del sensor (segunda parte)	120 min	Detalles de funcionamiento. Modelo eléctrico.
Conexión sensor-FPGA (segunda parte)	65 min	Esquemas y starting guide, propósito. Generalidades sobre esquemas. Conexión FPGA-sensor. Alimentaciones. Ruido de conmutación.
Presentación de la familia MAX10	30 min	Introducción a la familia MAX10
Análisis del datasheet del sensor (tercera parte)	5 min	Conclusiones
Actividad 1	120 min	No presencialidad correspondiente a la Actividad 1
Conexión sensor-FPGA (tercera parte)	100 min	Requisitos de la interfaz FPGA: alimentación, pines de e/s, características eléctricas
Conexión sensor-FPGA (cuarta parte)	120 min	Conclusiones y documentación

Datasheet sensor (1). Estructura de la hoja de datos del sensor. Resumen

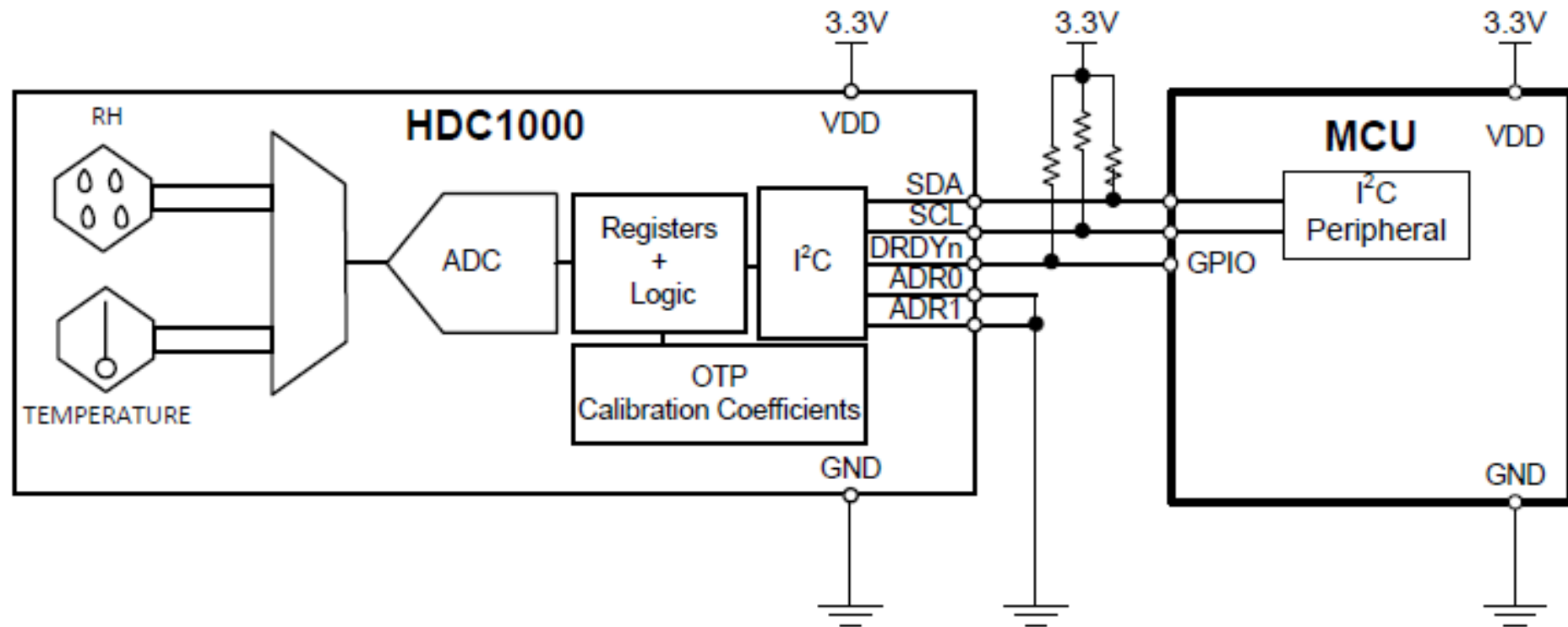
Parte	Contenido
Pag. 1	Características básicas, descripción general y diagrama de bloques
Pág. 2, 3	Tabla con índice de contenidos e historial de cambios
Pag. 4	Interfaz
Pag. 5	Absolute maximum ratings, ROCs
Pag. 6	Características eléctricas
Pag. 7	Interfaz I2C. Características eléctricas y tiempos
Pag. 8, 9	Gráficas
Pag. 10	Funcionamiento detallado, modos
Pag. 11, ...,14	Interfaz I2C. Dirección del bus serie, lecturas, escrituras
Pag. 15, ...,17	Modelo de programación, registros, formato temperatura y humedad
Pag. 18, ..., 22	Notas de aplicación
Pag. 23	Enlaces a recursos de utilidad
Pag. 24,..., 31	Encapsulado

Datasheet sensor (1). Descripción general.

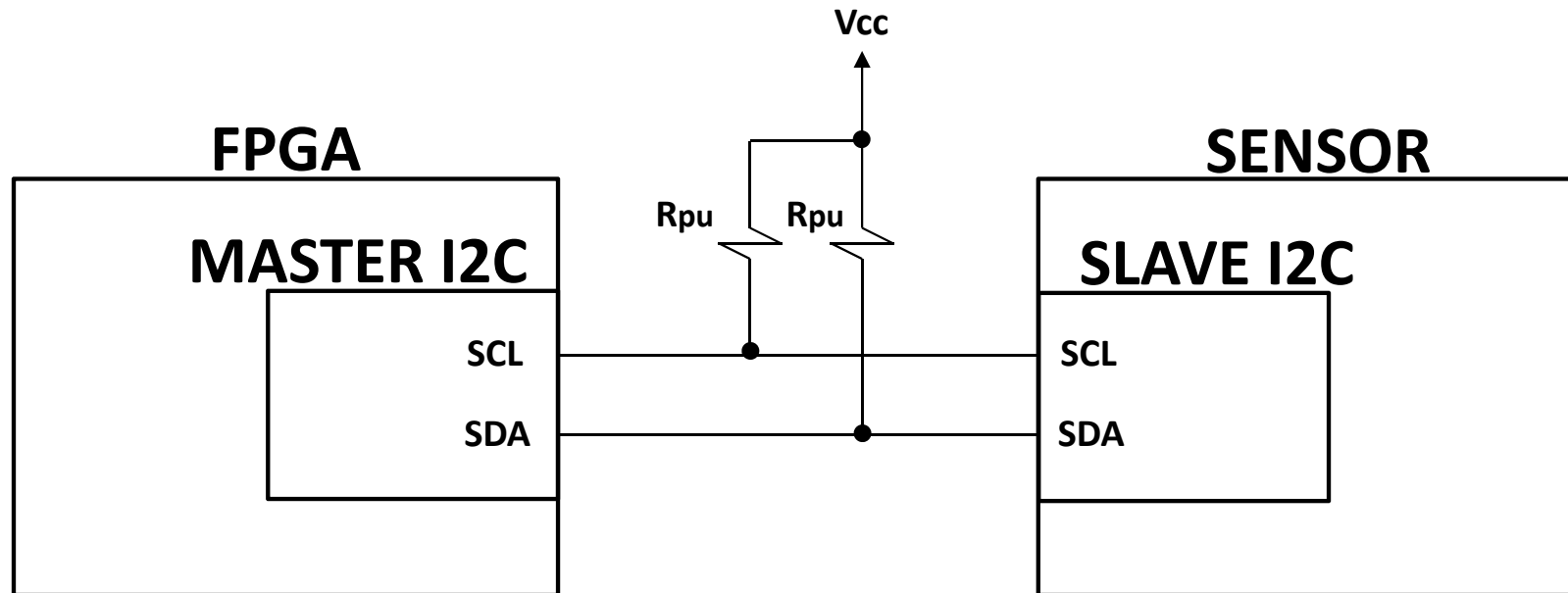
- A la vista de la descripción general, ¿cuáles son los elementos principales que contiene el chip?
- Señale estos elementos sobre el diagrama de bloques de la primera página
- ¿Cuál es el rango de temperatura que puede medir el sensor?

Datasheet sensor (1). Diagrama de bloques.

Typical Application



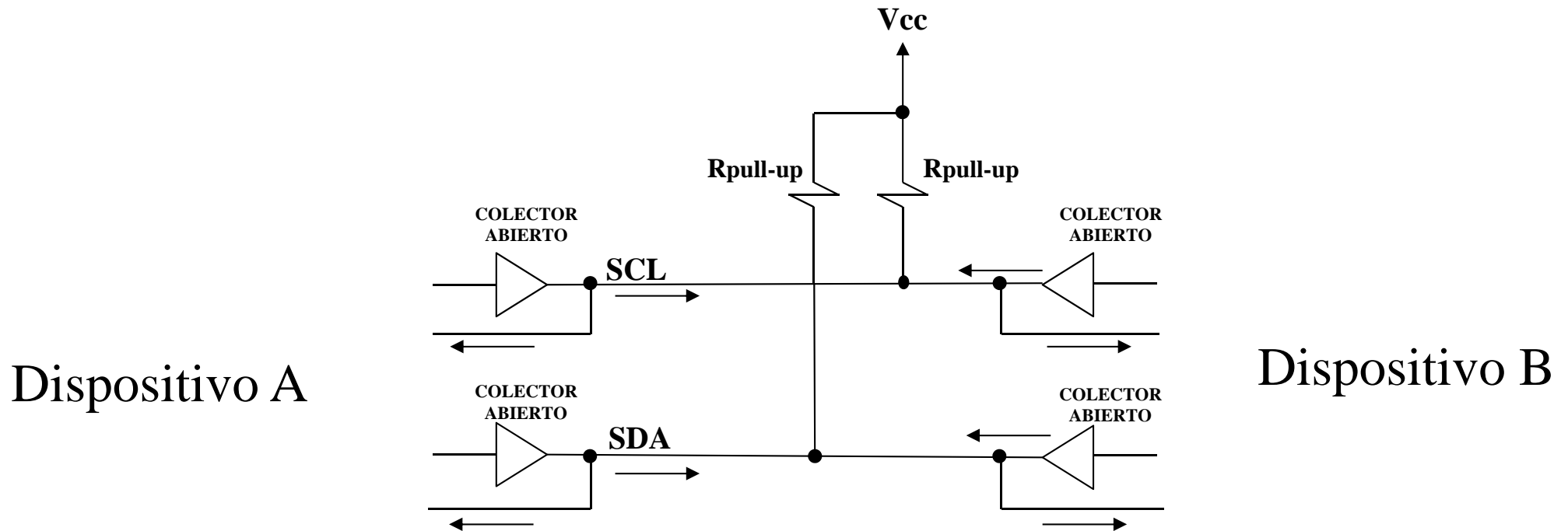
Interfaz I2C



El master I2C (FPGA) realiza operaciones de lectura y escritura en la dirección I2C del slave (sensor)

Interfaz I2C. Principios de funcionamiento

El bus I2C está diseñado para la comunicación de múltiples dispositivos, empleando dos líneas bidireccionales: SDA y SCL

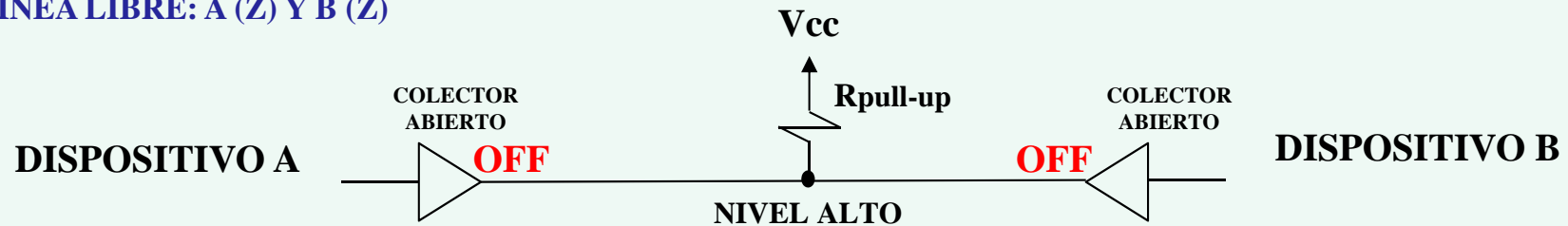


Los dispositivos se conectan al bus empleando salidas en colector abierto

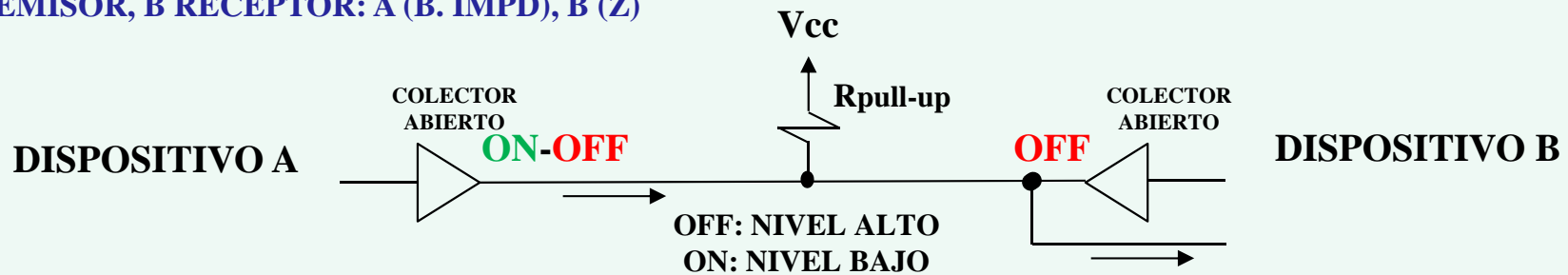
Interfaz I2C. Principios de funcionamiento

En una línea bidireccional en la que un emisor y un receptor se comunican por salidas en colector abierto pueden darse tres escenarios

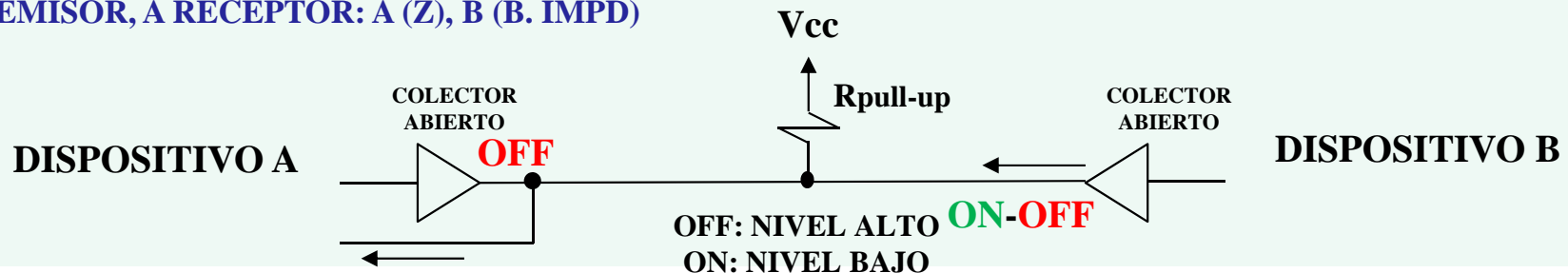
LINEA LIBRE: A (Z) Y B (Z)



A EMISOR, B RECEPTOR: A (B. IMPD), B (Z)



B EMISOR, A RECEPTOR: A (Z), B (B. IMPD)



Datasheet sensor (1). Interfaz

Número de pin	Nombre	Dirección (in/out/inout)	Descripción (breve, 2 líneas máximo)
A1			
B1			
C1			
D1			
A2			
B2			
C2			
D2			

Datasheet sensor (1). Interfaz

Número de pin	Nombre	Dirección (in/out/inout)	Descripción (breve, 1 línea)
A1	SCL	in	Reloj de la interfaz I2C
B1	Vdd		Alimentación
C1	ADR0	in	Selección de la dirección I2C
D1	ADR1	in	Selección de la dirección I2C
A2	SDA	inout	Línea de datos de la interfaz I2C
B2	GND		Masa
C2	DNC		No conectar o conectar a GND
D2	DRDYn	out	Data ready

Datasheet sensor (1). Interfaz

- ¿Para qué sirven las entradas ADDR0 y ADDR1?
- ¿Cuántas direcciones I2C soporta el chip?

Datasheet sensor (1). Alimentación.

- ¿Cuál es el rango de tensiones que se puede utilizar para alimentar el chip?
- ¿Hay algún valor preferente (valor nominal) dentro de este rango?
- ¿Puede dañarse el chip si, por error, lo alimento a 6V?
- ¿Y si lo alimento a 7,7 V?

Datasheet sensor (1). Direcciones I2C.

- ¿Cuáles son las direcciones I2C a las que puede responder el chip para los diferentes valores de A0 y A1?

Datasheet sensor (1). Referencia de la hoja de datos del sensor.

- Introduzca en el apartado de bibliografía de la memoria del diseño la referencia de la hoja de datos del sensor. A continuación, escriba un breve resumen de la información relevante para el diseño que contiene
- Cualquier información que se consulte durante la realización del diseño deberá aparecer de esta manera en la bibliografía

Datasheet sensor (1). Referencia de la hoja de datos del sensor.

HDC1000: Low Power, High Accuracy Digital Humidity Sensor with Temperature Sensor Data Sheet. [online]:
<http://www.ti.com/lit/ds/symlink/hdc1000.pdf>

Modelo lógico y eléctrico del sensor de temperatura.

Conexión sensor-FPGA (1). Documentación básica de la tarjeta DECA.

- Starting Guide:
 - Enumeración de los recursos de la tarjeta
 - Asignación de pines
 - Procedimiento para la configuración de la FPGA
- Esquemas
 - Detalle del diseño de la tarjeta, interconexión de los circuitos

Conexión sensor-FPGA (1). Esquemas de la tarjeta DECA. Generalidades.

- Cajetín
- Referencia unívoca de los componentes
- Part number de los chips
- Interfaz de chips grandes
- Conexiones por etiquetas
- Entradas y salidas
- Conexión de señales a otras páginas

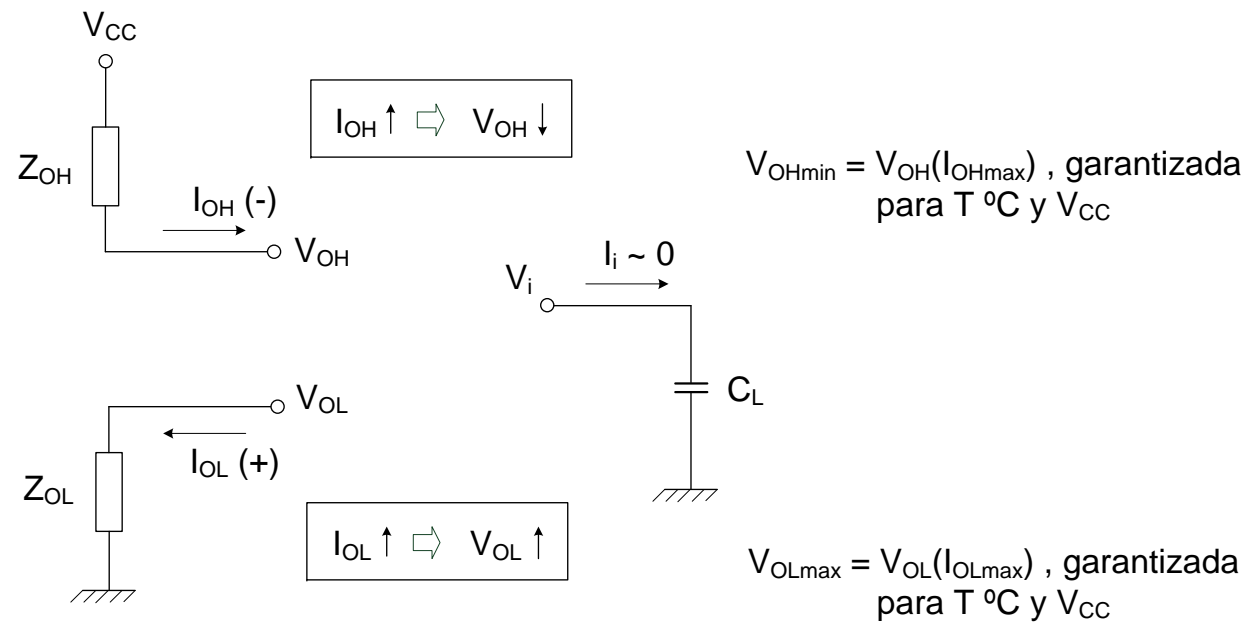
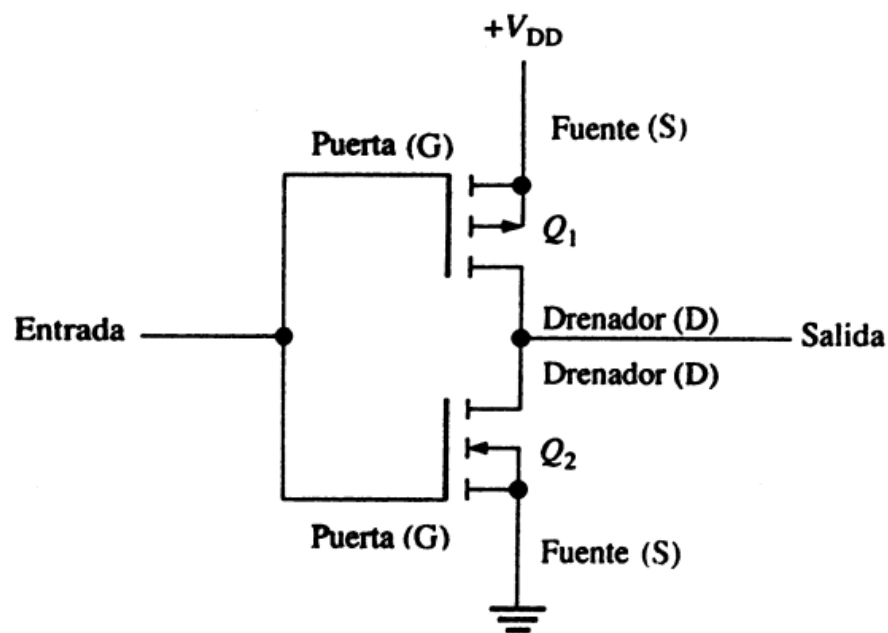
Conexión sensor-FPGA (1). Esquemas de la tarjeta DECA. Ubicación del sensor de temperatura.

- Busque en el manual de la DECA la referencia del sensor de temperatura y humedad. ¿Cuál es?
- ¿Dónde se ubica el sensor en la tarjeta?
- ¿Cuál es la página del esquema en la que se encuentra el sensor de temperatura y humedad?

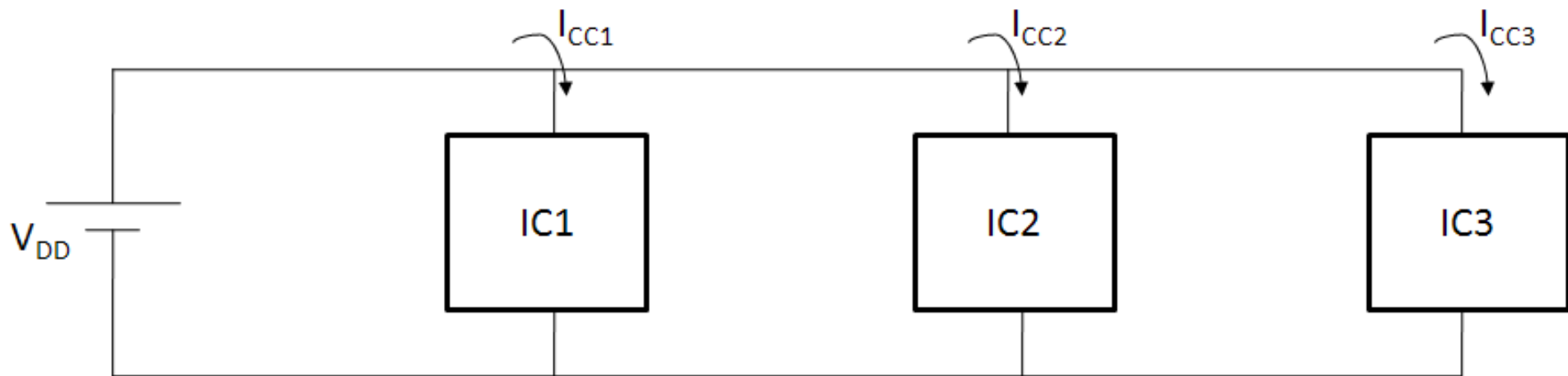
Conexión sensor-FPGA (1). Esquemas de la tarjeta DECA. Conexión del sensor de temperatura.

- ¿Qué dirección I2C tiene el sensor?
- ¿Dónde está conectada la alimentación del sensor?
- ¿Dónde están conectados los pines del interfaz I2C (SCL y SDA)?

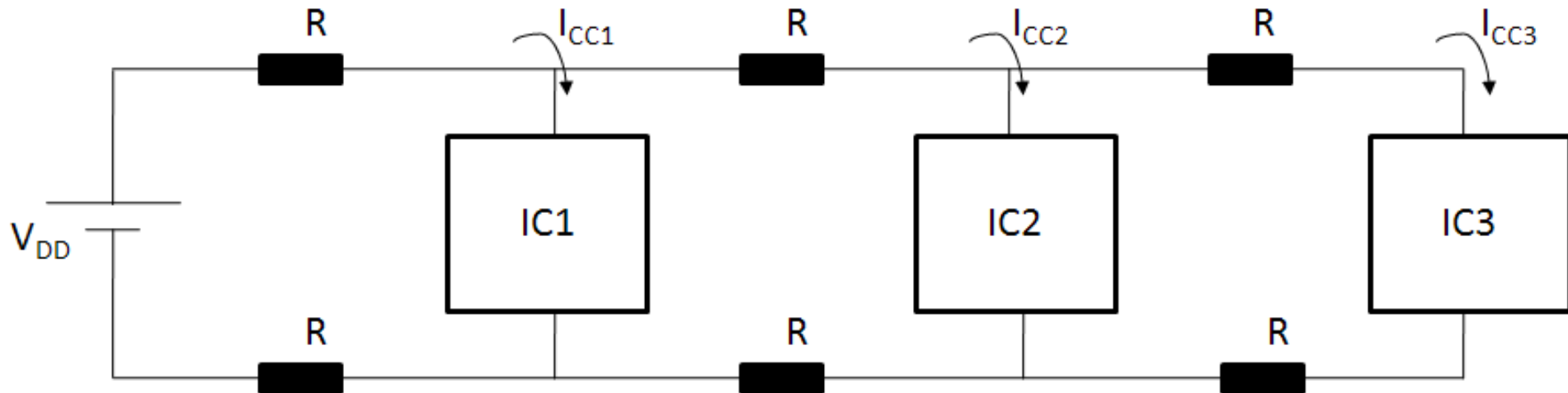
Conexión sensor-FPGA (2). Estructura de los circuitos digitales con tecnología CMOS



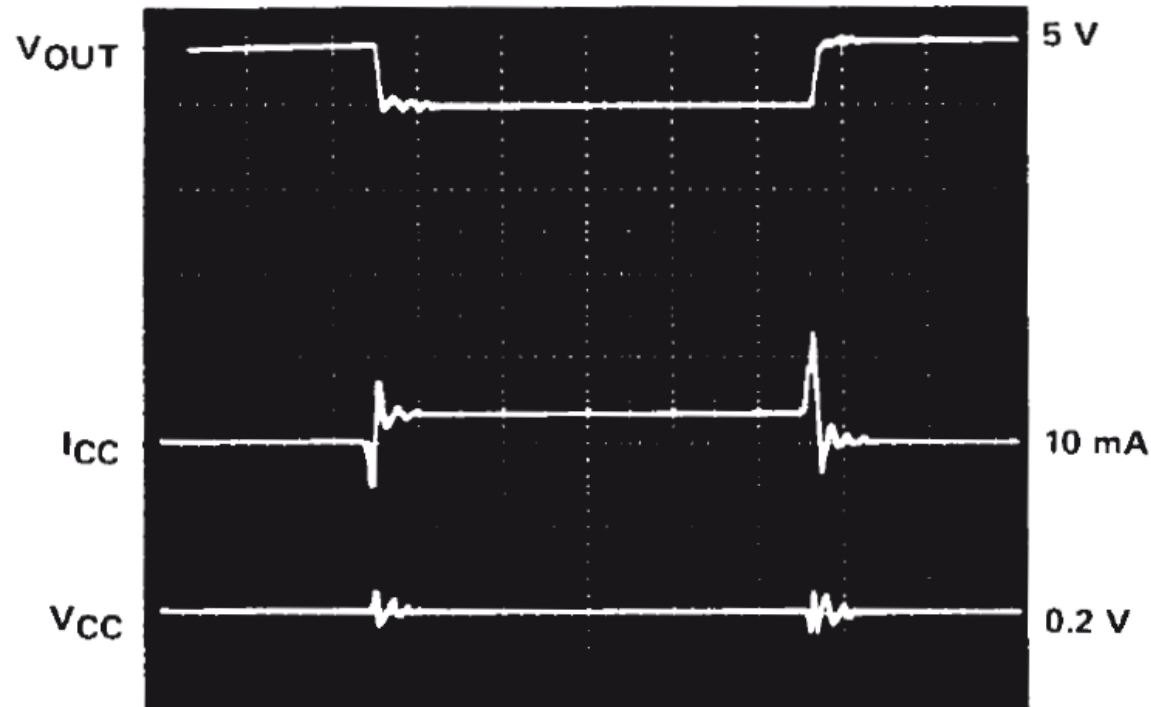
Conexión sensor-FPGA (2). Ruido de conmutación en los circuitos digitales



Conexión sensor-FPGA (2). Ruido de conmutación en los circuitos digitales



Conexión sensor-FPGA (2). Efectos del ruido de conmutación en circuitos digitales

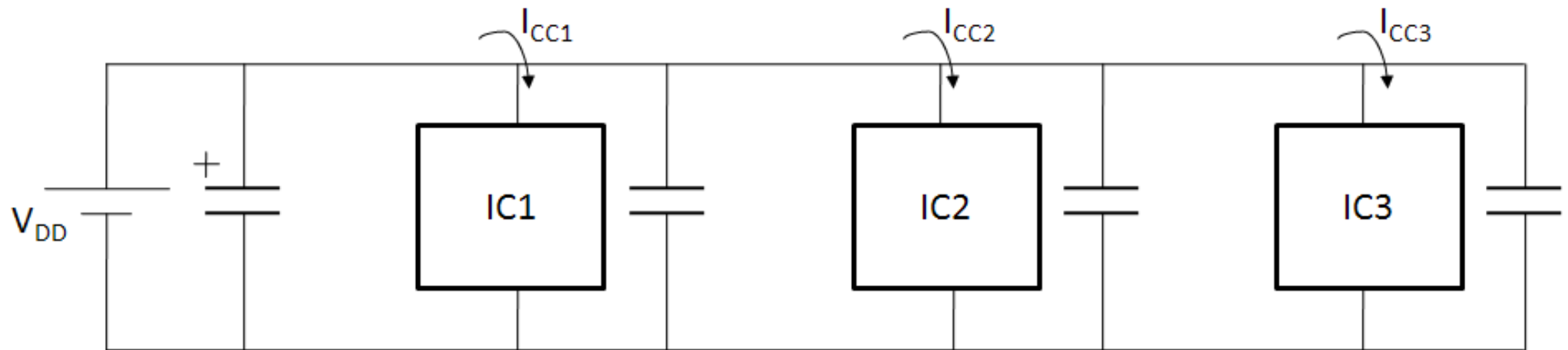


- Sin carga

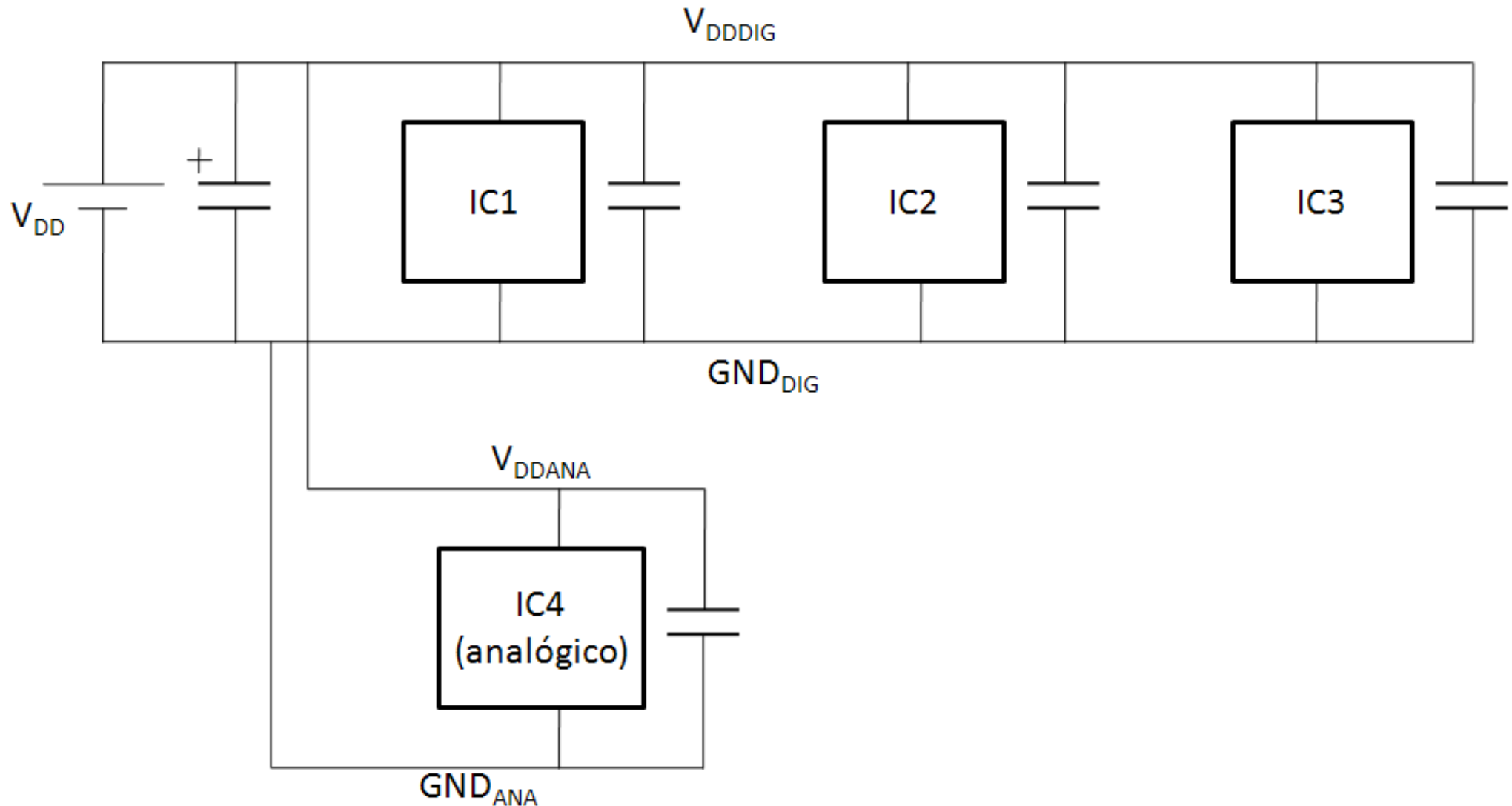


- Con una carga de 50pF

Conexión sensor-FPGA (2). Condensadores de desacoplo para las alimentaciones



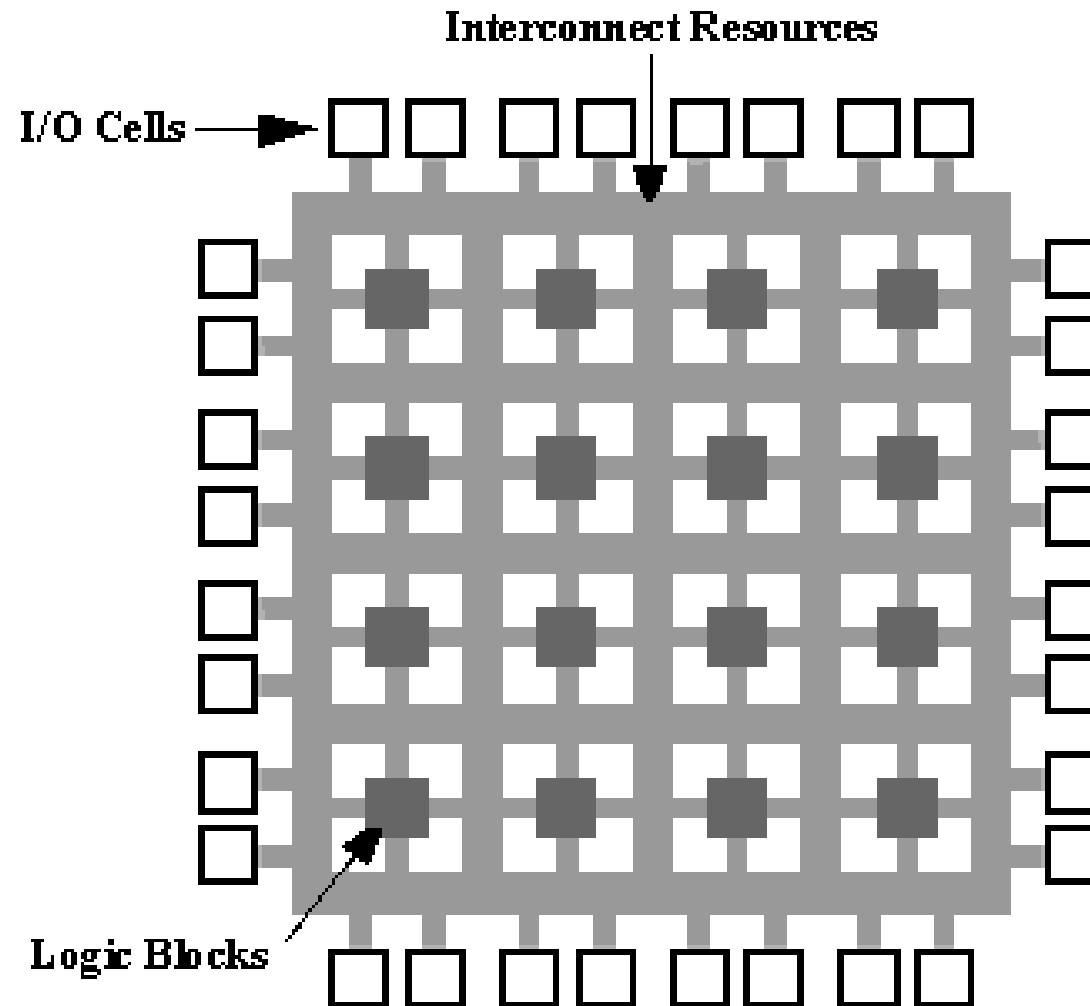
Conexión sensor-FPGA (2). Separación física de las alimentaciones (analógica y digital)



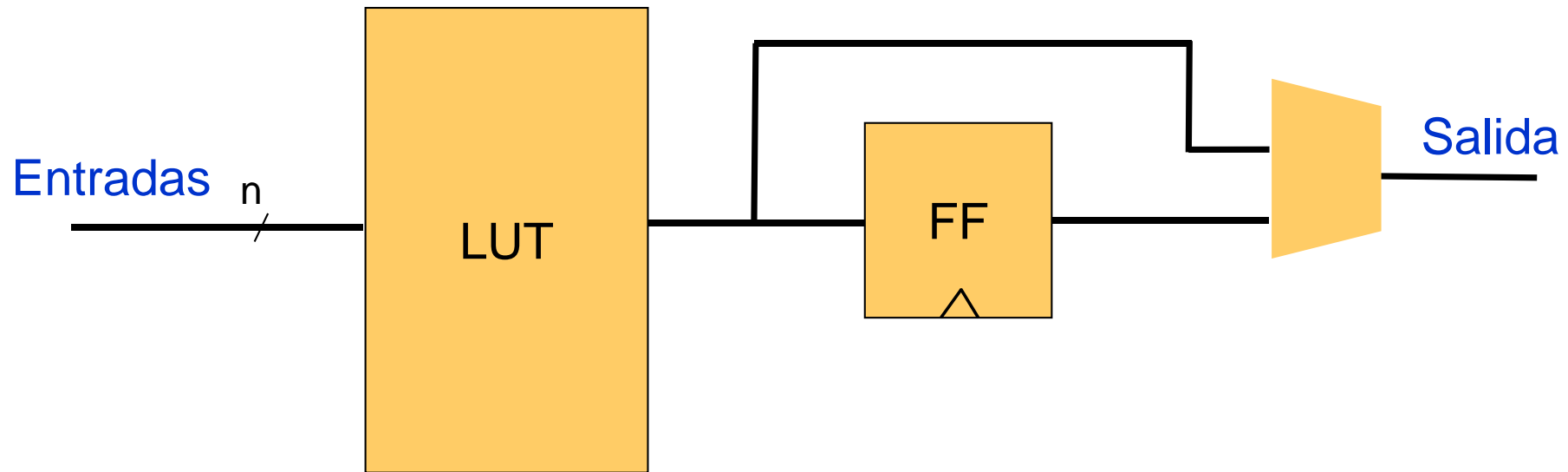
Familia MAX10. FPGAs. Elementos constitutivos.

- Bloques lógicos
 - Permiten la materialización de las funciones lógicas.
 - Habitualmente son LUT (o multiplexores) y flip-flops.
- Bloques de entrada/salida
 - Asociados a los pines del dispositivo.
 - Diversas configuraciones.
 - Control de slew-rate, salidas open-drain, PCI, multitensión...
- Recursos de interconexión

Familia MAX10. FPGAs. Arquitectura



Familia MAX10. FPGAs. Bloques lógicos: LUT + FF



Familia MAX10. FPGAs. Otros recursos.


- Memorias.
- PLLs.
- Multiplicadores hardware.
- Múltiples interfaces de entrada/salida.
- Recursos de interconexión de bajo retardo para reloj, reset y habilitaciones de salida.




Familia MAX10. Documentación.

- Device overview: resumen de características de la familia.
- Device datasheet: hoja de datos que contiene el modelo eléctrico y dinámico.
- MAX10 FPGA Device Architecture: descripción detallada de la arquitectura de la FPGA.
- User guides: descripción detallada de la arquitectura y funcionalidad de los diferentes recursos de la FPGA (memorias, PLLs, multiplicadores...).
- Device pin-out: interfaz (pines del dispositivo).

Familia MAX10. Device overview.

[Products](#) [Solutions](#) [Support](#)




USA (English)  [Sign In](#)  

- › Intel® MAX® 10 FPGA Package & Thermal Specifications
- › Device Pin-Outs
- › Intel MAX 10 FPGA Knowledge Base
- › BSDL Models
- › Power Distribution Network Tool 2.0
- › PCB Symbols

- › Design Guidelines (PDF)
- › Board Design Guidelines
- › Signal Integrity Design Guidelines
- › Intel MAX 10 FPGA Schematic Review Worksheet
- › IBIS Models
- › Spice Models



QUICK LINKS

- [Intel MAX 10 FPGA Device Overview](#)
- [Intel MAX 10 FPGA Device Datasheet](#)
- [Nios II Performance Benchmarks](#)
- [Intel MAX 10 FPGA Device Family Pin Connection Guidelines](#)
- [MAX 10 Device Errata](#)
- [Errata Sheet and Guidelines for MAX 10 ES Devices](#)

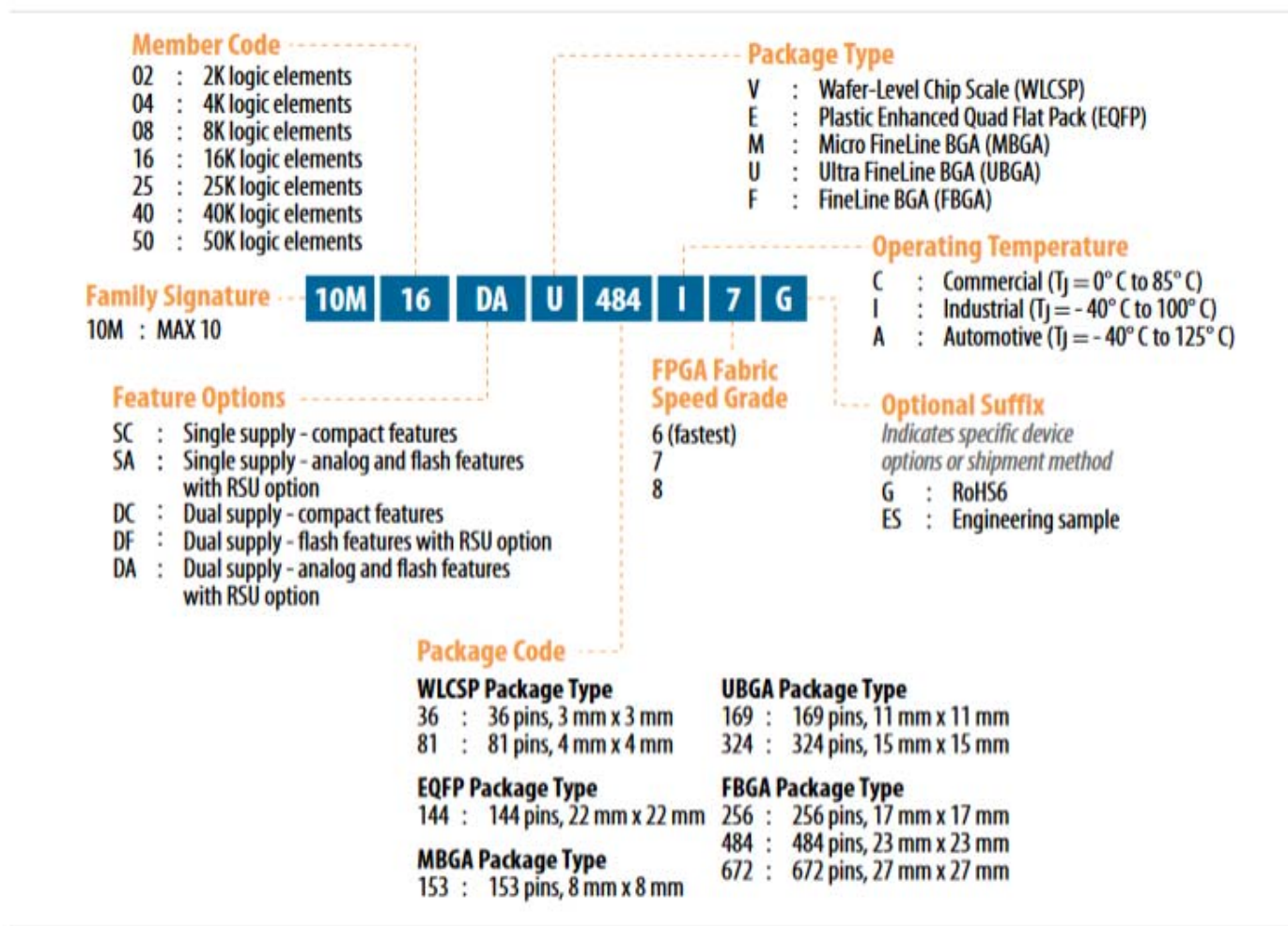


Showing 1 to 20 of 138 entries

<< < 1 2 3 4 5 6 7 > >>

Document	PDF	Published Date
 BCH Intel FPGA IP: User Guide		2018-11-30

Familia MAX10. Device overview. Device ordering information.



- Averigüe las características del chip de la familia MAX10 que incluye la tarjeta DECA

Familia MAX10. Device overview. Resumen de la familia.

MAX 10 Device Maximum Resources

Table 4: Maximum Resource Counts for MAX 10 Devices

Resource		Device						
		10M02	10M04	10M08	10M16	10M25	10M40	10M50
Logic Elements (LE) (K)		2	4	8	16	25	40	50
M9K Memory (Kb)		108	189	378	549	675	1,260	1,638
User Flash Memory (Kb) ⁽¹⁾		96	1,248	1,376	2,368	3,200	5,888	5,888
18 × 18 Multiplier		16	20	24	45	55	125	144
PLL		2	2	2	4	4	4	4
GPIO		160	246	250	320	360	500	500
LVDS	Dedicated Transmitter	9	15	15	22	24	30	30
	Emulated Transmitter	73	114	116	151	171	241	241
	Dedicated Receiver	73	114	116	151	171	241	241
Internal Configuration Image		1	2	2	2	2	2	2
ADC		—	1	1	1	2	2	2

Familia MAX10. User Guides.

[Products](#) [Solutions](#) [Support](#)

USA (English) [Sign In](#)

QUICK LINKS

- [Intel MAX 10 FPGA Device Overview](#)
- [Intel MAX 10 FPGA Device Datasheet](#)
- [Nios II Performance Benchmarks](#)
- [Intel MAX 10 FPGA Device Family Pin Connection Guidelines](#)
- [MAX 10 Device Errata](#)
- [Errata Sheet and Guidelines for MAX 10 ES Devices](#)
- [Documentation: Pin-Out Files for Altera Devices](#)

FILTER BY

Topic [Clear All](#)

- ☐ Recommended Documents (0)
- ☐ Clocking (0)
- ☐ Development Kits (0)
- ☐ Device Configuration and Remote (0)


Showing 1 to 20 of 45 entries (filtered from 138 total records)


<< < 1 2 3 > >>

Document	PDF	Published Date
Triple-Speed Ethernet Intel FPGA IP User Guide		2019-01-28
Intel MAX 10 Analog to Digital Converter User Guide		2019-01-14
Intel MAX 10 FPGA Configuration User Guide		2019-01-07
Intel High Level Synthesis Compiler: User Guide		2019-01-03
Intel MAX 10 General Purpose I/O User Guide		2019-01-01
Intel MAX 10 Clocking and PLL User Guide		2018-06-15
Intel MAX 10 Embedded Memory User Guide		2018-06-12

Familia MAX10. Device Architecture.

[Products](#) [Solutions](#) [Support](#)



USA (English)  [Sign In](#)


Documentation

- › [Intel® MAX® 10 FPGA Package & Thermal Specifications](#)
- › [Device Pin-Outs](#)
- › [Intel MAX 10 FPGA Knowledge Base](#)
- › [BSDL Models](#)
- › [Power Distribution Network Tool 2.0](#)
- › [PCB Symbols](#)


- › [Design Guidelines \(PDF\)](#)
- › [Board Design Guidelines](#)
- › [Signal Integrity Design Guidelines](#)
- › [Intel MAX 10 FPGA Schematic Review Worksheet](#)
- › [IBIS Models](#)
- › [Spice Models](#)


QUICK LINKS

- [Intel MAX 10 FPGA Device Overview](#)
- [Intel MAX 10 FPGA Device Datasheet](#)
- [Nios II Performance Benchmarks](#)
- [Intel MAX 10 FPGA Device Family Pin Connection Guidelines](#)
- [MAX 10 Device Errata](#)
- [Errata Sheet and Guidelines for MAX 10 ES Devices](#)
- [Documentation: Pin-Out Files for Altera Devices](#)




Showing 1 to 1 of 1 entries (filtered from 138 total records)

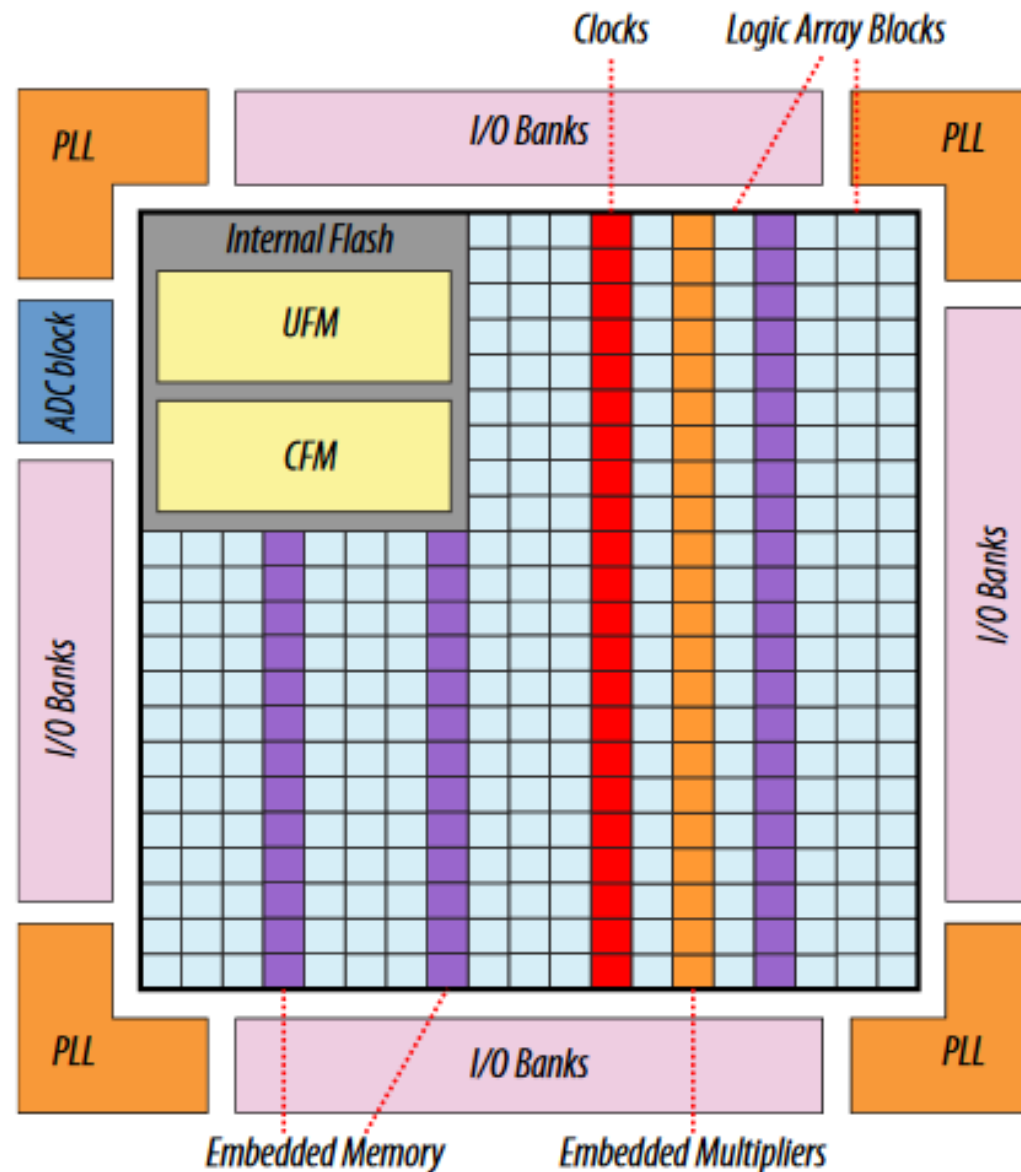


Document	PDF	Published Date
MAX 10 FPGA Device Architecture		2017-02-21

Showing 1 to 1 of 1 entries (filtered from 138 total records)





Familia MAX10. Device Architecture. Arquitectura.



Familia MAX10. Device Datasheet.

[Products](#) [Solutions](#) [Support](#)



USA (English)  [Sign In](#)

- › [Intel® MAX® 10 FPGA Package & Thermal Specifications](#)
- › [Device Pin-Outs](#)
- › [Intel MAX 10 FPGA Knowledge Base](#)
- › [BSDL Models](#)
- › [Power Distribution Network Tool 2.0](#)
- › [PCB Symbols](#)

- › [Design Guidelines \(PDF\)](#)
- › [Board Design Guidelines](#)
- › [Signal Integrity Design Guidelines](#)
- › [Intel MAX 10 FPGA Schematic Review Worksheet](#)
- › [IBIS Models](#)
- › [Spice Models](#)

QUICK LINKS

- [Intel MAX 10 FPGA Device Overview](#)
- [Intel MAX 10 FPGA Device Datasheet](#)
- [Nios II Performance Benchmarks](#)
- [Intel MAX 10 FPGA Device Family Pin Connection Guidelines](#)
- [MAX 10 Device Errata](#)
- [Errata Sheet and Guidelines for MAX 10](#)

Recommended Documents

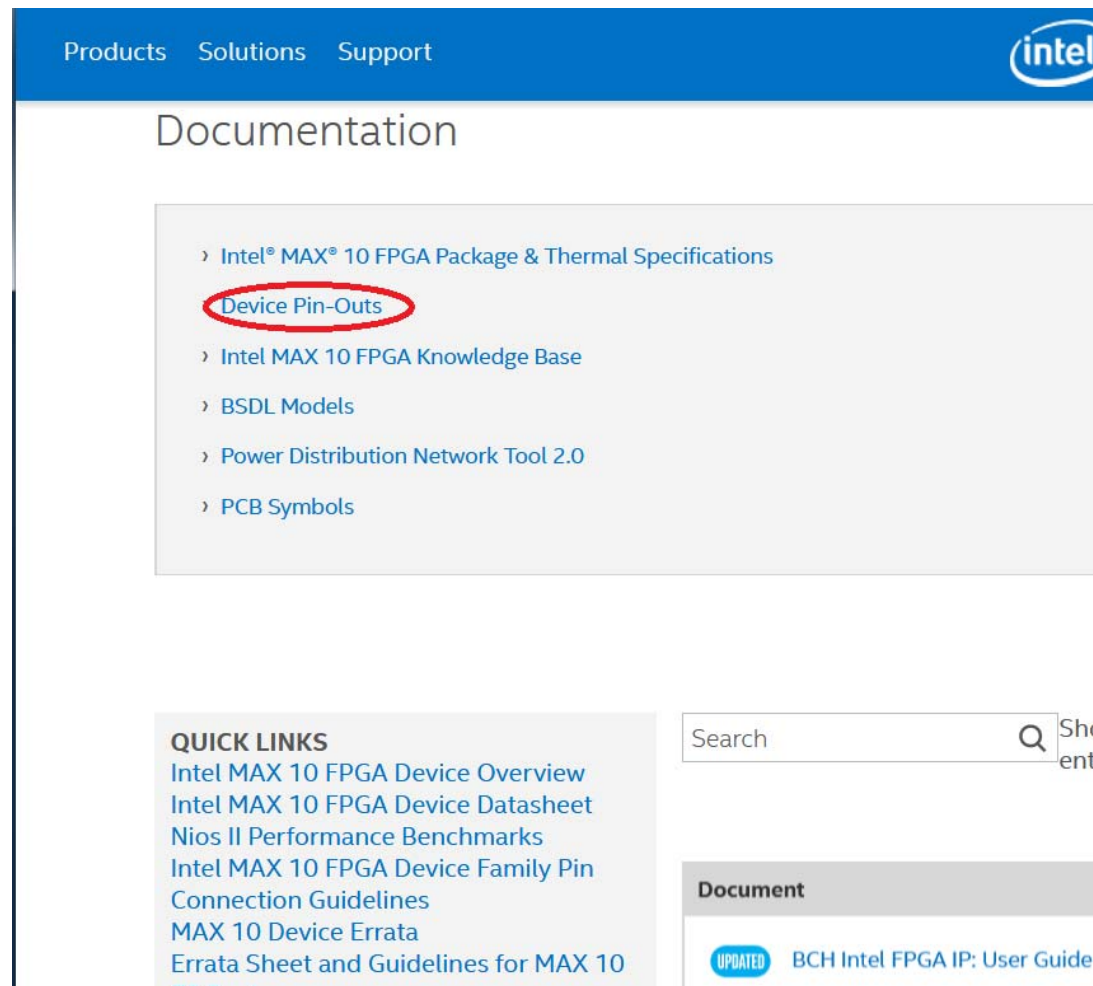



Showing 1 to 17 of 17 entries (filtered from 138 total records)

<< < 1 > >>

Document	PDF	Published Date
----------	-----	----------------

Familia MAX10. Device Pin-Outs.




Products Solutions Support 

Documentation

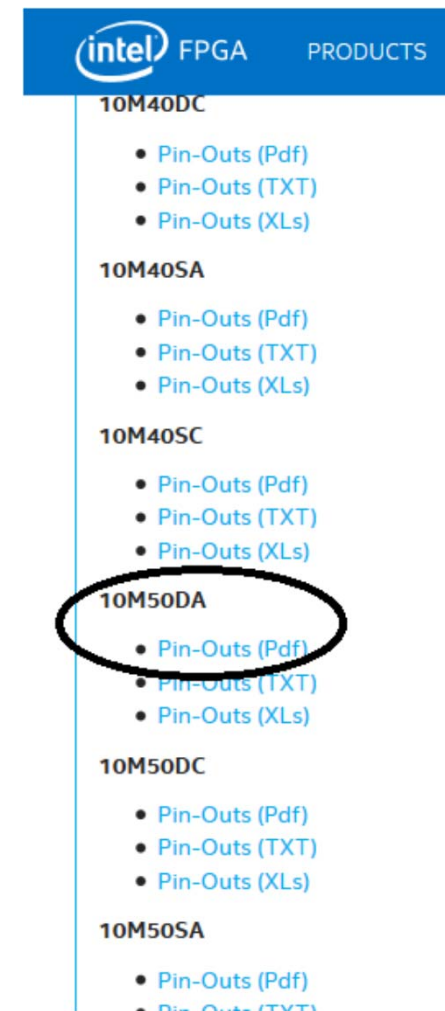
- › Intel® MAX® 10 FPGA Package & Thermal Specifications
- › **Device Pin-Outs**
- › Intel MAX 10 FPGA Knowledge Base
- › BSDL Models
- › Power Distribution Network Tool 2.0
- › PCB Symbols


QUICK LINKS
Intel MAX 10 FPGA Device Overview
Intel MAX 10 FPGA Device Datasheet
Nios II Performance Benchmarks
Intel MAX 10 FPGA Device Family Pin Connection Guidelines
MAX 10 Device Errata
Errata Sheet and Guidelines for MAX 10

Search  Show

Document

UPDATED BCH Intel FPGA IP: User Guide



 **FPGA** PRODUCTS

10M40DC

- Pin-Outs (Pdf)
- Pin-Outs (TXT)
- Pin-Outs (XLS)

10M40SA

- Pin-Outs (Pdf)
- Pin-Outs (TXT)
- Pin-Outs (XLS)

10M40SC

- Pin-Outs (Pdf)
- Pin-Outs (TXT)
- Pin-Outs (XLS)

10M50DA

- Pin-Outs (Pdf)
- Pin-Outs (TXT)
- Pin-Outs (XLS)

10M50DC

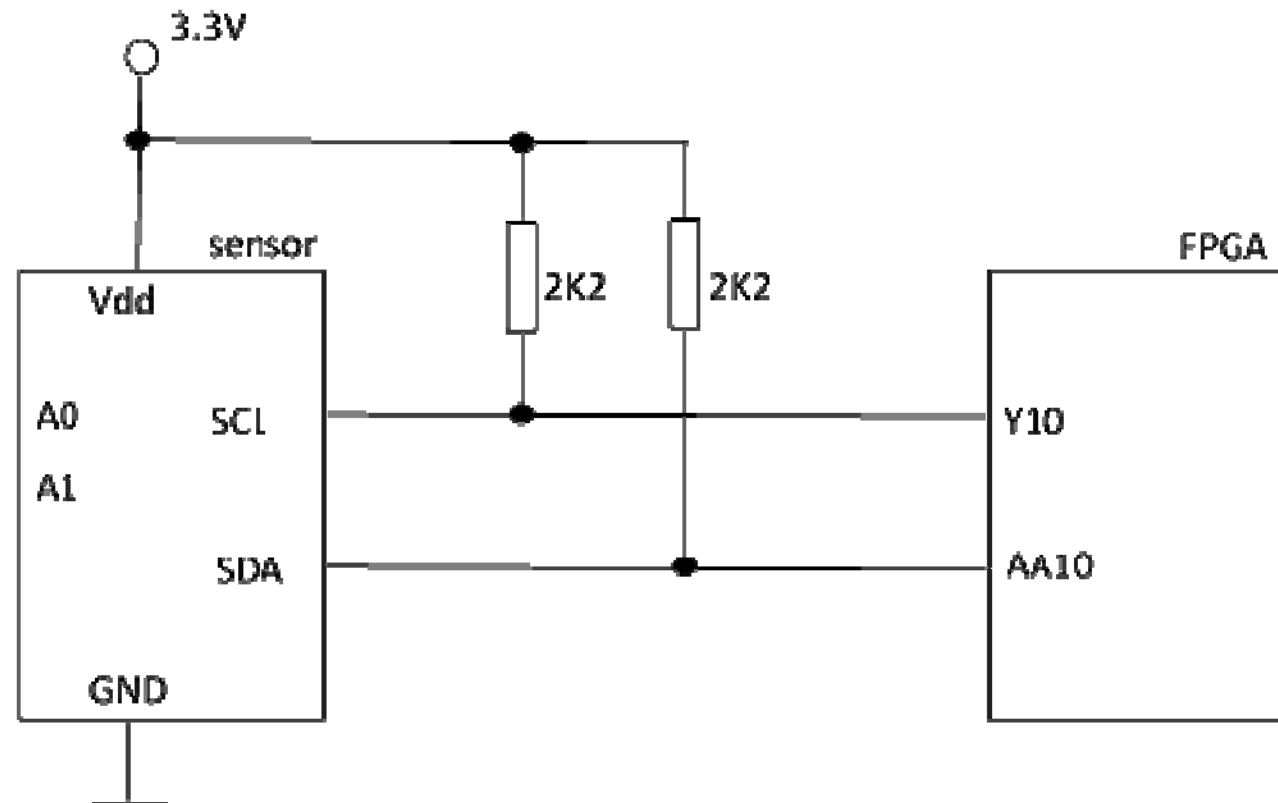
- Pin-Outs (Pdf)
- Pin-Outs (TXT)
- Pin-Outs (XLS)

10M50SA

- Pin-Outs (Pdf)
- Pin-Outs (TXT)

Datasheet sensor (3). Resumen de la información relevante.

- Conexión FPGA-sensor



Datasheet sensor (3). Resumen de la información relevante.

- Características eléctricas

Parámetro		Min.	Max.
Vdd		2.7V	5.5V
SDA (salida)	V _{OL} @3mA	-----	0.4V
	I _{OH}	-----	No especificado
SDA (entrada), SCL	V _{IH}	2.31 V	-----
	V _{IL}	-----	0.99 V
A0, A1	V _{IH}	2.31 V	-----
	V _{IL}	-----	0.99 V

- Configuración por defecto
 - Calentador deshabilitado
 - Adquisición secuencial de temperatura y humedad (temperatura primero)
 - Resolución de 14 bits.

Datasheet sensor (3). Resumen de la información relevante.

- Codificación de la temperatura

Rango: entre -40°C y 125°C

$$\text{Temperature}(\text{°C}) = \left(\frac{\text{TEMPERATURE}[15:00]}{2^{16}} \right) * 165\text{°C} - 40\text{°C}$$

- Codificación de la humedad relativa

Rango: entre 0% y 100%

$$\text{Relative Humidity}(\% \text{ RH}) = \left(\frac{\text{HUMIDITY} [15:00]}{2^{16}} \right) * 100\% \text{RH}$$

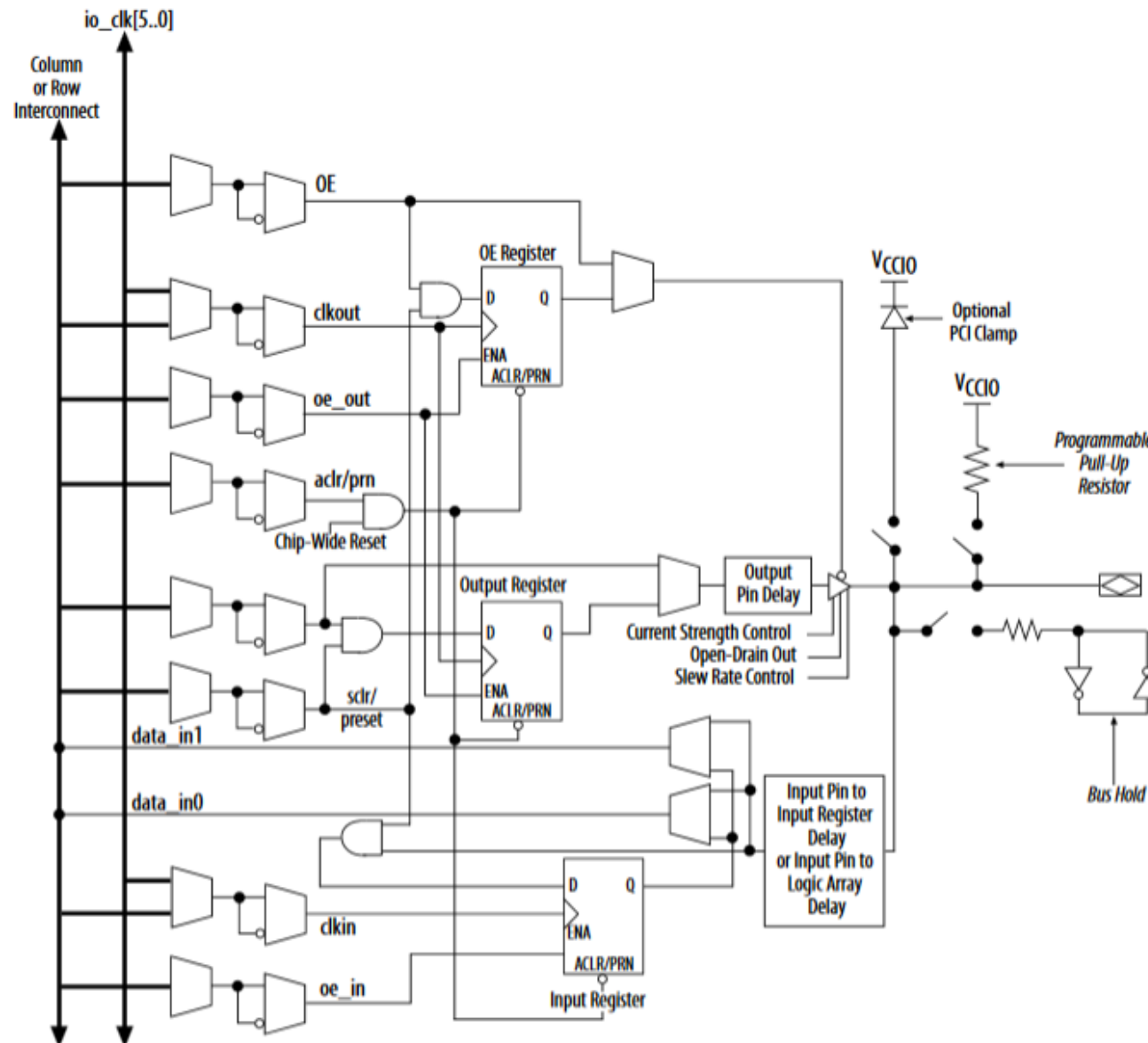
Datasheet sensor (3). Resumen de la información relevante.

- Dirección I2C del sensor: 0x40

Conexión sensor-FPGA (3). Requisitos de la interfaz del FPGA

- Configuración de los pines Y10 y AA10
 - in/out/inout
 - salidas: totem-pole/open drain
 - entradas: con/sin histéresis
- ¿Qué valor máximo de V_{OL} debe garantizar la FPGA?
- ¿Cómo se calcula V_{OHmin} ?
- ¿Cómo se calcula I_{OL} ?

Conexión sensor-FPGA (3). Pines de e/s de la FPGA.



Conexión sensor-FPGA (3). Opciones de configuración de los pines.

Característica	Opciones de configuración
Dirección	In/out/inout
Registros	De entrada, de salida, para la habilitación
Corriente de salida (current strength)	2mA, 4mA, 8mA, 12 mA, 16 mA
Velocidad de conmutación (slew rate)	0 (slow), 1 (medium), 2 (high)
Salida drenador abierto (open drain)	Si/no
Resistencia de pull-up	Si/no
Lógica de bus hold	Si/no
Entrada Schmitt trigger	Si/no

Conexión sensor-FPGA (3). Compatibilidad con los estándares de E/S soportados.

Table 2-4: Summary of Supported MAX 10 Programmable I/O Buffer Features and Settings

Feature	Setting	Condition	Assignment Name	Supported I/O Standards
Open Drain	On, Off (default)	To enable this feature, use the <code>OPNDRN</code> primitive.	—	<ul style="list-style-type: none"> 3.0 V and 3.3 V LVTTL 1.2 V, 1.5 V, 1.8 V, 2.5 V, 3.0 V, and 3.3 V LVCMOS
Bus-Hold	On, Off (default)	Disabled if you use the weak pull-up resistor feature.	Enable Bus-Hold Circuitry	<ul style="list-style-type: none"> SSTL-2, SSTL-18, SSTL-15, and SSTL-135 1.2 V, 1.5 V, and 1.8 V HSTL
Pull-up Resistor	On, Off (default)	Disabled if you use the bus-hold feature.	Weak Pull-Up Resistor	<ul style="list-style-type: none"> HSUL-12 3.0 V PCI
Slew Rate Control	0 (Slow), 1 (Medium), 2 (Fast). Default is 2.	Disabled if you use OCT.	Slew Rate	<ul style="list-style-type: none"> 3.0 V LVTTL 1.2 V, 1.5 V, 1.8 V, 2.5 V, and 3.0 V LVCMOS SSTL-2, SSTL-18, and SSTL-15 1.2 V, 1.5 V, and 1.8 V HSTL Differential SSTL-2, Differential SSTL-18, and Differential SSTL-15 Differential 1.2 V, 1.5 V, and 1.8 V HSTL
PCI Clamp Diode	On (default for input pins), Off (default for output pins, except 3.0 V PCI)	—	PCI I/O	<ul style="list-style-type: none"> 3.0 V and 3.3 V LVTTL 2.5 V, 3.0 V, and 3.3 V LVCMOS 3.0 V PCI 2.5 V, 3.0 V, and 3.3 V Schmitt Trigger

Conexión sensor-FPGA (3). Estándares de E/S soportados.

Table 2-1: Supported I/O Standards in MAX 10 Devices

The voltage-referenced I/O standards are not supported in the following I/O banks of these device packages:

- All I/O banks of V36 package of 10M02.
- All I/O banks of V81 package of 10M08.
- Banks 1A and 1B of E144 package of 10M50.

I/O Standard	Type	Device Support	Direction		Application	Standard Support
			Input	Output		
3.3 V LVTTL/3.3 V LVCMOS	Single-ended	All	Yes	Yes	General purpose	JESD8-B
3.0 V LVTTL/3.0 V LVCMOS	Single-ended	All	Yes	Yes	General purpose	JESD8-B
2.5 V LVCMOS	Single-ended	All	Yes	Yes	General purpose	JESD8-5
1.8 V LVCMOS	Single-ended	All	Yes	Yes	General purpose	JESD8-7
1.5 V LVCMOS	Single-ended	All	Yes	Yes	General purpose	JESD8-11

© 2016 Altera Corporation. All rights reserved. ALTERA, ARRIA, CYCLONE, FAMBIO, MAX, MEGACORE, MIG, QUANTUM, and STRATIX are trademarks of Altera Corporation in the United States and other countries.

Conexión sensor-FPGA (3). Absolute maximum ratings.

Dual Supply Devices Absolute Maximum Ratings

Table 3: Absolute Maximum Ratings for MAX 10 Dual Supply Devices

Symbol	Parameter	Min	Max	Unit
V_{CC}	Supply voltage for core and periphery	-0.5	1.63	V
V_{CCIO}	Supply voltage for input and output buffers	-0.5	3.9	V
V_{CCA}	Supply voltage for PLL regulator (analog)	-0.5	3.41	V
V_{CCD_PLL}	Supply voltage for PLL regulator (digital)	-0.5	1.63	V
V_{CCA_ADC}	Supply voltage for ADC analog block	-0.5	3.41	V
V_{CCINT}	Supply voltage for ADC digital block	-0.5	1.63	V

Absolute Maximum Ratings

Table 4: Absolute Maximum Ratings for MAX 10 Devices

Symbol	Parameter	Min	Max	Unit
V_I	DC input voltage	-0.5	4.12	V
I_{OUT}	DC output current per pin	-25	25	mA
T_{STG}	Storage temperature	-65	150	°C
T_J	Operating junction temperature	-40	125	°C

Conexión sensor-FPGA (3). Recommended operating conditions.

Table 10: I/O Pin Leakage Current for MAX 10 Devices

Symbol	Parameter	Condition	Min	Max	Unit
I_I	Input pin leakage current	$V_I = 0 \text{ V to } V_{CCIOMAX}$	-10	10	μA
I_{OZ}	Tristated I/O pin leakage current	$V_O = 0 \text{ V to } V_{CCIOMAX}$	-10	10	μA

Table 16: Pin Capacitance for MAX 10 Devices

Symbol	Parameter	Maximum	Unit
C_{IOB}	Input capacitance on bottom I/O pins	8	pF
C_{IOLRT}	Input capacitance on left/right/top I/O pins	7	pF
C_{LVDSB}	Input capacitance on bottom I/O pins with dedicated LVDS output ⁽⁸⁾	8	pF
C_{ADCL}	Input capacitance on left I/O pins with ADC input ⁽⁹⁾	9	pF
$C_{VREFLRT}$	Input capacitance on left/right/top dual purpose V_{REF} pin when used as V_{REF} or user I/O pin ⁽¹⁰⁾	48	pF

⁽⁸⁾ Dedicated LVDS output buffer is only available at bottom I/O banks.

⁽⁹⁾ ADC pins are only available at left I/O banks.

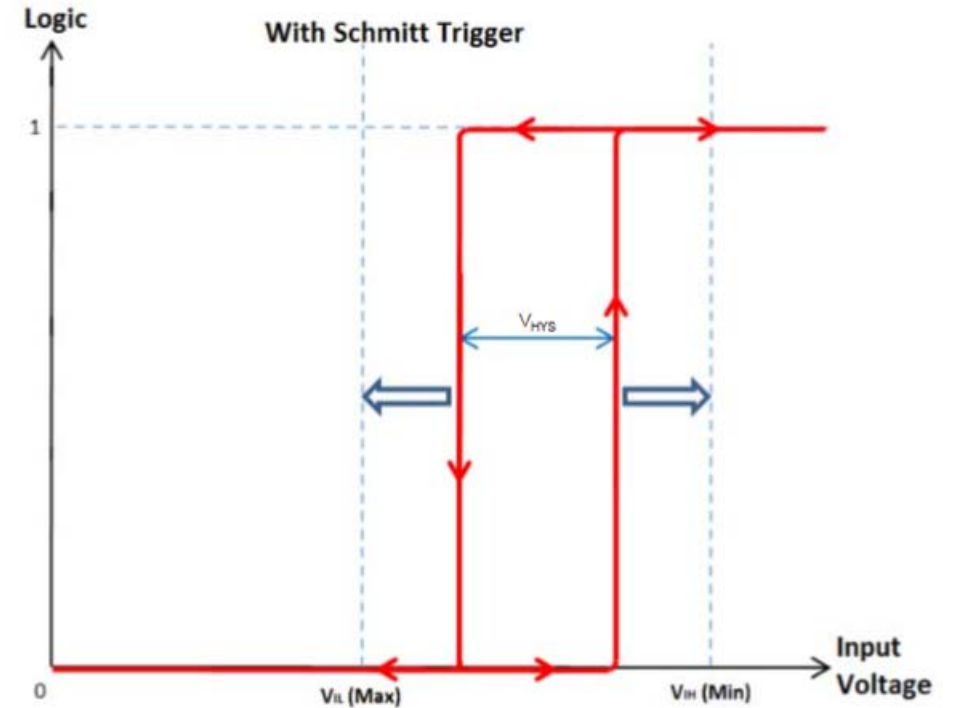
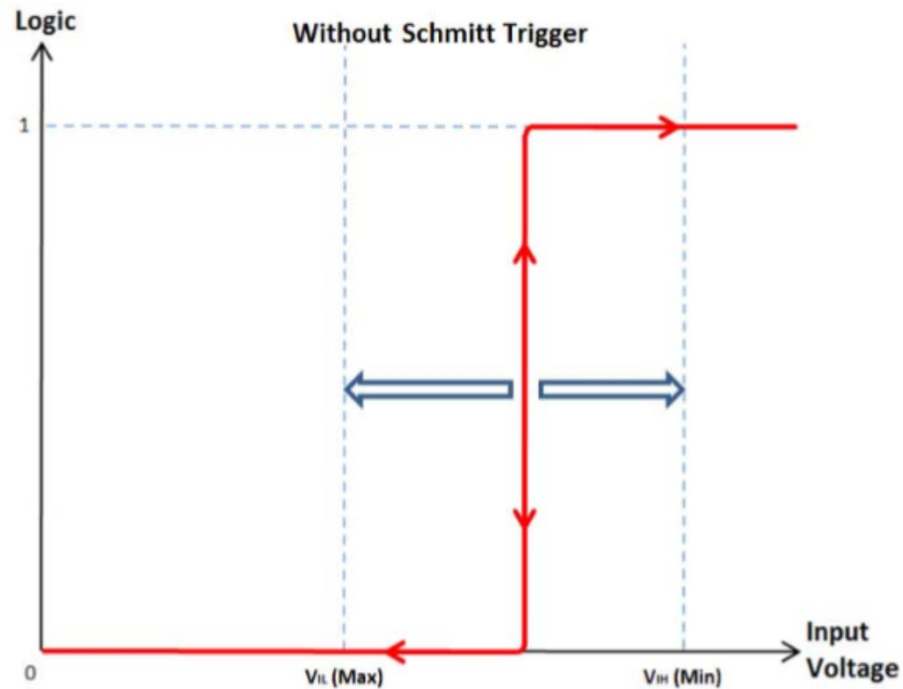
Conexión sensor-FPGA (3). Recommended operating conditions.

Table 20: Single-Ended I/O Standards Specifications for MAX 10 Devices

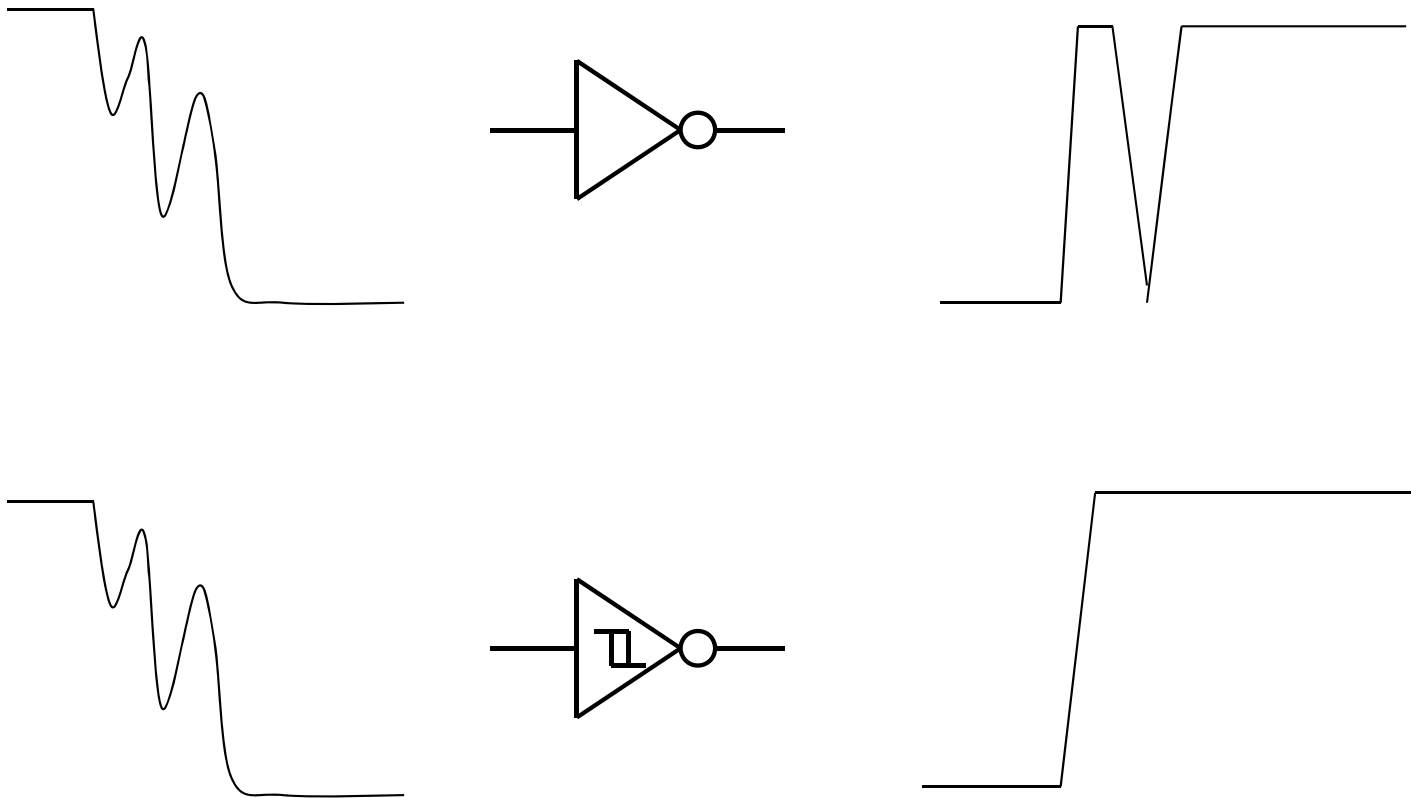
To meet the I_{OL} and I_{OH} specifications, you must set the current strength settings accordingly. For example, to meet the 3.3-V LVTTL specification (4 mA), you should set the current strength settings to 4 mA. Setting at lower current strength may not meet the I_{OL} and I_{OH} specifications in the datasheet.

I/O Standard	V_{CCIO} (V)			V_{IL} (V)		V_{IH} (V)		V_{OL} (V)	V_{OH} (V)	I_{OL} (mA)	I_{OH} (mA)
	Min	Typ	Max	Min	Max	Min	Max	Max	Min		
3.3 V LVTTL	3.135	3.3	3.465	-0.3	0.8	1.7	3.6	0.45	2.4	4	-4
3.3 V LVCMOS	3.135	3.3	3.465	-0.3	0.8	1.7	3.6	0.2	$V_{CCIO} - 0.2$	2	-2
3.0 V LVTTL	2.85	3	3.15	-0.3	0.8	1.7	$V_{CCIO} + 0.3$	0.45	2.4	4	-4
3.0 V LVCMOS	2.85	3	3.15	-0.3	0.8	1.7	$V_{CCIO} + 0.3$	0.2	$V_{CCIO} - 0.2$	0.1	-0.1
2.5 V LVTTL and LVCMOS	2.375	2.5	2.625	-0.3	0.7	1.7	$V_{CCIO} + 0.3$	0.4	2	1	-1
1.8 V LVTTL and LVCMOS	1.71	1.8	1.89	-0.3	$0.35 \times V_{CCIO}$	$0.65 \times V_{CCIO}$	2.25	0.45	$V_{CCIO} - 0.45$	2	-2
1.5 V LVCMOS	1.425	1.5	1.575	-0.3	$0.35 \times V_{CCIO}$	$0.65 \times V_{CCIO}$	$V_{CCIO} + 0.3$	$0.25 \times V_{CCIO}$	$0.75 \times V_{CCIO}$	2	-2
1.2 V LVCMOS	1.14	1.2	1.26	-0.3	$0.35 \times V_{CCIO}$	$0.65 \times V_{CCIO}$	$V_{CCIO} + 0.3$	$0.25 \times V_{CCIO}$	$0.75 \times V_{CCIO}$	2	-2
3.3 V Schmitt Trigger	3.135	3.3	3.465	-0.3	0.8	1.7	$V_{CCIO} + 0.3$	—	—	—	—
2.5 V Schmitt Trigger	2.375	2.5	2.625	-0.3	0.7	1.7	$V_{CCIO} + 0.3$	—	—	—	—
1.8 V Schmitt Trigger	1.71	1.8	1.89	-0.3	$0.35 \times V_{CCIO}$	$0.65 \times V_{CCIO}$	$V_{CCIO} + 0.3$	—	—	—	—

Conexión sensor-FPGA (3). Tecnología Schmitt-trigger.

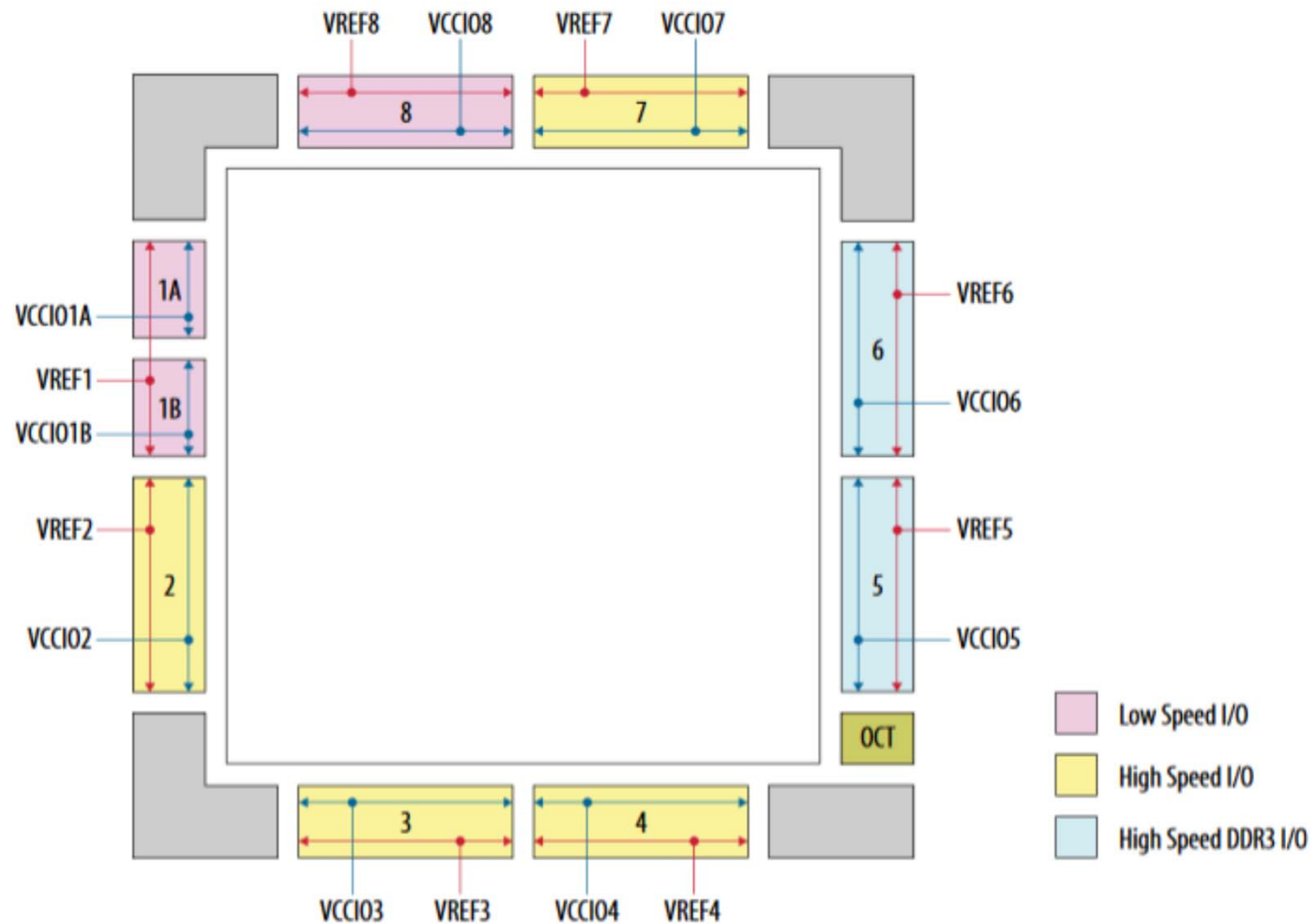


Conexión sensor-FPGA (3). Mayor defensa frente al ruido



Conexión sensor-FPGA (3). Bancos de pines.

Figure 18: I/O Banks for MAX 10 16, 25, 40, and 50 Devices—Preliminary



Conexión sensor-FPGA (3). Alimentación de la FPGA.

Figure 30: MAX 10 Single-Supply Device

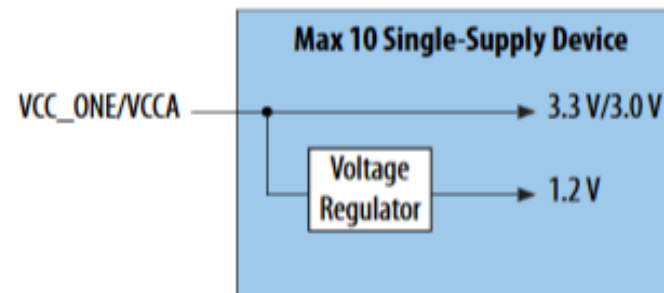
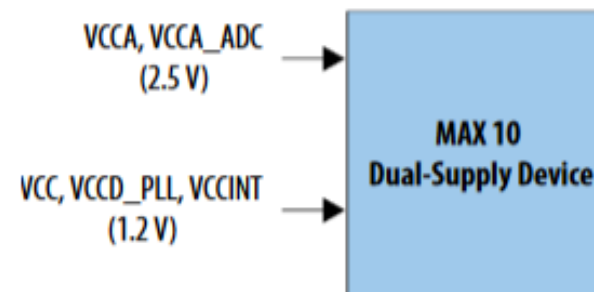


Figure 31: MAX 10 Dual-Supply Device





Conexión sensor-FPGA (3). Discusión.

- ¿Cuál es el número del banco de las señales de la FPGA que están conectadas al sensor?
- ¿Con qué tensión están alimentados los pines del banco 3 en la DECA?
- ¿Qué otros recursos están conectados a los pines del banco 3 de la DECA?

Conexión sensor-FPGA (3). Discusión.

- ¿Cómo han de configurarse los pines de la FPGA que están conectados al sensor de temperatura ?
- ¿Qué estándar de e/s debería configurarse en el bloque 3 de la FPGA conectados al sensor?
- Teniendo en cuenta únicamente las capacidades parásitas de los pines de los dispositivos, ¿cuál es la capacidad parásita máxima que se tendrá en las líneas del bus I2C?

Conexión sensor-FPGA (3). Documentación.

- Incluya en la bibliografía del proyecto las referencias a la documentación más relevante de la FPGA:
 - *Device Datasheet*
 - *Device Architecture*
 - *General Purpose I/O User Guide*
 - *Device Overview*
 - *Device Pin-Out*