

Balanceamento de Carga Visando Redução do Consumo de Energia para o Modelo de Programação Charm++*

Edson L. Padoin^{1,2}, Márcio Castro¹, Laércio L. Pilla^{1,3},
Tiago C. Bozzetti¹, Philippe O. A. Navaux¹, Jean-François Méhaut³

¹Universidade Federal do Rio Grande do Sul (UFRGS) - Porto Alegre - RS - Brasil

{elpadoin, mbcastro, llpilla, tcbozzetti, navaux}@inf.ufrgs.br

²Universidade Reg. do Noroeste do Estado do Rio G. do Sul (UNIJUI) - Ijuí - RS - Brasil

³Laboratoire d'Informatique de Grenoble (LIG), Université de Grenoble - France

Jean-Francois.Mehaut@imag.fr

Resumo. Este artigo descreve as primeiras considerações da proposta de um novo balanceador de carga (BC) para o modelo de programação Charm++. Através do ajuste da frequência dos processadores, este BC permite reduzir o consumo de energia das aplicações além de limitar os custos relativos à migração de processos entre os elementos de processamento.

1. Introdução

Aplicações científicas são utilizadas para simular fenômenos da natureza e possibilitar pesquisas nas mais diversas áreas do conhecimento. Nos últimos anos, para atender a demanda computacional destas aplicações, os sistemas de Computação de Alto Desempenho (*High Performance Computing* – HPC) tiveram seu desempenho aumentado, o que levou ao aumento de seu consumo de energia. Tal estratégia fez com que o consumo de energia passasse a ser limitante na escalabilidade dos futuros sistemas.

O aumento de desempenho em sistemas de HPC pode não gerar ganhos de desempenho para aplicações científicas devido a características da própria aplicação, como desbalanceamento de carga e excessiva comunicação entre tarefas. Tais características fazem com que estas aplicações necessitem de estratégias especiais para utilizar de forma adequada todos os recursos computacionais disponíveis. Por exemplo, balanceadores de carga (BC) vem sendo desenvolvidos para detectar o desbalanceamento e realizar a migração de tarefas de forma a aprimorar a utilização dos recursos computacionais.

Um desafio de pesquisa existe em, concomitantemente, prover desempenho para aplicações científicas e aprimorar a eficiência energética dos sistemas de HPC. Em nível de *hardware*, os processadores atuais permitem reduzir a frequência por meio de estratégias de *Dynamic Voltage and Frequency Scaling* (DVFS). Já, em nível de *software*, muitas estratégias de BC, como as implementadas com o modelo de programação Charm++, focam apenas em reduzir o tempo de execução [Zheng et al. 2011]. Porém, poucas estratégias de BC começam a ser planejadas para utilizar a demanda de potência e consumo de energia na tomada de decisões. Neste contexto, a pesquisa proposta neste artigo tem como objetivo preencher esta

*Trabalho parcialmente apoiado por CNPq, CAPES, FAPERGS e FINEP. Pesquisa realizada no contexto do Laboratório Internacional Associado LICIA e projeto HPC-GA. Esta pesquisa tem sido parcialmente financiada pela bolsa da CAPES sob processo número 3471-13-6.

lacuna através da proposição e implementação de um novo BC para sistemas heterogêneos visando a redução do consumo de energia e evitando migrações de tarefas através do uso de técnicas de DVFS.

2. Balanceador de carga proposto

O balanceador de carga proposto utiliza informações de carga dos processadores e comunicação entre tarefas disponibilizadas pelo Charm++, além de informações de configuração do sistema, como modelo e frequências disponíveis pelos processadores, frequência e *governor* atual do sistema operacional. De posse destas informações, o BC proposto atualiza a frequência das unidades de processamento de acordo com as suas respectivas cargas, reduzindo assim a demanda de potência média do sistema e consequentemente economizando energia. A estratégia adotada pelo BC proposto neste artigo utiliza uma abordagem centralizada. Primeiramente, a carga de cada unidade de processamento é ponderada em função da sua frequência atual de relógio. Uma vez obtidas as cargas ponderadas, o BC mantém a frequência de relógio das unidades de processamento com maiores cargas e reduz a frequência das demais unidades de processamento de acordo com as suas cargas, não apresentando assim impacto no tempo de execução global da aplicação.

3. Metodologia e Resultados

Para a avaliação do BC proposto está sendo utilizado um equipamento composto de 24 processadores Intel Sandy Bridge-EP modelo Xeon E5-4640 Octa de 2,4GHz. Este equipamento foi selecionado por apresentar 14 diferentes níveis de frequência, sendo que, cada nível de frequência possui sua respectiva demanda de potência, o que possibilita um espaço ótimo para a realização dos testes.

Para a realização dos testes de avaliação do BC proposto, foram selecionados os *benchmarks lb_test* e *kNeighbor* disponíveis pelo CHARM++. Para validação dos resultados de desempenho e consumo de energia, foram selecionados os BCs *GreedyLB* e *GreedyCommLB* com algoritmo guloso e os BCs *RefineLB* e *RefineCommLB* que migram objetos até atingir uma média de carga. Os resultados preliminares do BC proposto apresentaram uma economia de energia que varia de 4% a 16% para o benchmark *lb_test* e de 9% a 11% para o benchmark *kNeighbor* se comparado com *GreedyLB* e *GreedyCommLB* respectivamente. Quando comparado os resultados com *RefineLB* e *RefineCommLB*, a economia de energia não foi tão significativa, sendo que a maior redução foi de 6% para o benchmark *lb_test*. Tais resultados também apresentam variação de acordo com o desbalanceamento de carga utilizado em cada benchmark.

4. Conclusões

Os resultados alcançados demonstram que o ajuste da frequência de relógio em função da carga de cada unidade de processamento tem impacto significativo no consumo de energia. Como trabalhos futuros pretende-se utilizar o BC em aplicações reais de computação científica.

Referências

Zheng, G., Bhatelé, A., Meneses, E., and Kalé, L. V. (2011). Periodic hierarchical load balancing for large supercomputers. *International Journal of High Performance Computing Applications*, 25(4):371–385.