

Guía Práctica 5

Ejercicio 1 - Sugerido.

Para el siguiente DFG de la figura 1, asumiendo que las operaciones se ejecutan en una unidad de tiempo (un clock)

1. Identificar todos los lazos del DFG
2. Calcular el período de iteración
3. La relación de lazo
4. El IPB
5. El camino crítico.
6. Es posible reducir el camino crítico a un máximo de 3 unidades de tiempo aplicando alguna técnica de retiming? En caso afirmativo o negativo mostrar cómo es el resultado de la arquitectura final al mover los registros.

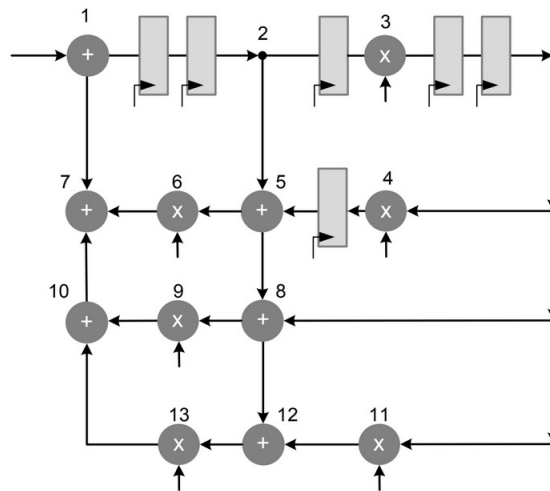


Figura 1: Filtro IIR

Ejercicio 2.

Colocar de manera optima dos juegos de registros en el diseño digital de la figura 2. Escribir el código RTL verilog del diseño original y el diseño optimizado. Instanciar ambos diseños con sus estímulos para chequear el correcto funcionamiento de las optimizaciones y verificar la latencia agregada debido a la técnica de pipelined.

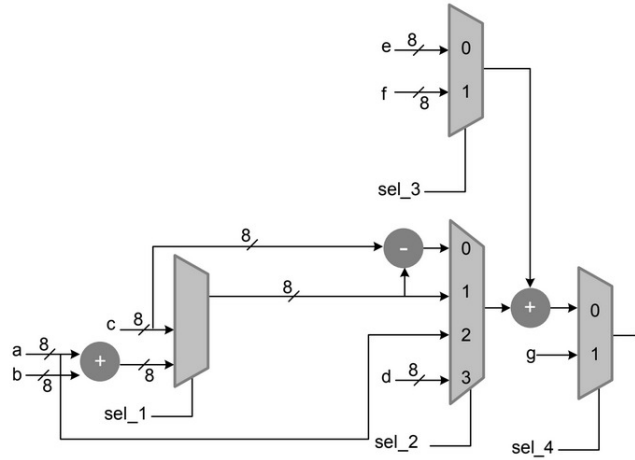


Figura 2: Lógica digital del ejercicio 5.2

Ejercicio 3.

Aplicar retiming al DGF de la figura 3. Mover los dos juegos de registros de entrada para reducir el path crítico del diseño digital. Los tiempos en los nodos representan el retardo de la lógica combinacional. El camino crítico debe ser como máximo 14tu.

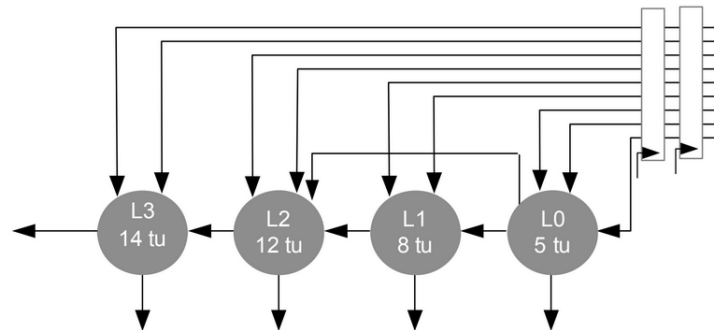


Figura 3: Flujo de datos ejercicio 5.3

Ejercicio 4 - Sugerido.

- Aplicar la técnica unfolding al filtro IIR de segundo orden en estructura TDF de la figura 4, primero por un factor de 3 y luego por un factor de 4.
- Identificar los lazos en la estructura unfolded y calcular sus IPBs asumiendo que los multiplicadores y lazos sumadores toman 3 y 2 unidades de tiempo, respectivamente.

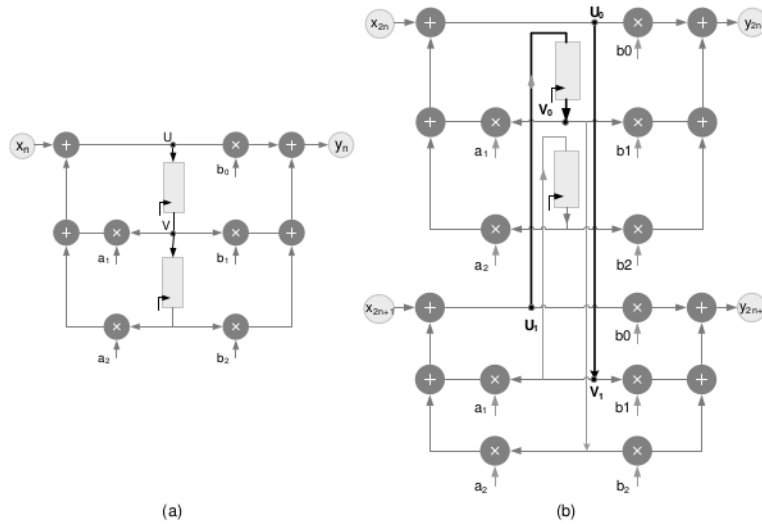


Figura 4: Transformación aplicando la técnica unfolded