

SPI时序详解

SPI总线是Motorola公司推出的三线同步接口，同步串行3线方式进行通信：一条时钟线SCK，一条数据输入线MOSI，一条数据输出线MISO；用于CPU与各种外围器件进行全双工、同步串行通讯。SPI主要特点有：可以同时发出和接收串行数据；可以当作主机或从机工作；提供频率可编程时钟；发送结束中断标志；写冲突保护；总线竞争保护等。

SPI总线有四种工作方式(SPI0, SPI1, SPI2, SPI3)，其中使用的最为广泛的是SPI0和SPI3方式。SPI模块为了和外设进行数据交换，根据外设工作要求，其输出串行同步时钟极性和相位可以进行配置，时钟极性(CPOL)对传输协议没有重大的影响。如果CPOL=0，串行同步时钟的空闲状态为低电平；如果CPOL=1，串行同步时钟的空闲状态为高电平。时钟相位(CPHA)能够配置用于选择两种不同的传输协议之一进行数据传输。如果CPHA=0，在串行同步时钟的第一个跳变沿(上升或下降)数据被采样；如果CPHA=1，在串行同步时钟的第二个跳变沿(上升或下降)数据被采样。

SPI主模块和与之通信的外设时钟相位和极性应该一致。

SPI时序详解---SPI接口在模式0下输出第一位数据的时刻SPI接口有四种不同的数据传输时序，取决于CPOL和CPHL这两位的组合。图1中表现了这四种时序，时序与CPOL、CPHL的关系也可以从图中看出。

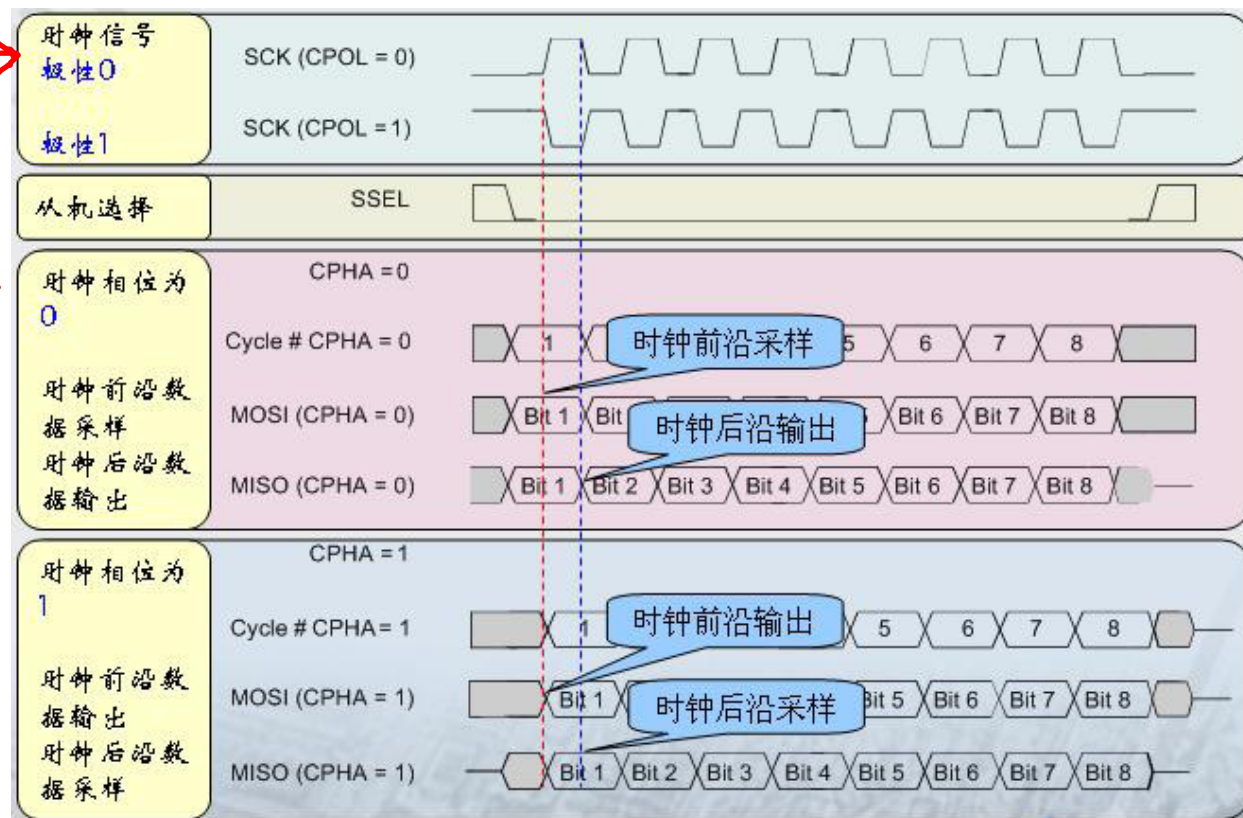
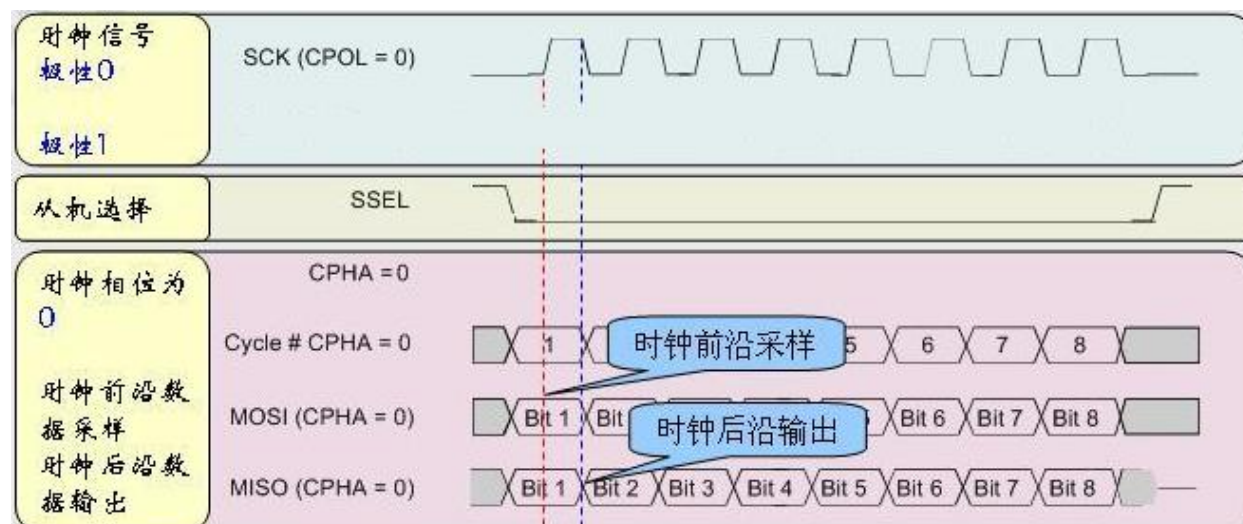


图1

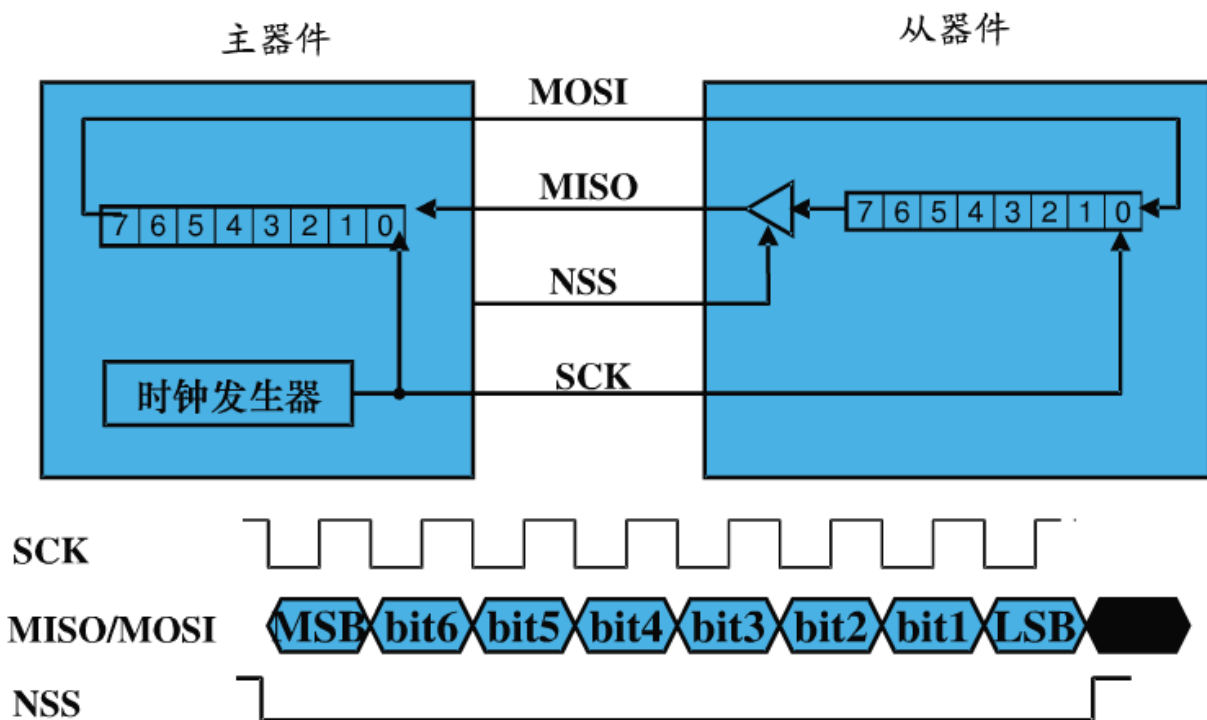
CPOL是用来决定SCK时钟信号空闲时的电平，CPOL = 0，空闲电平为低电平，CPOL = 1时，空闲电平为高电平。CPHA是用来决定采样时刻的，CPHA = 0，在每个周期的第一个时钟沿采样，CPHA = 1，在每个周期的第二个时钟沿采样。由于我使用的器件工作在模式0这种时序 (CPOL = 0, CPHA = 0)，所以将图1简化为图2，只关注模式0的时序。



CPOL = 0, CPHA = 0 (SPI0模式):
即在第一个时钟周期的上升沿采样，在第一个时钟周期的下降沿输出 (MOSI)
(这里所说的采样指主机和从机共同的采样时刻，与MISO MOSI本身含义没有关系，这里输出即转变，也就是出现交叉地方，是指主机和从输出端分别作出数据输出)

图2

我们来关注SCK的第一个时钟周期，在时钟的前沿采样数据（上升沿，第一个时钟沿），在时钟的后沿输出数据（下降沿，第二个时钟沿）。首先来看主器件，主器件的输出口（MOSI）输出的数据bit1，在时钟的前沿被从器件采样，那主器件是在何时刻输出bit1的呢？bit1的输出时刻实际上在SCK信号有效以前，比SCK的上升沿还要早半个时钟周期。bit1的输出时刻与SSEL信号没有关系。再来看从器件，主器件的输入口MISO同样是在时钟的前沿采样从器件输出的bit1的，那从器件又是在何时刻输出bit1的呢。从器件是在SSEL信号有效后，立即输出bit1，尽管此时SCK信号还没有起效。



从这张图就可以很清楚的看出主从器件的bit1是怎样输出的