

体系结构第一次实验文档

PB17151767 焦培淇

1. ADDI 指令的过程

IF 阶段：NPC 将指令地址传递给 PC，PC 到 instruction cache 取指并传递给 IR 寄存器，PC 加 4 送入 ID PC 寄存器。

ID 阶段：指令的 31-7 位传递给立即数扩展模块（对于 ADDI 将使用 31-20 位作为立即数），19-15 位进入通用寄存器文件读出 rs1 数据进入 OP1 寄存器，扩展立即数进入 OP2 寄存器，指令 11-7 位进入 addr 寄存器。

EX 阶段：ALU 计算并写入 result 寄存器，addr 寄存器传递。

MEM 阶段：result 寄存器进入 WBData 寄存器，addr 寄存器传递。

WB 阶段：WBData 寄存器内容写入 addr 寄存器所指的寄存器单元。

控制信号：NPC generator 处选择 pc+4，op2src 处选择 imm，ALUFunc 选择加法，LoadNPC 处选择 ALUout，Wbsele 选择 result，

2. JALR 指令的过程

数据通路：

IF 阶段：NPC 将指令地址传递给 PC，PC 到 instruction cache 取指并传递给 IR 寄存器，PC 加 4 送入 ID PC 寄存器。

ID 阶段：指令 19-15 位进入通用寄存器文件选择 rs1 并送入 op1 寄存器，指令 31-20 位被立即数扩展并送入 op2 寄存器，指令 11-7 位送入 addr 寄存器。ID PC 寄存器中的值传递到 EX PC 寄存器中。

EX 阶段：ALU 将两操作数相加结果经过 NPC generator 选中送入 IF PC 寄存器。EX PC 寄存器内容写入 result 寄存器，addr 寄存器内容继续传递。

MEM 阶段：result 寄存器数据进入 WB Data 寄存器，addr 寄存器传递。

WB 阶段：WB Data 寄存器内容写入 addr 寄存器所指向的寄存器单元。

控制信号：op2src 选择 imm，ALUFunc 选择加法，NPCgenerator 选择 jalr target，Jalr 信号有效。

3. LW 指令的过程

IF 阶段：NPC 将指令地址传递给 PC，PC 到 instruction cache 取指并传递给 IR 寄存器，PC 加 4 送入 ID PC 寄存器。

ID 阶段：指令 19-15 位进入通用寄存器文件选择 rs1 并送入 op1 寄存器，指令 31-20 位被立即数扩展并送入 op2 寄存器，指令 11-7 位送入 addr 寄存器。ID PC 寄存器中的值传递到 EX PC 寄存器中。

EX 阶段：ALU 将两操作数相加结果送入 result 寄存器，addr 寄存器传递。

MEM 阶段：result 寄存器内容作为地址访问 data cache 并将结果经过 data extension 送入 WB Data 寄存器，addr 寄存器传递。

WB 阶段：WB Data 寄存器内容写入 addr 寄存器所指向的寄存器单元。

控制信号：NPC generator 处选择 pc+4，op2src 选择 imm，ALUFunc 选择加法，LoadNPC 选择 ALUout，Wbsel 选择 data extension

4. 如果要实现 CSR 指令 (csrrw, csrrs, csrrc, csrrwi, csrrsi, csrrci)，设计图中还需要增加什么部件和数据通路？给出详细说明

(1) 首先增加 immediate extend 部件的零拓展功能。

(2) 增加 result 寄存器到 csr 存储器的数据通路，方便将 rs1 寄存器与 csr 内容进行掩膜运算后结果在 memory 阶段写入 csr 寄存器。

(3) immediate extend 模块到 reg2 寄存器的通路和 reg2 寄存器到 WB Data 寄存器的通路，方便对 csr 寄存器零拓展后送入 WB Data 寄存器并写入 rd 寄存器。

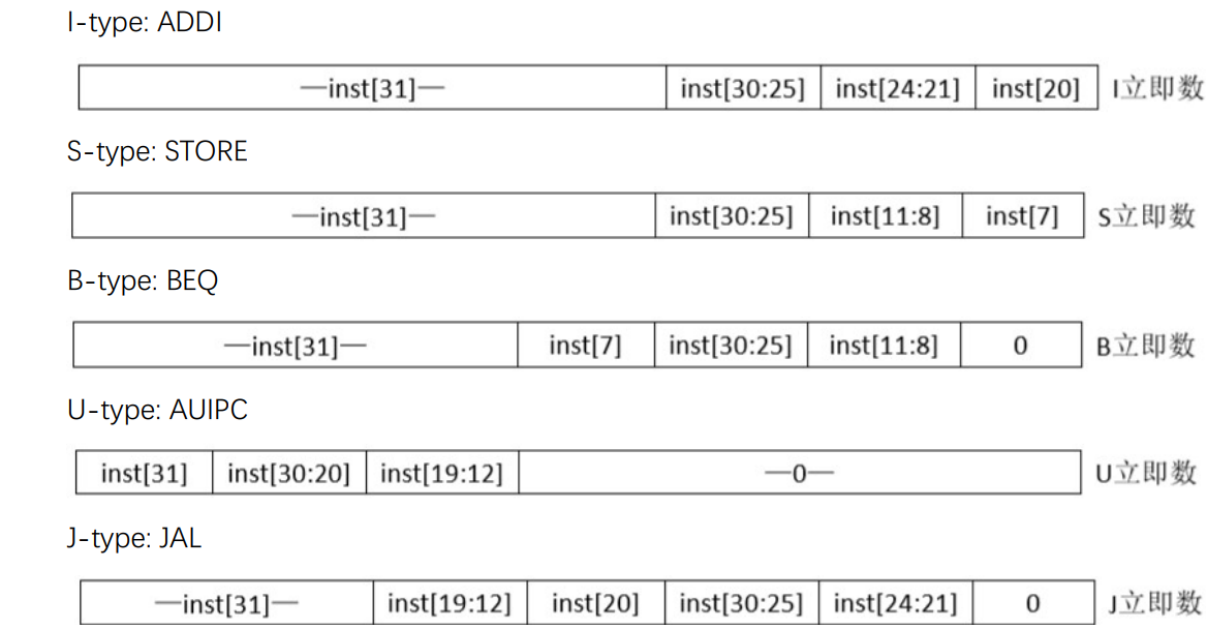
(4) 对 op2 寄存器增加 0 输入（在进行 CSRRW 指令时，产生控制信号使 rs1 寄存器值和 0 相加，

并写入 result 最后在进行 mem 阶段时写入 csr 寄存器)

(5) 增加从 IR 寄存器到 immediate extend 模块的通路 与 immediate extend 模块到 op1 寄存器的通路。方便对 rs1 字段进行 0 拓展并作为立即数写入 csr 寄存器，实现 csrwi, csrsi, csrrci 指令。

5. 哪些指令分别采用了五类立即数 (I-type, S-type, B-type, U-type, J-type 至少各举一例)？ Verilog 如何将这 些立即数拓展成 32 位的？

指令例子如下，拓展方式如下所示。



6. 如何实现 Data Cache 的非字对齐的 Load 和 Store？

可以采用对寄存器进行两次访问实现。

7. ALU 模块中，默认 wire 变量是有符号数还是无符号数？

使用无符号数。

8. 哪条指令执行过程中会使得 Load Npc == 1？

JALR 和 JAL 指令会导致 load npc=1，从而将返回地址写入寄存器。

9. NPC Generator 中对于不同跳转 target 的选择有没有优先级？

应该不存在优先级。

10. Harzard 模块中，有哪几类冲突需要插入气泡？

数据冲突 RAW，LW 指令紧接这 ALU 指令会需要插入气泡。在出现结构冲突时，也需要插入气泡。

11. Harzard 模块中采用默认不跳转的策略，遇到 branch 指令时，如何控制 flush 和 stall 信号？

当 branch 指令不产生跳转时，不需要 flush 和 stall。

而 branch 指令跳转时，stall 流水线保证当前指令执行完成，然后 flush 掉流水线，在于新地址进行取指执行。

12. 0 号寄存器值始终为 0，是否会对 forward 的处理产生影响？

不会产生影响，因为 0 号寄存器一直存 0 值不能写入，因此不能产生影响。