

MIPS 1 in VHDL

HDL Lab - SS 2015

Bahri Enis Demirtel, Carlos Minamisava Faria, Lukas Jäger, Patrick Appenheimer



TECHNISCHE
UNIVERSITÄT
DARMSTADT

Fachbereich Elektrotechnik und Infor-
mationstechnik
Fachgebiet Integrated Electronic
Systems Lab

Inhaltsverzeichnis

1	Introduction	1
2	Design	2
2.1	ALU	2
2.2	Datapath	2
2.3	Controlpath	2
3	Evaluation	3
4	Synthesis	4
5	Conclusion	5

1 Introduction

Intro words



2 Design

2.1 ALU

2.2 Datapath

2.3 Controlpath

3 Evaluation

4 Synthesis

5 Conclusion