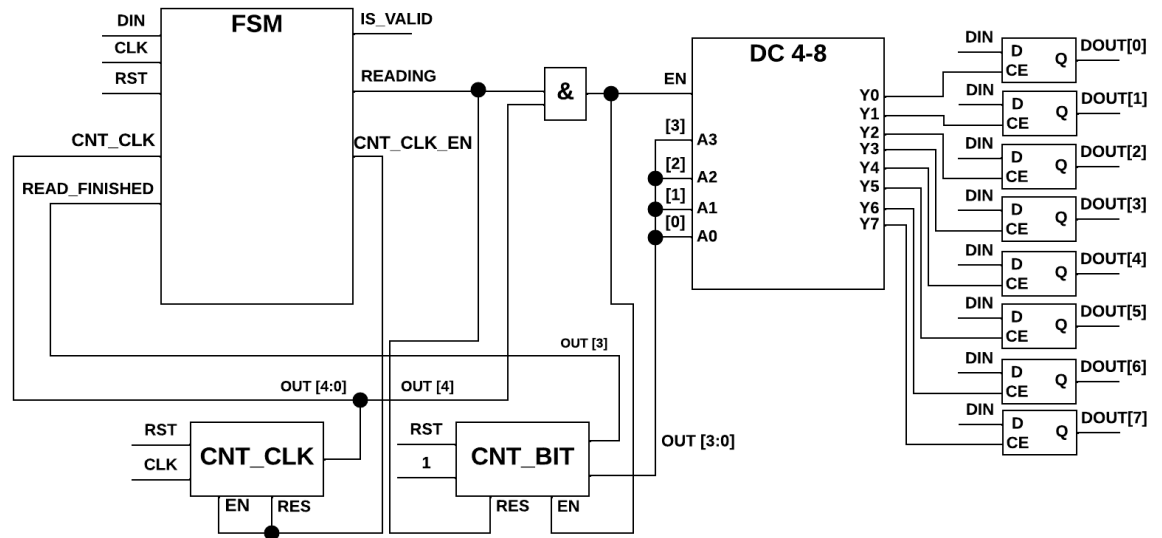


INC Projekt UART

Výstupní zpráva

Dominik Horut
xhorut01

1 Architektura navrženého obvodu

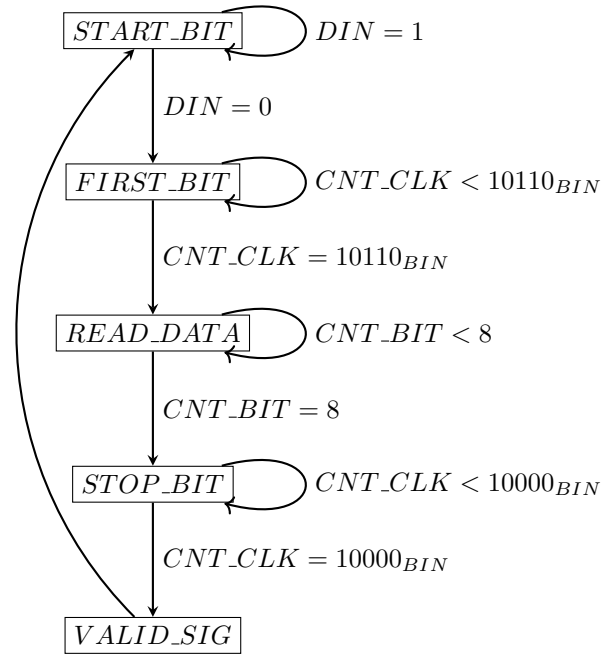


Obvod se skládá z těchto komponent:

- *FSM* - Finite State Machine (stavový automat)
- *CNT_CLK* - čítač hodinového signálu
- *CNT_BIT* - čítač přenesených bitů
- *DC 4 – 8* - dekodér 4-8 nastavující výstup

Obvod čeká na START bit, poté čeká 24 hodinových signálů pomocí *CNT_CLK* na MID bit prvního bitu a přímá další jednotlivé bity z portu *DIN*, které pomocí dekodéru zapisuje na *DOUT* (počet těchto přijímaných bitů je měřen pomocí *CNT_BIT*).

2 Návrh automatu - Finite State Machine



Automat je složen z pěti stavů:
 $START_BIT$, $FIRST_BIT$, $READ_DATA$, $STOP_BIT$ a $VALID_SIG$

Tyto stavy pak mají tyto výstupy:

- DIN - reprezentace datového toku
- CNT_CLK - čítač hodinového signálu, který nejprve počítá dobu mezi $START$ bitem a MID bitem prvního bitu, ve stavu $STOP_BIT$ je pak použit na indikaci 16 hodinových cyklů
- CNT_BIT - čítač přenesených bitů

Automat je na počátku uveden do stavu $START_BIT$, kde automat čeká na $START$ bit (tedy $DIN = 0$). Poté se automat přepne do stavu $FIRST_BIT$, kde čeká na MID bit prvního bitu (to trvá 24 hodinových cyklů). Následně se přesune do stavu $READ_DATA$, kde je přečteno zbylých 7 bitů. Po přečtení všech 8 bitů ($CNT_BIT = 8$) dojde k přepnutí do stavu $STOP_BIT$ a čeká na $STOP$ bit ($DIN = 1$). Poté už se přesune do stavu $VALID_SIG$ a zpět do stavu $START_BIT$, kde opět čeká na přenos dalšího datového slova.

