

第三章 集成门电路

集成门电路是数字系统的基本单元。在数字系统设计中，合理地选择逻辑门和逻辑器件是非常重要的步骤，因此需要了解各种逻辑门和逻辑器件及其特性。本章首先介绍了分立元件门电路的结构和特点，然后介绍了 TTL 和 CMOS 等逻辑门和逻辑器件的结构、工作原理以及特性参数等知识。

3.1 概述

由第二章中可知，实现基本逻辑运算和常用的复合逻辑运算的电子电路称为逻辑门电路。例如我们已经了解的与门、或门、非门、与非门、或非门、与或非门、异或门和同或门等。逻辑门电路是构成数字电路的基本单元之一。

目前使用的集成门电路有以下两类：一类是用双极型晶体管构成的电路；另一类是 MOS 管构成的集成门电路。

常用的双极型晶体管逻辑电路有以下几类：

一、晶体管—晶体管逻辑（Transistor Transistor Logic, TTL）电路。TTL 电路具有中等开关速度，每级门的传输延迟时间大约为 $3\sim 7\text{ns}$ (10^{-9}s) 扇出系数（带同类门的个数）一般为 8；电路的功耗较大 ($5\sim 10\text{mW}$)。TTL 电路的性/价比较为理想，在数字系统中，TTL 电路得到广泛使用。

二、射极耦合逻辑（Emitter Coupled Logic, ECL）电路。电路特点是速度快，电路速度可达 ns 量级；功耗大；负载能力强；抗干扰能力弱；具有互补输出。

双极性晶体管逻辑电路还有高阈值逻辑（high threshold logic, HTL）电路和集成注入逻辑（integrated injection logic, I²L）电路。

三、MOS 逻辑（Metal oxide Semiconductor Logic, MOSL）电路，其按沟道类型来分有 N 沟道和 P 沟道；按工作类型来分有耗尽型和增强型；按栅极材料来分有铝栅和硅栅。而由 N 沟道和 P 沟道电路就组成了 CMOS 电路。

根据集成电路规模的大小，通常将它们分为小规模集成电路（small scale integration, SSI）（含逻辑门数小于 10 门）、中规模集成电路（medium scale integration, MSI）（含逻辑门数 10~99 门）、大规模集成电路（large scale integration, LSI）（含逻辑门数 100~9999 门）、和超大规模集成电路（very large scale integration, VLSI）（含逻辑门数大于 10000 门）。随着大规模和超大规模集成电路的发展，可编程逻辑器件（ASIC、PLD）的应用越来越广泛。可编程逻辑器件是由厂家提供，只有构成数字逻辑电路的基本单元电路，用户可以根据需要用专门的硬件描述语言将其构成实用的系统电路。

3.2 正逻辑和负逻辑

如果把逻辑电路的输入、输出电压的低电平“L”赋值为逻辑“0”；把高电平“H”赋值为逻辑“1”，这种对应关系就是正逻辑关系。

如果把逻辑电路的输入、输出电压的低电平“L”赋值为逻辑“1”；把高电平“H”赋值为逻辑“0”，这种对应关系就是负逻辑关系。

对于同一电路，可以采用正逻辑，也可采用负逻辑。正负逻辑的规定不会涉及逻辑电路的结构与性能好坏，但不同的规定可使同一电路具有不同的逻辑功能。

假设有一逻辑门电路，它的两个输入端 A、B 中只要有一个为低电平时，输出 F 就为低电平；当两个输入均为高电平时，输出 F 为高电平。该电路的功能表如表 3.1（a）所示，如果以正逻辑关系来描述则可得如表 3.1（b）所示的真值表，根据真值表可写出输出的逻辑表达式为： $F=AB$ ，电路输出和输入之间为“与”运算。如果按负逻辑关系来描述则可得如表

3.1 (c) 的真值表，根据真值表可写出输出的逻辑表达式为 $F=A+B$ ，电路输出和输入之间为“或”运算。

表 3.1 (a) 功能表

A	B	F
L	L	L
L	H	L
H	L	L
H	H	H

表 3.1 (b) 正逻辑真值表

A	B	F
0	0	0
0	1	0
1	0	0
1	1	1

表 3.1 (c) 负逻辑真值表

A	B	F
1	1	1
1	0	1
0	1	1
0	0	0

从上述可见，同一个逻辑门，在正逻辑下实现的是“与”运算，而在负逻辑下实现的是“或”运算。即正逻辑的与门就是负逻辑下的或门。表 3.2 列出了正负逻辑下对应的门电路类型。注意本书所采用的都是正逻辑描述。

表 3.2 正负逻辑所对应的逻辑门

正逻辑	负逻辑
与门	或门
或门	与门
与非门	或非门
或非门	与非门
异或门	同或门
同或门	异或门

3.3 分立元件门电路

门电路是构成逻辑系统的主要产品之一，也是由中大规模集成电路组成的数字系统和微机系统中不可缺少的电路。

3.3.1 与门

图 3-1 所示为一个二输入的二极管与门。二极管具有正向导通、反向截止的特性，因此由图可知，当输入 A、B 均高电平时，二极管 D1 和 D2 截止，则输出 F 为“1”；当输入 A、B 中至少有一个为低电平时，二极管 D1 和 D2 中至少有一个是导通的，使输出 F 为“0”。因此，实现了“与”逻辑功能。

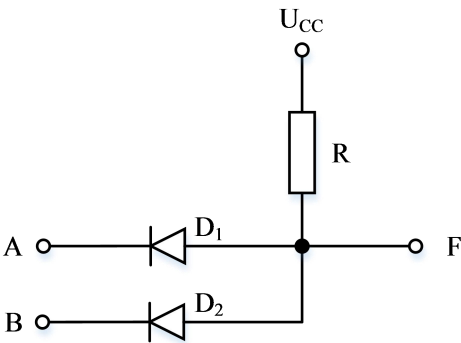


图 3-1 二极管与门

3.3.2 或门

图 3-2 所示为一个二输入的二极管或门。由图可知，当输入 A、B 均为低电平时，D1 和 D2 截止，则输出 F 为“0”；当输入 A、B 中至少有一个为高电平时，二极管 D1 和 D2 中至少有一个是导通的，使输出 F 为“1”。因此，实现了“或”逻辑功能。

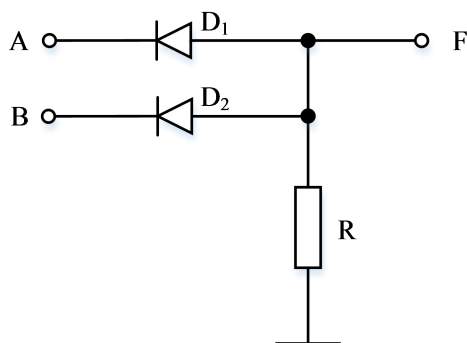


图 3-2 二极管或门

3.3.3 非门

图 3-3 所示为一个三极管非门，也称为三极管反相器。根据晶体三极管的工作特性，由图可知，当输入 A 为高电平时，三极管 T 处于饱和状态（即导通），则输出 F 为“0”；当输入 A 为低电平时，三极管 T 处于截止状态，则输出 F 为“1”。因此，实现了“非”逻辑功能。

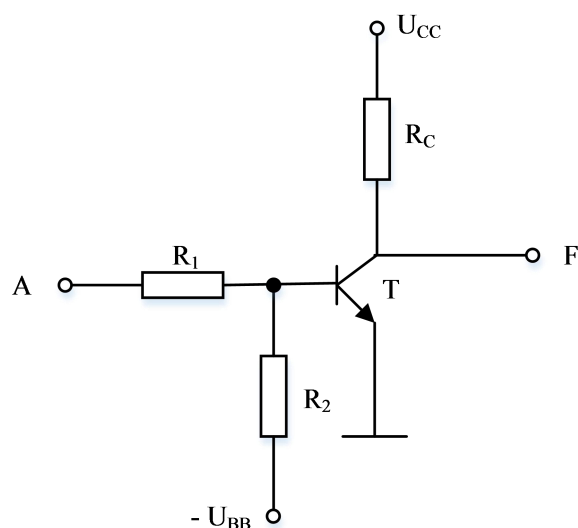


图 3-3 三极管非门

3.4 TTL 逻辑门电路

3.4.1 TTL 与非门

“与非”门是门电路中最重要器件之一（由于它具备逻辑完备性）。图 3-4 是典型的“与非”门的电路结构图。

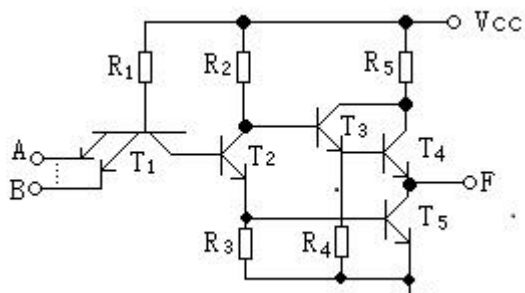


图 3-4 典型 TTL 与非门电路

从图 3-4 可见，与非门的“与”功能是由多发射极晶体管 T_1 来实现的。这里， T_1 的发射极是“与”输入端， T_1 的集电极是“与”输出端。若 T_1 有一个输入为“0”，则电源经 R_1 流过的电流便经过 T_1 的发射极流向“0”输入端，由于此时 T_1 的集电极电流为零，所以 T_1 处于深饱和状态，其集电极为低电平，“与”输出为“0”。若 T_1 的输入均为“1”，则电源经 R_1 流过的电流便经过 T_1 的集电极流向 T_2 的基极，使 T_2 、 T_5 导通。此时 T_1 处于倒置工作状态 ($U_{be}<0$, $U_{bc}>0$)，“与”输出等效为“1”。

T_2 为分相极，基极是它的输入，而集电极和发射极是它的两个输出端。集电极电压和发射极电压是反相的，但发射极电压是跟随基极电压的。所以 T_2 的集电极和发射极逻辑状态是反相的。可见， T_2 的集电极实现“与非”逻辑，而 T_2 的发射极实现与逻辑。

T_3 、 T_4 组成射极跟随电路，构成“1”输出级； T_5 （反相器）构成“0”输出级。这样 T_3 、 T_4 和 T_5 就组成了与非门的推拉输出结构。这两个输出级分别是由分相级的两个输出来驱动的。

当与非门输入有一个或几个为“0”时， T_2 和“0”输出级均截止。此时， T_2 的集电极电压为 V_{cc} ，使 T_3 、 T_4 组成射极跟随电路导通，从而把 T_2 集电极的“与非”逻辑（此时为“1”）传送到与非门的输出。由于射极跟随器的输出阻抗很低，因此电路对后级负载有较强的驱动能力（拉电流负载）。

当与非门输入均为“1”时， T_1 反向导通， T_2 、 T_5 也都导通， T_5 处于深饱和状态。而由于此时 T_2 的集电极电压大约为 1V 左右，这只能使 T_3 微通，但 T_4 是截止的。“0”输出级的作用为：使分相级的射极输出“1”反相，从而实现输出对输入的“与非”逻辑；另外就是提高电路的驱动能力（灌电流负载）。

与非门电路的结构保证了电路有较快的开关速度，其主要原因有：

（1）当与非门输入由全“1”变为有输入“0”时，由于 T_1 射极突然接“0”，使 T_1 处于放大状态，这时有一股较大的电流 $\beta_1 I_{R1}$ （这里 β_1 是 T_1 的共射电流放大倍数， I_{R1} 是流经 T_1 基极的电流）从 T_2 基极流向 T_1 集电极，使 T_2 基区存储的电荷迅速消散，从而加快了 T_2 截止的速度。待 T_2 基区的电荷消散完后， T_1 集电极电流为零， T_1 处于深饱和状态。

（2）与非门的“0”输出级和“1”输出级组成了推拉输出结构。当输入由“1”向“0”转换时，在 T_2 截止过程中， T_2 集电极电压迅速上升，“1”输出级给尚未脱离饱和的 T_5 提供较大的集电极电流，使 T_5 集区的存储电荷迅速消散，从而使 T_5 很快脱离饱和。此后，大部分的电流都流向与非门的输出负载电容，使输出电压迅速上升。输入由“0”向全“1”转换时，输出由“1”变为“0”，其负载电容上的电荷是通过低阻的“0”输出级 T_5 来泄放的。这使得输出电压很快降为低电平。

（3）当电路输出由“0”向“1”转换时，“0”输出级的基极电阻 R_3 便为 T_5 基区存储电荷的消散提供了通路，从而加快了 T_5 的截止。

当 TTL 与非门在不同的输入情况下 $T_1 \sim T_5$ 管的各极电位如表 3.3(a)和 3.3(b)所示。

表 3.3(a) 输入为“0”时 TTL 与非门的工作情况

各极电位	Vb(V)	Vc(V)	Ve(V)	工作状态
T_1	1.0	0.4	0.3	深饱和
T_2	0.4	5.0	0.0	截止
T_3	5.0	4.9	4.3	浅饱和
T_4	4.3	4.9	3.6	放大
T_5	0.0	3.6	0.0	截止

表 3.3(b) 输入为全“1”时 TTL 与非门的工作情况

各级电位	Vb(V)	Vc(V)	Ve(V)	工作状态
T ₁	2.1	1.4	3.6	倒置
T ₂	1.4	1.0	0.7	饱和
T ₃	1.0	5.0	0.3	放大
T ₄	0.3	5.0	0.3	截止
T ₅	0.7	0.3	0.0	深饱和

3.4.2 TTL 逻辑门的外特性

从应用的角度出发，TTL 逻辑门的外特性是很重要的。TTL 逻辑门的主要外部特性参数有输出逻辑电平、开门电平、关门电平、扇入系数、扇出系数、平均传输延时时间和空载功耗等。

一、标称逻辑电平

门电路的逻辑功能是通过指定低电平表示“0”、高电平表示“1”来实现的。这种表示逻辑值“0”和“1”的理想电平值记为 $U(0)$ 和 $U(1)$ ，称为标称逻辑电平。标称逻辑电平分别为 $U(0)=0V$ ， $U(1)=5V$ 。

二、开门电平 U_{ON} 和关门电平 U_{OFF}

实际门电路中，低电平或高电平都不可能是标称逻辑电平，而是偏离这一数值的一个范围内。若用 $\Delta U(0)$ 和 $\Delta U(1)$ 分别表示低、高电平的两个允许偏离值，那么低电平在 $U(0) \sim [U(0) + \Delta U(0)]$ 范围时都表示逻辑“0”，高电平在 $U(1) \sim [U(1) - \Delta U(1)]$ 范围时都表示逻辑“1”。此时电路仍能实现正常的逻辑功能。我们把表示逻辑值“0”的最大低电平 U_{OFF} （约 1V）称为关门电平，把表示逻辑值“1”的最小高电平 U_{ON} （约 1.4V）称为开门电平。关门电平的大小反映了低电平抗干扰能力， U_{OFF} 越大，在输入低电平时的抗干扰能力就越强。而开门电平的大小反映了高电平抗干扰能力， U_{ON} 越小，在输入高电平时的抗干扰能力越强。

三、输出高低电平

输出低电平 U_{OL} 是指输入全为高电平时的输出电平。 U_{OL} 的典型值是 0.3V，产品规范值是 $U_{OL} \leq 0.4V$ 。输出高电平 U_{OH} 是指输入至少有一个为低电平时的输出电平。 U_{OH} 的典型值是 3.6V。产品规范值是 $U_{OH} \geq 2.4V$ 。

四、输入高电平电流 (I_{IH}) 和输入低电平电流 (I_{IL})

作为负载的门电路，当某一输入端接高电平时，流入该输入端的电流称为 I_{IH} （74LS 型的约为 $20 \mu A$ ）。即拉出前级门电路输出端的电流。

作为负载的门电路，当某一输入端接低电平时，从该输入端流出的电流称为 I_{IL} （74LS 型的约为 0.4mA）。即灌入前级输出端的电流。

五、输出高电平电流 (I_{OH}) 和输出低电平电流 (I_{OL})

I_{OH} （74LS 型的约为 0.4mA）指输出高电平时流出该输出端的电流，它反映了门电路带拉电流负载的能力。

I_{OL} （74LS 型的约为 8mA）是指输出低电平时，灌入该输出端的电流，它反映了门电路带灌电流的能力。

六、扇入系数 N_i 和扇出系数 N_o

门电路允许的输入端数目，称为该门电路的扇入系数。一般门电路的扇入系数 N_i 为 1~5，最多不超过 8。实际应用中若要求门电路的输入端数目超过它的扇入系数，可使用“与扩展器”或者“或扩展器”来增加输入端的数目。也可以使用分级实现的方法来减少对门电路输入端数目的要求。若使用中所要求的输入端数比门电路的扇入系数小时，可将多余输入端接 V_{cc} （与门、与非门）或接地（或门、或非门）。

门电路通常只有一个输出端，但它能与下一级的多个输入端连接。一个门的输出端所能连接的下一级门的个数，称为该门电路的扇出系数。TTL 门电路的扇出系数 N_o 一般为 8。

但驱动门的扇出系数可达 25。

七、平均延迟时间 t_{pd}

平均延迟时间是反映门电路工作速度的一个重要参数。以与非门为例，在输入端加一矩形波，则需经过一定的时间延迟才能从输出端得到一个负矩形波。输入和输出之间的关系如图 3-5 所示。若定义输入波形前沿的 50% 到输出波形的前沿的 50% 之间的间隔为前沿延迟 t_{pHL} ；同样定义 t_{pLH} 为后沿延迟，则它们的平均值就为 $t_{pd}=(t_{pHL}+t_{pLH})/2$ ，称为平均延迟时间。

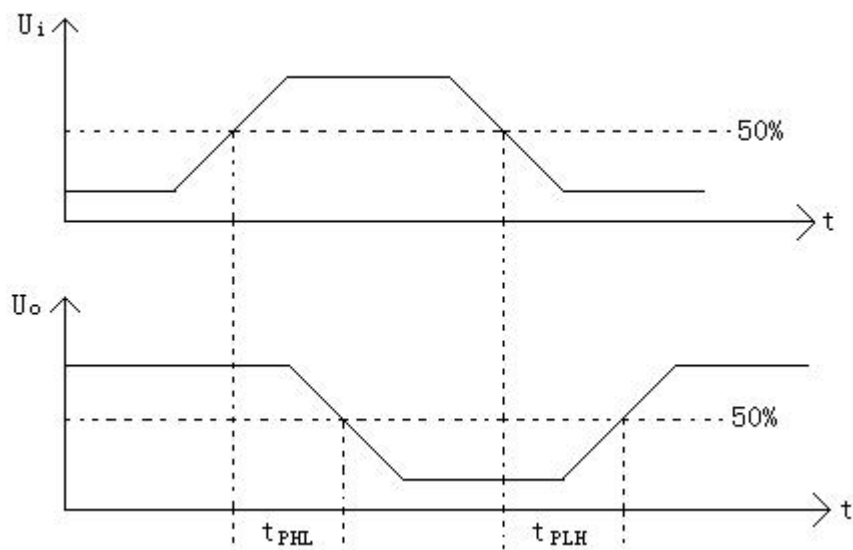


图 3-5 与非门的传输延迟时间

八、空载功耗 P

空载功耗是当前逻辑门空载时电源总电流 I_{cc} 和电源电压 V_{cc} 的乘积。输出为低电平时的功耗称为空载导通功耗 P_{ON} ，输出为高电平时的功耗称为空载截止功耗 P_{OFF} 。 P_{ON} 总是比 P_{OFF} 大的。平均功耗 $P=(P_{ON}+P_{OFF})/2$ 。一般 $P<50mW$ 。

九、TTL 逻辑门的封装和管脚排列

图 3-6 给出了 TTL 与非门 74LS00、74LS30 的引脚排列图。它们都是 14 引脚，双列直插式，以集成块左边缺口为标记，14 引脚接 V_{cc} ，7 号引脚接地，其余的引脚作为门电路的输入或输出。

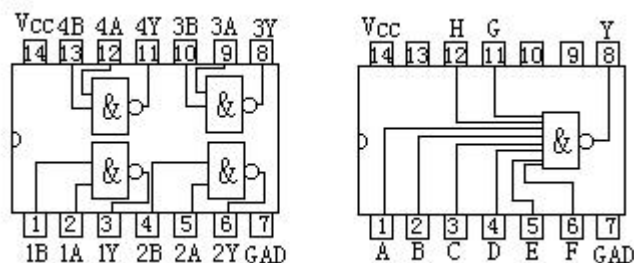


图 3-6 两种 TTL 与非门的引脚排列图

3.4.3 集电极开路输出门（OC 门）

下面以两个分立元件反相器（非门）为例来看逻辑门输出端直接相连的情况。图 3-7 示

出了两个反相器输出端的连接，由图可见，当输入信号 A 或 B 处于逻辑高电平时，输出 F 为逻辑低电平。只有在 A 和 B 同时为逻辑低电平时，输出 F 才为逻辑高电平。由此可得到

输出与输入的逻辑关系为 $F = F_1 \cdot F_2 = \overline{A} \cdot \overline{B}$

而使用推拉输出结构的逻辑门时，是不能将两个门的输出端直接连在一起的，否则会将逻辑门损坏。这是因为推拉输出结构无论门电路是处于开态或关态，输出都呈现低阻抗，这将会有一个很大的电流流过两个门的输出级，这个电流大大超过了晶体管的允许值，而会使芯片烧坏。但 OC 门（Open Collector Gate）就可将多个门的输出相互连接组成“线与”电路。

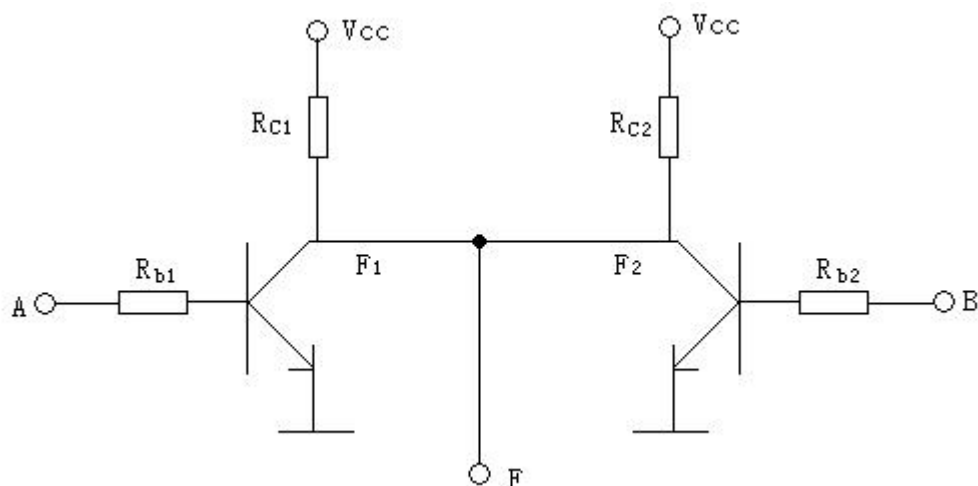


图 3-7 分立元件非门的线与

图 3-8（a）和（b）分别给出了集电极开路与非门的电路结构图和逻辑符号，逻辑符号中的菱形◇表示输出开路，下端横杠表示输出低电平时为低阻抗。下面给出 OC 门使用时需注意的问题和它的特点。

- 1、OC 门必须外接上拉电阻 R_L 才能正常工作。
- 2、多个 OC 门的输出可连接在一起构成“线与”逻辑，如图 3-9 所示。
- 3、若改变上拉电阻连接的电源可实现电平转换。

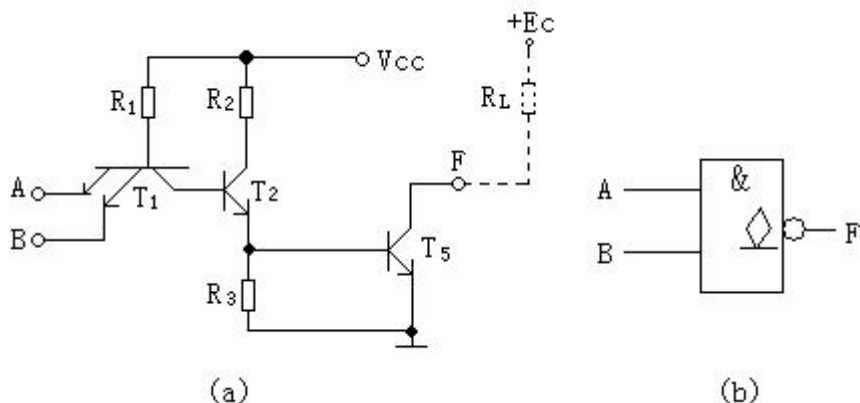


图 3-8 集电极开路与非门的电路结构和逻辑符号

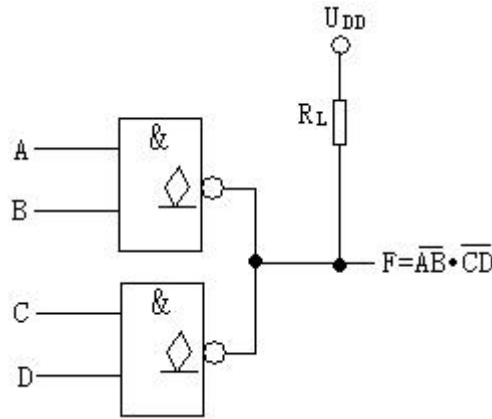


图 3-9 用 OC 门实现“线与”

图 3-9 是将两个 OC 结构与非门输出并联（线与）的例子，只要上拉电阻 R_L 和电源的数值选择恰当，就够保证输出的高、低电平符合要求，而且流经输出三极管的负载电流又不过大。由图可知 $F = \overline{AB} \cdot \overline{CD} = \overline{AB + CD}$ ，这表明两个 OC 结构的与非门线与连接就可得到与或非的逻辑功能。

下面讨论 OC 门外接上拉电阻 R_L 的计算方法。在图 3-10 (a) 中，假设将 n 个 OC 门的输出线与连接，其负载是 m 个 TTL 与非门的输入端。

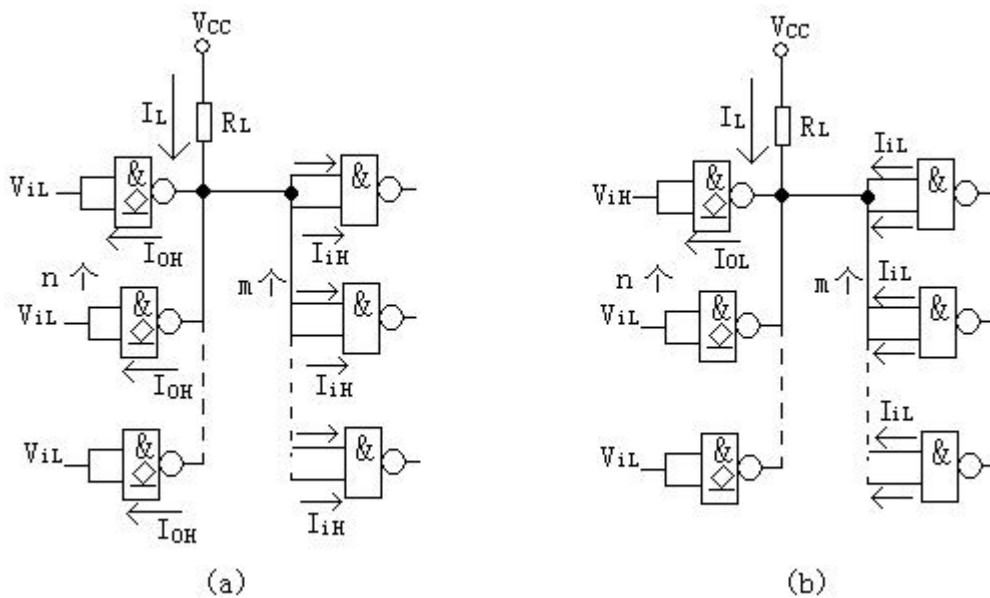


图 3-10 上拉电阻的计算

当所有的 OC 门输入都为低电平时，输出为高电平。为了保证输出高电平不低于规定的 V_{OH} 值， R_L 的选值应满足下式：

$$V_{CC} - (nI_{OH} + mI_{iH})R_L \geq V_{OH}$$

所以
$$R_{L_{\max}} \leq \frac{V_{CC} - V_{OH}}{nI_{OH} + mI_{iH}}$$

式中 V_{CC} 是外接电源电压, I_{OH} 是每个 OC 门输出高电平电流, I_{IH} 是负载门每个输入端的输入高电平电流。这在逻辑门的参数中作过介绍。

在图 3.22 (b) 中, OC 门中只有一个输入为高电平时, 输出为低电平。这时负载电流全部都流入导通的那个 OC 门。为了保证输出低电平不高于规定的 V_{OL} 值, R_L 的选值应满足下式:

$$\frac{V_{CC} - V_{OL}}{R_L} + mI_{iL} \leq I_{OL}$$

$$\text{所以 } R_{L\min} \geq \frac{V_{CC} - V_{OL}}{I_{OL} - mI_{iL}} \quad 3.2$$

式中 I_{iL} 是输入低电平电流, I_{OL} 是输出低电平电流。这些都在逻辑门的参数中作过介绍。

最后选定的 R_L 值应介于 $R_{L\max}$ 和 $R_{L\min}$ 之间。

3.4.4 三态输出 (TS 门)

三态输出门简称三态门 (Three State Gate)、TS 门。它有三种输出状态: 输出高电平、输出低电平和输出高阻态。前两种状态为工作状态时的输出。而后一种状态表示该门处于禁止状态, 在禁止状态下, 其输出高阻态相当于开路, 表示此时该门电路与其它电路的传送无关。

图 3-11 (a) 和 (b) 分别给出了一个三态与非门的电路结构和逻辑符号。逻辑符号中的三态控制端 \overline{EN} 表示 $\overline{EN}=0$ 时该与非门处于工作状态, $\overline{EN}=1$ 时该与非门处于高阻态。若三态控制端写成 EN, 则表示 $EN=1$ 时该与非门处于工作状态, $EN=0$ 时该与非门处于高阻态。

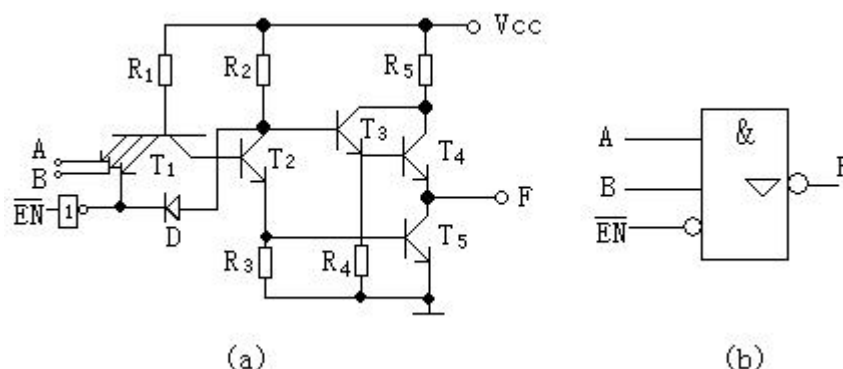


图 3-11 三态输出与非门电路结构图和逻辑符号

三态门主要用于总线传输, 这既可用于单向传送, 也可用于双向传送。图 3-12 (a) 为用三态门构成的单向数据总线; 图 3-12 (b) 为用三态门构成的双向数据传送。需要注意的是在三态门构成的数据总线中, 任一时刻只允许一个门处于工作状态, 其余的门必须处于高阻态。这样才能保证 n 个数据的分时传送。

多路数据通过三态门共享总线, 实现数据分时传送的方法, 在计算机和数字系统中被广泛使用。

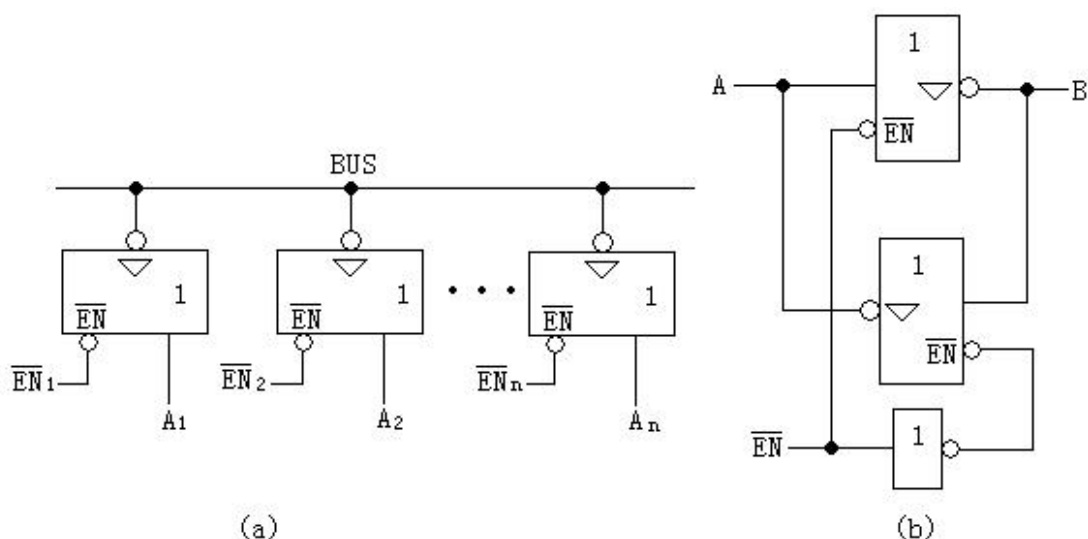


图 3-12 用三态门构成数据总线

3.5 CMOS 集成逻辑门电路

以 MOS 管作为开关元件的门电路称为 MOS 门电路。由于 MOS 门电路具有制造工艺简单、集成度高、功耗小、抗干扰能力强等优点，所以在数字集成电路产品中占有相当大的比例。与 TTL 门电路相比，MOS 门电路的主要缺点是工作速度低。

MOS 门电路有三种类型：使用 P 沟道管的 PMOS 电路；使用 N 沟道管的 NMOS 电路；用 P 沟道管和 N 沟道管组合而成的 CMOS 电路。当前，CMOS 逻辑门是应用较广泛的逻辑电路之一。本节仅对 CMOS 电路进行讨论。

3.5.1 CMOS 反相器（非门）

图 3-13 为由一个 N 沟道增强型 MOS 管和一个 P 沟道增强型 MOS 管构成的 CMOS 反相器。两管的栅极连接起来作为输入端，两管的漏极连接起来作为输出。N 沟道管的源极接地，P 沟道管的源极接电源 V_{DD} 。

由图可见，若输入电压 $U_i < U_{TN}$ (U_{TN} 为 N 沟道管的开启电压，约为 +2V) 则 T_1 截止， T_2 导通，输出 $U_o = V_{DD} = "1"$ 。若 $U_i > U_{DD} - |U_{TP}|$ (U_{TP} 为 P 沟道管的开启电压，约为 -2V) 则 T_1 导通， T_2 截止，输出 $U_o = 0V = "0"$ 。因此实现了“非”的逻辑功能。

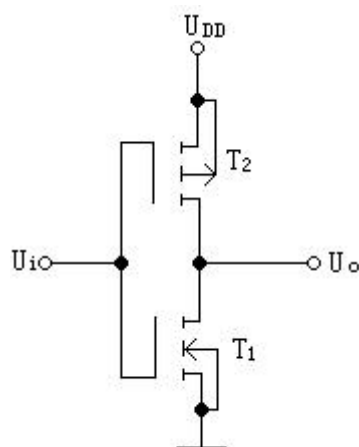


图 3-13 CMOS 反相器电路

3.5.2 CMOS 与非门

图 3-14 是一个两输入端的 CMOS 与非门电路，它由两个并行连接的 PMOS 管和两个串行连接的 NMOS 管构成。两个输入端均分别由一个 PMOS 和一个 NMOS 的栅极相连而得。当输入 A、B 中至少有一个为“0”时，对应的 NMOS 管中至少有一个是截止的，PMOS 管中至少有一个是导通的，输出 $F=“1”$ ；当输入 A、B 均为高电平时，NMOS 管都导通，而 PMOS 管均截止，输出 $F=“0”$ 。故该电路实现了“与非”逻辑功能。

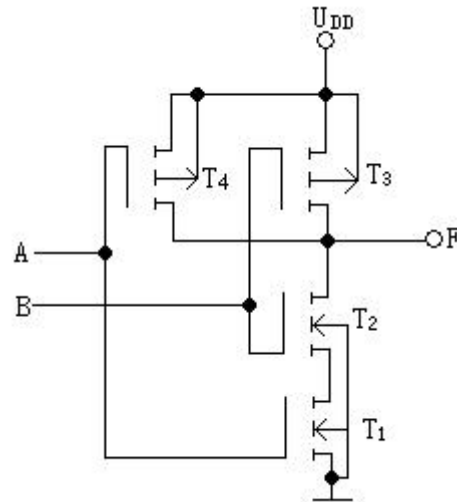


图 3-14 CMOS 与非门电路

3.5.3 CMOS 或非门

图 3-15 是一个两输入端的 CMOS 或非门电路，它由两个并联的 NMOS 管和两个串联的 PMOS 管构成。两个输入端均分别由一个 PMOS 和一个 NMOS 的栅极相连而得。当输入 A、B 中至少有一个为“1”时，则对应的 NMOS 管中必有一个是导通的，PMOS 管中至少有一个截止，使 $F=“0”$ ；当输入 A、B 均为“0”时，NMOS 管均截止，PMOS 管均导通，使 $F=“1”$ 。故该电路实现了“或非”功能。

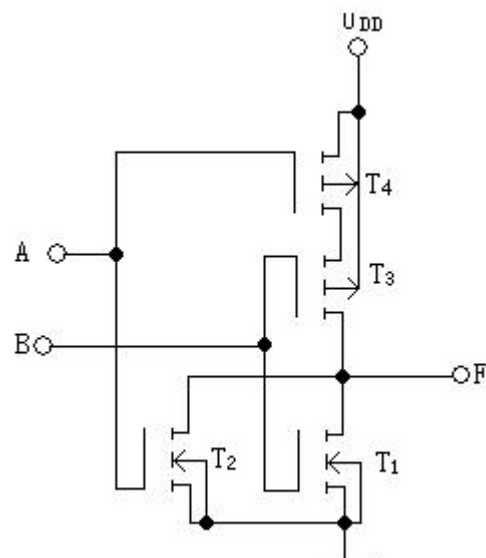


图 3-15 CMOS 或非门电路

3.5.4 CMOS 三态门

图 3-16 是一个低电平使能控制的三态非门电路，该电路实际就是在 CMOS 非门的基础上增加了一个反相器、一个 NMOS 管和一个 PMOS 管构成的。当使能控制端 $\overline{EN}=0$ 时， T_1 和 T_4 同时导通，非门正常工作，实现 $F=\overline{A}$ 的功能；当使能控制端 $\overline{EN}=1$ 时， T_1 和 T_4 均截止，使输出呈高阻状态。

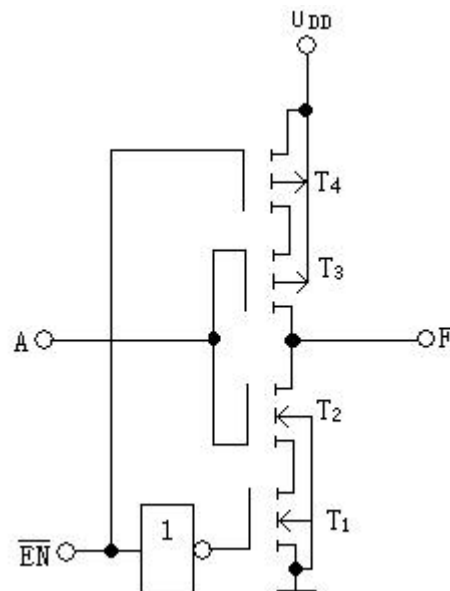


图 3-16 CMOS 三态门电路

3.5.5 CMOS 漏极开路输出（OD 门）

图 3-17(a)和(b)是漏极开路输出的与非门的电路结构和逻辑符号，和 OC 门一样，工作时也必须外接上拉电阻，电路才能工作，同样 OD 门也可实现“线与”，通过改变上拉电阻所接的电源也可实现电平转换。图 3-18 是两个 OD 门实现“线与”连接的电路图。

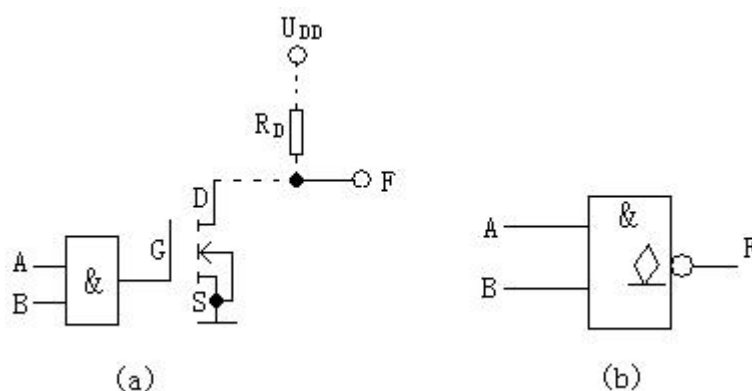


图 3-17 CMOS 漏极开路门

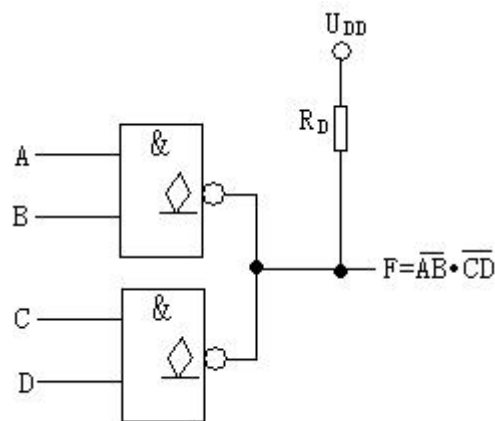


图 3-18 OD 门实现“线与”连接

3.5.6 CMOS 传输门

图 3-19 (a) 是一个 CMOS 传输门的电路图，它由一个 NMOS 管和一个 PMOS 管并联而成，其逻辑符号如图 3-19 (b) 所示。

图中，两管的源极连接在一起作为传输门的输入端，漏极连接在一起作为输出端。NMOS 管的衬底接地，PMOS 管的衬底接电源，两管的栅极分别与一对互补的控制信号 C 和 \overline{C} 相连。由于 MOS 管的结构是对称的，所以信号可以双向传输。传输门实际是一种可以传送模拟信号和数字信号的压控开关。

当 $C = "1"$ ， $\overline{C} = "0"$ 时，若输入信号 U_i 在 $0V \sim V_{DD}$ 范围内变化，则两管中至少有一个是导通的，输入和输出之间呈低阻状态，相当于开关接通，输入信号可通过传输门到达输出端。

当 $C = "0"$ ， $\overline{C} = "1"$ 时，输入信号 U_i 在 $0V \sim V_{DD}$ 范围内变化，由于两管始终处于截止状态，输入和输出之间是断开的。

传输门导通时，其导通内阻只有几百欧；截止时，其关断电阻在 $10^9 \Omega$ 以上。

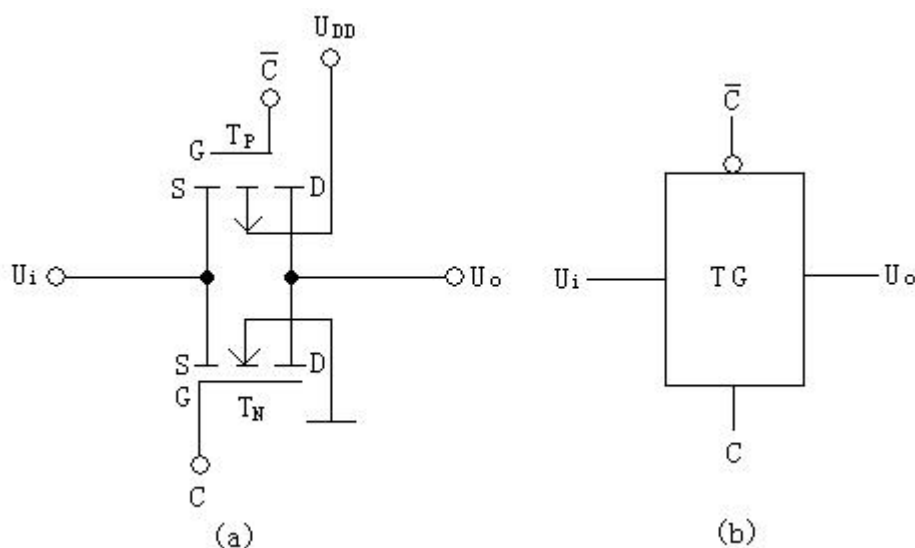


图 3-19 CMOS 传输

3.6 TTL 和 CMOS 之间的接口电路

3.6.1 用 TTL 门驱动 CMOS 门

当 TTL 和 CMOS 都采用 5V 电源电压时，可以把 TTL 的输出直接接到 CMOS 的输入端，因为此时 TTL 的扇出系数是足够大的。当 V_{CC} 和 V_{DD} 不相等时，则可采用图 3-20 的处理方法。处于接口处的 TTL 门可以采用 OC 门，利用外接上拉电阻 R_L ，使输出 F_0 的高电平提升至 V_{DD} 的值，便可驱动后接的 CMOS 电路。当然也可采用专用的 TTL 至 CMOS 电平转移接口电路，比如 MC14504。

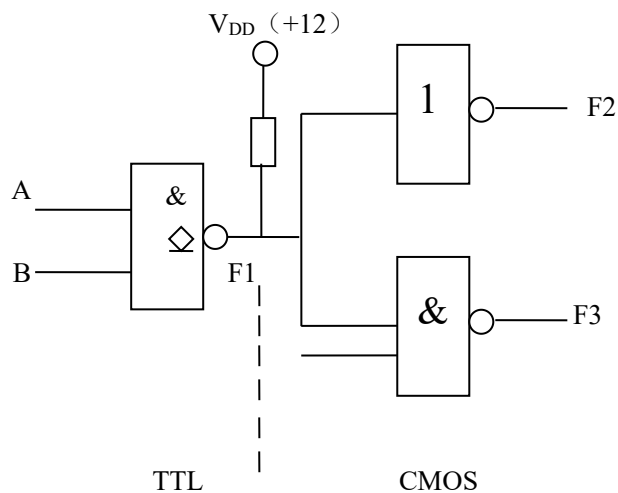


图 3-20 TTL 电路驱动 CMOS 电路接口

3.6.2 用 CMOS 门驱动 TTL 门

同样当 TTL 和 CMOS 采用同样的 5V 电源电压时，可以将 CMOS 的输出直接接到 TTL 的输入端，当然此时还要考虑驱动能力，一般 CMOS 可以驱动 10 个 LSTTL 门，但只能驱动 2 个 STTL 门。图 3-21 是 CMOS 门驱动 TTL 门的情况，图中采用了专门的反相缓冲器 MC14049，由于它内部加大了末级输出电流，故可以更可靠的完成驱动任务。

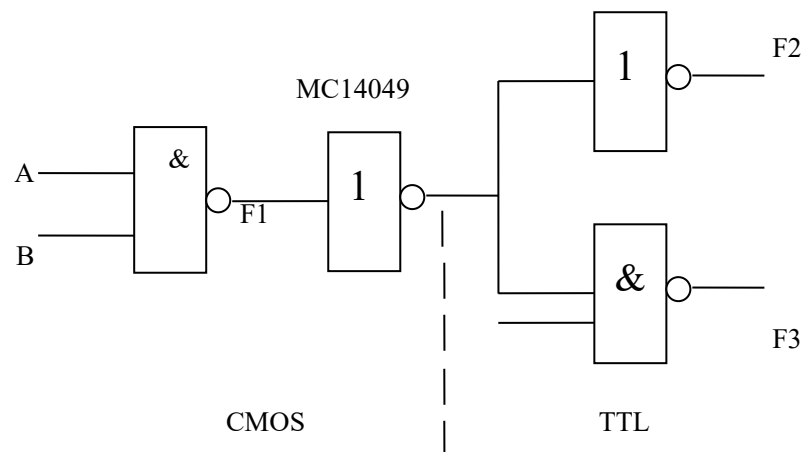


图 3-21 CMOS 电路驱动 TTL 电路接口

3.7 本章小结

本章学习了正逻辑和负逻辑的概念，介绍了数字电路中常用的各种门电路是如何用晶体管或者场效应管设计和实现的，给出了逻辑门的外特性以及在实际工程使用时需要注意的问题。

具体关键知识点梳理如下：

- 1、正逻辑和负逻辑的概念以及同一个电路在不同逻辑假设条件下对应的逻辑函数表达式之间的关系。
- 2、TTL 逻辑门电路的常见输出形式有三种：推拉输出、集电极开路输出（OC）和三态输出（TS），不同的输出形式在工程应用中需要注意的问题不同。
- 3、与 TTL 逻辑门类似，CMOS 逻辑门电路的常见输出形式也有三种：推拉输出、漏极开路输出（OD）和三态门（TS）。

3.8 习题

1. TTL 与非门的主要性能参数有那些？
2. 在 TTL 电路中，“推拉”输出、“集电极开路”输出（OC 输出）和“三态”输出（TS 输出）有何不同？各有何主要应用？
3. 有两个型号相同的 TTL 与非门，测得门 A 的关门电平为 1.1V，开门电平为 1.3V；门 B 的关门电平为 0.9V，开门电平为 1.7V，试问在输入相同低电平时，那个门抗干扰能力强？在输入相同高电平时，那个门抗干扰能力强？
4. TTL 与非门的多余输入端悬空时，该端逻辑上等效为什么电平？多余输入端应怎么处理？
5. 多个推拉输出结构的 TTL 门的输出端为什么不能直接连在一起使用？OC 门为什么可以“线与”连接？
6. 用 OC 与非门实现逻辑函数 $F = \overline{AC + BD + AB}$ 。
7. 试写出图 3-22 所示电路输出信号的逻辑函数表达式。

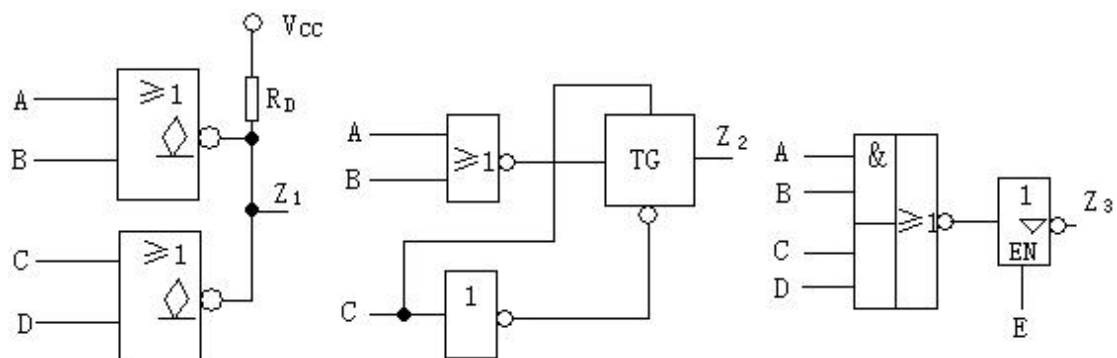


图 3-22

8. 门电路如图 3-23 所示，试根据输入波形画出输出波形。

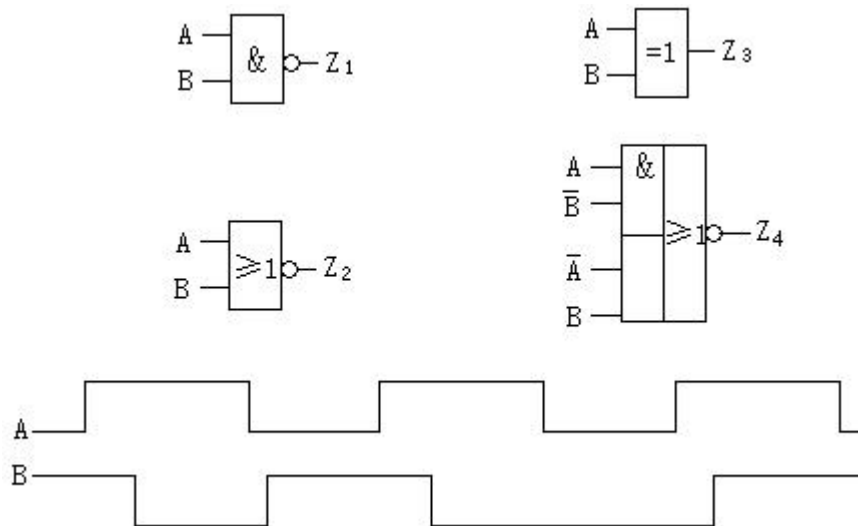


图 3-23

9. 门电路如图 3-24 所示，试根据输入波形画出输出波形。

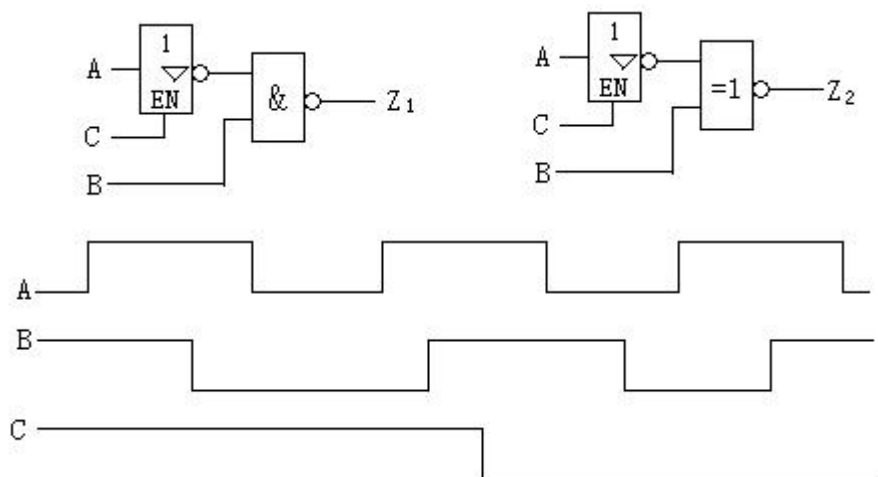


图 3-24

10. TTL 三态门电路如图 3-25 所示，试根据输入波形画出输出波形。

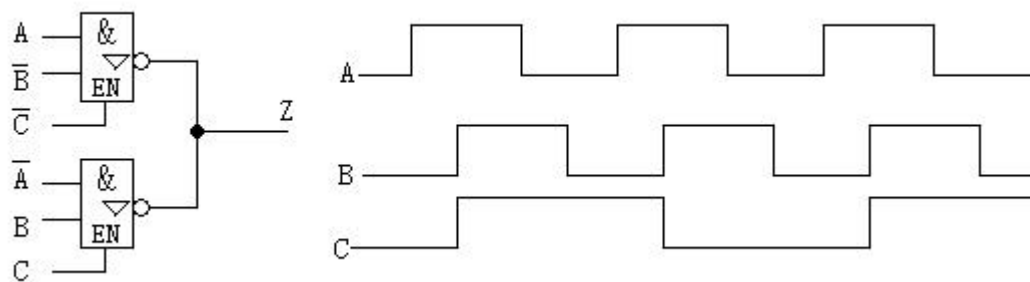


图 3-25

11. 利用正负逻辑的置换关系，写出图 3-26 中输出端的负逻辑函数表达式。

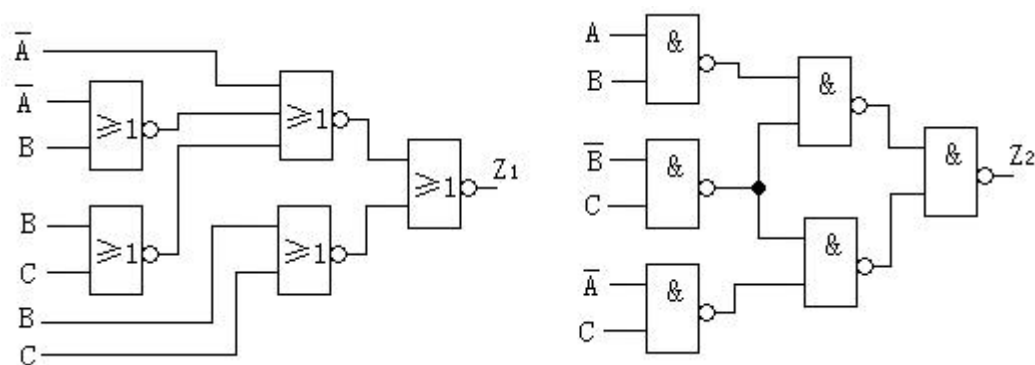


图 3-26

12. 试分析图 3-27 所示电路，哪些能正常工作，哪些不能。写出能正常工作电路输出端的逻辑函数表达式。

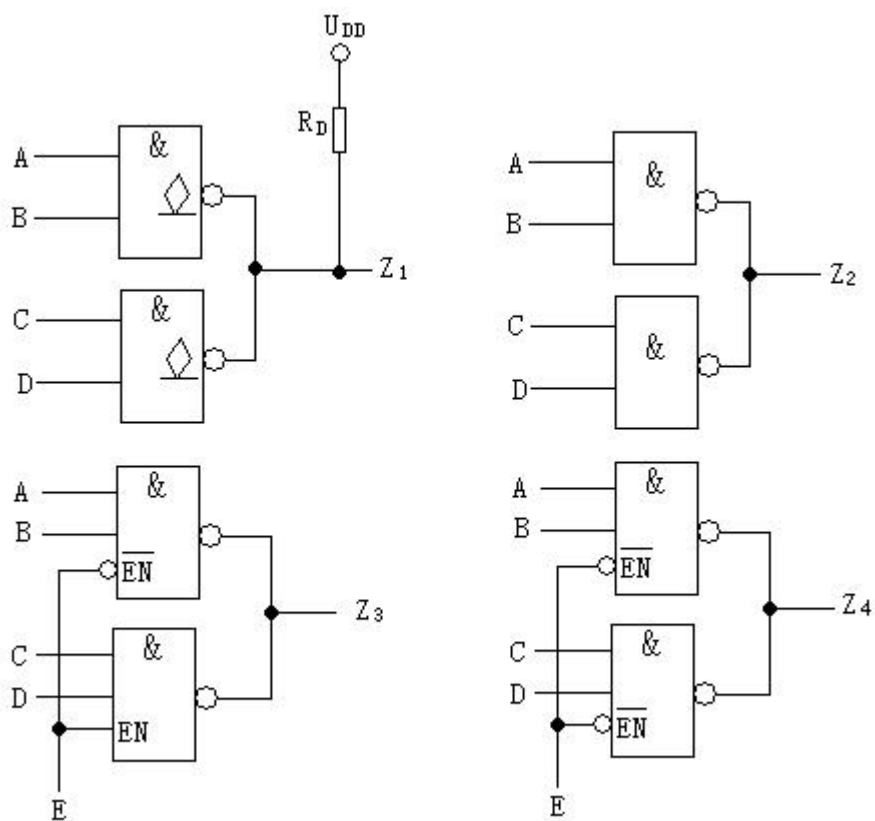


图 3-27

13. 门电路如图 3-28 所示电路，试根据输入波形画出输出 Z_1 和 Z_2 的波形。

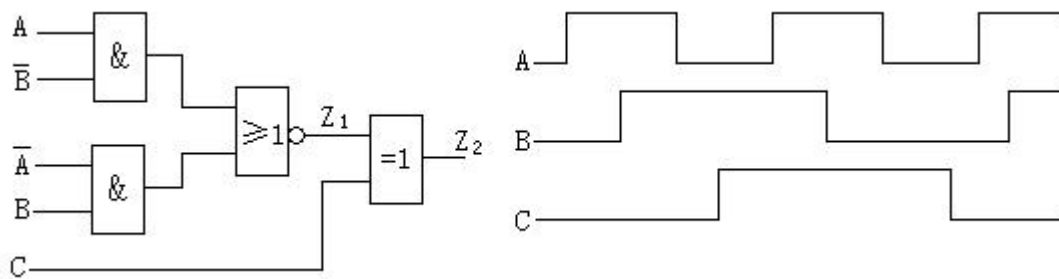


图 3-28

14. 试计算图 3-29 所示 TTL 非门组成的环行振荡器的振荡频率，每个门的平均传输延迟时间 $t_{pd}=10\text{nS}$ 。

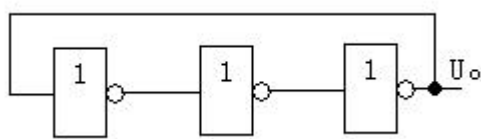


图 3-29

15. TTL 门电路如图 3-30 所示，试分析那些电路可实现 $Z=\overline{A}$ 的功能。

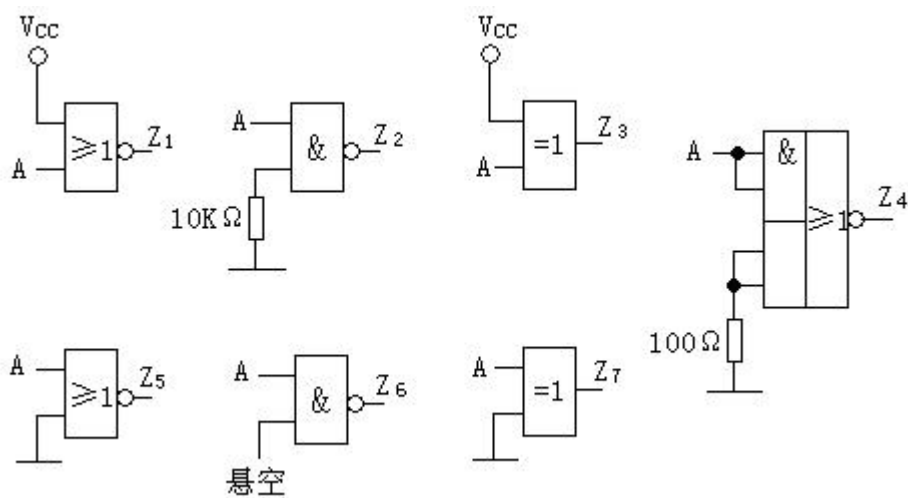


图 3-30