CMOS 模拟集成电路设计

作者：Pannenets.F

时间：November 29, 2020

Je reviendrai et je serai des millions. ——«Spartacus»

目录

第一部分　课件 1

1　MOSFET 2

2　模拟电路基本组成 66

3　噪声 128

4　失配 173

5　运放 223

6　知识总结 1-5 325

7　全差分放大器 345

8　轨到轨 377

9　Class A-B 423

10　全差分放大器 424

11　ADC & DAC 464

第二部分　作业反馈 501

12 HW01-02 502

13 HW03 535

14 HW04-05 551

15 HW06 571

16 HW07 604

17 HW08 611

第三部分　教程 625

18 Aether 入门教程 626

19 Aether DC 仿真 630

20 Aether AC/OP 仿真 635

21 Aether NOISE 仿真 642

22 Aether 失调/蒙特卡洛/CMRR 仿真 646

23 Aether TRANS/封装仿真 651

24 Aether 数模混合仿真 656

第一部分

课件

第 1 章 MOSFET

北京航空航天大学 BEIHANG UNIVERSITY | 微电子学院

CMOS模拟集成电路设计

第一章：MOSFET

胡远奇

©2020

MOSFET

Id=?

MOSFET

线性区 vs 饱和区

如何选择?

开关、电阻

放大器

MOSFET的I-V关系

MOSFET的I-V关系

MOSFET

- **晶体管工作在线性区：电阻**
- 晶体管工作在饱和区：放大器
- 亚反型区/弱翻转区 （Weak Inversion）
- 速度饱和去 （Velocity Saturation）
- 特征频率

MOSFET当作开关

线性区： $V_{DS} < V_{GS} - V_{TH}$

$I_D =$

- 小信号导通电阻：

$R =$

MOSFET当作开关

线性区： $V_{DS} < V_{GS} - V_{TH}$

$$I_D = \mu C_{ox} \frac{W}{L}\left(V_{GS} - V_{TH} - \frac{V_{DS}}{2}\right)V_{DS}$$

- 小信号导通电阻：

$$R \approx \frac{1}{\mu C_{ox} \frac{W}{L}\left(V_{GS} - V_{TH}\right)} \qquad \text{for} \quad V_{GS} - V_{TH} >> V_{DS}$$

MOSFET参数

$$R \approx \frac{1}{\mu C_{ox} \frac{W}{L}\left(V_{GS} - V_{TH}\right)}$$

- 电子迁移率u：　$\mu_p \approx 250\ cm^2/Vs$

  $\mu_n \approx 600\ cm^2/Vs$

- 栅氧层电容C_{OX}：　$C_{ox} = \frac{\varepsilon_{ox}}{t_{ox}}$

MOSFET参数

$L_{min} = 0.35\ \mu m$

- 电子迁移率u：　$\mu_p \approx 250\ cm^2/Vs$

  $\mu_n \approx 600\ cm^2/Vs$

- 栅氧层电容C_{OX}：　$C_{ox} = \dfrac{\varepsilon_{ox}}{t_{ox}} \approx 5\ 10^{-7}\ F/cm^2$

$KP_n \approx 300\ \mu A/V^2$

MOSFET电阻快速估算

L_{min} = 0.35 μm　　$KP_n \approx 300\ \mu A/V^2$

$$R \approx \frac{1}{\mu C_{ox}\frac{W}{L}\left(V_{GS}-V_{TH}\right)}$$

- 对于0.35um工艺方块NMOS晶体管，在V_{GS}-V_{TH}=1V的驱动电压下，其电阻约为：

3.4KΩ

MOSFET电阻快速估算

已知0.35um工艺方块NMOS晶体管，在V_{GS}-V_{TH}=1V的驱动电压下，其电阻约为**3.4**Kohm，请估算电阻值：

1. 0.35um工艺方块PMOS晶体管，V_{GS}-V_{TH}=1V **8.16KΩ**

2. 0.18um工艺方块NMOS晶体管，V_{GS}-V_{TH}=1V **1.75KΩ**

$\mu_p \approx 250\ cm^2/Vs$

$\mu_n \approx 600\ cm^2/Vs$

$$t_{ox} = \frac{L_{min}}{50}$$

MOSFET

- 晶体管工作在线性区：电阻
- **晶体管工作在饱和区：放大器**
- 亚反型区/弱翻转区 （Weak Inversion）
- 速度饱和去 （Velocity Saturation）
- 特征频率

MOSFET当作放大器

饱和区： $V_{DS} > V_{GS} - V_{TH}$

$I_D =$

- 小信号跨导：

$g_m \approx$

MOSFET当作放大器

饱和区： $V_{DS} > V_{GS} - V_{TH}$

$$I_D = \frac{1}{2}\mu_n C_{ox}\frac{W}{L}(V_{GS} - V_{TH})^2(1 + \lambda V_{DS})$$

- 小信号跨导：

$$g_m \approx \mu_n C_{ox}\frac{W}{L}(V_{GS} - V_{TH}) = \sqrt{2\mu_n C_{ox}\frac{W}{L}I_{DS}} = \frac{2I_{DS}}{V_{GS} - V_{TH}}$$

晶体管跨导gm

$$g_m \approx \mu_n C_{ox}\frac{W}{L}(V_{GS}-V_{TH}) = \sqrt{2\mu_n C_{ox}\frac{W}{L}I_{DS}} = \frac{2I_{DS}}{V_{GS}-V_{TH}}$$

问：小信号跨导g_m与I_{DS}的关系？

$$g_m \propto \sqrt{I_{DS}}$$

vs

$$g_m \propto I_{DS}$$

测试中尺寸固定

设计中偏置固定

输出电阻r_0

$$I_{DS} = \frac{1}{2}\mu_n C_{ox}\frac{W}{L}(V_{GS} - V_{TH})^2(1 + \lambda V_{DS})$$

- 输出电阻:

$$r_0 =$$

输出电阻r_0

$$I_{DS} = \frac{1}{2}\mu_n C_{ox}\frac{W}{L}(V_{GS} - V_{TH})^2(1 + \lambda V_{DS})$$

- 输出电阻:

$$r_0 \approx \frac{1}{\lambda I_{DS}} = \frac{V_E \cdot L}{I_{DS}}$$

V_{En} = 4 V/μmL

L = 1 μm

I_{DS} = 100 μA

r_o = 40 kΩ

单晶体管放大器

单晶体管放大器

$$A_v = g_m r_{DS} = \frac{2\,V_E\,L}{V_{GS}-V_T}$$

$$A_v \approx 100$$

If $V_E L \approx 10$ V

and $V_{GS}-V_T \approx 0.2$ V

运放设计Trade-off

$$g_m \approx \frac{2I_{DS}}{V_{GS} - V_{TH}}$$

$$\mathrm{A} = \frac{2 \cdot V_E \cdot L}{V_{GS} - V_{TH}}$$

	高增益	高速
V_{GS}-V_{TH}		
L		

运放设计Trade-off

$$g_m \approx \frac{2I_{DS}}{V_{GS} - V_{TH}}$$

$$\mathrm{A} = \frac{2 \cdot V_E \cdot L}{V_{GS} - V_{TH}}$$

	高增益	高速
V_{GS}-V_{TH}	↓	↑
L	↑	↓

MOSFET

- 晶体管工作在线性区：电阻
- 晶体管工作在饱和区：放大器
- **亚反型区/弱翻转区 （Weak Inversion）**
- 速度饱和去 （Velocity Saturation）
- 特征频率

弱反型区和速度饱和区

- 假设晶体管始终工作在饱和区：$V_{DS} > V_{GS} - V_{TH}$

弱反型区（weak inversion）

- 弱反型区：

$$I_{D,wi} = I_{D0}\frac{W}{L}e^{\frac{V_{GS}}{nkT/q}}$$

$$g_{m,wi} = \frac{I_{D,wi}}{nkT/q}$$

n>1, 取决于偏置电压

弱反型区

- 场效应管实际是一个水平的BJT三极管
- 漏极的反向偏置形成二极管，增加栅极电压将线性降低二极管的电势壁垒(Potential Barrier)
- 主要的电流是扩散电流(diffusion)而非漂移电流(drift)
- 通道中电势几乎不变，离子浓度线性变化

弱反型区

$$I_{D,wi} = I_{D0}\frac{W}{L}\exp\left(\frac{V_{GS}}{nU_T}\right)\cdot\left[1-\exp\left(-\frac{V_{DS}}{U_T}\right)\right]$$

$$I_{D,wi} = I_{D0}\frac{W}{L}\exp\left(\frac{V_{GS}}{nU_T}\right) \quad \text{for } V_{DS} > 4U_T \text{ (饱和)}$$

弱反型与强反型

弱反型区（Weak Inversion）

$$g_{m,wi} = \frac{I_{DS}}{nkT/q}$$

$$\frac{g_{m,wi}}{I_{DS}} = \frac{1}{nkT/q}$$

强反型区（Strong Inversion）

$$g_{m,si} = \frac{2I_{DS}}{V_{GS} - V_{TH}}$$

$$\frac{g_{m,si}}{I_{DS}} = \frac{2}{V_{GS} - V_{TH}}$$

$$V_{GS} - V_{TH} = 2n\frac{kT}{q} \approx 70mV$$

弱-强反型区转换点

$$V_{GS} - V_{TH} = 2n\frac{kT}{q} \approx 70mV$$

- 强弱的转换点独立于工艺的尺寸
- 保证 V_{GS}-V_{TH}=0.2V 可以在不同工艺中均保证晶体管工作在强反型区

- 转换点电流： $I_{DSt} = K_n' \frac{W}{L}(V_{GS} - V_{TH})^2$

$$I_{DSt} = \frac{W}{L} \cdot \mathbf{0.x}\ \mu A$$

弱反型与强反型

弱反型区（Weak Inversion）

$$\frac{g_{m,wi}}{I_{DS}} = \frac{1}{nkT/q}$$

强反型区（Strong Inversion）

$$\frac{g_{m,si}}{I_{DS}} = \frac{2}{V_{GS} - V_{TH}}$$

弱反型与强反型

$\frac{g_m}{I_{DS}}$
三极管
$\frac{1}{kT/q}$
4 x
$\frac{1}{nkT/q}$
20
10
0
$\frac{g_m}{I_{DS}} = \frac{2}{V_{GS}-V_T}$
$\frac{I_{DS}}{I_{DSt}}$
0.01
0.1
1
10
100

弱反型与强反型：EKV模型

$$I_{DS} = K'\frac{W}{L}V_{GSTt}^2 \cdot ln^2(1+e^v)$$

$$v = \frac{V_{GST}}{V_{GSTt}}$$

- 能否通过一个公式同时表述两种反型区？

$$\ln^2(1+e^v)$$

弱反型与强反型：EKV模型

$$I_{DS} = K'\frac{W}{L}V_{GSTt}^2 \cdot ln^2(1+e^v), \quad v = \frac{V_{GST}}{V_{GSTt}}, \qquad V_{GSTt} = (V_{GS} - V_T)_t = 2n\frac{kT}{q}$$

- 弱反型区中:

- 强反型区中:

弱反型与强反型：EKV模型

$$I_{DS} = K'\frac{W}{L}V_{GSTt}^2 \cdot ln^2(1+e^v), \quad v = \frac{V_{GST}}{V_{GSTt}}, \qquad V_{GSTt} = (V_{GS} - V_T)_t = 2n\frac{kT}{q}$$

- 弱反型区中: $ln\,(1+e^v) \approx e^v$

$$I_{DS} = K'\frac{W}{L}V_{GSTt}^2 \cdot e^{2v} = I_{DSt} \cdot \exp(\frac{V_{GS} - V_T}{nkT/q})$$

- 强反型区中: $ln\,(1+e^v) \approx v$

$$I_{DS} = K'\frac{W}{L}V_{GSTt}^2 \cdot v^2 = K'\frac{W}{L}(V_{GS} - V_T)^2$$

弱反型与强反型：反型系数

$$I_{DS} = K'\frac{W}{L}V_{GSTt}^2 \cdot ln^2(1+e^v), \quad v = \frac{V_{GST}}{V_{GSTt}}, \qquad V_{GSTt} = (V_{GS} - V_T)_t = 2n\frac{kT}{q}$$

反型系数i: $i = \frac{I_{DS}}{I_{DSt}} = ln^2(1+e^v)$

$$v = ln(e^{\sqrt{i}} - 1)$$

$$V_{GST} = V_{GSTt} \cdot ln(e^{\sqrt{i}} - 1)$$

$$V_{GSTt} = 2n\frac{kT}{q} \approx 70mV$$

弱反型与强反型：反型系数

$$V_{GST} = V_{GSTt} \cdot ln(e^{\sqrt{i}} - 1)$$

$$V_{GSTt} = 2n\frac{kT}{q} \approx 70mV$$

$$i = \frac{I_{DS}}{I_{DSt}}$$

弱反型与强反型：反型系数与g_m/I_{DS}

晶体管最大的g_m/I_{DS}出现在弱饱和区，且随着反型系数增加而下降

归一化效率 GM/ID: $GM/ID = \dfrac{g_m/I_{DS}}{(g_m/I_{DS})_{max}}$

$$GM/ID = \frac{1 - e^{-\sqrt{i}}}{\sqrt{i}}$$

弱反型与强反型：反型系数与g_m/I_{DS}

$$GM/ID = \frac{1-e^{-\sqrt{i}}}{\sqrt{i}}$$

- 反型系数为8，即V_{GS}-V_T=200mV时，晶体管在跨导值和跨导效率中取得一个较好的平衡。

弱反型与强反型

- 晶体管不会立即从弱反型区的指数行为切换为强反型区的二次项行为。在这两个极端之间有一个平滑的过渡，其中漂移和扩散均会产生电流。 对该区域进行建模非常困难，通常将其行为理解为弱反型和强反型行为的混合体。

$V_{GS} > V_T + 100\text{mV}$	strong inversion
$V_T + 100\text{mV} > V_{GS} > V_T - 100\text{mV}$	moderate inversion
$V_{GS} < V_T - 100\text{mV}$	weak inversion

MOSFET

- 晶体管工作在线性区：电阻
- 晶体管工作在饱和区：放大器
- 亚反型区/弱翻转区 （Weak Inversion）
- **速度饱和去 （Velocity Saturation)**
- 特征频率

速度饱和区（Velocity Saturation）

- 如何理解饱和区电流中V_{GS}的平方项?
- 如何理解饱和区跨导与V_{GS}的线性关系

速度饱和区（Velocity Saturation）

- **速度饱和区：**
  - ✓ 电子以最大速度流过沟道
  - ✓ 电流随着驱动电压线性增加

I_{DSvs} = ?

速度饱和区（Velocity Saturation）

- 速度饱和区：

$$I_{DSvs} = WC_{ox}v_{sat}(V_{GS}-V_T)$$

$$v_{sat} \approx 10^7 \text{ cm/s}$$

$$g_{msat} = WC_{ox}v_{sat}$$

跨导到达最大值！

速度饱和区（Velocity Saturation）

$$g_{msat} = WC_{ox}v_{sat}$$

- g_{msat}/W只与工艺参数C_{OX}和物理参数v_{sat}有关
- 模拟电路中一般不使用该区域

速度饱和区

$g_{msat} = WC_{ox}v_{sat}$
$v_{sat} = 10^7$ cm/s
g_m
mS
6
4
2
0
V_T
si
wi
vs
g_{msat}
0.2
0.5
V_{GS}-V_T
0
0.5
1
1.5
V
V_{GS}

速度饱和区

强反型区(Strong Inversion)　　速度饱和区(Velocity Saturation)

$$g_{m,si} \approx \mu C_{ox} \frac{W}{L}(V_{GS} - V_{TH}) = g_{m,sat} = W C_{OX} v_{sat}$$

$$(V_{GS} - V_{TH})_{vs} = \frac{L \cdot v_{sat}}{\mu}$$

$v_{sat} \approx 10^7$ cm/s

$\mu_p \approx 250$ cm^2/Vs

$\mu_n \approx 600$ cm^2/Vs

$$(V_{GS} - V_{TH})_{vs} = 0.58V$$

$L_{min} = 0.35$ μm

速度饱和区

强反型区(Strong Inversion)

$$g_{m,si} \approx \mu C_{ox} \frac{W}{L}(V_{GS} - V_{TH})$$

速度饱和区(Velocity Saturation)

$$g_{m,sat} = W C_{OX} v_{sat}$$

真实的g_m应该小于任意一个表达式
$g_m = \min\{g_{m,si}, g_{m,sat}\}$

$$\frac{1}{g_m} = \frac{1}{g_{m,si}} + \frac{1}{g_{m,sat}}$$

$$g_m \approx \frac{W}{L} \frac{17\ 10^{-5}}{1 + 2.8\ 10^4\ L / V_{GST}}$$

L in cm

饱和区VS速度饱和区

I_{DS}
linear
saturation
$(V_{GS}-V_T)_{vs}$
饱和区
V_{GS}平方律
$(V_{GS}-V_T)_t$
0
$V_{GS}-V_T = V_{DSsat}$
V_{DS}

其他因素

Drain-Induced Barrier Lowering（DIBL）

Surface Scattering

Impact ionization

MOSFET

- 晶体管工作在线性区：电阻
- 晶体管工作在饱和区：放大器
- 亚反型区/弱翻转区 （Weak Inversion）
- 速度饱和去 （Velocity Saturation）
- **特征频率**

特征频率f_T

- 特征频率是表征晶体管在高频时放大能力的一个基本参量，主要由晶体管的**跨导**和**寄生电容**决定。

特征频率f_T

氧化层电容$C_{oxt}=WLC_{ox}$

交叠区电容C_{os} & C_{od}

衬底与沟道/源漏极电容C_{xb}

高频小信号模型

D
I_{DS}
+
G
+
V_{DS}
V_{GS}
–
–
S
Small-signal equivalent model
G
i_{ds}
D
+
$g_m v_{gs}$
v_{gs}
r_{ds}
v_{ds}
v_{gs}
–
S

V_G
L_M
V_S
V_D
W_M
Cos
Coxt
Cod
n+
Ccb
n+
Csb
Cdb
LD
Leff
p-substrate

高频小信号模型

$$C_{GS} \approx \frac{2}{3} WLC_{ox}$$ ≈ 2W fF/um for Lmin

$$L_{min} C_{ox} \approx L_{min} \frac{\varepsilon_{ox}}{t_{ox}} \approx 50\, \varepsilon_{ox} \approx 2\ \text{fF}/\mu\text{m}$$

$$C_{GD} = WC_{gdo}$$

特征频率f_T, $i_{DS} = i_{GS}$

$i_{GS} =$

$i_{DS} =$

特征频率f_T, $i_{DS} = i_{GS}$

$$i_{GS} = v_{GS} C_{GS} s$$

$$i_{DS} = g_m v_{GS}$$

$$C_{GS} = \frac{2}{3} WLC_{ox} \qquad g_m = 2K' \frac{W}{L} (V_{GS}-V_T) \qquad K' = \frac{\mu C_{ox}}{2n}$$

$$\boxed{f_T = \frac{g_m}{2\pi C_{GS}} = \frac{1}{2\pi} \frac{3}{2n} \frac{\mu}{L^2} (V_{GS}-V_T)}$$

反型区

or $\boxed{\approx \frac{v_{sat}}{2\pi L}}$

速度饱和区

f_T与沟道长度L的关系

Processors

$$f_T = \frac{\mu}{2\pi L^2}\underbrace{(V_{GS}-V_T)}_{0.2 \ldots 1\ V}$$

$$f_{Tsat} = \frac{v_{sat}}{2\pi L}$$

$$f_m = \frac{f_T}{1+\alpha_{BD}}$$

$$\alpha_{BD} \approx \frac{C_{BD}}{C_{ox}}$$

f_T与沟道长度L的关系

$$f_T = \frac{1}{L} \frac{13.5}{1 + 2.8\, L / V_{GST}} \text{ GHz}$$

L in μm

If V_{GST} = 0.2 V, v_{sat} takes over for L < 65 nm

If V_{GST} = 0.5 V for L < 0.15 μm

f_T在强反型区和弱反型区中模型

$$\begin{cases} GM/ID = \dfrac{g_m/I_{DS}}{(g_m/I_{DS})_{max}} = \dfrac{1-e^{-\sqrt{i}}}{\sqrt{i}} \\ i = \dfrac{I_{DS}}{I_{DSt}} \end{cases}$$

$$f_T =$$

f_T在强反型区和弱反型区中模型

$$\begin{cases} GM/ID = \dfrac{g_m/I_{DS}}{(g_m/I_{DS})_{max}} = \dfrac{1-e^{-\sqrt{i}}}{\sqrt{i}} \\ i = \dfrac{I_{DS}}{I_{DSt}} \end{cases}$$

$$f_T = \frac{g_m}{2\pi C_{GS}} = \frac{1}{2\pi C_{GS}} \frac{I_{DSt}}{nkT/q} \sqrt{i}(1-e^{\sqrt{i}})$$

$$= \underbrace{\frac{2\mu kT/q}{2\pi L^2}}_{\text{尺寸设计}} \cdot \underbrace{\sqrt{i}(1-e^{\sqrt{i}})}_{\text{偏置设计}}$$

设计思路总结

1. 手工计算用来估算尺寸，精确设计依赖仿真结果。
2. 时刻牢记g_m/I_D的曲线及大致数值。
3. 低功耗电路取$V_{GS}-V_{TH}<-0.1V$；高增益电路取$V_{GS}-V_{TH}=0.2V$；高速电路取$V_{GS}-V_{TH}=0.5V$。
4. 通过f_T 的公式来估算设计的特征频率。

课程群（钉钉）

扫一扫二维码，加入班级

课后作业

1. 分别对于W/L=1um/1um的NMOS和PMOS，在0-1.8V的区域内，扫描V_{GS}，同时令V_{DS}=1.8V，画出I_{DS}，g_m和g_m/I_{DS}的曲线。（提示：改变坐标的刻度表现形式，以得到更直观的展示）
2. 估算V_{GS}=0.5V，0.8V和1.1V且V_{DS}=1.8V时，W/L=1um/0.18um的NMOS的g_m和r_0。
3. 估算V_{GS}=0.5V，0.8V和1.1V且V_{DS}=1.8V时，W/L=1um/0.18um的NMOS的特征频率f_T，并通过AC仿真得到所求的特征频率。

第 2 章 模拟电路基本组成

北京航空航天大学 BEIHANG UNIVERSITY | 微电子学院

CMOS模拟集成电路设计

第二章：模拟电路的基本构成

胡远奇

©2020

运算放大器

1 : B
Current mirror
Differential pair
V-
V+
VOUT
Current mirror
Single-transistor amplifier

模拟电路的基本结构

1. **单晶体管放大器**
2. 源极跟随器
3. Cascode （共源共栅极）
4. 电流镜
5. 差分对

单晶体管放大器

$A_v =$

单晶体管放大器

$$A_v = g_m r_{DS} = \frac{2\,I_{DS}}{V_{GS}-V_T}\,\frac{V_E\,L}{I_{DS}} = \frac{2\,V_E\,L}{V_{GS}-V_T}$$

$A_v \approx 100$ if $V_E L \approx 10$ V and $V_{GS}-V_T \approx 0.2$ V

单晶体管放大器

如何获得高增益?

降低V_{GS}-V_T → 0.15-0.2V

进一步减小会牺牲信噪比SNR和跨导gm

增加L → 4-5x minL

进一步增大会牺牲速度和面积

单晶体管放大器

- 问：对于一个55nm工艺的单晶体管放大器，其典型的放大倍数是多少？(V_E=4V/um)

单晶体管放大器的频率特性

- 如果只有大的**负载**电容

$$A_{v0} = g_m r_{DS}$$

$$BW = \frac{1}{2\pi\, r_{DS} C_L}$$

$$\boxed{GBW = \frac{g_m}{2\pi\, C_L}}$$

For all single-stage
Operational amplifiers

单晶体管放大器的频率特性

- 设计指标GBW=100M，负载电容2pF的NMOS单晶体放大器，根据工艺指标计算相应的直流偏置电流和典型晶体管尺寸。

$L_{min} = 0.35\ \mu m$ $KP_n \approx 300\ \mu A/V^2$

单晶体管放大器的频率特性

- 如果只有大的**输入**电容

$$A_{v0} = g_m r_{DS}$$

$$BW = \frac{1}{2\pi R_S C_{GS}}$$

单晶体管放大器的频率特性

- 如果只有大的**输入**电容

$$A_{v0} = g_m r_{DS}$$

$$BW = \frac{1}{2\pi R_S C_{GS}}$$

GBW和长度L无关！

$$GBW = \frac{g_m}{2\pi C_{GS}} \frac{r_{DS}}{R_S} = f_T \frac{r_{DS}}{R_S} \sim \frac{1}{WC_{ox}} \frac{1}{V_{GS}-V_T}$$

单晶体管放大器的频率特性

- 如果只有大的**反馈**电容

$$A_{v0} = g_m r_{DS}$$

$$BW = \frac{1}{2\pi R_S A_{v0} C_F}$$

$$GBW = \frac{1}{2\pi R_S C_F}$$

GBW和晶体管的参数无关！

Source Degeneration

Source Degeneration

是一种**负反馈**形式

Source Degeneration

$$G_m = \frac{g_m}{1 + g_m R_S}$$

$$C_{inR} = \frac{C_{GS}}{1 + g_m R_S}$$

Source Degeneration

是一种**负反馈**形式

Source Degeneration

- 在输出端施加电压变化ΔV并测量输出电流的最终变化ΔI

Source Degeneration

- $R_{outR} = r_{DS}(1+g_m R_S) \approx (g_m r_{DS}) R_S$

R_S造成额外的噪声

模拟电路的基本结构

1. 单晶体管放大器
2. **源极跟随器**
3. Cascode （共源共栅极）
4. 电流镜
5. 差分对

源极跟随器 (Source Follower)

源极跟随器 (Source Follower)

I_B为常数

⬇

V_{GS}为常数

⬇

$\Delta V_{OUT} = \Delta V_{IN}$

⬇

$A_V = 1$

V_{GS}不为常数

⬇

$A_V = \frac{1}{n} < 1$

模拟电路的基本结构

1. 单晶体管放大器
2. 源极跟随器
3. **Cascode （共源共栅极）**
4. 电流镜
5. 差分对

Cascode

Common source

$i_{out} = g_m v_{in}$

Amplifier

Common drain

$v_{out} = v_{in}$

$R_{out} \approx 1/g_m$

Source follower

Voltage buffer

Common gate

$i_{out} = i_{in}$

$R_{in} \approx 1/g_m$

Cascode

Current buffer

Cascode

- 定义跨阻增益 $A_R=v_{out}/i_{in}$

Cascode

- 分析输入电阻R_{in}

Cascode

Cascode可以将负载电阻缩小A倍

$$A_R = \frac{v_{out}}{i_{in}} \qquad R_{in} = \frac{v_{in}}{i_{in}} \qquad R_{in} = \frac{r_{DS} + R_L}{g_m r_{DS}} || R_B$$

Cascode vs 单晶体管

$A_v = (g_m r_{DS})_1$

$R_{out} = r_{DS1}$

$A_v = (g_m r_{DS})_1 (g_m r_{DS})_2$

$R_{out} = r_{DS1} (g_m r_{DS})_2$

Cascode vs 单晶体管

BW =

GBW =

Cascode vs 单晶体管

$$BW = \frac{1}{2\pi R_{out} C_L}$$

$$GBW = \frac{g_{m1}}{2\pi C_L}$$

for both !

- 增益带宽积不变！

Cascode vs 单晶体管

在低频区域提供更高的增益，没有额外的电流消耗

$$GBW = \frac{g_{m1}}{2\pi C_L}$$

折叠式Cascode

$$A_v = g_{m1} R_{out}$$

$$R_{out} = r_{DS1}\, g_{m2}\, r_{DS2}$$

$$BW = \frac{1}{2\pi R_{out} C_L}$$

$$GBW = \frac{g_{m1}}{2\pi C_L}$$

$$I_{DS1} = I_{B1} - I_{B2} \approx I_{B1} / 2$$

- 主要参数指标与套筒式一致，功耗是其两倍！

调节式 (Regulated) Cascode

$A_v = (g_m r_{DS})_1 (g_m r_{DS})_2$

$A_v = (g_m r_{DS})_1 (g_m r_{DS})_2 (g_m r_{DS})_3$

调节式 (Regulated) Cascode

$$GBW = \frac{g_{m1}}{2\pi C_L}$$

单晶体管结构对比

$i_{out} = g_m v_{in}$

Amplifier

$v_{out} = v_{in}$

$Z_{out} \approx 1/g_m$

Source follower

$i_{out} = i_{in}$

$Z_{in} \approx 1/g_m$

Cascode

低频特性对比

- 放大器

- 源极跟随器

$R_B > 1/g_m$

- Cascode

$R_B > 1/g_m$

	放大器	源极跟随器	Cascode
A_G	g_m	A_V 1	A_R $g_m r_o R_B$
R_{in}	∞	∞	R_B
R_{out}	r_o	$1/g_m$	$g_m r_o R_B$

模拟电路的基本结构

1. 单晶体管放大器
2. 源极跟随器
3. Cascode （共源共栅极）
4. **电流镜**
5. 差分对

电流镜 (Current Mirror)

$i_{out} = B\ i_{in}$

- 理想电流镜

- 二极管连接晶体管
- 单晶体管放大器

二极管连接晶体管（Diode-connected）

$$I_{DS} = K'_n \frac{W}{L} (V_{DS}-V_T)^2$$

二极管连接晶体管（Diode-connected）

$$I_{DS} = K'_n \frac{W}{L} (V_{DS}-V_T)^2$$

二极管连接的小信号模型

- 求二极管连接方式的输入电阻和带宽?

二极管连接的小信号模型

G = D

输入电阻 $r_{ds} = 1/g_m \ // \ r_{DS} \approx \boxed{1/g_m}$

带宽 $BW = \dfrac{g_m}{2\pi\,(C_{GS}+C_{DS})} \approx \dfrac{f_T}{2}$

电流镜的输出特性

- 电流镜的输出阻抗即是单晶体管放大器的输出阻抗
- 电流镜的输出精度可以描述为 $\frac{\Delta i_{out}}{i_{out}} =$

改进型的电流镜

$R_{out} = r_{DS2}\, g_{m4} r_{DS4}$

改进型的电流镜

$v_{OUTmin} = 2*V_{DSat}$

$R_{out} = r_{DS2}\, g_{m4} r_{DS4}$

电流镜案例

i_{in}
i_{out}
=
i_{in}
V_B
M3
M4
W/L
n^2
W/L
n^2
M5
M1
M2
W/L
$(n+1)^2$
W/L
W/L

i_{in}
I_B
I_B
i_{out}
=
i_{in}
M3
M4
M5
M6
M1
M2

低电压电流镜

$V_{DSmin} \approx 0.2$ V

$R_{out} = r_{DS2}$

- 该电路**不能**改善输出电阻
- 该电路**可以**改善系统性失配问题

超低电压电流镜

- 此结构是否是合适的Cascode?

- **不是!**

- 电流镜晶体管工作在线性区，通过运放锁定Vds，使得两个晶体管工作电压完全一致!

电流镜的高频特性

$$BW = \frac{g_m}{2\pi\,(C_G + C_{DS1})} \approx f_T \frac{1}{(2 + B)}$$

电流镜中的密勒效应

Miller effect :

$$f_{-3dB} = \frac{1}{2\pi R_S A_{v2} C_M}$$

$$R_S = 1/g_{m1} \qquad A_{v2} = g_{m2} R_L$$

$$f_{-3dB} = \frac{1}{2\pi (1+B) C_M R_L}$$

模拟电路的基本结构

1. 单晶体管放大器
2. 源极跟随器
3. Cascode （共源共栅极）
4. 电流镜
5. **差分对**

差分对 (Differential Pair)

- 差分对的本质依旧是**电压**输入**电流**输出
- 差分对中的信号均以**差分**形式体现
- 差分对的能效是单晶体放大器的**一半**

差分对 (Differential Pair)

$$\frac{i_{Od}}{I_B} = \frac{v_{Id}}{(V_{GS}-V_T)}\sqrt{1-\frac{1}{4}\left(\frac{v_{Id}}{V_{GS}-V_T}\right)^2}$$

- V_{Id} 为差分输入电压
- I_{Od} 为差分输出电流
- I_B 为差分对总偏置电流

- **V_{GS}-V_T决定gm和直流范围**

差分放大器

- 差分放大器 = 差分对+负载

$A_v = g_m R_L$

$A_v = g_{m1}(r_{DS1}//r_{DS2})$

特殊形态的负载-交叉耦合对

- 交叉耦合对 (Cross Coupled Pair)

特殊形态的负载-交叉耦合对

差分输入电导：$g_{m2} - g_{m1}$

实际使用中受到**匹配(matching)**的限制

特殊形态的负载-交叉耦合对

$$A_v = \frac{g_{m1}}{g_{m2} - g_{m3}}$$

实际使用中受到**匹配(matching)**的限制

特殊形态的负载-共模反馈

特殊形态的负载

- 本质上是一种**共模反馈**形式

$$A_v = g_{m1}(R // r_o)$$

$$r_o = r_{o1} // r_{o2}$$

Cascode

❑求该折叠套筒型运放的第一和第二高阻点的阻值，用公式表示。

总结

- 模拟电路的基本构成单元：
  1. 单晶体管
     - 放大器
     - 源极跟随器
     - Cascode
  2. 多晶体管
     - 差分对
     - 电流镜

作业1

- 利用仿真结果，找到我们所使用工艺的$u_{0p,n}$, C_{ox}, V_{THn}, V_{THp}

作业2

- 通过公式描述V_B的取值范围（提示：晶体管M1-M4均需要工作在饱和区）
- 在Cascode电流镜中，假设有寄生电容C_{par}，利用公式估算并用仿真验证该电流镜的频率特性。（可以自由设置偏置、晶体管的尺寸以及寄生电容）

作业3

- 假设差分对偏置电流为200uA，W/L=20um/1um，根据理论分析和仿真验证。
  1. 计算g_m>99%*$g_{m,max}$的区间。
  2. 计算差分输出电流为198uA时的差分输入电压。
  3. 如果需要把问题2中求得的电压扩大一倍，差分对的W需要如何修改？

第 3 章 噪声

北京航空航天大学 BEIHANG UNIVERSITY | 微电子学院

CMOS模拟集成电路设计

第三章：噪声

胡远奇

©2020

噪声 Noise

- **噪声的特点**
- 系统中的噪声
- 电阻的热噪声
- 晶体管的噪声源
- 等效噪声的换算

噪声

- 为什么它很重要?
- 信噪比（Signal-to-Noise Ratio, SNR）
  - 信号功率 $P_{sig} \sim V_{DD}^2$
  - 噪声功率 $P_{noise} \sim kT/C$
  - $SNR = P_{sig} / P_{noise}$
- 工艺演进
  - V_{DD}下降 -> SNR下降
  - 保持SNR -> 增加C -> 功耗提升
- 优秀的低功耗设计意味着对噪声的充分了解

噪声的类型

- 干扰（人为造成的）
  - 信号耦合
    - 电容
    - 电感
    - 基底
    - 键合线
  - 电源噪声
  - 解决方案：差分电路、版图技巧
- **器件噪声**
  - 由电荷的不连续性造成
  - 根本性的噪声

噪声

- 时域上的表现形式：随机出现，通过概率表征

- 噪声的强度通过**平均功率**表达

噪声

- 频域上的表现形式：

- 低频区域**闪烁噪声 (Flicker Noise)**
- 高频区域**白噪声**

噪声

- 频域上的表现形式：

- 噪声的**功率谱密度：** V^2/Hz

• 如何计算总噪声?

噪声

- 频域上的表现形式：

- 积分噪声： $\overline{v_{N,int}^2} = \int_{f_1}^{f_2} d\overline{v_N^2} df = (f_2 - f_1)\overline{v_N^2}$

噪声

- 当我们描述一个噪声时，通常的形式是：

1. 特定频率下表述其功率谱密度（均方根）

2. 一定带宽内，表述其积分噪声总量

噪声 Noise

- 噪声的特点
- **系统中的噪声**
- 电阻的热噪声
- 晶体管的噪声源
- 等效噪声的换算

噪声因子(Noise Factor)

- 一个系统噪声性能的衡量指标：

$$\text{噪声因子F} = \frac{\text{总的噪声输出功率}}{\text{输入噪声源引起的噪声功率}}$$

图：噪声源驱动一个含噪声的二端网络

噪声因子(Noise Factor)

- 一个系统噪声性能的衡量指标：

$$\text{噪声因子F} = \frac{\text{总的噪声输出功率}}{\text{输入噪声源引起的噪声功率}}$$

- 通常我们更关注系统或电路的**输入参考**噪声(Input-Referred Noise)

噪声因子(Noise Factor)

- 一个系统噪声性能的衡量指标：

噪声因子F ＝

噪声因子(Noise Factor)

- 一个系统噪声性能的衡量指标：

$$\text{噪声因子F} = \frac{\overline{i_s^2} + \overline{|i_n + Y_s e_n|^2}}{\overline{i_s^2}} = \frac{SNR_{IN}}{SNR_{OUT}}$$

- 注意：输入参考噪声电压/电流 e_n 和 i_n 可能具有相关性

噪声因子(Noise Factor)

- 一个两级系统的噪声指标：

总噪声因子F= $F_1 + \dfrac{F_2 - 1}{G_1}$

噪声因子(Noise Factor)

❑求一个n级系统的噪声指标?

总噪声因子F= $F_1 + \frac{F_2 - 1}{G_1} + \cdots + \frac{F_n - 1}{G_1 \cdot G_2 \cdot \cdots \cdot G_n}$

噪声因子最低的系统在第一级!

噪声 Noise

- 噪声的特点
- 系统中的噪声
- **电阻的热噪声**
- 晶体管的噪声源
- 等效噪声的换算

电阻的热噪声

- 电阻的热噪声既可以用串联电压源表示，也可以用并联电流源来表示：

功率谱： $\overline{dv_n^2} = 4kTR$ $\overline{di_n^2} = 4kT/R$

已知 R=1kΩ，T=300K， $\sqrt{\overline{\mathbf{dv_n^2}}} = \mathbf{4nV_{RMS}/\sqrt{Hz}}$

电阻的热噪声

CS47L85
LDO and MICBIAS Generators
Charge Pumps
LDO1
Accessory Detect
Reference Generator
Input Select
6 x ADC
3 x Stereo Digital Mic Interface
Digital Mic Interface
Clocking Control
Digital Core
Programmable multicore DSP sensor hub
Mono Rx ambient noise cancelation (ANC)
Advanced multimic TX noise reduction
Advanced multimic acoustic-echo cancelation
Advanced always-on buffering
Trigger word detection & ASR assist
Speaker protection
5-Band equaliser (EQ)
Dynamic range control (DRC)
Low-Pass / High-Pass Filter (LHPF)
Asynchronous sample rate conversion
Automatic sample rate detection
PWM signal generator
Haptic control signal generator
DAC
PDM Driver
GPIO
Digital Audio Interfaces
AIF1, AIF2, AIF3, AIF4
SLIMbus Interface
Control Interfaces
Master Interfa
HPOUTnL
HPOUTnFB
HPOUTnR
SPKOUTLP
SPKOUTLN
SPKOUTRP
SPKOUTRN
SPKCLKn
SPKDATn
GPSWP
GPSWN
MICBIAS1
MICBIAS2
MICBIAS3
MICBIAS4
AVDD
AGND
VREFC
MCLK1
MCLK2
RESET
IRQ
• 数模转换
• 功率放大器

$5mm^2$

电阻的热噪声

- 有一音频功放系统，它的基本模块如下图所示，求该系统输出的理论最小噪声？（20-20KHz）

电阻的积分噪声

$$\overline{dv_n^2} = 4kTR$$

$$H(s) = \frac{1}{1 + s \cdot RC}$$

$$\overline{v_n^2} = \int_0^\infty 4kTR \cdot H^2(s)ds$$

电阻的积分噪声

$$\int_0^{\infty} \frac{1}{1+(\omega RC)^2} d\omega$$

电阻的积分噪声

$$\int_0^\infty \frac{dx}{1+x^2} = \frac{\pi}{2}$$

$$\overline{v_n^2} = 4kTR \cdot \frac{1}{2\pi RC} \cdot \frac{\pi}{2} = \frac{kT}{C}$$

C_L = 1pF时
v_s = 65uV$_{RMS}$

- 所有**开关采样**电路的噪声极限由该公式表达

噪声 Noise

- 噪声的特点
- 系统中的噪声
- 电阻的热噪声
- **晶体管的噪声源**
- 等效噪声的换算

晶体管的噪声

- 晶体管的**沟道电阻**和其他电阻一样，也会产生热噪声

$$\overline{di_n^2} = 4kT/R = 4kT\gamma g_m$$

$$\gamma \approx \frac{2}{3} \text{ for} > 0.35\text{um}; \approx 1 \text{ for } 0.18\text{um}; \approx \frac{4}{3} \text{ for } 0.13\text{um}$$

晶体管的噪声

- 晶体管的**输入电阻**和其他电阻一样，也会产生热噪声
- 无噪声小信号模型：

晶体管的噪声

- 含噪声小信号模型：

$$\overline{dv_G^2} = 4kT\,R_G\,df$$

$$\overline{di_{DS}^2} = \frac{4kT}{R_{CH}}\,df = 4kT\frac{2}{3}\,g_m\,df$$

晶体管的噪声

- 输入等效噪声小信号模型：

$$\overline{dv_{ieq}^2} = 4kT\,(R_{eff})\,df \qquad R_{eff} = \frac{2/3}{g_m} + R_G$$

- 高频时，电流可以通过C_{GS}，因此也需考虑，同时需注意与输入噪声电压相关

晶体管的噪声

- 输入等效噪声小信号模型：**1/f 噪声**

$$\overline{dv_{ieqf}^2} = \frac{KF_F}{WL\,C_{ox}^2}\,\frac{df}{f}$$

pMOST $KF_F \approx 10^{-32}\ C^2/cm^2$

nMOST $KF_F \approx 4\ 10^{-31}\ C^2/cm^2$

W & L in cm; C_{ox} in F/cm^2

- NMOS的闪烁噪声是PMOS的40倍！

晶体管的噪声：转角频率

- 偏置电流越大，白噪声越低，拐角频率越大

噪声 Noise

- 噪声的特点
- 系统中的噪声
- 电阻的热噪声
- 晶体管的噪声源
- **等效噪声的换算**

放大器的噪声

- M1为单晶体管放大器；M2为有源负载
- v_1和v_2为晶体管M1/M2的输入噪声
- 分析等效输入噪声？

放大器的噪声

- M1为单晶体管放大器；M2为有源负载
- v_1和v_2为晶体管M1/M2的输入噪声

$$\overline{di_{out}^2} = g_{m1}^2\,\overline{dv_1^2} + g_{m2}^2\,\overline{dv_2^2}$$

$$\overline{dv_{ieq}^2} = \overline{dv_1^2}\left(1 + \frac{g_{m2}}{g_{m1}}\right)$$

- 分析等效输入噪声？

g_{m2} ↓
- W/L ↓
- $V_{GS}-V_T$ ↑

Cascode的噪声

- M1为单晶体管放大器；M2为Cascode级
- v_1和v_2为晶体管M1/M2的输入噪声

❑ 分析等效输入噪声？

Cascode的噪声

- M1为单晶体管放大器；M2为Cascode级
- v_1和v_2为晶体管M1/M2的输入噪声
- 分析等效输入噪声？

$$\overline{dv_{ieq}^2} = \overline{dv_1^2} + \overline{dv_2^2}\,\frac{1}{(g_{m1}\,r_{o1})^2} \approx \overline{dv_1^2}$$

Cascode 晶 体管M2的噪声忽略不计

电流镜的噪声

- M1/M2 为放大比例为B的电流镜
- i_1和i_2为晶体管M1/M2的沟道噪声电流
- i_{in}为输入噪声电流

电流镜的噪声

$$\overline{di_{out}^2} = \overline{di_2^2} + B^2 (\overline{di_{in}^2} + \overline{di_1^2})$$

- M1/M2 为放大比例为B的电流镜
- i_1和i_2为晶体管M1/M2的沟道噪声电流
- i_{in}为输入噪声电流

g_m ↓ { W/L ↓ ; $V_{GS}-V_T$ ↑ }

差分对的噪声

差分对的噪声即为两个输入晶体管噪声的和

典型运放的噪声

典型运放的噪声

$$\overline{dv_{ieq}^2} = \frac{\overline{di_{out}^2}}{g_{m1}^2} = \frac{2\overline{di_1^2}+2\overline{di_3^2}}{g_{m1}^2}$$

$$\boxed{\overline{dv_{ieq}^2} = 2\overline{dv_1^2}\left(1 + \frac{g_{m3}}{g_{m1}}\right)}$$

$g_m \downarrow$ $\begin{cases} (W/L)_3 \downarrow \\ (V_{GS}-V_T)_3 \uparrow \end{cases}$

典型运放的噪声

典型运放的噪声

$$\overline{dv_{ieq}^2} = \Sigma\, \overline{dv_{out}^2} \left(\frac{R_1}{R_2}\right)^2$$

$$\overline{dv_{out}^2} = \overline{dv_{R1}^2} \left(\frac{R_2}{R_1}\right)^2$$

$$\overline{dv_{out}^2} = \overline{dv_{R2}^2}$$

$$\overline{dv_{out}^2} = \overline{dv_A^2} \left(1 + \frac{R_2}{R_1}\right)^2$$

$$\overline{dv_{ieq}^2} = \overline{dv_{R1}^2} + \overline{dv_{R2}^2} \left(\frac{R_1}{R_2}\right)^2 + \overline{dv_A^2} \left(1 + \frac{R_1}{R_2}\right)^2 \approx \overline{dv_{R1}^2} + \overline{dv_A^2}$$

设计思路总结

1. 噪声通过功率表述
2. 注意噪声源之间的相关性
3. 对于系统噪声性能的分析需要转换成输入参考噪声
4. 输入参考的转换参考电路的跨导计算等

作业

1. 自由确定晶体管的尺寸，通过仿真寻找NMOS和PMOS的1/f噪声的系数KF，以及热噪声系数γ
2. 对一偏置电流为100uA的五管OTA，通过晶体管的设计，使其等效输入噪声的80%来源于差分对M1和M2。

第 4 章 失配

北京航空航天大学 BEIHANG UNIVERSITY | 微电子学院

CMOS模拟集成电路设计

第四章：失调与CMRR

胡远奇

©2020

失调(Offset)的定义

- 失调电压V_{OS}：使输出电压为零时的两端输入电压之差
  - 可以加在任意一端

失调(Offset)的影响

失调(Offset)的影响

n-bit Flash-ADC with offset

Ref: Pelgrom, IEDM 1998, pp.789.

失调与CMRR

- **随机性失调和$CMRR_R$**
- 系统性失调和$CMRR_S$
- 设计守则

随机失调：阈值电压的失配

$$I_{DS} = K' W/L(V_{GS} - V_T)^2$$

$$\sigma_{\Delta VT} = \frac{A_{VT}}{\sqrt{WL}}$$

$$A_{VT} \sim t_{ox}\sqrt[4]{N_B}$$

氧化层厚度 & 衬底参杂浓度

$A_{VT} \approx 5$ mV um
for 0.25 um nMOST

+50 % for pMOST

❑估算0.25um工艺下、尺寸为16um/1um的PMOS差分对由阈值电压失配造成的最大失调电压？（要求99.5%良率）

阈值电压失配的标准差

$$\sigma_{\Delta VT} = \frac{A_{VT}}{\sqrt{WL}}$$

版图方式有一定的作用，但是尺寸才是决定性的

$1/\sqrt{WL}$

尺寸

阈值电压失配的系数A_{VT}

- 某工厂55nm工艺的A_{VT}=2.05e-9

随机失调：工艺与尺寸的失配

$$I_{DS} = K' W/L(V_{GS} - V_T)^2$$

$$\frac{\Delta K'}{K'} = \frac{A_{K'}}{\sqrt{WL}}$$

$A_{K'} \approx 0.0056$ um

+50 % for pMOST

$$\frac{\Delta W/L}{W/L} = A_{WL}\sqrt{\frac{1}{W^2} + \frac{1}{L^2}}$$

$A_{WL} \approx 0.02$ mV um

+50 % for pMOST

- 参数K’ 造成的变化相对较小
- A_{WL}与工艺的相关性不强

NMOS的失配参数

Techno L (μm)	2.5	1.2	0.7	0.5	0.35	0.25
t_{ox} (nm)	50	25	15	11	8	6
A_{VT} (mV μm)	30	21	13	7.1	6	⇨ 3
A_{WL} (% μm)	2.5	1.8	2.5	1.3	2	⇨ 1.8

A_{WL}的单位是**um**，可以听过设计**尺寸**或**偏置电压**减小其影响

A_{VT}的单位是**mV*um**，只能通过设计**尺寸**减小其影响

差分对中的随机失调

差分对中的随机失调

$$v_{od} = \Delta R_L \frac{I_B}{2}$$

$$v_{os} = \frac{v_{od}}{g_m R_L}$$

$$v_{os} = \frac{\Delta R_L}{R_L} \frac{I_B}{2g_m}$$

- 需要减小 $V_{GS}-V_T$

$$v_{os} = \frac{\Delta R_L}{R_L} \frac{V_{GS} - V_T}{2}$$

差分对中的随机失调

$$I_{DS} = K' W/L(V_{GS} - V_T)^2$$

差分对中的随机失调

$$I_{DS} = K' W/L(V_{GS} - V_T)^2$$

差分对应尽可能的

$V_{GS}-V_T$ ⬇

$$v_{OS} = \Delta V_T + \frac{V_{GS} - V_T}{2}\left(\frac{\Delta R_L}{R_L} + \frac{\Delta K'}{K'} + \frac{\Delta W/L}{W/L}\right)$$

电流镜中的随机失调

电流镜中的随机失调

$$\frac{\Delta I_{out}}{I_{out}} = \frac{\Delta V_T}{(V_{GS} - V_T)/2} + \frac{\Delta K'}{K'} + \frac{\Delta W/L}{W/L}$$

- A_{WL}是主要失配源

电流镜应尽可能的

$V_{GS}-V_T$ ↑

电流镜中的其他失调因素

$\Delta K' \ \Delta W/L \ \Delta V_T$

$\Delta K' \ \Delta W/L \ \Delta V_T \ R_S$

输出电流的失配

$$I_{DS} = K' W/L(V_{GS} - V_T)^2$$

$$I_{DS} = \frac{\beta}{2}(V_{GS} - V_T)^2$$

定义：总的电流失配由 β 失配和 V_T 失配造成

$$\frac{\Delta I_{DS}}{I_{DS}} =$$

$$\sigma^2\left(\frac{\Delta I_{DS}}{I_{DS}}\right) =$$

输出电流的失配

$$I_{DS} = K' W/L(V_{GS} - V_T)^2$$

$$I_{DS} = \frac{\beta}{2}(V_{GS} - V_T)^2$$

定义：总的电流失配由 β 失配和 V_T 失配造成

$$\frac{\Delta I_{DS}}{I_{DS}} = \frac{\Delta\beta}{\beta} - \Delta V_T \frac{2}{V_{GS} - V_T}$$

$$\sigma^2\left(\frac{\Delta I_{DS}}{I_{DS}}\right) = \sigma^2\left(\frac{\Delta\beta}{\beta}\right) + \sigma^2(\Delta V_T)\frac{4}{(V_{GS} - V_T)^2}$$

输出电流的失配

$$\sigma^2\left(\frac{\Delta I_{DS}}{I_{DS}}\right) = \sigma^2\left(\frac{\Delta\beta}{\beta}\right) + \sigma^2(\Delta V_T)\ \underbrace{\frac{4}{(V_{GS}-V_T)^2}}_{\text{in si}}\ \text{or}\ \underbrace{\frac{1}{(nkT/q)^2}}_{\text{in wi}}$$

- 弱反型区中, V_T 失配占主要因素；强反型区中, β 失配占主要因素，其中主要又是W/L的失配为主

共模抑制比

- 差分对的另一随机指标：共模抑制比（Common Mode Rejection Ration）

共模增益：

差模输出V_{od} /共模输入V_{inc}

$$A_{dc} = \left.\frac{v_{od}}{v_{ic}}\right|_{v_{id}=0} \approx 0$$

共模抑制比：

差模增益/共模增益

$$CMRR = \frac{A_{dd}}{A_{dc}} \approx \infty$$

共模抑制比

- 差分对的另一随机指标：共模抑制比（Common Mode Rejection Ration）

- **负载不对称**

$$A_{dc} = \left.\frac{v_{od}}{v_{ic}}\right|_{v_{id}=0} \neq 0$$

共模抑制比

- 差分对的另一随机指标：共模抑制比（Common Mode Rejection Ration）

- **负载不对称**

$$A_{dc} = \left.\frac{v_{od}}{v_{ic}}\right|_{v_{id}=0} \neq 0$$

共模偏置电流： $I_B = V_{INC}/R_B$

差模输出： $V_{od} = \Delta R_L \cdot I_B/2$

$$A_{dc} = \frac{\Delta R_L}{2R_B}$$

$$\boxed{CMRR = \frac{2g_m R_B}{\Delta R_L/R_L}}$$

共模抑制比

- 差分对的另一随机指标：共模抑制比（Common Mode Rejection Ration）

- **负载不对称**
- **差分对失调**

$$CMRR = \frac{2g_m R_B}{\frac{\Delta R_L}{R_L}}$$

$$CMRR = \frac{2g_m R_B}{\frac{\Delta R_L}{R_L} + \frac{2V_{OS}}{V_{GS} - V_T}}$$

随机失调与CMRR的关系

$$CMRR = \frac{2g_m R_B}{\frac{\Delta R_L}{R_L} + \frac{2V_{OS}}{V_{GS} - V_T}}$$

$$V_{OS} \cdot CMRR = V_{OS} \cdot \frac{2g_m R_B}{\frac{\Delta R_L}{R_L} + \frac{2V_{OS}}{V_{GS} - V_T}}$$

$$V_{OS} \cdot CMRR \approx (V_{GS} - V_T) g_m R_B$$

$$V_{OS} \cdot CMRR \approx V_E L_B$$

减小失调就是提高CMRR

随机失调与CMRR的关系

$v_{OSr}\ CMRR_r \approx V_E L_B \approx 10\ V \quad (\sim L_B)$

10 mV 60 dB ≈ 10 V as for MOSTs

1 mV 80 dB ≈ 10 V as for Bipolar transistors

10 μV 120 dB ≈ 10 V with trimming : with laser
with Zener zap
with fusible links

Low offset = High CMRR

失调与CMRR

- 随机性失调和$CMRR_R$
- **系统性失调和$CMRR_S$**
- 设计守则

电流镜中的系统失调

$$I_{out} \overset{?}{=} I_{in}$$

$$\frac{\Delta i_{out}}{i_{out}} = \frac{V_{DS2} - V_{DS1}}{V_E L_2}$$

差分运放中的系统性CMRR

- **不考虑任何随机性失调的情况下：**

$$V_{OUT} = V_{GS3}$$

$$\Delta V_{GS3} = \frac{1}{2}\Delta I_B / g_{m3}$$

$$A_{dc} = \frac{1}{2g_{m3}R_B}$$

$$A_{dd} = g_{m1} \cdot (r_{02} || r_{04})$$

$$CMRR = 2g_{m1}g_{m3}R_B \cdot (r_{02} || r_{04})$$

$$CMRR = 2g_{m1}g_{m3}R_B \cdot (r_{02}||r_{04})$$

$$CMRR = \frac{2 \cdot 30u \cdot 29.8u \cdot 1M}{414n + 105n} = 3445$$

$A_{dc} = 16.4m$
M7: 398.107Hz 16.4085mV
Mag (V)
freq (Hz)
$A_{dd} = 58.14$
M8: 630.957Hz 58.1395V
Mag (V)
freq (Hz)
$CMRR = 3545$

差分运放中的总CMRR

$$\frac{1}{CMRR} = \frac{1}{CMRR_r} + \frac{1}{CMRR_s}$$

两级运放中的失调现象

两级运放中的失调现象

$$A_{v1} = g_{m1}\, r_{02} // r_{04}$$

$$v_{OS} = \frac{\Delta V_{DS1}}{A_{v1}} + \Delta V_{T1} + \frac{g_{m3}}{g_{m1}} \Delta V_{T3}^{*} + \frac{V_{GS1} - V_T}{2} S$$

$$S = \frac{\Delta K'_n}{K'_n} + \frac{\Delta K'_p}{K'_p} + \frac{\Delta W/L_1}{W/L_1} + \frac{\Delta W/L_3}{W/L_3}$$

CMRR的频率特性

CMRR的频率特性

- +
v_{od}
v_{inc}
I_B
R_B
C_B
A
CMRR
$f_B = \frac{1}{2\pi R_B C_B}$
A_{dd}
f
f_B
A_{dc}
$C_B \approx C_{GS}$ $R_B \approx 100/g_m$ >> $f_B \approx f_T/100$

失调与CMRR

- 随机性失调和$CMRR_R$
- 系统性失调和$CMRR_S$
- **设计守则**

设计守则

- 相同的特性
- 相同的温度
- 增大尺寸
- 减小间距
- 同样的方向
- 同样的长宽比
- 中心对称
- Dummy

相同的温度

电阻的版图

Source/drain diffusion resistor in CMOS

Ref.: Laker, Sansen : Design of analog …, MacGrawHill 1994 Table 2-6

电阻的实现方式及对比

Process	Type	ρ□ Ω/□	absolute accuracy percent	temperature coefficient percent/^{o}C	voltage coefficient percent/V	breakdown voltage V
CMOS	S/D diffusion	20-50	20	0.2	0.5	20
	well	2.5k	10	0.3	1	20
	poly gate	50	20	0.2	0.05	40
	poly resistance	1.5k	**1**	0.05	0.02	20
	aluminum	50m	20	0.01	0.02	90

电容的版图

Poly to S/D capacitor

Poly to poly capacitor

$$C_{par} \approx \frac{1}{6 \ldots 15} C_{pp}$$

电容的实现方式及对比

Process	Type	C Nf/cm^2	absolute accuracy percent	temperature coefficient percent/^{o}C	voltage coefficient percent/V	breakdown voltage V
CMOS	C_{ox}(50nm)	70	5	0.002	0.005	40
	$C_{m,poly}$	12	10	0.002	0.005	40
	$C_{poly,poly}$	56	**2**	0.002	0.005	40
	$C_{poly,substrate}$	6.5	10	0.01	0.05	20
	$C_{m,substrate}$	5.2	10	0.01	0.05	20
	$C_{poly,substrate}$	6.5	10	0.01	0.05	20

Ref.:Laker,Sanse:
Design of analog…,
MacGrawHill 1994
Table 2-7

差分对的匹配

Bad　　Better　　Better

同样的长宽比

Current mirror 4:4:2:1:2 with end dummies.

1 : 4

中心对称的版图

Less sensitive
to global variations :
Oxide thickness
Substrate doping level
.....

中心对称的版图

Ratio:

1

2

4

8

16

设计思路总结

1. 与噪声的设计一样，差分对需要V_{GST}尽量小，而电流镜则需要V_{GST}尽量大
2. 失调的优化与CMRR的优化相同，超高的CMRR往往需要后期的Calibration.
3. 在版图中选择合适的被动器件，以及优秀的版图技巧都能改善失调的现象。

课后作业

- 对一偏置电流为100uA的五管OTA，共模电压为0.9V，设计晶体管的尺寸，
  1. 使其在单位增益负反馈时系统性失调小于**0.1mV**；
  2. 使其随机性失调的标准差（std）小于**1mV**；
  3. 使其共模抑制比大于 **50dB**。

第 5 章 运放

北京航空航天大学 BEIHANG UNIVERSITY | 微电子学院

CMOS模拟集成电路设计

第四章：运放的稳定性与系统性设计

胡远奇

©2020

运放的稳定性与系统性设计

- **运放、反馈与稳定性的基本概念**
- 极点分离与零点补偿
- 三级运放稳定性问题简介
- 运放的系统性设计方法
- 运放的其他参数指标

运算放大器的分类

Opamp

Operational amplifier

$$A_v = \frac{v_{OUT}}{v_{IN}}$$

OTA

Operational Transconduct. amplifier

$$A_g = \frac{i_{OUT}}{v_{IN}}$$

OCA

Operational Current amplifier

$$A_i = \frac{i_{OUT}}{i_{IN}}$$

CM amp

Current Mode amplifier

$$A_r = \frac{v_{OUT}}{i_{IN}}$$

负反馈配置

$$A_v = -\frac{R_2}{R_1}$$

$$R_{IN} = R_1$$

$$A_v = 1 + \frac{R_2}{R_1}$$

$$R_{IN} = \infty$$

$$A_v = 1$$

$$R_{IN} = \infty$$

积分器（Integrator）

❑ 假设运放为理想运放，当V_{IN}为一个1V的阶跃输入信号时，画出输出V_{OUT}的。

低通濾波器（Low-pass Filter / Lossy Integrator）

$$A_{v0} = -\frac{R_2}{R_1} \qquad A_v = \frac{A_{v0}}{\left(1 + j\frac{f}{f_p}\right)} \qquad f_p = \frac{1}{2\pi R_2 C}$$

波特图

- **幅度**曲线的斜率在每个零点处变化+20dB/dec，在每个极点处变化-20dB/dec。
- **相位**在极点频率的1/10处变化，在极点处经历-45度的变化，并且在10倍极点处达到-90度的变化。
- 相位变化的速度**快于**幅度变化。

极点对系统的影响

增益与带宽的交换

$$A_v = -\frac{R_2}{R_1}$$

- 假设运放的增益带宽积为GBW_0，该反馈电路带宽为多少？

增益与带宽的交换

$$A_v = -\frac{R_2}{R_1}$$

- 假设运放的增益带宽积为GBW_0，该反馈电路带宽为多少？

$$A(s) = \frac{A_0}{\left(1 + \frac{s}{\omega_0}\right)}$$

$$H(s) = \frac{A_0 R_2}{A_0 R_1 + R_1 + R_2 + \frac{s(R_1 + R_2)}{\omega_0}}$$

$$p'_d \approx \frac{A_0 \omega_0 \cdot R_1}{R_1 + R_2} = 2\pi GBW_0 \frac{R_1}{R_1 + R_2}$$

增益与带宽的交换

$$A_v = -\frac{R_2}{R_1}$$

GBW不变!

$$p_d' \approx \frac{A_0\omega_0 \cdot R_1}{R_1 + R_2} = GBW_0 \frac{R_1}{R_1 + R_2}$$

增益与带宽的交换

$$A_v = -\frac{R_2}{R_1}$$

GBW不变！

开环与闭环增益

- **闭环**增益： $A_c = \dfrac{V_{OUT}}{V_{IN}} = \dfrac{G}{1 + GH}$
- **开环**增益： $A_O = G$
- **环路**增益： $A_L = GH$ ⬅ **决定了反馈系统的所有特性！**

开环与闭环增益

- **闭环**增益： $A_C=-R_2/R_1$ $H=R_1/(R_2+R_1)$
- **开环**增益： $A_O=A_0$
- **环路**增益： $A_L=A_0\ R_1/(R_2+R_1)$ ⬅ **通过反馈改变环路增益**

反馈的稳定性判据

- 反馈系统存在潜在的不稳定性，并且可能会发生振荡。
- 闭环传递函数：

$$\frac{V_{OUT}}{V_{IN}}(s) = \frac{G(s)}{1 + HG(s)}$$

- “巴克豪森判据”-》如果分母变为0会发生什么 $|HG(j\omega)| = 1$

$$\angle HG(j\omega) = -180°$$

- 负反馈本身提供180°相移

稳定性判定

哪个反馈系统是稳定的?

- **增益为1**和**相位为-180度**时的频率点分别称为“增益交点(GX)”和“相位交点(PX)”。
- PX必须落后于GX，GX等于开环系统中的单位增益带宽

例1

- 如果反馈系数减小，之前描述的系统是变得更稳定还是更不稳定？

解：如果β减少，使20log∠HG(ω)的图下移，GX向左移。由于相位不变，系统变得更稳定。

单极点系统

PM phase margin = 相位裕度

- 闭环增益=1
- 开环增益=A_0

单极点系统天然稳定

两极点系统

=开环增益A_O / 闭环增益A_C

多极点系统容易震荡

两极点系统

- 当环路增益较小时，两级点系统仍旧能够保持稳定，系统增益不会出现尖峰

两极点系统

|A|
loop gain 环路增益
=开环增益A_O / 闭环增益A_C
A_O
A_C
1
f_1
f_2
f
ϕ_A
open
0°
-90°
-180°
PM

两极点系统

=开环增益A_O / 闭环增益A_C

两极点系统

=开环增益A_O / 闭环增益A_C

Worst case for $A_c = 1$

两极点系统：推远非主极点

次极点刚好为增益带宽积

两极点系统：推远非主极点

Closed loop gain $A_c = 1$

$f_2 \approx 3$ GBW

- WHY?

相位裕度的计算

Open loop gain $A = \dfrac{A_o}{(1 + j\dfrac{f}{f_1})(1 + j\dfrac{f}{f_2})}$

相位裕度的计算

Open loop gain $A = \dfrac{A_o}{(1 + j\dfrac{f}{f_1})(1 + j\dfrac{f}{f_2})}$

Closed loop gain $A_c = \dfrac{A}{1+A} \approx \dfrac{1}{1 + j\dfrac{f}{GBW} + j^2\dfrac{f^2}{GBW\, f_2}}$

$$\approx \frac{1}{1 + j\,2\zeta\dfrac{f}{f_r} + j^2\dfrac{f^2}{f_r^2}}$$

ζ is the damping (=1/2Q)

f_r is the resonant frequency

相位裕度的计算

$$f_r = \sqrt{GBW\, f_2} \qquad PM\,(^o) = 90^o - \arctan\frac{GBW}{f_2} = \arctan\frac{f_2}{GBW}$$

$\frac{f_2}{GBW}$	PM (°)	$\zeta = \frac{1}{2}\sqrt{\frac{f_2}{GBW}}$	P_f (dB)	P_t (dB)
0.5	27	0.35	3.6	2.3
1	45	0.5	1.25	1.3
1.5	56	0.61	0.28	0.73
2	63	0.71	0	0.37
3	72	0.87	0	0.04

频域响应

震荡

↑

$\zeta = Q = 0.7$

↓

带宽

$$P_f = \frac{1}{2\zeta\sqrt{1-\zeta^2}}$$

时域响应

$\zeta = Q = 0.7$

$$P_t = \frac{-\pi\zeta}{1 + e^{\sqrt{1-\zeta^2}}}$$

运放的稳定性与系统性设计

- 运放、反馈与稳定性的基本概念
- **极点分离与零点补偿**
- 三级运放稳定性问题简介
- 运放的系统性设计方法
- 运放的其他参数指标

标准两级运放

$$A_{v0} = -A_{v1}A_{v2}$$

$$A_{v1} = g_{m1}R_{n1}$$

$$A_{v2} = g_{m2}R_L$$

$$A_v = A_{v0}\frac{1 - \frac{C_c}{g_{m2}}s}{1 + (R_{n1}C_{n1} + A_{v2}R_{n1}C_c + R_LC_L)s + R_{n1}R_LCCs^2}$$

$$CC = C_{n1}C_c + C_{n1}C_L + C_cC_L$$

标准两级运放

$$A_v = A_{v0}\frac{1 - \frac{C_c}{g_{m2}}s}{1 + (R_{n1}C_{n1}+A_{v2}R_{n1}C_c+R_LC_L)s + R_{n1}R_LCCs^2}$$

$$CC = C_{n1}C_c + C_{n1}C_L + C_cC_L$$

零点: $\frac{g_{m2}}{C_c}$

主极点: $-\frac{1}{R_{n1}C_{n1} + A_{v2}R_{n1}C_c + R_LC_L} \approx -\frac{1}{A_{v2}R_{n1}C_c}$

非主极点: $-\frac{R_{n1}C_{n1} + A_{v2}R_{n1}C_c + R_LC_L}{R_{n1}R_LCC} \approx \frac{g_{m2}}{C_L}\frac{1}{1+\frac{C_{n1}}{C_c}}$

极点分离技术：补偿电容Cc

$$f_d = -\frac{1}{2\pi A_{v2} R_{n1} C_c}$$

$$f_{nd} = -\frac{g_{m2}}{2\pi C_L}\frac{1}{1+\frac{C_{n1}}{C_c}}$$

$$f_z = \frac{g_{m2}}{C_c}$$

极点分离技术：补偿电容Cc

$$f_d = -\frac{1}{2\pi A_{v2} R_{n1} C_c}$$

$$f_{nd} = -\frac{g_{m2}}{2\pi C_L}\frac{1}{1+\frac{C_{n1}}{C_c}}$$

$$f_z = \frac{g_{m2}}{C_c}$$

极点分离技术

$$GBW = \frac{g_{m1}}{2\pi C_c}$$

$$f_{nd} = 3\ GBW = \frac{g_{m2}}{2\pi C_L} \frac{1}{1 + \underbrace{\frac{C_{n1}}{C_c}}_{\approx 0.3}}$$

$$\boxed{\frac{g_{m2}}{g_{m1}} \approx 4 \frac{C_L}{C_c}}$$

Larger current in 2nd stage !

- 通常C_C至少是C_{n1}的3倍，结合f_{nd}需要是三倍的GBW，得到g_{m2}和g_{m1}的比值为4倍关系

极点分离技术与反馈

- 对于一两级放大器，其单位增益反馈稳定。如果电路以β<1的反馈系数运行，那么其主极点可以放宽多少？

极点分离技术与反馈

- 对于一两级放大器，其单位增益反馈稳定。如果电路以β<1的反馈系数运行，那么其主极点可以放宽多少？

极点分离技术与反馈

- 对于一两级放大器，其单位增益反馈稳定。如果电路以β<1的反馈系数运行，那么其主极点可以放宽多少？

$$\frac{20\,log\,A_0 - 20\,log(\beta A_0)}{log\,\omega''_{p1} - log\,\omega'_{p1}} = 20$$

$$\frac{\omega''_{p1}}{\omega'_{p1}} = \frac{1}{\beta}$$

稳定性与反馈

ANALOG DEVICES

Low Power, 1 nV/√Hz, G ≥ 10 Stable, Rail-to-Rail Output Amplifier

Data Sheet

ADA4895-1/ADA4895-2

FEATURES

- Low wideband noise
  - 1 nV/√Hz
  - 1.6 pA/√Hz
- Low 1/f noise: 2 nV/√Hz at 10 Hz
- Low distortion (SFDR): −96 dBc at 100 kHz, V_{OUT} = 2 V p-p
- Low power: 3 mA per amplifier
- Low input offset voltage: 350 µV maximum
- High speed
  - 236 MHz, −3 dB bandwidth (G = +10)
  - 943 V/µs slew rate
  - 22 ns settling time to 0.1%
- Rail-to-rail output
- Wide supply range: 3 V to 10 V
- Disable feature

FUNCTIONAL BLOCK DIAGRAMS

Figure 1. ADA4895-1 Single Amplifier (8-Lead SOIC)

Figure 2. ADA4895-2 Dual Amplifier (10-Lead MSOP)

5 30

正零点的作用

Negative zero

$$A_v = A_{v0}\frac{1 + j\,f / f_2}{1 + j\,f / f_1}$$

Positive zero

$$A_v = A_{v0}\frac{1 - j\,f / f_2}{1 + j\,f / f_1}$$

正零点和负极点的相位表现一样!

正零点补偿技术

米勒效应基于运放的反馈

电容的前馈产生正的零点

前馈的信号抵消反馈的信号

剪断前馈路径！

正零点补偿技术

Cc
1
gm1
gm2
VOUT
Cn1
RL
CL
Cc
1
VOUT
电压缓冲
源极跟随器
1
Cc
VOUT
电流缓冲
Cascode

正零点补偿技术-Cascode

- Cascode级的使用没有额外的成本！

正零点补偿技术-串联电阻

正零点补偿技术-串联电阻

$$f_z = \frac{1}{2\pi C_c (1/g_{m2} - R_c)}$$

$R_c = 1/g_{m2}$ No zero

$R_c > 1/g_{m2}$ Negative zero

Ref. Senderovics, JSSC Dec 78, 760-766

正零点补偿技术-串联电阻

$R_c >> 1/g_{m2}$ → $f_z = -\dfrac{1}{2\pi C_c R_c}$

$f_z = 3\ GBW$ → $R_c = \dfrac{1}{3\ g_{m1}}$

Final choice :

$$\boxed{\frac{1}{g_{m2}} < R_c < \frac{1}{3g_{m1}}}$$

随堂练习

- 已知技术指标为GBW=100MHz，负载电容10pF。对于一个米勒补偿的两级放大器，给出一个第一级跨导g_{m1}，第二级跨导g_{m2}和补偿电容C_C的组合。

运放的稳定性与系统性设计

- 运放、反馈与稳定性的基本概念
- 极点分离与零点补偿
- **三级运放稳定性问题简介**
- 运放的系统性设计方法
- 运放的其他参数指标

三级运放的稳定性

$$GBW = \frac{g_{m1}}{2\pi C_L}$$

三级运放的稳定性

$$GBW = \frac{g_{m1}}{2\pi C_C}$$

$$f_{nd1} = \frac{g_{m2}}{2\pi C_L}$$

$$f_{nd1} = 3\ GBW$$

三级运放的稳定性

$$GBW = \frac{g_{m1}}{2\pi C_C}$$

$$f_{nd1} = \frac{g_{m2}}{2\pi C_D}$$

$$f_{nd2} = \frac{g_{m3}}{2\pi C_L}$$

$$f_{nd1} = 3\ GBW$$

$$f_{nd2} = 5\ GBW$$

三级运放的稳定性

$$GBW = \frac{g_{m1}}{2\pi C_C}$$

$$f_{nd1} = 3\ GBW = \frac{g_{m2}}{2\pi C_D}$$

$$f_{nd2} = 5\ GBW = \frac{g_{m3}}{2\pi C_L}$$

Choose $C_D \approx C_C$!

$$\frac{g_{m2}}{g_{m1}} \approx 3 \qquad \frac{g_{m3}}{g_{m1}} \approx 5\ \frac{C_L}{C_C}$$

输出级更大的电流需求！

运放的稳定性与系统性设计

- 运放、反馈与稳定性的基本概念
- 极点分离与零点补偿
- 三级运放稳定性问题简介
- **运放的系统性设计方法**
- 运放的其他参数指标

一级OTA的设计

Av =

BW=

GBW=

- GBW的最大值?
- 如何衡量运放的性能?

一级OTA的设计

$$A_v = g_{m1}\frac{r_o}{2}$$

if $r_{o2} = r_{o4} = r_o$

$$BW = \frac{1}{2\pi\frac{r_o}{2}(C_L+C_{n1})}$$

$$\boxed{GBW = \frac{g_{m1}}{2\pi(C_L+C_{n1})}}$$

一级OTA的设计

定义**品质因素**
Figure of Merit (FOM)

$$FOM = \frac{GBW \cdot C_L}{I_B}$$

- 假设 I_B=200uA, C_L=4pF, C_{n1}忽略不计，求一阶OTA的FOM?

$$\boldsymbol{FOM \approx 800MHz \cdot pF/mA}$$

一级OTA的设计：f_{nd}

fnd =

- 该电路的寄生电容是否会产生非主极点？在哪里？
- 是否会使得该一阶OTA不稳定？

一级OTA的设计：f_{nd}

$$GBW = \frac{g_{m1}}{2\pi\,(C_L + C_{n1})}$$

$$f_{nd} = \frac{g_{m3}}{2\pi\, C_{n2}}$$

$$C_{n2} \approx 2C_{GS3} + C_{DB3} + C_{DB1}$$

$$\approx 4\, C_{GS3}$$

$$f_{nd} \approx \frac{f_{T3}}{4}$$

✓ Net2 处非主极点
离主极点较远

极点-零点对（pole-zero doublet)

✓ Net2 的寄生电容同时会产生一个零点

$$H_f(s) = \frac{A_0}{1 + s/\omega_{p1}}$$

$$H_s(s) = \frac{A_0}{(1 + \frac{s}{\omega_{p1}})(1 + \frac{s}{\omega_{p2}})}$$

$$H_{f+s}(s) = \frac{A_0(2 + \frac{s}{\omega_{p2}})}{(1 + \frac{s}{\omega_{p1}})(1 + \frac{s}{\omega_{p2}})}$$

极点-零点对（pole-zero doublet）

$$f_{nd} = \frac{g_{m3}}{2\pi C_{n2}}$$

- 高频时，增益减半
- 虽然在频域上产生的作用忽略不计，但是在时域上会对稳定时间产生较大影响

$$PM = 90^\circ - \arctan\frac{GBW}{f_{nd}} + \arctan\frac{GBW}{2 f_{nd}} \approx 85^\circ$$

一级OTA的设计

- 按要求设计OTA中晶体管尺寸。要求GBW=100MHz，C_L=2pF。

已知工艺参数为：L_{min}=0.18um, KP_n' =280uA/V^2, KP_p' =70uA/V^2

一级OTA的设计

❑按要求设计OTA中晶体管尺寸。要求GBW=100MHz，C_L=2pF。

已知工艺参数为：L_{min}=0.18um, KP_n' =280uA/V^2, KP_p' =70uA/V^2

$$g_m = GBW \cdot 2\pi C_L = 1.256mA/V$$

$$I_D = \frac{g_m}{10} = 125.6uA/V \qquad I_B = 251.2uA/V$$

$$\left(\frac{W}{L}\right)_p \approx 80 \qquad \left(\frac{W}{L}\right)_n \approx 20$$

$$\left(\frac{W}{L}\right)_p = \frac{40}{500n} \qquad \left(\frac{W}{L}\right)_n = \frac{10}{500n}$$

一级OTA的设计

❑仿真结果

二级OTA的设计

Av =

BW=

GBW=

- 二阶体现在哪两个点上?

二级OTA的设计

$$A_{v1} = \frac{g_{m1}}{g_{o24}} \quad A_{v2} = \frac{g_{m6}}{g_{Lo6}}$$

$$BW = \frac{g_{o24}}{2\pi A_{v2} C_c}$$

$$GBW = \frac{g_{m1}}{2\pi C_c}$$

$$f_{nd} \approx \frac{g_{m6}}{2\pi C_{Ln4}} \frac{1}{1+\frac{C_{n1}}{C_c}}$$

如何设计优化GBW和PM

- 如何在一定的功耗下，获得最优的GBW?

- 已有两个公式，分别定义GBW和PM：

$$GBW = \frac{g_{m1}}{2\pi C_C} \qquad f_{nd} = \frac{g_{m6}}{2\pi C_L}\frac{1}{1+\frac{C_{n1}}{C_c}}$$

- 已有三个设计变量：

$$g_{m1}, \qquad g_{m6}, \qquad C_C$$

如何找到最优的解?

如何设计优化GBW和PM

$$GBW = \frac{g_{m1}}{2\pi C_C} \qquad f_{nd} = \frac{g_{m6}}{2\pi C_L}\frac{1}{1+\frac{C_{n1}}{C_c}}$$

1. 先选择g_{m1}，根据公式解出g_{m6}和C_C
2. 先选择g_{m6}，根据公式解出g_{m1}和C_C
3. 先选择C_C，根据公式解出g_{m1}和g_{m6}

C_C受一定的选择范围限制：

1. 通常大于3x C_{n1}
2. 通常小于$C_L/2$

通过C_C设计优化GBW和PM

- 要求GBW=1MHz，C_L=10pF。

$$GBW = \frac{g_{m1}}{2\pi C_C}$$

$$f_{nd} = \frac{g_{m6}}{2\pi C_L}\frac{1}{1+\frac{C_{n1}}{C_c}}$$

假设C_{n1}恒定

通过C_C设计优化GBW和PM

- 要求GBW=1MHz，C_L=10pF。

$$GBW = \frac{g_{m1}}{2\pi C_C}$$

$$f_{nd} = \frac{g_{m6}}{2\pi C_L}\frac{1}{1+\frac{C_{n1}}{C_c}}$$

寻找2*gm1+gm6的最小值

$$C_C = \sqrt{\frac{3}{2}C_{n1}C_L}$$

通过C_C设计优化GBW和PM

- 要求GBW=1MHz，C_L=10pF。

$$GBW = \frac{g_{m1}}{2\pi C_C}$$

$$f_{nd} = \frac{g_{m6}}{2\pi C_L}\frac{1}{1+\frac{C_{n1}}{C_c}}$$ 假设C_{n1}变化

$C_{n1} \sim g_{m6}$

更平缓的曲线

通过C_C设计优化GBW和PM

- 要求GBW=1MHz，C_L=10pF。

$$GBW = \frac{g_{m1}}{2\pi C_C}$$

$$f_{nd} = \frac{g_{m6}}{2\pi C_L}\frac{1}{1+\frac{C_{n1}}{C_c}}$$

GBW = 1 MHz

C_L = 10 pF

C_{n1} = 0.4 pF

K' = 20 μA/V^2

V_{GS}-V_T = 0.2 V

L = 10 μm

如何设计优化GBW和PM

$$GBW = \frac{g_{m1}}{2\pi C_C}$$

$$f_{nd} = \frac{g_{m6}}{2\pi C_L}\frac{1}{1+\frac{C_{n1}}{C_c}}$$

1. 先选择g_{m1}，根据公式解出g_{m6}和C_C
2. **先选择g_{m6}，根据公式解出g_{m1}和C_C**
3. 先选择C_C，根据公式解出g_{m1}和g_{m6}

通过g_{m6}设计优化GBW和PM

- 要求GBW=1MHz，C_L=10pF。

$$GBW = \frac{g_{m1}}{2\pi C_C}$$

$$f_{nd} = \frac{g_{m6}}{2\pi C_L}\frac{1}{1+\frac{C_{n1}}{C_c}}$$ 假设C_{n1}恒定

通过g_{m6}设计优化GBW和PM

❑ 要求GBW=1MHz，C_L=10pF。

$$GBW = \frac{g_{m1}}{2\pi C_C}$$

$$f_{nd} = \frac{g_{m6}}{2\pi C_L}\frac{1}{1+\frac{C_{n1}}{C_c}}$$ 假设C_{n1}恒定

g_{m6min} =

3 GBW (2π C_L)

如何设计优化GBW和PM

$$GBW = \frac{g_{m1}}{2\pi C_C}$$

$$f_{nd} = \frac{g_{m6}}{2\pi C_L}\frac{1}{1+\frac{C_{n1}}{C_c}}$$

1. **先选择g_{m1}，根据公式解出g_{m6}和C_C**
2. 先选择g_{m6}，根据公式解出g_{m1}和C_C
3. 先选择C_C，根据公式解出g_{m1}和g_{m6}

➢对噪声有要求时，通常先计算g_{m1}

通过g_{m1}设计优化GBW和PM

- 要求GBW=1MHz，C_L=10pF。

$$GBW = \frac{g_{m1}}{2\pi C_C}$$

$$f_{nd} = \frac{g_{m6}}{2\pi C_L}\frac{1}{1+\frac{C_{n1}}{C_c}}$$ 假设C_{n1}恒定

通过g_{m1}设计优化GBW和PM

- 要求GBW=1MHz，C_L=10pF。

$$GBW = \frac{g_{m1}}{2\pi C_C}$$

$$f_{nd} = \frac{g_{m6}}{2\pi C_L}\frac{1}{1+\frac{C_{n1}}{C_c}}$$ 假设C_{n1}恒定

高速米勒OTA设计

$$GBW = \frac{g_{m1}}{2\pi C_c}$$

$$C_L = \alpha C_c$$

$$C_c = \beta C_{n1} = \beta C_{GS6}$$

$$f_{nd} = \frac{g_{m6}}{2\pi C_L} \frac{1}{1 + C_{n1}/C_c}$$

$$f_{nd} = \gamma GBW$$

$$GBW = \frac{f_{T6}}{\alpha \beta \gamma (1 + 1/\beta)}$$

首先判断某个工艺是否满足指标要求 → 最小长度下的带宽

- GBW不取决于C_L，而是取决于输出级晶体管的特征频率

高速米勒OTA设计

$$GBW = \frac{g_{m1}}{2\pi C_c}$$

$$f_{nd} = \frac{g_{m6}}{2\pi C_L} \frac{1}{1 + C_{n1}/C_c}$$

$$C_L = \alpha C_c \qquad \alpha \approx 2$$

$$C_c = \beta C_{n1} = \beta C_{GS6} \qquad \beta \approx 3$$

$$f_{nd} = \gamma GBW \qquad \gamma \approx 2$$

$$\boxed{C_{GS} = kW \qquad k = 2fF/um, \text{ for minL}}$$

$$GBW = \frac{f_{nd}}{\gamma} = \frac{g_{m6}}{2\pi C_L} \frac{1}{\gamma (1 + 1/\beta)}$$

g_{m6}的表达式?

$$C_L = \alpha C_c = \alpha \beta C_{n1} = \alpha \beta C_{GS6} = \alpha \beta kW_6$$

$W_6 \Uparrow$ if $C_L \Uparrow$

高速米勒OTA设计

强反型区(Strong Inversion)

$$g_{m,si} \approx \mu C_{ox} \frac{W}{L}(V_{GS} - V_{TH})$$

速度饱和区(Velocity Saturation)

$$g_{m,sat} = W C_{OX} v_{sat}$$

真实的g_m应该小于任意一个表达式
$g_m = \min\{g_{m,si}, g_{m,sat}\}$

$$\frac{1}{g_m} = \frac{1}{g_{m,si}} + \frac{1}{g_{m,sat}}$$

当取最小长度时

$$g_m \approx \frac{W}{L} \frac{17\ 10^{-5}}{1 + 2.8\ 10^4\ L / V_{GST}}$$

L in cm

高速米勒OTA设计

消除C_L:

$$GBW = \underbrace{\frac{g_{m6}}{2\pi\, kW_6}}_{f_{T6}} \frac{1}{\alpha\,\beta\,\gamma\,(1 + 1/\beta)} \qquad g_m = \frac{W}{L}\frac{17\ 10^{-5}}{1 + 2.8\ 10^4\ L/V_{GST}}$$

W, L in cm

$$GBW = \frac{1}{2\pi\, L_6}\frac{1}{\alpha\,\beta\,\gamma\,(1 + 1/\beta)}\frac{8.5\ 10^6}{1 + 2.8\ 10^4\ L_6 / V_{GST6}}$$

L in cm

- GBW不取决于C_L，而是取决于输出级晶体管的特征尺寸和偏置

特征频率f_T, $i_{DS} = i_{GS}$

$$i_{GS} = v_{GS} C_{GS} s$$

$$i_{DS} = g_m v_{GS}$$

$$C_{GS} = \frac{2}{3} WLC_{ox} \qquad g_m = 2K' \frac{W}{L} (V_{GS}-V_T) \qquad K' = \frac{\mu C_{ox}}{2n}$$

$$\boxed{f_T = \frac{g_m}{2\pi C_{GS}} = \frac{1}{2\pi} \frac{3}{2n} \frac{\mu}{L^2} (V_{GS}-V_T)}$$

反型区

or $\boxed{\approx \frac{v_{sat}}{2\pi L}}$

速度饱和区

高速米勒OTA设计

$V_{GS}-V_T \approx 0.2$ V

$\alpha \approx 2$

$\beta \approx 3$

$\gamma \approx 2$

or 16 x

$$GBW \approx \frac{f_{T6}}{16}$$

- GBW通常只有f_T的1/16
- 如果我们需要5G的GBW，那么需要80G的f_T，该指标在0.2V的V_{GST}时需要0.1m工艺，而在0.5V的V_{GST}时只需要0.2um工艺

高速米勒OTA设计

1. 选择 α β γ
2. 找到满足GBW最小的f_T
3. 选择一定V_{GS6}-V_T下最大的L_6
4. 根据C_L计算W_6和偏置电流I_{DS6}
5. 通过选择的 α 和C_L计算C_C
6. 通过C_C计算g_{m1}和I_{DS1}
7. 噪声表现由g_{m1}和C_C决定

高速米勒OTA设计

❑ 要求GBW=400MHz，C_L=5pF。

1. 选择 α β γ
2. 找到满足GBW最小的f_T
3. 选择一定V_{GS6}-V_T下最大的L_6
   - V_{GST6}=0.2V，u=33m
4. 根据C_L计算W_6和偏置电流I_{DS6}
   - K_n' =280uA/V^2
5. 通过选择的 α 和C_L计算C_C
6. 通过C_C计算g_{m1}和I_{DS1}
7. 噪声表现由g_{m1}和C_C决定

- 2 3 2
- f_T=6.4GHz
- L_6=0.5um
- W_6=220um，I_{DS6}=2.5mA
- C_C=2.5pF
- g_{m1}=6.28mS,
  I_{DS1}=0.63mA

高速米勒OTA设计

v(vout) Nominal
U Mag (V) @ DB20
50db
0db
-50db
0db
Y :-22mdb
v(vout) Nominal
U Phase
100
0
Y :31
280MHz
Freq (Hz)
1
10
100
1k
10k
100k
1M
10M
100M
0.28GG
10G

低功耗米勒OTA设计

高速设计步骤：

1. 选择 α β γ
2. 找到满足GBW最小的f_T
3. 选择一定V_{GS6}-V_T下最大的L_6
4. 根据C_L计算W_6和偏置电流I_{DS6}
5. 通过选择的 α 和C_L计算C_C
6. 通过C_C计算g_{m1}和I_{DS1}
7. 噪声表现由g_{m1}和C_C决定

低功耗设计步骤：

$$f_T = \underbrace{\frac{2\mu kT/q}{2\pi L^2}}_{\text{尺寸设计}} \cdot \underbrace{\sqrt{i}(1-e^{\sqrt{i}})}_{\text{偏置设计}}$$

1.
2.
3. 根据情况选择反型系数i
4. 根据C_L和L_6计算W_6
5. 根据I_{DST6}和反型系数i计算I_{DS6}
6.
7.

低功耗米勒OTA设计

❑ 要求GBW=1MHz，C_L=5pF。

1. 选择 α β γ
2. 找到满足GBW最小的f_T
3. 根据增益要求选择L_6
   - 得到f_{TH6}
4. 根据C_L和L_6计算W_6
5. 根据I_{DST6}和反型系数i计算I_{DS6}
   - K_n' =280uA/V^2
6. 通过选择的 α 和C_L计算C_C
7. 通过C_C计算g_{m1}和I_{DS1}

- 2 3 2
- f_T=16MHz
- L_6=0.5um

  f_{TH6}=6.4GHz, i=2.5m
- W_6=220um
- I_{DST6}=0.31mA
- I_{DS6}=0.8uA
- C_C=2.5pF
- I_{DS1}=0.6uA

低功耗米勒OTA设计

tic_Nominal.sp.ac0 v(vout) Nominal
U Mag (V) @ DB20
50db
0db
-50db
90mdb
Y :0.31db
tic_Nominal.sp.ac0 v(vout) Nominal
U Phase
100
0
-100
Y :18
0.66MHz
Freq (Hz)
1
10
100
1k
10k
100k
0.66MM

运放的稳定性与系统性设计

- 运放、反馈与稳定性的基本概念
- 极点分离与零点补偿
- 三级运放稳定性问题简介
- 运放的系统性设计方法
- **运放的其他参数指标**

米勒运放的其他指标与分析

- 共模输入电压范围
- 输出电压范围
- 压摆率
- 输出阻抗
- 噪声

米勒运放：共模输入范围/输出范围

米勒运放：压摆率

$$SR = \frac{\Delta V_{OUT}}{\Delta t}$$

$$\boxed{SR = \frac{I_{B1}}{C_c}}$$

米勒运放：压摆率

❑ 如何在GBW不变的情况下提高压摆率?

$$\frac{SR}{GBW} = 4\pi \frac{I_{DS1}}{g_{m1}}$$

✓ **从始至终，高速设计始终要求大的V_{GS}-V_T**

米勒运放：压摆率

- 通常压摆率由补偿电容C_C决定
- 但是，外部电容也可以成为压摆率的瓶颈

设计思路总结

1. 初步分析

1. 所有节点上的直流电流和电压
2. 所有晶体管的小信号参数分析

2. 直流分析

1. 共模输入电压范围 vs. 电源电压
2. 输出电压范围 vs. 电源电压
3. 最大输出电流

设计思路总结

3. 交流及瞬态分析

1. 所有节点上的直流电阻和电容
2. 增益的频率响应
3. 增益带宽积 vs 偏置电流
4. 压摆率 vs 负载电阻
5. 输出电压范围 vs 频率
6. 建立时间
7. 输入阻抗 vs 频率
8. 输出阻抗 vs 频率

设计思路总结

4. 噪声和失调分析

1. 失调电压 vs 共模输入电压
2. CMRR vs 频率
3. 输入偏置电流
4. 等效输入电压噪声 vs 频率
5. 等效输入电流噪声 vs 频率
6. 容性/感性信号源的噪声优化
7. PSRR vs 频率
8. 失真

设计思路总结

5. 其他效应

1. 电感负载下的稳定性
2. 切换偏置晶体管（biasing transistors）
3. 切换或扫描电源
4. 不同的电源、温度、工艺等

课后习题

- 已知要求GBW=50MHz，C_L=5pF。设计一相位裕度大于70°的米勒运放。通过仿真结果，给出该设计运放的：
  1. FOM
  2. 相位裕度
  3. 输入等效总噪声

第 6 章 知识总结 1-5

核心知识点

第一章: 晶体管

- 晶体管饱和状态下的基本公式

	弱反型区	强反型区	速度饱和区
电流ID	$I_{D0}\frac{W}{L}e^{\frac{V_{GS}}{nkT/q}}$	$\frac{1}{2}\mu_n C_{ox}\frac{W}{L}(V_{GS}-V_{TH})^2$	$WC_{OX}v_{sat}(V_{GS}-V_{TH})$
跨导gm	$\frac{I_{D,wi}}{nkT/q}$	$\mu_n C_{ox}\frac{W}{L}(V_{GS}-V_{TH})=\sqrt{2\mu_n C_{ox}\frac{W}{L}I_{DS}}=\frac{2I_{DS}}{V_{GS}-V_{TH}}$	$WC_{OX}v_{sat}$

第一章: 晶体管

- g_m/I_D在所有区间内大约在【25，1】的范围内变动，是设计的首要出发点。比如正常偏置下，V_{GST}=0.2V，则g_m/I_D=10

第一章: 晶体管

- 特征频率由晶体管跨导g_m和寄生电容C_{GS}决定

$$f_T = \frac{g_m}{2\pi C_{GS}}$$

- 特征尺寸下:

反型区 ➡ $$= \frac{1}{2\pi}\frac{3}{2n}\frac{\mu}{L^2}(V_{GS}-V_T)$$

or $$\approx \frac{v_{sat}}{2\pi L}$$ ⬅ 速度饱和区

- 在0.18um工艺下，0.5V以下的V_{GST}可以认为没有进入速度饱和区

第二章：模拟电路的基本构成

- 单晶体管放大器

$$A_v = g_m r_{DS} = \frac{2\,I_{DS}}{V_{GS}-V_T}\,\frac{V_E\,L}{I_{DS}} = \frac{2\,V_E\,L}{V_{GS}-V_T}$$

- V_E大约为40V/um

第二章：模拟电路的基本构成

- Cascode（共源共栅极）

- 从源极看将漏极阻抗缩小A倍，最小至自身跨导倒数$1/g_m$

第二章：模拟电路的基本构成

- Cascode（共源共栅极）

$A_v = (g_m r_{DS})_1$

$A_v = (g_m r_{DS})_1 (g_m r_{DS})_2$

- 从漏极看将源极阻抗放大A倍

第二章：模拟电路的基本构成

- 二极管连接的晶体管

输入电阻 $r_{ds} = 1/g_m \ // \ r_{DS} \approx \boxed{1/g_m}$

第三章：噪声

- 晶体管的热噪声

$$\overline{di_n^2} = 4kT/R = 4kT\gamma g_m$$

- 通道电流等效

$$\overline{dv_{ieqn}^2} = 4kT\gamma/g_m$$

- 输入电压等效

- 热噪声由晶体管跨导g_m决定

第三章：噪声

- 晶体管的闪烁噪声

$$\overline{dv_{ieqf}^2} = \frac{KF_F}{WLC_{OX}^2}\frac{\delta f}{f}$$

- 输入电压等效

- 闪烁噪声由晶体管面积决定

第三章：噪声

- 输入等效噪声的换算：所有噪声在**输出**出累加，然后根据**放大倍数**转换到输入

$$\overline{dv_{ieq}^2} = \frac{\overline{di_{out}^2}}{g_{m1}^2} = \frac{2\overline{di_1^2}+2\overline{di_3^2}}{g_{m1}^2}$$

$$\boxed{\overline{dv_{ieq}^2} = 2\overline{dv_1^2}\left(1+\frac{g_{m3}}{g_{m1}}\right)}$$

Small g_{m3} :

$(W/L)_3 \downarrow$

$(V_{GS}-V_T)_3 \uparrow$

第四章：失调

- 随机失调由三部分组成：

$$I_{DS} = K' W/L(V_{GS} - V_T)^2$$

1. 阈值电压V_{TH}的偏差
2. 晶体管尺寸的偏差
3. 半导体参数的偏差，基本可以忽略

$$\sigma_{\Delta VT} = \frac{A_{VT}}{\sqrt{WL}} \quad (1)$$

$$A_{VT} \sim t_{ox}\sqrt[4]{N_B}$$

$$\frac{\Delta W/L}{W/L} = A_{WL}\sqrt{\frac{1}{W^2}+\frac{1}{L^2}} \quad (2)$$

$$A_{WL} \approx 0.02 \text{ mV um}$$

$$\frac{\Delta K'}{K'} = \frac{A_{K'}}{\sqrt{WL}} \quad (3)$$

$$A_{K'} \approx 0.0056 \text{ um}$$

第四章：失调

- 等效输入随机失调的主要构成：

$$A_{v1} = g_{m1}\, r_{02} // r_{04}$$

$$v_{OS} = \frac{\Delta V_{DS1}}{A_{v1}} + \Delta V_{T1} + \frac{g_{m3}}{g_{m1}} \Delta V_{T3}^{*} + \frac{V_{GS1} - V_T}{2} S$$

$$S = \frac{\Delta K'_n}{K'_n} + \frac{\Delta K'_p}{K'_p} + \frac{\Delta W/L_1}{W/L_1} + \frac{\Delta W/L_3}{W/L_3}$$

1. 差分对的阈值电压失调
2. 电流镜的阈值电压失调，经过跨导比例转换
3. 所有尺寸的因素，经过差分对过驱动电压转换

第五章：运放的稳定性与系统性设计

- 单位增益稳定要求：次极点在开环增益降到1之后
- 因此，开环增益降到1的频率就等于增益带宽积GBW

$$f_2 \approx 3\ GBW$$

第五章：运放的稳定性与系统性设计

- 次极点的选择取决于系统的要求

$\frac{f_2}{GBW}$	PM (°)	$\zeta = \frac{1}{2}\sqrt{\frac{f_2}{GBW}}$	P_f (dB)	P_t (dB)
0.5	27	0.35	3.6	2.3
1	45	0.5	1.25	1.3
1.5	56	0.61	0.28	0.73
2	63	0.71	0	0.37
3	72	0.87	0	0.04

第五章：运放的稳定性与系统性设计

- 两级运放的GBW由第一级跨导g_{m2}和补偿电容C_c决定
- 次极点由第二级跨导g_{m2}和负载电容C_L决定

$$GBW = \frac{g_{m1}}{2\pi C_c}$$

$$f_{nd} = 3\ GBW = \frac{g_{m2}}{2\pi C_L} \frac{1}{1 + \underbrace{\frac{C_{n1}}{C_c}}_{\approx 0.3}}$$

$$\boxed{\frac{g_{m2}}{g_{m1}} \approx 4 \frac{C_L}{C_c}}$$

Larger current in 2nd stage !

第五章：运放的稳定性与系统性设计

$$GBW = \frac{g_{m1}}{2\pi C_c} \qquad f_{nd} = 3\,GBW = \frac{g_{m2}}{2\pi C_L}\,\frac{1}{1+\frac{C_{n1}}{C_c}}$$

- **为什么C_C不能太大?**
  - C_C太大会使g_{m1}的要求过大，导致功耗激增
- **为什么C_C不能太小?**
  - C_C太小会 f_{nd} 中的系数$(1+C_{n1}/C_C)$快速上升，导致f_{nd}下降

第五章：运放的稳定性与系统性设计

$$GBW = \frac{g_{m1}}{2\pi C_c}$$

$$f_{nd} = \frac{g_{m6}}{2\pi C_L} \frac{1}{1 + C_{n1}/C_c}$$

C_C的选择=>

$C_L = \alpha C_c$ $\alpha \approx 2$

$C_c = \beta C_{n1} = \beta C_{GS6}$ $\beta \approx 3$

$f_{nd} = \gamma GBW$ $\gamma \approx 2$

$C_{GS} = kW$ k = 2fF/um, for minL

$$GBW = \frac{f_{nd}}{\gamma} = \frac{g_{m6}}{2\pi C_L} \frac{1}{\gamma (1 + 1/\beta)}$$

$$C_L = \alpha C_c = \alpha \beta C_{n1} = \alpha \beta C_{GS6} = \alpha \beta kW_6$$

$W_6 \Uparrow$ if $C_L \Uparrow$

第五章：运放的稳定性与系统性设计

1. 选择 α β γ
2. 找到满足GBW最小的f_T
3. 根据增益要求选择L_6
   - 得到f_{TH6}
4. 根据C_L和L_6计算W_6
5. 根据I_{DSH6}和反型系数i计算I_{DS6}
   - $K_n' = 280uA/V^2$
6. 通过选择的 α 和C_L计算C_C
7. 通过C_C计算g_{m1}和I_{DS1}

根据运放应用的具体要求确定

如果没有增益要求，可以使用最小长度。根据所选择长度计算晶体管可以支持的频率。

如若没有面积限制，宽度越宽越好，直至$C_{GS}(C_{n1})$的限制

根据计算所得长宽比，得到该尺寸强反型区的跨导gm；根据该跨导和所需跨导的比例，计算偏置电流。

第 7 章 全差分放大器

北京航空航天大学 BEIHANG UNIVERSITY | 微电子学院

CMOS模拟集成电路设计

第七章：运放的高级设计：全差分放大器

胡远奇

©2020

全差分放大器

- **基本概念**
- 通过线性区晶体管的共模反馈
- 通过误差放大器的共模反馈

全差分运放

- 什么是全差分运放?
  - 相比于单端输出，全差分运放有两个差分输出端口。
  - 能够更好的抵抗电源上和共模上的噪声。
  - **数模混合**电路通常要求**全差分**的电路实现!

  - 需要更高的功耗
  - 需要**共模反馈!**

    (Common-Mode Feedback, CMFB)

全差分运放：简单示例

单端输出

差分输出

全差分运放：简单示例

差分对

没有电流镜结构

问题:

如何使M1-M4均保持在饱和区?

↓

控制共模输出

↓

差分对和有源负载的电流偏置需要完全一样

全差分运放：共模反馈示例

- 对差分输出V_{OUT+}和V_{OUT-}进行采样，并取**平均值【4】**
- 形成环路，通过负反馈控制共模偏置 (**任意一处**)

全差分运放：共模反馈示例

- 对差分输出V_{OUT+}和V_{OUT-}进行采样，并取**平均值【4】**
- 一级运放 -> 更稳定

共模反馈

单位增益下的共模反馈 => CMRR=A_{CM}

三个任务:

1. 检测差分输出电压
2. 取出共模信号成分
3. 将共模信号反馈回差分电路

共模反馈的基本要求

- 高速：$GBW_{CM} > GBW_{DM}$
  - 根据应用有所不同，e.g SDM ADC
- 低功耗：$P_{CM} < P_{DM}$
  - 与高速的要求矛盾
- 输出范围将被更小的一项所限制：
  - 差分运放的输出
  - 共模运放的输入范围

共模反馈的负载

- 共模与差模放大器经常会驱动**不同**的负载。

两级运放级联

共模反馈的负载

对于差分信号而言，
运放的输入就是**虚地**

对于共模信号而言，
信号通路可以**合并**

共模反馈的负载

差模

共模

$C_{INDM} = 2C_M+C_F+C_L+C_S$ < $C_{INCM} = 2(C_F+C_L+C_S)$

共模反馈：差模和共模的GBW

$$GBW_{DM} = \frac{g_m}{2\pi\, 2C_L}$$

$$C_{LCM} = 0$$

$$GBW_{DM} = \frac{g_m}{2\pi\, 2C_L}$$

$$C_{LCM} = 4\, C_L$$

全差分放大器

- 基本概念
- **通过线性区晶体管的共模反馈**
- 通过误差放大器的共模反馈

共模反馈：线性区晶体管

差分输出　　共模反馈

M3处于线性区：

$V_{DS3} < 200mV$

$V_{GS3} = (V_{DD}+V_{SS})/2$

$I_{DS} = KP(V_{GS}-VT)\ V_{DS}$

共模跨导?

$g_{m3} = KP\ V_{DS3}$

$$GBW_{CM} = \frac{g_{m3}}{2\pi C_L} < GBW_{DM} = \frac{g_{m1}}{2\pi C_L}$$

共模反馈：线性区晶体管

差分输出　　**共模反馈**

- 线性区晶体管的共模反馈可以与其他技术融合使用，且**没有额外的功耗**，但是**共模GBW始终偏低**！

全差分放大器

- 基本概念
- 通过线性区晶体管的共模反馈
- **通过误差放大器的共模反馈**

电阻性共模反馈

$$A_v = g_{m1}(R // r_o)$$

$$r_o = r_{o1} // r_{o2}$$

- 通过线性电阻消除差分信号
- 电阻阻值将影响增益

- **如何隔离输出端与采样电阻?**

共模反馈+源极跟随器

$$GBW_{DM} = \frac{g_{m1}}{2\pi C_L}$$

共模反馈+源极跟随器

$$GBW_{CM} = \frac{g_{m6}}{4\pi C_L} \qquad f_{ndCM} = \frac{4}{2\pi R_a(C_{GS6}+C_a)} \qquad f_z = \frac{1}{2\pi R_a C_a}$$

共模反馈+误差放大器

- 不使用源极跟随器 $GBW_{DM} = \frac{g_{m1}}{2\pi C_c}$

共模反馈+误差放大器

- 不使用源极跟随器
- 更好的功耗表现

$$GBW_{CM} = \frac{g_{m58}}{4\pi C_c}$$

- 差分对线性区十分有限
- $2.8*V_{GST}$

共模反馈技术比较

类型	线性晶体管	误差运放+源极跟随器	误差运放+双差分对
GBW_{CM}/GBW_{DM}	<0.1	>1	>1
匹配要求	<1%	<6%	<6%
输出范围	$0.8V_{DD}$	$0.4V_{DD}$	$0.4V_{DD}$
受限于	Cascode	源极跟随器	差分输入范围
功耗	1 Amp	3 Amp	2 Amp

全差分放大器

- 基本概念
- 通过线性区晶体管的共模反馈
- 通过误差放大器的共模反馈
- **其他**

多级差分系统级联

- 级联的两个差分运放可以共用一套共模反馈！

其他共模反馈技术

- 通过电流镜M6消除差分信号
- 额外的电流信号

其他共模反馈技术

Vdd
M11
M12
cmfb
Vb
M6
M5
M8
Vout+
Vin+
Vin-
M1
M2
CL
M7
M3
M4
M9
Vss=0V
analog GND=Vdd/2
Vb
Φ2H
C1
Φ2H
Φ1H
Φ1H
Φ2H
C2
C3
Φ1H
Φ2H
Φ2H
Φ1H
C4
Φ1H
Vb

其他共模反馈技术

Switches
ϕ_{1H} closed
gives CMFB
and
precharge C

其他共模反馈技术

Switches ϕ_{2H} closed gives CMFB and precharge C

课后习题

- 已知要求GBW_{DM}=50MHz，GBW_{CM}=100MHz, C_L=5pF。设计一共模&差模相位裕度均大于70°的运放。通过仿真给出：
  - 差模增益
  - 功耗
  - 共模抑制比CMRR

课后习题

- 将上述设计的差分运放，通过电阻设置成10倍放大，观察输入差模和共模信号分别有100mVpp，10kHz的正弦信号时，差模输出信号的大学，并分析是否符合预期。

第 8 章 轨到轨

北京航空航天大学 BEIHANG UNIVERSITY | 微电子学院

CMOS模拟集成电路设计

第七章：运放的高级设计：轨到轨输入

胡远奇

©2020

轨到轨输入

- **为什么需要轨到轨（Rail-to-Rail）的输入**
- 跨导平衡技术：
  - 3倍电流技术
  - 稳压二极管/齐纳二极管（Zener Diodes）
  - 亚反型区中的电流调节技术
  - 电流调制技术：反馈调制
  - 超低电源电压中的轨到轨输入技术

为什么需要轨到轨输入?

对称式OTA

输出范围=?

轨到轨输出!

输入范围=?

损失$V_{GS1}+V_{DSat9}$

何时需要轨到轨输入?

No!

No!

Yes!

互补差分对结构

- 互补差分对是轨到轨输入的基本解决思路

互补差分对结构

- 工作区域：

$V_{INCM} > 1.1\ V$

$V_{INCM} < V_{DD} - 1.1\ V$

$V_{DDmin} = 2.2\ V$

- 当**VDD>2.2V**时，共模输入范围能够覆盖从VSS到VDD的全部区域

互补差分对结构：挑战

假设V_{DD}>2.2V

互补差分对结构：挑战

- 当VCM接近电源上下限时，只有一组差分对导通！
- 变化的跨导gm会导致大量的非线性失真!

互补差分对结构：挑战

- **解决方案**：提升两边区域的跨导，使得总跨导恒定

轨到轨输入

- 为什么需要轨到轨（Rail-to-Rail）的输入
- **跨导平衡技术：**
  - **3倍电流技术**
  - 稳压二极管/齐纳二极管（Zener Diodes）
  - 亚反型区中的电流调节技术
  - 电流调制技术：反馈调制
  - 超低电源电压中的轨到轨输入技术

跨导补偿技术

$$g_{mN}+g_{mP}=\text{Constant}$$

$$g_m \approx \mu_0 C_{ox}\frac{W}{L}(V_{GS}-V_{TH}) = \sqrt{2\mu_0 C_{ox}\frac{W}{L}I_{DS}} = \frac{2I_{DS}}{V_{GS}-V_{TH}}$$

跨导补偿技术

NMOS PMOS

$$g_{mn} + g_{mp} = ct1$$

$$\sqrt{2K'_n \frac{W_n}{L_n} I_{Bn}} + \sqrt{2K'_p \frac{W_p}{L_p} I_{Bp}} = ct1$$

$$\sqrt{K'_n I_{Bn}} + \sqrt{K'_p I_{Bp}} = ct2$$

$$\sqrt{I_{Bn}} + \sqrt{I_{Bp}} = ct3$$

1. 令NMOS和PMOS的跨导**相同**
2. 在近轨区域，令NMOS/PMOS的跨导**翻倍**
3. 需要额外**3倍**的电流

跨导补偿技术

- 如何自适应的调整偏置电流?

跨导补偿技术

• 分流控制电压V_{rn}决定PMOS偏置电流何时进入3x电流镜

跨导补偿技术

- 互补型的3x电流镜方案

3x 电流镜的平滑性

$$g_{mtot} \sim \sqrt{(4 - 3x)\, I_B} + \sqrt{x\, I_B} \qquad \Delta g_m/g_m = 15\% \quad (x=1/3)$$

轨到轨输入

- 为什么需要轨到轨（Rail-to-Rail）的输入
- **跨导平衡技术：**
  - 3倍电流技术
  - **稳压二极管/齐纳二极管（Zener Diodes）**
  - 亚反型区中的电流调节技术
  - 电流调制技术：反馈调制
  - 超低电源电压中的轨到轨输入技术

稳压二极管

- 利用PN结反向击穿状态，其**电流**可在很大范围内**变化**，而**电压**基本**不变**
- 单一二极管连接的三极管无法提供突变的V-I曲线
- 多晶体管组合形成**电子稳压二极管**

通过稳压二极管的跨导补偿

- 通过长宽比控制

$$I_{Bp} = K'_p \frac{W_p}{L_p}(V_{GSp} - V_{Tp})^2$$

$$I_{Bn} = K'_n \frac{W_n}{L_n}(V_{GSn} - V_{Tn})^2$$

$$V_Z = V_{GSn} + V_{GSp}$$

通过稳压二极管的跨导补偿

通过稳压二极管的跨导补偿

- 通过运放和源极跟随器加快电压的变化

❑ 该组合是正反馈还是负反馈?

通过稳压二极管的跨导补偿

双晶体管串联：$\Delta g_m/g_m = 25\%$　　正反馈运放：$\Delta g_m/g_m = 6\%$

轨到轨输入

- 为什么需要轨到轨（Rail-to-Rail）的输入
- **跨导平衡技术：**
  - 3倍电流技术
  - 稳压二极管/齐纳二极管（Zener Diodes）
  - **亚反型区中的电流调节技术**
  - 电流调制技术：反馈调制
  - 超低电源电压中的轨到轨输入技术

亚反型区中的跨导平衡

$$g_{mN}+g_{mP}=\text{Constant}$$

$$g_{m,wi}=\frac{I_{D,wi}}{nkT/q}$$

亚反型区中的跨导平衡

NMOS PMOS

$$g_{mn} + g_{mp} = ct$$

$$\frac{I_{Bn}}{n_n\ kT/q} + \frac{I_{Bp}}{n_p\ kT/q} = ct$$

$$I_{Bn} + \frac{n_n}{n_p} I_{Bp} = ct$$

$$n = 1 + \frac{C_D(V_{BS})}{C_{ox}}$$

- 系数n_n和n_p不同，且随偏置电压变化而变化

亚反型区中的跨导平衡

$$\frac{I_{Bn}}{n_n\ kT/q}$$

$$\frac{I_{Bp}}{n_p\ kT/q}$$

- 如何自适应的调整偏置电流?

亚反型区中的跨导平衡

- 要求共模输入接近V_{ref}

亚反型区中的跨导平衡

Current switch : V_{ref} very critical !

轨到轨输入

- 为什么需要轨到轨（Rail-to-Rail）的输入
- **跨导平衡技术：**
  - 3倍电流技术
  - 稳压二极管/齐纳二极管（Zener Diodes）
  - 亚反型区中的电流调节技术
  - **电流调制技术：反馈调制**
  - 超低电源电压中的轨到轨输入技术

电流调制技术：反馈调制

- 通过反馈使得跨导总和不变！

电流调制技术：反馈调制

- 如何测量到I_{Bp}和I_{Bn}? → 使用副本（Replica）

电流调制技术：反馈调制

稳定电容　　副本偏置　　输入差分对

电流调制技术：反馈调制

稳定电容　　副本偏置　　输入差分对

反馈调制的性能

由于亚反型区中反型系数n的偏差： $\Delta g_m/g_m \approx 4\%$ 由反型系数n的不匹配造成

互补差分对结构：挑战

假设V_{DD}<2.2V → 在V_{DD}/2时两个晶体管均无法开启

反馈调制的性能

由于亚反型区中反型系数n的偏差：$\Delta g_m/g_m \approx 4\%$

电流反馈调制实例

V_{DD} = 1.5 V

I_{TOT} = 0.2 mA

$\Delta g_m/g_m$ = 4 %

GBW = 4.3 MHz

C_L = 15 pF

E.Peeters etal, CICC 1997

GBW的误差

Normalized GBW [%]
4
3
2
1
0
-1
-2
-3
-4
-0.75
-0.5
-0.25
0
0.25
0.5
0.75
Common mode input voltage [V]
GBW / GBWref
4 %

GBW和输入失调的误差

- 5mV的输入失调电压会极大的影响运放的性能

轨到轨输入

- 为什么需要轨到轨（Rail-to-Rail）的输入
- **跨导平衡技术：**
  - 3倍电流技术
  - 稳压二极管/齐纳二极管（Zener Diodes）
  - 亚反型区中的电流调节技术
  - 电流调制技术：反馈调制
  - **超低电源电压中的轨到轨输入技术**

超低电源电压下的轨到轨输入

超低电源电压下的轨到轨输入

需要加入电压偏移电路（Level Shifter）

超低电源电压下的轨到轨输入

Ref.Duque-Carrillo, JSSC Jan.2000, 33

超低电源电压下的轨到轨输入：实例

2 MHz
15 pF

1 V
0.4 mA

I_{offset}
< 1 μA

Ref.Duque-Carrillo, JSSC Jan.2000, 33-43

R↑ I_{offset}↓ noise↑

- 需要在**匹配**、**噪声**和**功耗**方面平衡

课后作业

- 设计一轨到轨输入运放，要求指标：
  - V_{DD}=1.8V
  - GBW=100MHz, C_L=10pF
- 完成设计后给出以下参数：
  - PM?
  - FOM?
  - 0.4V-1.4V区间内的系统失调电压
  - 0.4V-1.4V区间内的GBW偏差

第 9 章 Class A-B

第 10 章 全差分放大器

北京航空航天大学 BEIHANG UNIVERSITY | 微电子学院

CMOS模拟集成电路设计

第七章：运放的高级设计：Class-AB级

胡远奇

©2020

Class-AB级

- **什么是Class-AB级**
- 静态电流控制方法
  - 交叉耦合差分对
  - 动态偏置技术
  - 线性跨导回路

为什么需要推挽输出

当输出电阻较大时：$V_{OUT} = V_{IN}-V_{GS}$

- **当输出电阻较小时：**
  - 例如耳机索尼耳机阻抗 6 Ohm
- 输出级可以向外**输出（source）**大电流，从而形成正向摆幅
- 输出级无法向内**吸收（sink）**大电流，负向摆幅受限
- 1V的负向摆幅，要求至少20mA的电流 (50ohm负载)，意味着静态功耗的增加

输出级的形式

$I_{max} < I_B$

$V_{Out} = V_{In} - V_{GS}$

Push-Pull

$V_{out,max} = V_{DD} - 2V_{GS}$

Amplifier

Rail-to-rail

Class A, AB, B

$I_B > I_{max}$	$I_B < I_{max}$	$I_B = 0$
Class A	Class AB	Class B

高功耗 ⟷ 大失真

Class-AB 级的要求

- ✓轨到轨的输出
- ✓静态电流的精准控制
  - ✓低功耗
  - ✓独立于电源电压
- ✓大电流驱动能力 I_{max}/I_Q
- ✓尽量小的面积

Class-AB 输出级

驱动能力 ➡ I_{out}/I_Q

最大输出电流 / 静态电流

Class AB?

差分对?

Class-AB:大失真->必须通过反馈修正->3级运放

Class-AB 输出级

驱动能力 I_{out}/I_Q

最大输出电流 / 静态电流

Class AB:
需要比线性增长更快!
Expanding!

差分对：Limiter!

Class-AB:大失真->必须通过反馈修正->3级运放

Class-AB 输出级：反相器

问题1：I_Q无法控制

问题2：输出与电源电压直接相关

Class-AB级

- 什么是Class-AB级
- **静态电流控制方法**
  - **交叉耦合差分对**
  - 动态偏置技术
  - 线性跨导回路

交叉耦合差分对

超级跟随器

交叉耦合差分对

超级跟随器

- Vin作用在晶体管$M_{1\text{-}5}$和$M_{2\text{-}4}$的V_{GS}上，实现大电流输出；静态电流通过电流镜得到控制

交叉耦合差分对

- Vin作用在晶体管M_1和M_2的V_{GS}上，实现大电流输出；对称性不如前者

Class-AB 输入级电路

$$GBW = \frac{g_{m1}}{2\pi C_L}$$

SR ⇧⇧

- 由于Class-AB的特性，Slew Rate显著上升

单端输入的Class AB (Double-Push)

- M_{13}-M_{20}共同组成交叉耦合电路
- M_{13}-M_{16}为核心耦合对
- M_{17}-M_{20}为静态电流控制电路

- 静态电流由输入端的电流镜控制

Double-Push

● 高阻抗点

Ref. Fischer, JSSC
June 87, 330-340

Class-AB级

- 什么是Class-AB级
- **静态电流控制方法**
  - 交叉耦合差分对
  - **动态偏置技术**
  - 线性跨导回路

动态偏置技术

VDD
9
M8
M11
M12
M3
M4
M13
M14
M15
4
5
I1
I1
I2
p
n
1
2
IL
14
Io,max=B*Ip
CL
3
Ip
13
6
12
1:A
A:1
11
7
M7
M15
M16
M17
M18
M10
M19
M20
M21
M22
M6
B:1
VSS
10
IB

动态偏置技术

VDD
9
M8
M11
M12
M3
M4
M13
M14
M15
4
5
I1
I1
I2
p
n
1
2
复制电流I1
复制电流I2
IL
14
CL
3
Ip
I1
13
6
12
1:A
A:1
11
7
M7
M15
M16
M17
M18
M10
M19
M20
M21
M22
M6
B:1
VSS
10
IB

动态偏置技术

VDD
9
M8
M11
M12
M3
M4
M13
M14
M15
4
5
I_1
I_1
I_2
p
n
1
2
复制电流I_1
复制电流I_2
$A(I_1-I_2)$
I_L
14
C_L
3
Ip
I_1
13
6
12
1:A
A:1
11
7
M7
M15
M16
M17
M18
M10
M19
M20
M21
M22
M6
B:1
VSS
10
I_B

动态偏置技术

- 偏置电流由差分电流的差控制
- 差分电流通过电流镜$M_{17\text{-}18}$和$M_{19\text{-}20}$的比例放大A倍

动态偏置技术

动态偏置技术

- **A=0时，没有动态偏置技术，输出电流受限**
- **A越大，Class-AB的效果越明显**
- **由于失配的存在（Mismatch），放大系数A不能过大，通常不能超过10**

Class-AB级

- 什么是Class-AB级
- **静态电流控制方法**
  - 交叉耦合差分对
  - 动态偏置技术
  - **线性跨导回路**

静态电流控制技术:线性跨导回路

线性跨导回路:

静态电流控制技术:线性跨导回路

线性跨导回路:

$$V_{GS2} + V_{GS4} = V_{GS9} + V_{GS10}$$

$$V_{GS2} - V_T = \sqrt{\frac{I_{DS2}}{K'_p\, W/L_2}}$$

$$\sqrt{\frac{I_{DS2}}{W/L_2}} + \sqrt{\frac{I_{DS4}}{W/L_4}} = 2\sqrt{\frac{I_{DS9}}{W/L_9}}$$

$$\frac{I_{DS2}}{I_{DS9}} = \frac{W/L_2}{W/L_9}\left(2 - \frac{1}{\sqrt{2}}\right)^2 \approx 118$$

- 偏置电流由回路**器件比例**和**偏置电流**控制

静态电流控制技术:线性跨导回路

$$\frac{I_{DS2}}{I_{DS9}} = \frac{W/L_2}{W/L_9}\left(2 - \frac{1}{\sqrt{2}}\right)^2 \approx 118$$

- I_{DS2}达到最大值时， I_{DS4}趋于0，晶体管MA4接近截止
- 输入信号

静态电流控制技术:线性跨导回路

- 轨到轨

+

- Class-AB

14 MHz
/ 11pF

5.6 MHz
/ 100pF

4 V/μs

36 nV/√ Hz

5 V
0.4 mA

线性跨导回路：输出级增益

- PMOS和NMOS线性跨导回路的输入电流相位相同，极性一致
- 对于小信号模型而言：$i_{in}=i_{MA4}+i_{MA3}$
- 由于相位一致，MA4和MA3被自举（Bootstrap），使得其等效阻抗无穷大
- 晶体管MA4和MA3只用来提供静态偏置
- 该输出级增益即为MA1和MA2晶体管的自增益，或跨导与负载电阻的乘积

线性跨导回路：输出级增益

$$i_{in} = g_{m1} v_{+-}$$

$$\frac{v_{in}}{i_{in}} = R_{in}$$

$$\frac{v_{out}}{v_{in}} = 2g_{mA1}R_L$$

$$A_v = 2g_{m1}R_{in}g_{mA1}R_L$$

线性跨导回路：输出级增益

- 可以将偏置晶体管M3A和M4A并联，使其各自的电流动态调整

课后习题

- 设计一个线性跨导回路的Class-AB运放，其中：
  - V_{DD}=1.8V, V_{SS}=0V, V_{CM}=0.9V
  - C_L=10pF, R_L=32ohm
  - 差模输入Vpp=100mV，输入频率200kHz，放大倍数10

- 要求指标：
  - 要求输出正弦波峰-峰值大于950mV
  - 运放静态功耗小于1.5mA

课后习题

- 思路：
  1. 根据x10的放大倍数和下式，确定所需的DC增益，建议留出5倍冗余

$$V_{out} = -\frac{10 \cdot A_0}{A_0 + 11} \cdot V_{in}$$

  2. 根据x10的放大倍数和输入频率估计GBW，建议5倍冗余
  3. 根据所需要的输出电流预估线性跨导回路尺寸和偏置
     - 峰值输出时，VDS=0.4V，因此峰值下V_{GST}<0.4V

Transient
Sun Nov 8 11:25:39 2020 1
Name
/vin
/vout
/I0/PM18/D
/I0/NM20/D
V (V)
1.4
1.2
1.0
0.8
0.6
0.4
I (mA)
16.0
12.0
8.0
4.0
0.0
-4.0
-8.0
-12.0
-16.0
0.0
1.0
2.0
3.0
4.0
5.0
6.0
7.0
8.0
9.0
10
time (us)
$V_{OUT,PP}$=962mV
交越失真
PMOS和NMOS交替输出电流

Class-AB级

- 什么是Class-AB级
- 静态电流控制方法
  - 交叉耦合差分对
  - 动态偏置技术
  - 线性跨导回路
- **其他**

线性跨导回路:多回路叠加

✓M3/M4检测输出电流

✓防止一侧输出晶体管在另一侧大电流输出时关断

低电压实现I

1.5 V 90 μA 1 MHz/150 pF

Ref. Van Dongen, JSSC Dec.95, 1333-1337

✓第一级输出直接驱动Class-AB级的输入

✓静态电流的驱动没有很好的控制

低电压实现II

- 静态电流控制优秀
- 在A点和B点获得最大摇摆范围，使得输出电流远大于静态电流
- α=0.2
  - 取值在增益和失配间平衡
- β=120

低电压实现III

M2是一个源极跟随器

$V_{GS1} = V_{in1} - V_{in2}$

$i_{out} \sim (V_{in1} - V_{in2})^2$

>>> Class AB

第 11 章 ADC & DAC

北京航空航天大学 BEIHANG UNIVERSITY | 微电子学院

CMOS模拟集成电路设计

第十章：奈奎斯特转换器：ADC & DAC

胡远奇

©2020

ADC & DAC

- 定义
- 数字-模拟转换器
  - 电阻式
  - 电容式
  - 电流驱动
- 模拟-数字转换器
  - 积分式
  - 逐次渐进式
  - Flash

ADC & DAC

输出代码
模数转换
111
110
101
100
011
010
001
000
0
0.5
1
V_{ref} 归一化模拟输入

V_{ref} 归一化模拟输出
数模转换
1
0.5
0
000
001
010
011
100
101
110
111
输入代码

ADC & DAC

输出代码
模数转换
Ideal
111
110
101
100
011
010
001
000
0
0.5
1
V_{ref} 归一化模拟输入

V_{ref} 归一化模拟输出
数模转换
Ideal
1
0.5
0
000
001
010
011
100
101
110
111
输入代码

DAC的分辨率

$$V_{OUT} = V_{REF}\ B_{IN}$$

$$= V_{REF}\left(\frac{b_1}{2^1} + \frac{b_2}{2^2} + \frac{b_3}{2^3} + \cdots \frac{b_N}{2^N}\right)$$

$$V_{LSB} = \frac{V_{REF}}{2^N}$$

b_1 最高有效位
Most Significant bit (MSB)

b_N 最低有效位
Least Significant bit (LSB)

量化误差(Quantisation Error)

P_{Noise} =

P_{Signal} =

误差

量化误差

$$P_{Noise} = \frac{1}{\Delta}\int_{-\Delta/2}^{\Delta/2} \varepsilon^2 \, d\varepsilon = \frac{\Delta^2}{12}$$

$$V_{ptp} = 2^N \Delta$$

$$P_{Signal} = \frac{V_{ptp}^{\ 2}}{8}$$

$$SNR = \frac{3}{2} 2^{2N}$$

$$SNR = 6\,N + 1.76 \ \ dB$$

静态指标：INL & DNL

差分非线性度（Differential Nonlinearity）：$DNL = Y_{OUT}(B) - Y_{OUT}(B-1) - 1\ LSB$

积分非线性度（Integral Nonlinearity）：$INL = Y_{OUT}(B) - Y_{OUT,id}(B)$

动态指标

理想DAC响应　　实际DAC响应

频谱内容

SFDR: Spurious free dynamic range, 无杂散动态范围

SNDR: Signal to Noise & Distortion Ratio, 信噪失真比

ENOB: Effective Number Of Bits, 有效位数

信噪比与输入信号的关系

系统的有效分辨率被大输入信号的失真所限制，原本可以达到74dB/12位分辨率的系统，最终只实现了66dB/10.6位

ADC & DAC

- 定义
- **数字-模拟转换器**
  - 电阻式
  - 电容式
  - 电流驱动
- 模拟-数字转换器
  - 积分式
  - 逐次渐进式
  - Flash

电阻操控型DAC

想要达到10 bit:
1023个电阻和1024个开关!

电阻的匹配将是主要的问题!

二进制权重电阻的DAC

每个bit对应一个电阻和一个开关！

对匹配的要求更高！ ➡ 匹配的精度极限一般在6-8 bits

二进制权重中单一性没法得到保证！

R-2R 阶梯型DAC

R-2R 阶梯型DAC

精度一般可以到10bit

需要的电阻面积更小

运放提供的虚地很关键

电容的实现方式

电容拥有更好的匹配程度！

通常能获得比电阻高2bit的精度

Phase Φ1：电容采样

Phase Φ2：电容放大

电流转向DAC

- ❑ 转换精度的限制是什么?
- ❑ 一致性的问题能否得到保证?

- 电流镜的匹配
- 不能

二进制和热码编码

Decimal	Binary			Thermometer Code						
	b_1	b_2	b_3	d_1	d_2	d_3	d_4	d_5	d_6	d_7
0	0	0	0	0	0	0	0	0	0	0
1	0	0	1	0	0	0	0	0	0	1
2	0	1	0	0	0	0	0	0	1	1
3	0	1	1	0	0	0	0	1	1	1
4	1	0	0	0	0	0	1	1	1	1
5	1	0	1	0	0	1	1	1	1	1
6	1	1	0	0	1	1	1	1	1	1
7	1	1	1	1	1	1	1	1	1	1

单调性可以得到保证！

以更多的基本元件、开关和逻辑器件为代价

组合方案

$\sigma(\Delta I) =$

Binary

$$\sqrt{2^N - 1}\,\frac{\sigma(I)}{I}\ \text{LSB}$$

Unary

$$\frac{\sigma(I)}{I}\ \text{LSB}$$

Segmented

B LSBs & N-B MSBs

$$\sqrt{2^{B+1} - 1}\,\frac{\sigma(I)}{I}\ \text{LSB}$$

电流转向DAC案例

Current steering DAC
- 10-bit
- 1 GS/s

0.35 μm CMOS
- 110 mW

Van den Bosch, .., JSSC, March 01, 315-324

ADC & DAC

- 定义
- 数字-模拟转换器
  - 电阻式
  - 电容式
  - 电流驱动
- **模拟-数字转换器**
  - 积分式
  - 逐次渐进式
  - Flash

ADC的种类

速度与精度的平衡

(Tradeoff between Speed and Resolution)

$$\text{FOM} = \frac{2^N\, 2BW}{P}$$

积分型ADC （Dual-slope）

积分型ADC （Dual-slope）

Time 1 is constant : $T_1 = 2^N T_{clk}$

$$V_x = \frac{V_{in}}{R_1 C_1} T_1$$

Time 2 : V_x decreases with constant slope :

$$V_x = \frac{V_{ref}}{R_1 C_1} T_2 \qquad T_2 = T_1 \frac{V_{in}}{V_{ref}} \quad \Rightarrow \quad B_{out} = \frac{V_{in}}{V_{ref}}$$

相同的硬件，没有匹配的问题！

积分型ADC （Dual-slope）

Time 1 : $V_x = \frac{V_{in}}{R_1C_1} T_1$ Time 2 : $V_x = \frac{V_{ref}}{R_1C_1} T_2$ $T_2 = T_1 \frac{V_{in}}{V_{ref}}$

积分型ADC （Dual-slope）

- 优点：
  - 高分辨率
  - 高线性度
  - 低电路复杂度

- 缺点：
  - 十分慢！
  - 通常在电压表中使用

逐次逼近型ADC

假设全量程为1，每次比较剩余量的1/2:

>0.5?	: 0	b1=0
>0.25?	: 1	b2=1
>0.375?	: 1	b3=1
>0.4375?	: 1	b4=0

逐次逼近型ADC

- N-bit ADC仅需N个时钟周期
- 对比较器的失调电压敏感
- DAC的实现决定ADC的精度

假设全量程为1，每次比较剩余量的1/2:

>0.5?	: 0	b1=0
>0.25?	: 1	b2=1
>0.375?	: 1	b3=1
>0.4375?	: 1	b4=0

5-bit 电荷重分布 ADC

分辨率由电容的匹配决定，通过可以达到10-12 bits

速度由开关电阻和电容组成的时间常数决定

电路较简单，功耗较低

5-bit 电荷重分布 ADC

5-bit 电荷重分布 ADC

if $V_{in} > V_{ref}/2$ SAR ⇒ 1 leave C_{b1} to V_{ref} : try C_{b2}

if $V_{in} < V_{ref}/2$ SAR ⇒ 0 leave C_{b1} to Gnd : try C_{b2}

Flash ADC

3-bit Flash ADC

速度最快，仅需1个时钟周期

需要2^N个比较器

精度通常在6-8bit

大输入电容！

ADC 设计总体思路

晶体管： $\sigma^2(\text{Error}) \sim \frac{1}{WL}$ $\boxed{\sigma_{VT} = \frac{A_{VT}}{\sqrt{WL}}}$

精度^2 ~ WL

设计：增加W，增加I_{DS}和功耗
减小L，加快速度

$$\frac{\text{速度 x 精度}}{\text{功耗}} = \text{工艺水平}$$

ADC的限制

目前的设计均离理论极限还有空间！

作业

- 设计一个5BIT的SAR ADC，通过电容的方式实现采样与DA反馈。
  - 输入区间0-1.8V
  - 采样频率大于1MSPS
  - 可以采用理想比较器
  - 数字逻辑部分用verilog实现

第二部分

作业反馈

第 12 章 HW01-02

形式问题

1. 需要展示及介绍测试平台。
2. 对于自己假设的参数，如V_{TH}，需要提前说明。
3. 没有给出推算过程或逻辑，直接给出结果的一律无效。
4. 尽量使用工程单位um, nm, fF等，而不是数学单位e-6
5. 请将作业整理到一个PDF，题号回答清晰，建议全电子版书写；手写作业请确保字迹清晰，字迹模糊无法辨认的直接判错。
6. 作业迟交最高按60%分值计算，请确保按时提交作业。

Homework 1

2. 估算V_{GS}=0.5V，0.8V和1.1V且V_{DS}=1.8V时，W/L=1um/0.18um的NMOS的g_m和r_0。

- **V_{GS}=0.8V**，强反转区的gm推导：

$$\begin{cases} L_{min} = 0.35\ \mu m \\ KP_n \approx 300\ \mu A/V^2 \end{cases} \Rightarrow KP_n \approx 600uA/V^2$$

$$I_D = \frac{1}{2} KP_n \frac{W}{L} (V_{GS} - VTH)^2$$

$$I_D = 200uA, \Big|_{V_{TH}=0.46V} \qquad g_m = 1.2mA/V, \Big|_{V_{TH}=0.46V}$$

2. 估算V_{GS}=0.5V，0.8V和1.1V且V_{DS}=1.8V时，W/L=1um/0.18um的NMOS的g_m和r_0。

- **V_{GS}=0.8V**，强反转区的r_0推导：

$$r_0 \approx \frac{1}{\lambda I_{DS}} = \frac{V_E \cdot L}{I_{DS}}$$

V_{En} = 4 V/μmL

$$r_0 \approx \frac{4 \cdot 0.18}{200u} = 3.6K\Omega$$

2. 估算V_{GS}=0.5V，0.8V和1.1V且V_{DS}=1.8V时，W/L=1um/0.18um的NMOS的g_m和r_0。

- **V_{GS}=0.8V**，强反转区的gm和r_0检验：

	估算	仿真
Id	200u	100u
gm	1.2m	0.42m
r0	3.6K	100K

×估算与仿真有较大差距

```
region = Saturati
id = 100.3509u
ibs = -1.6822e-20
ibd = -43.4021n
vgs = 800.0000m
vds = 1.8000
vbs = 0.0000
vth = 456.4051m
vdsat = 232.2942m
vod = 343.5949m
gm = 423.2997u
gds = 11.2628u
gmb = 98.3501u
cdtot = 988.0917a
cgtot = 1.9084f
cstot = 2.4746f
cbtot = 2.1628f
cgs = 1.3013f
cgd = 341.0737a
```

2. 估算V_{GS}=0.5V，0.8V和1.1V且V_{DS}=1.8V时，W/L=1um/0.18um的NMOS的g_m和r_0。

- 估算参数矫正

```
* GENERAL PARAMETERS
*
+CALCACM   = 1
+LMIN      = 1.5E-7              LMAX      = 1.0E-5
+WMAX      = 1.0E-4              TNOM      = 25.0
+TOX       = '3.87E-09+DTOX_N18' TOXM      = 3.87E-09
+NCH       = 3.8694000E+17       LLN       = 1.1205959
+WLN       = 1.0599999           WWN       = 0.8768474
+LL        = 2.6352781E-16       LW        = -2.2625584E-16
+WINT      = -1.4450482E-09      WL        = -2.3664573E-16
+WWL       = -4.0000000E-21      MOBMOD    = 1
+XL        = '1.8E-8+DXL_N18'    XW        = '0.00+DXW_N18'
```

```
* MOBILITY PARAMETERS
*
+VSAT      = 8.2500000E+04       PVSAT     = -8.3000000E-10
+LUA       = 7.7349790E-19       PUA       = -1.0000000E-24
+UC        = 1.2000000E-10       PUC       = 1.5000000E-24
+PRWB      = 0.2400000           PRWG      = 0.4000000
+U0        = '(3.4000000E-02)*(1+0.05*Sigma)'        LU0
+A0        = 0.8300000           KETA      = -3.0000000E-03
+A1        = 0.00                A2        = 0.9900000
+B0        = 6.0000000E-08       B1        = 0.00
*
```

✓栅极厚度预估正确

$\mu_p \approx 250\ cm^2/Vs$

$\mu_n \approx 600\ cm^2/Vs$

×载流子流速高估近一倍

2. 估算V_{GS}=0.5V，0.8V和1.1V且V_{DS}=1.8V时，W/L=1um/0.18um的NMOS的g_m和r_0。

- 参数矫正

	调整后估算	仿真
Id	113u	100u
gm	0.68m	0.42m
r0	6.4K	89K

```
* ROUT PARAMETERS
*
+PCLM      = 1.2000000          PPCLM     = 2.9999999E-15
+PDIBLC2   = 3.8000000E-03      PPDIBLC2  = 2.7000001E-16
+DROUT     = 0.5600000          PSCBE1    = 3.4500000E+08
+PVAG      = 0.00               DELTA     = 1.0000000E-02
+ALPHA1    = 0.1764000          LALPHA1   = 7.6250000E-09
*
```

V_{En} = 4 V/μmL

- V_{En}在此工艺中调整为40V/um

V_{Ep} 约为 25 V/um

2. 估算V_{GS}=0.5V，0.8V和1.1V且V_{DS}=1.8V时，W/L=1um/0.18um的NMOS的g_m和r_0。

- **V_{GS}=0.5V**，弱反转区的gm推导：

$$I_{D,wi} = I_{D0}\frac{W}{L}e^{\frac{V_{GS}}{nkT/q}}$$

$$g_{m,wi} = \frac{I_{D,wi}}{nkT/q}$$

×n作为一个跟反转程度有关的量，随V_{GS}变化，无法预估

×I_{D0}未知

2. 估算V_{GS}=0.5V，0.8V和1.1V且V_{DS}=1.8V时，W/L=1um/0.18um的NMOS的g_m和r_0。

- **V_{GS}=0.5V**，弱反转区的gm推导：（利用已有强反型区结果）

$$I_{DS} = K'\frac{W}{L}V_{GSTt}^2 \cdot ln^2(1+e^v)\,,\quad v = \frac{V_{GST}}{V_{GSTt}} \qquad V_{GSTt} = 2n\frac{kT}{q} \approx 70mV$$

已有 $I_D = 113uA, \Big|_{V_{GST}=0.34V}$ ➡ $ln^2(1+e^v) \approx 5^2 = 25$

⬇ $v = 0.7, \Big|_{V_{GST}=0.04V}$

$I_D = 5.5uA, \Big|_{V_{GST}=0.04V}$ ⬅ $ln^2(1+e^v) \approx 1.1^2 = 1.2$

2. 估算V_{GS}=0.5V，0.8V和1.1V且V_{DS}=1.8V时，W/L=1um/0.18um的NMOS的g_m和r_0。

- **V_{GS}=0.5V**，弱反转区的gm推导：

$$I_D = 5.5uA, \Big|_{V_{GST}=0.04V}$$

$$ln^2(1+e^v) \approx 1.2$$

反型系数i: $i = \frac{I_{DS}}{I_{DSt}} = ln^2(1+e^v)$

$$g_m = 82.5u/V, \Big|_{V_{TH}=0.46V}$$

2. 估算V_{GS}=0.5V，0.8V和1.1V且V_{DS}=1.8V时，W/L=1um/0.18um的NMOS的g_m和r_0。

- **V_{GS}=0.5V**，弱反转区的r_0推导：

$$r_0 \approx \frac{1}{\lambda I_{DS}} = \frac{V_E \cdot L}{I_{DS}}$$

V_{en}=40V/um

$$r_0 \approx \frac{40 \cdot 0.18}{5.5u} = 1.3M\Omega$$

2. 估算V_{GS}=0.5V，0.8V和1.1V且V_{DS}=1.8V时，W/L=1um/0.18um的NMOS的g_m和r_0。

- **V_{GS}=0.5V**，弱反转区的gm和r_0检验：

	估算	仿真
Id	5.5u	2u
gm	82.5u	28u
r0	1.3M	11M

✓估算基本正确

```
[ NM0 ]
region = Saturati
id = 2.0072u
ibs = -3.3839e-22
ibd = -902.0821p
vgs = 500.0000m
vds = 1.8000
vbs = 0.0000
vth = 404.6511m
vdsat = 116.1837m
vod = 95.3489m
gm = 28.8373u
gds = 85.4506n
gmb = 8.4268u
cdtot = 976.6265a
cgtot = 6.8587f
cstot = 7.1026f
cbtot = 4.5589f
cgs = 4.9752f
cgd = 343.2256a
```

2. 估算V_{GS}=0.5V，0.8V和1.1V且V_{DS}=1.8V时，W/L=1um/0.18um的NMOS的g_m和r_0。

- **V_{GS}=1.1V**，速度饱和区的gm推导：

2. 估算V_{GS}=0.5V，0.8V和1.1V且V_{DS}=1.8V时，W/L=1um/0.18um的NMOS的g_m和r_0。

- **V_{GS}=1.1V**，速度饱和区的gm推导：

$$\frac{1}{g_m} = \frac{1}{g_{m,si}} + \frac{1}{g_{m,sat}}$$

$$g_{m,si} = 2KP_n \frac{W}{L} V_{GST} = 2.67m$$

$$g_{m,sat} = WC_{OX} v_{sat} = 1m$$

$$g_m = 0.73m$$

2. 估算V_{GS}=0.5V，0.8V和1.1V且V_{DS}=1.8V时，W/L=1um/0.18um的NMOS的g_m和r_0。

- **V_{GS}=1.1V**，速度饱和区的r0推导：

$$\frac{g_{m,si}}{I_D} = \frac{2}{V_{GST}} \qquad \frac{g_{m,sat}}{I_D} = \frac{1}{V_{GST}}$$

$$I_D \approx \frac{1}{1.8} \cdot g_m \cdot V_{GST} = 260uA$$

$$r_0 \approx \frac{1}{\lambda I_{DS}} = \frac{V_E \cdot L}{I_{DS}}$$

V_{en}=40V/um

$$r_0 \approx \frac{40 \cdot 0.18}{0.26m} = 28K\Omega$$

2. 估算V_{GS}=0.5V，0.8V和1.1V且V_{DS}=1.8V时，W/L=1um/0.18um的NMOS的g_m和r_0。

- **V_{GS}=1.1V**，速度饱和区的gm和r_0检验：

	估算	仿真
Id	260u	240u
gm	730u	500u
r0	28K	62.5K

✓**估算基本正确**

```
[ NM0 ]
region = Saturati
id = 240.4028u
ibs = -3.9974e-20
ibd = -56.8244n
vgs = 1.1000
vds = 1.8000
vbs = 0.0000
vth = 456.5229m
vdsat = 341.4154m
vod = 643.4771m
gm = 496.4637u
gds = 16.0068u
gmb = 116.4091u
cdtot = 988.2450a
cgtot = 1.9310f
cstot = 2.4969f
cbtot = 2.1538f
cgs = 1.3361f
cgd = 340.8963a
```

3. 估算V_{GS}=0.5V，0.8V和1.1V且V_{DS}=1.8V时，W/L=1um/0.18um的NMOS的特征频率f_T，并通过AC仿真得到所求的特征频率。

$$f_T = \frac{g_m}{2\pi C_{GS}}$$

$$C_{GS} \approx \frac{2}{3} WLC_{ox}$$

≈ 2W fF/um for Lmin

$$L_{min}C_{ox} \approx L_{min}\frac{\varepsilon_{ox}}{t_{ox}} \approx 50\,\varepsilon_{ox} \approx 2\ \mathrm{fF/\mu m}$$

$$f_T = \frac{g_m}{4\pi \cdot 1u \cdot fF/um}$$

3. 估算V_{GS}=0.5V，0.8V和1.1V且V_{DS}=1.8V时，W/L=1um/0.18um的NMOS的特征频率f_T，并通过AC仿真得到所求的特征频率。

$$f_T = \frac{g_m}{4\pi \cdot 1u \cdot fF/um}$$

V_{GS}	仿真gm	算术fT	仿真fT
0.5V	28u	1.1G	12G
0.8V	420u	16.7G	36G
1.1V	500u	19.9G	41G

- **真实的Cgs=1.3fF，比我们预估的2fF略小**
- **弱反型区中的Cgs不能用C_{OX}类推**

Homework 2

- 利用仿真结果，找到我们所使用工艺的$u_{0p,n}$, C_{ox}, V_{THn}, V_{THp}

```
region = Saturati
id = 12.9769u
ibs = -2.1864e-21
ibd = -2.8580n
vgs = 700.0000m
vds = 1.8000
vbs = 0.0000
vth = 404.6616m
vdsat = 261.9176m
vod = 295.3384m
gm = 78.3552u
gds = 298.4982n
gmb = 22.6287u
cdtot = 976.9014a
cgtot = 7.3556f
cstot = 7.8072f
cbtot = 4.5240f
cgs = 5.6599f
```

```
region = Saturati
id = -2.4713u
ibs = 1.7020e-22
ibd = 11.4903p
vgs = -700.0000m
vds = -1.8000
vbs = 0.0000
vth = -422.6200m
vdsat = -250.9069m
vod = -277.3800m
gm = 16.0855u
gds = 61.2616n
gmb = 5.1132u
cdtot = 1.1470f
cgtot = 7.1159f
cstot = 8.3443f
cbtot = 4.1553f
cgs = 6.0843f
```

$$C_{OXn} = 8.55m \Leftarrow C_{GS} \approx \frac{2}{3} W L C_{OX} \Rightarrow C_{OXp} = 9.12m$$

$$u_{0n} = \frac{26u}{8.55m \cdot 0.09} = 33m \Leftarrow I_D = \frac{1}{2} u_0 C_{GS} \frac{W}{L} (V_{GS} - VTH)^2 \Rightarrow u_{0p} = \frac{4.94u}{9.12m \cdot 0.073} = 7.4\,m$$

- 利用仿真结果，找到我们所使用工艺的$u_{0p,n}$, C_{ox}, V_{THn}, V_{THp}

NMOS

```
* GENERAL PARAMETERS
*
+CALCACM   = 1
+LMIN      = 1.5E-7
+WMAX      = 1.0E-4
+TOX       = '3.87E-09+DTOX_N18'
+NCH       = 3.8694000E+17
```

$$KP_n \approx 280uA/V^2$$

```
* MOBILITY PARAMETERS
*
+VSAT      = 8.2500000E+04        PVSAT     = -8.
+LUA       = 7.7349790E-19        PUA       = -1.
+UC        = 1.2000000E-10        PUC       = 1.5
+PRWB      = -0.2400000           PRWG      = 0.4
+U0        = '(3.4000000E-02)*(1+0.05*Sigma)'
+A0        = 0.8300000            KETA      = -3.
```

PMOS

```
* GENERAL PARAMETERS
*
+CALCACM   = 1
+LMIN      = 1.5E-7
+WMAX      = 1.0E-4
+TOX       = '3.74E-09+DTOX_P18'
+NCH       = 5.5000000E+17
```

$$KP_p \approx 70uA/V^2$$

```
* MOBILITY PARAMETERS
*
+VSAT      = 1.0000000E+05        UA        = 2
+PUA       = -2.0000000E-24       UB        = 1
+WUC       = 3.1668000E-17        PUC       = -
+PRWB      = -0.4000000           PRWG      = 0
+U0        = '(8.6610000E-03)*(1+0.05*Sigma)'
+A0        = 1.0000000            KETA      = 2
```

$$C_{OXn} = 8.55m \qquad C_{GS} \approx \frac{2}{3}WLC_{OX} \qquad C_{OXp} = 9.12m$$

$$u_{0n} = \frac{26u}{8.55m \cdot 0.09} = 33m \qquad I_D = \frac{1}{2}u_0 C_{GS}\frac{W}{L}(V_{GS} - VTH)^2 \qquad u_{0p} = \frac{4.94u}{9.12m \cdot 0.073} = 7.4\,m$$

- 通过公式描述V_B的取值范围（提示：晶体管M1-M4均需要工作在饱和区）

$$\begin{cases} V_{DS1} > V_{GS1} - V_{TH1} \\ V_{DS3} > V_{GS3} - V_{TH3} \end{cases}$$

$$V_{GS3} + V_{GS1} - V_{TH1} < V_B < V_{GS1} + V_{TH3}$$

$$V_{GS3} - V_{TH1} < V_B - V_{GS1} < V_{TH3}$$

减小V_{GS3}以增加V_B的取值范围

改变V_{GS1}以改变V_B的电势偏移

令 $V_{GS3} = 0.4V, V_{GS1} = 0.6V$ 得 $0.6 < V_B < 1$

- 通过公式描述V_B的取值范围（提示：晶体管M1-M4均需要工作在饱和区）

rout-vb=0.4 Nominal
rout-vb=0.5 Nominal
rout-vb=0.6 Nominal
rout-vb=0.7 Nominal
rout-vb=0.8 Nominal
rout-vb=0.9 Nominal
rout-vb=1 Nominal
rout-vb=1.1 Nominal
rout-vb=1.2 Nominal
rout-vb=1.3 Nominal
rout-vb=1.4 Nominal
Y :2.9M
Y :2.8M
Y :2.3M
Y :2.2M
Y :1.4M
Y :0.75M
2M
1M
I Mag
Freq (Hz)
10
43
100
1k
10k
100k
1M
10M

- 在Cascode电流镜中，假设有寄生电容C_{par}，利用公式估算并用仿真验证该电流镜的频率特性。（可以自由设置偏置、晶体管的尺寸以及寄生电容）

$$f_c = \frac{g_{m4}}{2\pi \cdot (1+B) \cdot C_{par}} = 0.14GHz$$

- 在Cascode电流镜中，假设有寄生电容C_{par}，利用公式估算并用仿真验证该电流镜的频率特性。（可以自由设置偏置、晶体管的尺寸以及寄生电容）

$$f_c = \frac{g_{o2}}{2\pi \cdot (1+B) \cdot C_{par}} = 796kHz$$

- 假设差分对偏置电流为200uA，W/L=20um/1um，根据理论分析和仿真验证。
  1. 计算g_m>99%*$g_{m,max}$的区间。
  2. 计算差分输出电流为198uA时的差分输入电压。
  3. 如果需要把问题2中求得的电压扩大一倍，差分对的W需要如何修改?

$$\frac{i_{Od}}{I_B} = \frac{v_{Id}}{(V_{GS}-V_T)}\sqrt{1-\frac{1}{4}\left(\frac{v_{Id}}{V_{GS}-V_T}\right)^2}$$

$$\sqrt{1-\frac{1}{4}\left(\frac{V_{ID}}{V_{GST}}\right)^2} = 99\%$$

$$V_{ID} = 0.28 \cdot V_{GST} \quad \Rightarrow \quad V_{ID} = 53m$$

NM5
n18
w=20u
l=1u
m=1
NM4
n18
w=20u
l=1u
m=1
vinp
vinn
I2
DC=200u
=Vb
vinp
vinn
V2
DC=vind/2
E0
E=-1
V3
DC=vcm

1m
X :-27m
1m
950u
900u
-100m
-80m
-60m
-40m
-20m
0
20m
40m
60m
80m
0.1

- 假设差分对偏置电流为200uA，W/L=20um/1um，根据理论分析和仿真验证。
  1. 计算g_m>99%*$g_{m,max}$的区间。
  2. 计算差分输出电流为198uA时的差分输入电压。
  3. 如果需要把问题2中求得的电压扩大一倍，差分对的W需要如何修改？

$$\frac{i_{Od}}{I_B} = \frac{v_{Id}}{(V_{GS}-V_T)}\sqrt{1-\frac{1}{4}\left(\frac{v_{Id}}{V_{GS}-V_T}\right)^2}$$

$$V_{ID} = \sqrt{2}\cdot V_{GST} \Rightarrow V_{ID} = 380m$$

V_{GST}扩大一倍 =》晶体管宽长减小到原来的1/4

200u
100u
0
-100u
-200u
DX: 0.66
Y :0.2m
W/L=20u/1u
-0.8
-0.6
-0.
[1]
-0.33
0.2
0
0.2
[2]
0.33
0.6
0.8
1

200u
100u
0
-100u
-200u
DX: 1.2
Y :0.2m
W/L=5u/1u
-0.8
[1] -0.57
-0.4
-0.2
0
0.2
0.4
[2] 0.58
0.8
1

第 13 章 HW03

Homework 3

- 自由确定晶体管的尺寸，通过仿真寻找NMOS和PMOS的1/f噪声的系数KF，以及热噪声系数γ

```
########## noise analysis result at frequency 1.0000 ##########
hierarchy
device          0:mpm0
rd              1.0068e-20
rs              228.7918a
id              1.1199p
rx              1.7474x
fn              1.1552u
total           1.1552u

hierarchy
device          0:mnm0
rd              1.5904e-20
rs              1.1918f
id              2.1533p
rx              1.7325x
fn              713.4537n
total           713.4559n

#### output noise voltage                        = 1.8687u volt^2/hz
#### output rms noise                            = 1.3670m volt/hz^(1/2)
#### equivalent input noise at vv2               = 11.6463u /hz^(1/2)
#### transfer function v(vout_inv)/vv2           = 117.3763

#### integral value of noise from 1.0000hz to 1.0000hz
#### total output noise voltage                  = 0.0000 volt
#### total input noise at vv2                    = 0.0000 volt
```

- **如何确定噪声的单位?**

- 自由确定晶体管的尺寸，通过仿真寻找NMOS和PMOS的1/f噪声的系数KF，以及热噪声系数γ

- **如何确定噪声的单位?**
  - **利用噪声的随机特性**
  - **对于不相关的噪声，总噪声为每个噪声功率之和**
  - **fn的单位应该是V^2/hz**

```
########## noise analysis result at frequency 1.0000 ##########
hierarchy
device          0:mpm0
rd              1.0068e-20
rs              228.7918a
id              1.1199p
rx              1.7474x
fn              1.1552u
total           1.1552u

hierarchy
device          0:mnm0
rd              1.5904e-20
rs              1.1918f
id              2.1533p
rx              1.7325x
fn              713.4537n
total           713.4559n

#### output noise voltage                        = 1.8687u volt^2/hz
#### output rms noise                            = 1.3670m volt/hz^(1/2)
#### equivalent input noise at vv2               = 11.6463u /hz^(1/2)
#### transfer function v(vout_inv)/vv2           = 117.3763

#### integral value of noise from 1.0000hz to 1.0000hz
#### total output noise voltage                  = 0.0000 volt
#### total input noise at vv2                    = 0.0000 volt
```

- 自由确定晶体管的尺寸，通过仿真寻找NMOS和PMOS的1/f噪声的系数KF，以及热噪声系数γ

- **如何确定噪声的单位?**
  - **利用闪烁噪声的频率特性**

$$\overline{dv_{ieqf}^2} = \frac{KF_F}{WL\,C_{ox}^2}\,\frac{df}{f}$$

  - **fn的单位应该是V^2/hz**

```
########## noise analysis result at frequency 1.0000 ##########
hierarchy
device          0:mpm0
rd              1.0068e-20
rs              228.7918a
id              1.1199p
rx              1.7474x
fn              1.1552u
total           1.1552u

########## noise analysis result at frequency 10.0000 ##########
hierarchy
device          0:mnm0
rd              1.5904e-20
rs              1.1918f
id              2.1533p
rx              1.5499x
fn              108.4840n
total           108.4862n

hierarchy
device          0:mpm0
rd              1.0068e-20
rs              228.7918a
id              1.1199p
rx              1.4997x
fn              85.5010n
total           85.5021n

#### output noise voltage                    = 193.9883n volt^2/hz
#### output rms noise                        = 440.4410u volt/hz^(1/2)
#### equivalent input noise at vv2           = 3.7524u /hz^(1/2)
#### transfer function v(vout_inv)/vv2       = 117.3763
```

- 自由确定晶体管的尺寸，通过仿真寻找NMOS和PMOS的1/f噪声的系数KF，以及热噪声系数γ

- **如何计算KF?**

$$\overline{dv_{ieqf}^2} = \frac{KF_F}{WL\,C_{ox}^2}\,\frac{df}{f}$$

  - **公式描述的是等效输入噪声**
  - **仿真给出的是输出噪声**

$$KF_N = \frac{fn}{A_0^2} \cdot WLC_{OX}^2 \cdot freq$$

$$= \frac{0.71u}{117^2} \cdot 1p \cdot 8.85^2u \cdot 1$$

$$= 4.0 \times 10^{-27}\ C/m^2$$

```
########## noise analysis result at frequency 1.0000 ##########
hierarchy
device          0:mpm0
rd              1.0068e-20
rs              228.7918a
id              1.1199p
rx              1.7474x
fn              1.1552u
total           1.1552u

hierarchy
device          0:mnm0
rd              1.5904e-20
rs              1.1918f
id              2.1533p
rx              1.7325x
fn              713.4537n
total           713.4559n

#### output noise voltage                    = 1.8687u volt^2/hz
#### output rms noise                        = 1.3670m volt/hz^(1/2)
#### equivalent input noise at vv2           = 11.6463u /hz^(1/2)
#### transfer function v(vout_inv)/vv2       = 117.3763

#### integral value of noise from 1.0000hz to 1.0000hz
#### total output noise voltage              = 0.0000 volt
#### total input noise at vv2                = 0.0000 volt
```

- 自由确定晶体管的尺寸，通过仿真寻找NMOS和PMOS的1/f噪声的系数KF，以及热噪声系数γ

- **如何计算KF?**

$$KF_P = \frac{fn}{A_0^2} \cdot WLC_{OX}^2 \cdot freq$$

$$= \frac{1.15u}{50^2} \cdot 1p \cdot 9.12^2u \cdot 1$$

$$= 3.8 \times 10^{-26}\ C/m^2$$

- **结果与课本偏差较大！**

- 自由确定晶体管的尺寸，通过仿真寻找NMOS和PMOS的1/f噪声的系数KF，以及热噪声系数γ

Freq (Hz)	1	10	100	1k	10k	100k	1M
NMOS (V^2/Hz)	0.71u	108n	16.5n	2.5n	381p	58p	8.81p
PMOS(V^2/Hz)	1.15u	85.5n	6.3n	0.47n	34.7p	2.56p	0.19p

- **PMOS: Corner Freq = 200kHz**

```
########## noise analysis result at frequency 199.5262k #
hierarchy
device            0:mnm0
rd               1.5904e-20
rs               1.1917f
id               2.1533p
rx               57.4178k
fn               32.9574p
total            35.1119p

hierarchy
device            0:mpm0
rd               1.0068e-20
rs               228.7852a
id               1.1199p
rx               14.5679k
fn               1.1748p
total            2.2948p
```

- **NMOS: Corner Freq = 5MHz**

```
########## noise analysis result at frequency 5.0119x ##
hierarchy
device            0:mnm0
rd               1.5814e-20
rs               1.1705f
id               2.1148p
rx               20.4112k
fn               2.3170p
total            4.4330p

hierarchy
device            0:mpm0
rd               1.0155e-20
rs               224.7017a
id               1.0999p
rx               10.2238k
fn               30.1403f
total            1.1302p
```

- 自由确定晶体管的尺寸，通过仿真寻找NMOS和PMOS的1/f噪声的系数KF，以及热噪声系数γ
- **如何计算γ？**
- **噪声id是什么?**

Name (Alias)	Units	Default	Description
RX			Transfers the function of thermal noise to the output. This is not noise, but is a transfer coefficient, which reflects the contribution of thermal noise to the output. For example: `V(output) = I(local)*rx`(from local to output) Where V(output) is the noise voltage at the output port, I(local) is the local noise current in the specific noise element. It is clear that rx should have an unit of impedance, therefore we call it transimpedance. By summarizing all the contributions (power) from each independent noisy element, we can get the total noise contribution(power) at the output port.
ID	V^2/Hz		Output channel thermal noise: ID = RX^2Þ (channel thermal noise)^2.
FN	V^2/Hz		Output flicker noise: FN = RX^2Þ (flicker noise)^2.
IFEX			Noise due to floating body
LGS			Shot noise due to Igs
LGD			Shot noise due to Igd

```
########## noise analysis result at frequency 1000.0000k ##########
hierarchy
device          0:mnm0
rd              1.5901e-20
rs              1.1909f
id              2.1518p
rx              32.0974k
fn              8.8115p
total           10.9645p

hierarchy
device          0:mpm0
rd              1.0071e-20
rs              228.6261a
id              1.1191p
rx              11.0028k
fn              189.7389f
total           1.3090p

#### output noise voltage                        = 12.2735p volt^2/hz
#### output rms noise                            = 3.5034u volt/hz^(1/2)
#### equivalent input noise at vv5               = 70.0167n /hz^(1/2)
#### transfer function v(vout_inv)/vv5           = 50.0361

#### integral value of noise from 100.0000khz to 1000.0000khz
#### total output noise voltage                  = 4.4767m volt
#### total input noise at vv5                    = 89.4462u volt
```

- 自由确定晶体管的尺寸，通过仿真寻找NMOS和PMOS的1/f噪声的系数KF，以及热噪声系数γ

- **如何计算γ？**

$$\overline{dv_{ieqn}^2} = 4kT\gamma/g_m$$

- **公式描述的是等效输入噪声**
- **仿真给出的是输出噪声**

$$\gamma = \frac{\frac{id}{A_0^2}\cdot g_m}{4kT}$$

```
########## noise analysis result at frequency 1000.0000k ##########
hierarchy
device          0:mnm0
rd              1.5901e-20
rs              1.1909f
id              2.1518p
rx              32.0974k
fn              8.8115p
total           10.9645p

hierarchy
device          0:mpm0
rd              1.0071e-20
rs              228.6261a
id              1.1191p
rx              11.0028k
fn              189.7389f
total           1.3090p

#### output noise voltage                        = 12.2735p volt^2/hz
#### output rms noise                            = 3.5034u volt/hz^(1/2)
#### equivalent input noise at vv5               = 70.0167n /hz^(1/2)
#### transfer function v(vout_inv)/vv5           = 50.0361

#### integral value of noise from 100.0000khz to 1000.0000khz
#### total output noise voltage                  = 4.4767m volt
```

$$\gamma_p = \frac{1.12p/\mathbf{50^2}\cdot 28u}{1.656\times10^{-20}} = 0.76 \qquad \gamma_n = \frac{2.15p/\mathbf{117^2}\cdot 66u}{1.656\times10^{-20}} = 0.63$$

- 对一偏置电流为100uA的五管OTA，通过晶体管的设计，使其等效输入噪声的80%来源于差分对M1和M2。

- **观察什么噪声?**
  - **总的噪声积分**
  - **可以先用带宽内高频的热噪声来计算**

$$\overline{dv_{ieqn,p}^2} = \frac{4kT}{g_{m,p}}, \qquad \overline{dv_{ieqn,n}^2} = \frac{4kT}{g_{m,n}}\left(\frac{g_{m,n}}{g_{m,p}}\right)^2$$

1:4

$$g_{m,p} : g_{m,n} = 4 : 1$$

- 对一偏置电流为100uA的五管OTA，通过晶体管的设计，使其等效输入噪声的80%来源于差分对M1和M2。

$$g_m \approx \mu_0 C_{ox}\frac{W}{L}(V_{GS}-V_{TH}) = \sqrt{2\mu_0 C_{ox}\frac{W}{L}I_{DS}} = \frac{2I_{DS}}{V_{GS}-V_{TH}}$$

NMOS

```
* GENERAL PARAMETERS
*
+CALCACM   = 1
+LMIN      = 1.5E-7
+WMAX      = 1.0E-4
+TOX       = '3.87E-09+DTOX N18'
+NCH       = 3.8694000E+17
```

$KP_n \approx 280uA/V^2$

```
* MOBILITY PARAMETERS
*
+VSAT      = 8.2500000E+04        PVSAT     = -8.
+LUA       = 7.7349790E-19        PUA       = -1.
+UC        = 1.2000000E-10        PUC       = 1.5
+PRWB      = -0.2400000           PRWG      = 0.4
+U0        = '(3.4000000E-02)*(1+0.05*Sigma)'
+A0        = 0.8300000            KETA      = -3.
```

PMOS

```
* GENERAL PARAMETERS
*
+CALCACM   = 1
+LMIN      = 1.5E-7
+WMAX      = 1.0E-4
+TOX       = '3.74E-09+DTOX P18'
+NCH       = 5.5000000E+17
```

$KP_p \approx 70uA/V^2$

```
* MOBILITY PARAMETERS
*
+VSAT      = 1.0000000E+05        UA        = 2
+PUA       = -2.0000000E-24       UB        = 1
+WUC       = 3.1668000E-17        PUC       = 1
+PRWB      = -0.4000000           PRWG      = 0
+U0        = '(8.6610000E-03)*(1+0.05*Sigma)'
+A0        = 1.0000000            KETA      = 2
```

$C_{OXn} = 8.55m$ $\quad C_{GS} \approx \frac{2}{3}WLC_{OX}$ $\quad C_{OXp} = 9.12m$

$u_{0n} = \frac{26u}{8.55m \cdot 0.09} = 33m$ $\quad I_D = \frac{1}{2}u_0 C_{GS}\frac{W}{L}(V_{GS}-VTH)^2$ $\quad u_{0p} = \frac{4.94u}{9.12m \cdot 0.073} = 7.4\,m$

$$g_{m,p} : g_{m,n} = 4:1$$

$$KP_p\left(\frac{W}{L}\right)_p : KP_n\left(\frac{W}{L}\right)_n = 16:1$$

$$\left(\frac{W}{L}\right)_p : \left(\frac{W}{L}\right)_n = 64:1$$

- 对一偏置电流为100uA的五管OTA，通过晶体管的设计，使其等效输入噪声的80%来源于差分对M1和M2。

$$I_D \approx \frac{1}{2}\mu_0 C_{ox}\frac{W}{L}(V_{GS}-V_{TH})^2 \Rightarrow \left(\frac{W}{L}\right)_n = \frac{1u}{500n} \qquad \left(\frac{W}{L}\right)_p = \frac{64u}{500n}$$

NMOS

```
* GENERAL PARAMETERS
*
+CALCACM   = 1
+LMIN      = 1.5E-7
+WMAX      = 1.0E-4
+TOX       = '3.87E-09+DTOX N18'
+NCH       = 3.8694000E+17
```

$KP_n \approx 280uA/V^2$

```
* MOBILITY PARAMETERS
*
+VSAT      = 8.2500000E+04        PVSAT     = -8.
+LUA       = 7.7349790E-19        PUA       = -1.
+UC        = 1.2000000E-10        PUC       = 1.5
+PRWB      = -0.2400000           PRWG      = 0.4
+U0        = '(3.4000000E-02)*(1+0.05*Sigma)'
+A0        = 0.8300000            KETA      = -3.
```

PMOS

```
* GENERAL PARAMETERS
*
+CALCACM   = 1
+LMIN      = 1.5E-7
+WMAX      = 1.0E-4
+TOX       = '3.74E-09+DTOX P18'
+NCH       = 5.5000000E+17
```

$KP_p \approx 70uA/V^2$

```
* MOBILITY PARAMETERS
*
+VSAT      = 1.0000000E+05        UA        = 2
+PUA       = -2.0000000E-24       UB        = 1
+WUC       = 3.1668000E-17        PUC       = 1
+PRWB      = -0.4000000           PRWG      = 0
+U0        = '(8.6610000E-03)*(1+0.05*Sigma)'
+A0        = 1.0000000            KETA      = 2
```

$C_{OXn} = 8.55m$ $\qquad C_{GS} \approx \frac{2}{3}WLC_{OX}$ $\qquad C_{OXp} = 9.12m$

$$u_{0n} = \frac{26u}{8.55m \cdot 0.09} = 33m \qquad I_D = \frac{1}{2}u_0 C_{GS}\frac{W}{L}(V_{GS}-VTH)^2 \qquad u_{0p} = \frac{4.94u}{9.12m \cdot 0.073} = 7.4\,m$$

- 对一偏置电流为100uA的五管OTA，通过晶体管的设计，使其等效输入噪声的80%来源于差分对M1和M2。

$$\left(\frac{W}{L}\right)_n = \frac{1u}{500n} \qquad \left(\frac{W}{L}\right)_p = \frac{64u}{500n}$$

```
########## noise analysis result at frequency 1.0000x ##########
hierarchy
device          0:mnm5
rd              1.0525e-20
rs              89.4038a
id              67.3377f
rx              10.7077k
fn              1.1576p
total           1.2250p

hierarchy
device          0:mnm4
rd              9.8855e-21
rs              83.9735a
id              63.2477f
rx              10.3775k
fn              1.0873p
total           1.1506p

hierarchy
device          0:mpm0
rd              8.7610e-22
rs              76.3880a
id              212.5966f
rx              1.0673k
fn              3.7697f
total           216.4426f

hierarchy
device          0:mpm1
rd              8.7623e-22
rs              76.3878a
id              212.5949f
rx              1.0673k
fn              3.7697f
total           216.4410f

#### output noise voltage                    = 2.8085p volt^2/hz
#### output rms noise                        = 1.6759u volt/hz^(1/2)
#### equivalent input noise at vv4           = 6.7998n /hz^(1/2)
#### transfer function v(vout)/vv4           = 246.4585
```

- 对一偏置电流为100uA的五管OTA，通过晶体管的设计，使其等效输入噪声的80%来源于差分对M1和M2。

$$\overline{dv_{n,p}^2} = 432.88f\ V^2/Hz$$

- **由于NMOS的1/f噪声远大于热噪声，差分对噪声占比只有15%**

```
########## noise analysis result at frequency 1.0000x ##########
hierarchy
device          0:mnm5
rd              1.0525e-20
rs              89.4038a
id              67.3377f
rx              10.7077k
fn              1.1576p
total           1.2250p

hierarchy
device          0:mnm4
rd              9.8855e-21
rs              83.9735a
id              63.2477f
rx              10.3775k
fn              1.0873p
total           1.1506p

hierarchy
device          0:mpm0
rd              8.7610e-22
rs              76.3880a
id              212.5966f
rx              1.0673k
fn              3.7697f
total           216.4426f

hierarchy
device          0:mpm1
rd              8.7623e-22
rs              76.3878a
id              212.5949f
rx              1.0673k
fn              3.7697f
total           216.4410f

#### output noise voltage                    = 2.8085p volt^2/hz
#### output rms noise                        = 1.6759u volt/hz^(1/2)
#### equivalent input noise at vv4           = 6.7998n /hz^(1/2)
#### transfer function v(vout)/vv4           = 246.4585
```

- 对一偏置电流为100uA的五管OTA，通过晶体管的设计，使其等效输入噪声的80%来源于差分对M1和M2。

$$\left(\frac{W}{L}\right)_p = \frac{64u}{500n} \qquad \left(\frac{W}{L}\right)_n = \frac{1u}{500n}$$

增加电流镜面积

$$\left(\frac{W}{L}\right)_n = \frac{5u}{5u} \qquad \left(\frac{W}{L}\right)_n = \frac{10u}{5u}$$

减小电流镜gm

- **通过同样的方法计算，差分对的噪声为总噪声的78%**

```
########## noise analysis result at frequency 1.0000x ##########
hierarchy
device          0:mpm0
rd              2.0698e-21
rs              140.3950a
id              394.9633f
rx              1.4545k
fn              6.8883f
total           401.9920f

hierarchy
device          0:mpm1
rd              2.0674e-21
rs              140.3925a
id              394.9424f
rx              1.4544k
fn              6.8879f
total           401.9707f

hierarchy
device          0:mnm5
rd              7.8555e-22
rs              62.9005a
id              92.4460f
rx              2.6765k
fn              27.2611f
total           119.7700f

hierarchy
device          0:mnm4
rd              7.3669e-22
rs              59.2449a
id              87.0605f
rx              2.5974k
fn              25.6730f
total           112.7928f

#### output noise voltage                        = 1.0365p volt^2/hz
#### output rms noise                            = 1.0181u volt/hz^(1/2)
#### equivalent input noise at vv4               = 3.0484n /hz^(1/2)
#### transfer function v(vout)/vv4               = 333.9804

#### integral value of noise from 1.0000hz to 1.0000xhz
#### total output noise voltage                  = 1.3404m volt
#### total input noise at vv4                    = 3.9953u volt
```

第 14 章 HW04-05

Homework 4

课后作业

- 对一偏置电流为100uA的五管OTA，共模电压为0.9V，设计晶体管的尺寸，
  1. 使其在单位增益负反馈时系统性失调小于**0.1mV**；
  2. 使其随机性失调的标准差（std）小于**1mV**；
  3. 使其共模抑制比大于 **50dB**。

课后作业

- 对一偏置电流为100uA的五管OTA，共模电压为0.9V，设计晶体管的尺寸，
  1. 使其在单位增益负反馈时系统性失调小于**0.1mV**；

消除系统性失调 ➡ $V_2=V_1=0.9V$

$$V_{GST3,4} = 500mV$$

$$\left(\frac{W}{L}\right)_{3,4} = 1.4:1$$

课后作业

- 对一偏置电流为100uA的五管OTA，共模电压为0.9V，设计晶体管的尺寸，
  2. 使其随机性失调的标准差（std）小于**1mV**；

$$V_{OS} = \Delta V_{T1} + \frac{g_{m3}}{g_{m1}}\Delta V_{T3} + \frac{V_{GST1}}{2}S$$

$$S = \frac{\Delta W/L_1}{W/L_1} + \frac{\Delta W/L_3}{W/L_3}$$

课后作业

- 对一偏置电流为100uA的五管OTA，共模电压为0.9V，设计晶体管的尺寸，
  2. 使其随机性失调的标准差（std）小于**1mV**；

$$\sigma_{\Delta VT} = \frac{A_{VT}}{\sqrt{WL}}$$

2 (mV*um)

$$\frac{\Delta W/L}{W/L} = A_{WL}\sqrt{\frac{1}{W^2}+\frac{1}{L^2}}$$

1.8 (%*um)

+50 % for pMOST

$$V_{OS} = \Delta V_{T1} + \frac{g_{m3}}{g_{m1}}\Delta V_{T3} + \frac{V_{GST1}}{2}S$$

$$S = \frac{\Delta W/L_1}{W/L_1} + \frac{\Delta W/L_3}{W/L_3}$$

1. 将S项忽略

2. 令gm1=gm3，简化设计

课后作业

- 使其随机性失调的标准差（std）小于**1mV**；

考虑差分对，考虑正态分布

$$\sigma_{\Delta VT} = \frac{A_{VT}}{\sqrt{WL}}$$

2 (mV*um)

$$\sigma V_{T1} = \sigma V_{T3} = 0.5mV$$

$$WL_3 = 16um^2$$

$$WL_1 = 36um^2$$

$$\left(\frac{W}{L}\right)_{3,4} = \frac{4.7u}{3.4u} \qquad \left(\frac{W}{L}\right)_{1,2} = \frac{36u}{1u}$$

仿真结果

0.9004
0.9002
0.9
0.8998
0.8996
U
X:-0.43m
Y:0.9
X:0.28m
Y:0.9
0.89
-1m
-800u
-600u
-400u
-200u
0
200u
400u
600u
800u
1m

课后作业

- 对一偏置电流为100uA的五管OTA，共模电压为0.9V，设计晶体管的尺寸，
  3. 使其共模抑制比大于 **50dB**。

$$CMRR_s = 2g_{m1}g_{m3}R_B \cdot (r_{02}||r_{04})$$

$$g_{m1} = 635u, \quad g_{m3} = 208u,$$
$$g_{ds2} = 1.89u, \quad g_{ds4} = 0.85u$$

$$R_B > \sim 3K\Omega$$

课后作业

- 对一偏置电流为100uA的五管OTA，共模电压为0.9V，设计晶体管的尺寸，
  3. 使其共模抑制比大于 **50dB**。

$$CMRR_r = \frac{V_E L_B}{V_{OS}}$$

$$L_B > \sim 10nm$$

仿真结果

RLO=1 Nominal
RLO=2 Nominal
RLO=3 Nominal
RLO=4 Nominal
RLO=5 Nominal
RLO=6 Nominal
RLO=7 Nominal
RLO=8 Nominal
RLO=9 Nominal
LO=10 Nominal
LO=11 Nominal
LO=12 Nominal
LO=13 Nominal
LO=14 Nominal
LO=15 Nominal
LO=16 Nominal
- Mag @ DB20
70db
65db
60db
55db
50db
45db
40db
Freq (Hz)
1
10
100
1k
10k
100k
1M
10M

Homework Analysis 1-4

作业平均分
80.0
75.0
70.0
65.0
60.0
55.0
50.0
45.0
40.0
0
1
2
3
4
5
63.2
74.1
57.5
54.3
单次平均分
合计平均分

Homework 5

- **已知要求GBW=50MHz，CL=5pF。设计一相位裕度大于70°的米勒运放。通过仿真结果，给出该设计运放的：**
  1. **FOM**
  2. **相位裕度**
  3. **输入等效总噪声**

1. 选择 α β γ
2. 找到满足GBW最小的f_T
3. 根据增益要求选择L_6
   - 得到f_{TH6}
4. 根据C_L和L_6计算W_6

- 2 3 **3**
- f_T=1.2GHz
- L_6=0.2um

  f_{TH6}=30GHz => **i=0.04**
- **W_6=375um**

C_{GS}=2kW, k = 2fF/um, for minL

- **已知要求GBW=50MHz，CL=5pF。设计一相位裕度大于70°的米勒运放。通过仿真结果，给出该设计运放的：**
  1. **FOM**
  2. **相位裕度**
  3. **输入等效总噪声**

5. 根据I_{DSH6}和反型系数i计算I_{DS6}
   - KP_n=280uA/V^2
6. 通过选择的 α 和C_L计算C_C
7. 通过C_C计算g_{m1}和I_{DS1}

- I_{DSH6}=10.5mA
- I_{DS6}**=**10.5m*0.04=**420uA**
- C_C=2.5pF
- g_{m1}=785u
- I_{DS1}=**78.5uA**
- W1/L1=**28u/0.5u**

Loop Gain仿真

vdda
1.8
vdda
I0
vin
900m
vinp
test
vout
897.306m
vout
897.306m
vinn
1.1708
ibp_100u
ibp_100u
gnda
vin
900m
V1
DC=vin
vcm
900m
vdda
1.8
V0
DC=1.8
0.0
900m
V2
DC=0.9
0.0
ibp100u
1.1708
I2
DC=100u
0.0
0.0
897.306m
V3
DC=0
897.306m
vout
A_o=V(vout)/V(vinn)

仿真结果

[PM0]
region = Saturati
id = -78.1278u
ibs = 5.6807e-20
ibd = 14.4282a
vgs = -639.5856m
vds = -879.1882m
vbs = 0.0000
vth = -443.6520m
vdsat = -193.9362m
vod = -195.9335m
gm = 702.9307u
gds = 3.8089u
gmb = 224.1048u
cdtot = 34.9319f
cgtot = 108.1365f
cstot = 134.3769f
cbtot = 83.6754f
cgs = 89.2852f
cgd = 11.7448f
i1 = -78.1278u
i2 = 0.0000
i3 = 78.1278u
i4 = 879.2027f

[NM2]
region = Cutoff
id = 406.0396u
ibs = -2.6970e-19
ibd = -289.8949p
vgs = 421.6335m
vds = 920.4203m
vbs = 0.0000
vth = 473.4460m
vdsat = 54.1268m
vod = -51.8125m
gm = 8.8316m
gds = 170.2431u
gmb = 2.3050m
cdtot = 338.3632f
cgtot = 488.4598f
cstot = 515.2213f
cbtot = 629.1785f
cgs = 221.5820f
cgd = 137.2870f
i1 = 406.0399u
i2 = 0.0000
i3 = -406.0396u
i4 = -312.9054p

仿真结果

oop_gain Nominal
- Mag @ DB20
60db
40db
20db
0db
-20db
Y :0.19db
oop_gain Nominal
- Phase
150
100
50
0
Y :80
Freq (Hz)
100
1k
10k
100k
1M
10M
54M
1G

第 15 章 HW06

Homework 6

课后习题

- 已知要求GBW_{DM}=50MHz，GBW_{CM}=100MHz, C_L=5pF。设计一共模&差模相位裕度均大于70°的运放。通过仿真给出：
  - 差模增益
  - 功耗
  - 共模抑制比CMRR

- 差模-蓝色
- 共模-红色
- 偏置-黑色

电路图过于老旧，其架构不适合我们工艺所要求的1.8V电源电压

$V_{OUT}-V_{GS5}=V_{r2}$

$V_{r2}-V_{GS7}>V_{DSat}$

$V_{OUT}+V_{GS1}<V_{DD}-V_{DSat}$

$$V_{GS5}+V_{GS7}+V_{DSat}<V_{OUT}<V_{DD}-V_{DSat}-V_{GS1}$$

假设$V_{GS}=0.7$，$V_{DSat}=0.2V$ → $1.6V<V_{OUT}<1.1V$

方案1：使用3.3V电源　**方案2：弱反型区电路**　**方案3：修改电路**

Homework 6

Solution 1: Using 3.3V supply

- GBW_{DM}=50MHz，C_L=5pF

$$GBW_{DM} = \frac{g_{m1}}{2\pi C_L}$$

$$g_{m1} = GBW_{DM} \cdot 2\pi C_L = 1.57mA/V$$

合理假设g_m/I_D=10, V_{GST}=0.2

$$I_{D1} = 157uA$$

又根据 $I_D = \frac{1}{2} KP_P \frac{W}{L} (V_{GS} - V_{TH})^2$

得到 $\left(\frac{W}{L}\right)_1 = \frac{2I_D}{KP_P \cdot (V_{GS} - V_{TH})^2} = \frac{2 \cdot 157u}{70u \cdot 0.04} = 112$

不妨先设 $\left(\frac{W}{L}\right)_1 = \frac{56u}{500n}$

- GBW_{CM}=100MHz，C_L=5pF

$$GBW_{CM} = \frac{g_{m7}}{4\pi C_L}$$

$$g_{m7} = GBW_{CM} \cdot 4\pi C_L = 6.28mA/V$$

合理假设g_m/I_D=10, V_{GST}=0.2

$$I_{D7} = 628uA$$

还根据 $I_D = \frac{1}{2} KP_N \frac{W}{L} (V_{GS} - V_{TH})^2$

得到 $\left(\frac{W}{L}\right)_7 = \frac{2I_D}{KP_N \cdot (V_{GS} - V_{TH})^2} = \frac{2 \cdot 628u}{280u \cdot 0.04} = 112$

不妨再设 $\left(\frac{W}{L}\right)_7 = \frac{56u}{500n}$

已知 $I_{D7} = 628uA$

得到 $I_{D4} = 628uA$

$I_{D3} = 628uA$

$I_{B2} = 1.256mA$

已知 $I_{D1} = 157uA$

得到 $I_{B1} = 314uA$

根据I_{D4}和I_{D1}得到 $I_{D2} = 785uA$

全部假设g_m/I_D=10, V_{GST}=0.2

$$r_{DS} = \frac{V_E L}{I_{DS}} = \frac{40 \cdot 0.5}{628u} \approx 30k$$

晶体管	M1	M2	M3	M4	M5	M6	M7
尺寸(um)	56/0.5	70/0.5	56/0.5	224/0.5	?	?	56/0.5

源极跟随器的频率响应较为复杂，具体内容参考《电子电路》课件CH6+频率响应，这里不做具体要求：

源随器主极点：

$$\frac{1}{R_S C_{GD} + \frac{C_L + C_{GS}}{g_m}}$$

源随器主极点就是Net5处极点

因为源随器的C_L的较小，g_m和C_{GS}的要求就是特征频率

因此，W/L=36u/180n, I_D=1.12mA可以支持50GHz ➡ 降低电流至112uA

晶体管	M1	M2	M3	M4	M5	M6	M7
尺寸(um)	56/0.5	70/0.5	56/0.5	224/0.5	36/0.18	10/0.5	56/0.5

源极跟随器的频率响应较为复杂，具体内容参考《电子电路》课件CH6+频率响应，这里不做具体要求：

源随器驱动能力：

112uA的驱动电流，如果想要支持1Vpp的摆幅，电阻R_a至少需要4.46K Ohm，考虑到负载电阻上的电流消耗，R_a取10K Ohm.

晶体管	M1	M2	M3	M4	M5	M6	M7
尺寸(um)	56/0.5	70/0.5	56/0.5	224/0.5	36/0.18	10/0.5	56/0.5

仿真得到:

- r_{04}=25.5K
- g_{m1}=1.41m

计算得到:

- A_0=31.1dB
- GBW=44.9M

增加g_{m1} by 增加电流I_{B1}
或增加$(W/L)_1$

修改$(W/L)_1$=56/0.25后

- A_0=34.2dB
- GBW=61.1M

✓ 增益的瓶颈在于M4的电阻值，因此降低M1的长度不会降低增益

晶体管	M1	M2	M3
尺寸(um)	56/0.5	70/0.5	56/0.5
	56/0.25		

增加r_{04} by 增加L_4

- ✓ r_{04}上升至78K
- ✓ GBW保持不变，增益上升9dB至43.9dB

晶体管	M1	M2	M3	M4	M5	M6	M7
尺寸(um)	56/0.5	70/0.5	56/0.5	224/0.5	36/0.18	10/0.5	56/0.5
	56/0.25			224/2			

共模测试，差分信号采取开环设置，否则V_{out}的值在作用在共模反馈差分对M7的同时，也将通过差模反馈回路作用到M1

- 经过仿真，g_{m7}=5.6mA/V，略低于所需要的6.28mA/V。
- 发现相位裕度只有29度，次极点出现在34.5M左右(相移135度)。

可能出现次极点的位置?

- Net3

RC组成的次极点显而易见

- Net4

Net4对于差模信号回路只是偏置；但是，对于共模反馈却是信号回路的一部分

Net3: 反馈电阻R=10K的情况下

- C_{GS7}=130f
- f_{nd}=244M

Net4:

- C_{G4}=2.74pF
- g_{m4}=2.39m
- f_{nd}=46M

减小M4的尺寸，会使得增益再次减小，在没有增益要求的时候，可以如此修改。

W/L_4重新改小一半，Net5:

- C_{G4}=0.67pF
- PM=65
- f_{nd}=130M

在稍修改M7尺寸后

- GBW=101M
- PM=60.3

晶体管	M1	M2	M3	M4	M5	M6	M7
尺寸(um)	56/0.5	70/0.5	56/0.5	224/2	36/0.18	10/0.5	56/0.5
修改后	56/0.25			112/1			80/0.2

课后习题

- 将上述设计的差分运放，通过电阻设置成10倍放大，观察输入差模和共模信号分别有100mVpp，10kHz的正弦信号时，差模输出信号的大小，并分析是否符合预期。

$$\begin{cases} \dfrac{V_{out}-V_t}{10R}=\dfrac{V_t-V_{in}}{R} \\ V_{out}=-A\cdot V_t \end{cases}$$

从之前的仿真结果知晓：

- A_0=34.2dB=51

$$V_{out}=-\frac{10\cdot A}{A+11}\cdot V_{in}=-8.2\times V_{in}$$

- 输入：差分100mV
- 由于有限的增益，导致运放的输入端无法实现“虚短”的特性，出现了20mV的输入
- 由于有限的增益，运放无法按电阻的比例进行放大

- 输入：共模100mV
- 由于电路的全对称结构，因此没有系统性失调的存在，差分输出约等于0
- 输出的共模变化为71uV，由于共模反馈环路的存在，共模输入/共模输出的CMRR从原来的18dB增加到57dB，增加量即为共模反馈的**环路增益（39dB）**

Homework 6

Solution 2: Using Weak Inversion

电路图过于老旧，其架构不适合我们工艺所要求的1.8V电源电压

$V_{OUT}-V_{GS5}=V_{r2}$

$V_{r2}-V_{GS7}>V_{DSat}$

$V_{OUT}+V_{GS1}<V_{DD}-V_{DSat}$

$$V_{GS5}+V_{GS7}+V_{DSat}<V_{OUT}<V_{DD}-V_{DSat}-V_{GS1}$$

假设V_{GS}=0.3V，V_{DSat}=0.1V ➡ 0.7V< V_{OUT} <1.4V

- GBW_{DM}=50MHz，C_L=5pF

$$GBW_{DM} = \frac{g_{m1}}{2\pi C_L}$$

$$g_{m1} = GBW_{DM} \cdot 2\pi C_L = 1.57mA/V$$

$$g_{m7} = GBW_{CM} \cdot 4\pi C_L = 6.28mA/V$$

合理假设g_m/I_D=20

$$I_{D1} = 79uA$$

$$I_{D7} = 314uA$$

晶体管	M1	M2	M3	M4	M5	M6	M7
尺寸(um)	?	35/0.5	56/0.5	56/0.5	?	10/0.5	?

仿真得到:

- GBW_{DM}=58M
- PM=82

晶体管	M1	M2	M3	M4	M5	M6	M7
尺寸(um)	224/0.2	35/0.5	56/0.5	56/0.5	144/0.18	10/0.5	224/0.2

仿真得到:

- GBW_{CM}=48M
- PM=22

显然次极点出现导致GBW不足以及PM过小。

通过同样的分析，发现Net4的极点在800M，Net3的极点在38M。

因此需要：1.减小R_a的阻值；2.增加g_{m5}的值；3.增加I_5以增加驱动能力

晶体管	M1	M2	M3	M4	M5	M6	M7
尺寸(um)	224/0.2	35/0.5	56/0.5	56/0.5	144/0.18	10/0.5	224/0.2
						40/0.5	

课后习题

- 将上述设计的差分运放，通过电阻设置成10倍放大，观察输入差模和共模信号分别有100mVpp，10kHz的正弦信号时，差模输出信号的大小，并分析是否符合预期。

从之前的仿真结果知晓：

- A_0=34.2dB=51 ⇦ 与之前没有区别

$$\begin{cases} \dfrac{V_{out}-V_t}{10R}=\dfrac{V_t-V_{in}}{R} \\ V_{out}=-A\cdot V_t \end{cases}$$

$$V_{out}=-\frac{10\cdot A}{A+11}\cdot V_{in}=-8.2\times V_{in}$$

- 输入：差分100mV
- 由于驱动力以及电压裕度的不足，输出信号出现了明显的失真

- 输入：共模100mV
- 由于电路的全对称结构，因此没有系统性失调的存在，差分输出约等于0
- 输出的共模变化为86uV，由于共模反馈环路的存在，共模输入/共模输出的CMRR表现优异。

Homework 6

Solution 3: Using different circuit configuration

电路图过于老旧，其架构不适合我们工艺所要求的1.8V电源电压

$V_{OUT}-V_{GS5}=V_{r2}$

$V_{r2}-V_{GS7}>V_{DSat}$

$V_{OUT}+V_{GS1}<V_{DD}-V_{DSat}$

$$V_{GS5}+V_{GS7}+V_{DSat}<V_{OUT}<V_{DD}-V_{DSat}-V_{GS1}$$

✓ **我们可以在共模反馈回路中使用PMOS差分对！**

采用PMOS后，电路的静态工作区间要求变成了：

$V_{OUT}-V_{GS5}=V_{r2}>V_{DSat}$

$V_{r2}<VDD-V_{DSat}-V_{GS7}$

$V_{OUT}+V_{GS1}<V_{DD}-V_{DSat}$

$$\begin{cases} V_{OUT}<V_{DD}-V_{DSat}-V_{GS1} \\ V_{GS5}+V_{DSat}<V_{OUT}<V_{DD}-V_{DSat}+V_{GS5}-V_{GS7} \end{cases}$$

$$V_{GS5}+V_{DSat}<V_{OUT}<V_{DD}-V_{DSat}-V_{GS1}$$

✓ 输出范围增大了一个V_{GS}

Homework 7

- 设计一轨到轨输入的单级运放，要求指标：
  - V_{DD}=1.8V
  - GBW=100MHz, C_L=10pF，PM=60

- 因为GBW较高，采用强反型区，因此使用下图电路：

- 单级运放，采用最简单的电流镜有源负载

第 16 章 HW07

Homework 7

课后作业

- 设计一轨到轨输入运放，要求指标：
  - V_{DD}=1.8V
  - GBW=100MHz, C_L=10pF
- 完成设计后给出以下参数：
  - PM?
  - FOM?
  - 0.4V-1.4V区间内的系统失调电压
  - 0.4V-1.4V区间内的GBW偏差

- **0.4V-1.4V区间内的系统失调电压**

$$A_{v1} = g_{m1}\, r_{02} // r_{04}$$

$$\boxed{v_{OS} = \frac{\Delta V_{DS1}}{A_{v1}} +}$$

$$\Delta V_{T1} + \frac{g_{m3}}{g_{m1}} \Delta V_{T3}^{*} +$$

$$+ \frac{V_{GS1} - V_T}{2} S$$

$$S = \frac{\Delta K'_n}{K'_n} + \frac{\Delta K'_p}{K'_p} + \frac{\Delta W/L_1}{W/L_1} + \frac{\Delta W/L_3}{W/L_3}$$

- 系统性失调由电流镜两边晶体管V_{DS}的不同造成
- 对于1.4V和0.4V的V_{DS}进行优化
- 可以通过**提升增益**减小V_{OS}

- **0.4V-1.4V区间内的GBW偏差**

$V_{rn}<V_{DD}-V_{GS,rn}-V_{dsat}$

$V_{rn}>V_{CM}+2.8V_{GST}$

$V_{rp}>V_{GS,rp}+V_{dsat}$

$V_{rp}<V_{CM}-2.8V_{GST}$

$V_{CM}+2.8V_{GST}<V_{rn}<V_{DD}-V_{GST}-V_{THp}-V_{dsat}$

$V_{GST}+V_{THn}+V_{dsat}<Vrp<V_{CM}-2.8V_{GST}$

V_{GST}~100mV

3倍的电流可能使gm超过2倍 ⟶ 分离控制晶体管与差分对

- **设计一轨到轨输入的单级运放，要求指标：**
  - V_{DD}=1.8V
  - GBW=100MHz, C_L=10pF，PM=60

$$g_m = GBW \cdot 2\pi \cdot C_L = 75M \cdot 6.28 \cdot 10p = 4.71mA/V$$

$$I_D = \frac{g_m}{10} = 480uA$$

$$\left(\frac{W}{L}\right)_n = \frac{150u}{1u} \qquad \left(\frac{W}{L}\right)_p = \frac{300u}{0.5u}$$

- **增大M_{rn}和M_{rp}的宽长比，不妨设：**

$$\left(\frac{W}{L}\right)_{rn} = \frac{150u}{0.2u} \qquad \left(\frac{W}{L}\right)_{rp} = \frac{600u}{0.2u}$$

作业中出现的问题：

- **GBW的设计只满足>100M，没有做到平衡**
- **通过改变电流镜比例来克服线性区的问题欠妥**
- **只使用最小长度，导致V_{OS}变化偏大**
- **FOM的计算没有囊括所有电流**

FOM=120M*10p/3.25m=369 MHzpF/mA

第 17 章 HW08

Homework 8

- 设计一个线性跨导回路的Class-AB运放，其中：
  - V_{DD}=1.8V, V_{SS}=0V, V_{CM}=0.9V
  - C_L=10pF, R_L=32ohm
  - 差模输入Vpp=100mV，输入频率200kHz，放大倍数10

- 要求指标：
  - 要求输出正弦波峰-峰值大于950mV
  - 运放静态功耗小于1.5mA

线性跨导回路：输出级增益

- 可以将偏置晶体管M3A和M4A并联，使其各自的电流动态调整

- **思路：**

1. **根据x10的放大倍数和下式，确定所需的DC增益**

$$V_{out} = -\frac{10 \cdot A_0}{A_0 + 11} \cdot V_{in}$$

   - **根据公式，DC增益至少需要210，按照1000设计比较保险**

2. **根据x10的放大倍数和输入频率估计GBW**
   - **GBW最低要求为10*200K=2M, 按照10M进行设计**
3. **根据所需要的输出电流预估线性跨导回路尺寸和偏置**
   - **按照1Vpp的输出电压，峰值电流需要0.5/32=15mA**
   - **峰值输出时，VDS=0.4V，因此峰值下$V_{GS}<0.4+V_{TH}$**

- **根据所需要的输出电流预估线性跨导回路尺寸和偏置**
  - **峰值输出时，VDS=0.4V，因此尺寸设计按照V_{GST}=0.4V**

$$I_{D,A1} = 15mA$$

$$\left(\frac{W}{L}\right)_{A1} = \frac{2I_D}{KP_N \cdot (V_{GS} - V_{TH})^2} = \frac{2 \cdot 15m}{280u \cdot 0.16} = 672$$

$$I_{D,A2} = 15mA$$

$$\left(\frac{W}{L}\right)_{A2} = \frac{2I_D}{KP_P \cdot (V_{GS} - V_{TH})^2} = \frac{2 \cdot 15m}{70u \cdot 0.16} = 2688$$

- **根据x10的放大倍数和输入频率估计GBW**
  - **GBW最低要求为10*200K=2M, 按照10M进行设计; C_L=10pF**

$$f_{nd} = 3 \cdot GBW = 30MHz$$

$$g_{m,A1/2} = \frac{4}{3} f_{nd} \cdot 2\pi C_L = 40M * 62.8p = 2.5mA/V$$

$$I_{dDC,A1/2} = 250uA$$

- **静态电流是峰值电流的1/60**
- **在此情况下V_{GST}=50mV，晶体管开始趋于弱反型区**

$$g_{m,I1/2} = GBW \cdot 2\pi C_C = 10M * 31.8p = 318uA/V$$

$$I_{dDC,I1/2} = 40uA$$

- **根据x10的放大倍数和输入频率估计GBW**
  - **GBW最低要求为10*200K=2M, 按照10M进行设计; C_L=10pF**

- **假设M_{A4}的尺寸是$M_{A9/10}$的两倍，$I_{DS9}=I_{DS4}$，则有电流关系：**

$$\frac{I_{DS2}}{I_{DS9}} = \frac{W/L_2}{W/L_9}\left(2-\frac{1}{\sqrt{2}}\right)^2$$

- **令M_{A3}和M_{A4}平分40uA电流，则可求得$M_{A5\text{-}10}$的尺寸：**

$$\left(\frac{W}{L}\right)_{A5/6} = 90 \qquad \left(\frac{W}{L}\right)_{A9/10} = 360$$

$$\left(\frac{W}{L}\right)_{A3} = 180 \qquad \left(\frac{W}{L}\right)_{A4} = 720$$

80uA
80uA
20uA
20uA
250uA
PM3
44u
=2u
n=4
p18
vbp1
PM2
w=44u
l=2u
m=4
PM7
w=9u
l=200n
m=8
PM9
w=44u
l=2u
m=1
vbp1
PM8
w=9u
l=200n
m=8
PM10
w=33.6u
l=200n
m=16
vpdrive
PM5
44u
00n
n=4
vbp2
PM4
w=44u
l=200n
m=4
Cc
C0
Cc
C1
NM8
w=9u
l=200n
m=4
vpdrive
PM6
w=9u
l=200n
m=16
vbnx
vbpx
NM12
w=33.6u
l=200n
m=4
vinp
vndrive
NM7
=22u
m=1
NM6
w=22u
l=200n
m=1
vbn2
vndrive
vbnx
NM10
w=9u
l=200n
m=2
NM5
=22u
l=4u
m=1
NM4
w=22u
l=4u
m=1
NM9
w=11u
l=4u
m=1
vbn1
NM11
w=9u
l=200n
m=2
40uA
40uA
20uA
20uA
250uA

- **DC电流偏置基本正确!**
- **P-N电流基本平衡**
- **输出级静态电流比设计大50%，主要由于二次项的关系在接近弱反型区后不在成立**

- **P-N偏置电流调整思路**
- **从NMOS通过的电流较小，意味着：**
- **电路需要更小的V_{GSn}才能使得P-N达到平衡**
- **增加$(W/L)_n$即可在较大的电流下提供更小的V_{GSn}**

- **增加$(W/L)_n$: 从原来的36u/0.2u增加至48u/0.2u**
- **P-N电流基本上平衡**
- **输出级电流也会有所变化**

LoopGain Nominal
Y:99
DC Gain=99dB
50
0
GBW=12M
Y :-0.17
Phase Nominal
100
Phase
0
-100
Y :77
PM=77°
DC 电流功耗=800uA
Freq (Hz)
1
10
100
1k
10k
100k
1M
10
12M
100M
1G

Transient
Sun Nov 8 11:25:39 2020 1
Name
/vin
/vout
/I0/PM18/D
/I0/NM20/D
V (V)
1.4
1.2
1.0
0.8
0.6
0.4
I (mA)
16.0
12.0
8.0
4.0
0.0
-4.0
-8.0
-12.0
-16.0
0.0
1.0
2.0
3.0
4.0
5.0
6.0
7.0
8.0
9.0
10
time (us)
$V_{OUT,PP}$=962mV
交越失真
PMOS和NMOS交替输出电流

第三部分

教程

第 18 章 Aether 入门教程

北航微电子学院 Aether 入门教程 - 0

1. 电脑及账号设置

用户需要通过 SSH 工具连接至服务器，并创建一个 VNC 服务，以下通过 MobaXterm 为例演示：

1. 创建 SSH 连接
   a) 打开 MobaXterm
   b) 在 Session 中选择 SHH
   c) 在 Remote host 中输入服务器地址 10.111.3.128
   d) 按下回车或 OK

2. 双击刚建立的 session，然后再登陆界面输入你的账号和密码(你的名字小写拼音，例如张三的账户和密码就是 zhangsan)，登陆成功后会看到如下界面

3. 创建 VNC 连接：在命令行中输入 *vncserver*，系统将自动建立一个 VNC，其中冒号后面的数字是需要记住的

序列号，如图中的 5。第一次创建时需要设置一个密码，推荐简单好记的。

```
Last login: Wed Sep  9 23:29:37 2020 from 127.0.0.1
[yuanqi@localhost ~]$ vncserver

You will require a password to access your desktops.

Password:
Verify:
Would you like to enter a view-only password (y/n)? n
A view-only password is not used


New 'localhost.localdomain:5 (yuanqi)' desktop is localhost.localdomain:5

Starting applications specified in /home/teacher/yuanqi/.vnc/xstartup
Log file is /home/teacher/yuanqi/.vnc/localhost.localdomain:5.log
```

4. 通过 VNC 软件登陆到 VNC 服务器：例如打开 TigerVNC 后，在服务器名称中输入服务器的 IP 地址加上之前生成的序列号，比如 10.111.3.128:5。然后点击连接。

2. Aether 环境加载

1. 在桌面点击右键并选择打开一个端口 open in terminal:

2. 因为默认的文件目录是 Desktop，我们需要创建一个新的文件夹并进入文件夹：
   - *mkdir Aether*
   - *cd Aether*

3. 在端口中输入如下命令来加载 cadence 的启动环境，并用命令 *virtuoso* 打开 Aether 软件：
   - *source /opt/EDA/empyrean/setup.bash*
   - *aether*

```
[yuanqi@localhost Aether]$ source  /opt/EDA/empyrean/setup.bash
[yuanqi@localhost Aether]$ aether
LC_Check out license DM version 1.0...

                    Empyrean Aether
          Version 2019.12(optNAT), Build on 01/15/2020
                  For [linux26-x86_64]
                Copyright (c) 2009-2020
            Huada Empyrean Software Co.,Ltd.
                  ALL RIGHTS RESERVED
```

4. 之后将能看到 Aether 软件的主界面 **DM** (Design Manager):

5. 最后我们需要加载工艺库文件，在 Tools 中找到 Library Path Editor，

并输入我们使用的工艺库名称 018um_PDK 和路径/opt/PDK/DEMO/018um_PDK

6. 现在我们就可以开始我们的设计和仿真了

第 19 章 Aether DC 仿真

北航微电子学院 Aether 入门教程 - 1

1. MOS 管仿真

通过这个教程，你将学会如何利用 Aether 的 DC 仿真器和查看仿真结果，从而对三极管的工作区域有基础的了解。

1. 在 Design Manager 中通过 File -> New Library 创建一个新的库，可命名任意名字：

在弹出的窗口的工艺 Technology 中选择 Attach to library 并选择我们之前加载过的 018um_PDK。

2. 在 DM 中通过 File -> New Cell/View 在我们新建的库中创建一个 cell, Type 选择 Schematic，单击 OK 确定：

3. 一个 schematic editing 窗口将会出现，其中我们常用到的功能有：

- Edit Properties - 快捷键 q
- Add Instances - 快捷键 i
- Create Narrow Wire - 快捷键 w
- Create Wire Label - 快捷键 l
- Create Pin - 快捷键 p

首先我们通过 Add Instances 添加一个属于 018um_PDK 工艺的 NMOS 场效应管，我们可以选中添加的

器件后，通过 Edit Properties 修改器件的属性，比如将该场效应管的宽度和长度分别改为 W 和 L：

4. 接着我们搭建这个会加载在该器件上的电压，我们将分别添加 analogLib 库中的电源 vdc 和 basic 库中的地 gnd。其中设置门极的电压为 “vin”，漏极的电压为 “1.8V”。请确保在修改完电路后进行 Check and Save

5. 接着我们就可以设置仿真器了，在 DM 中找到工具 Tools 中的 MDE，它就是我们的仿真工具 Mixed Signal Environment

6. 在 MDE 窗口中，左上部分 Model Setup 的空白处激活鼠标右键菜单，选择 Add Model Library，在弹出对话框中选择/opt/PDK/DEMO/models/model.lib 文件，

7. 在左中部分 Parameter Setup 的空白处激活鼠标右键菜单，选择 Copy From Cellview，弹出提示“Do you want to copy parameters from top cell only?”点击 Yes，此时将得到之前设置的变量 vin，我们可以设置一初始值 0.9V。

8. 下面我们通过另一种菜单的方法来添加 Analysis，即在 MDE 主菜单点击 Analysis -> Add Analysis 会弹出对话框，在此首先切换为 DC 仿真，并扫描变量 vin:

这样我们就在 MDE 的右上窗口看到了我们设置的 DC 仿真：

9. 之后我们将我们想要观察的信号加入输出栏 Outputs 中，在右下部分 Outputs 的空白处激活右键菜单，既可以单独选择想要的输出，也可以保留全部的 net 电压和端子电流：

10. 接下来我们在 Simulation 中选择 Run 来运行我们的仿真：

11. 最后我们得到了一条仿真后的曲线，同时我们可以使用 Tools->Calculator 对结果进行一系列的数值运算。

第 20 章 Aether AC/OP 仿真

北航微电子学院 Aether 入门教程 - 2

1. 通过表达式计算结果

通过这个教程，你将学会如何利用 Aether 的表达式对仿真的结果进行计算，从而快速的得到想要的设计。

1. 在 Aether MDE 界面的 Outputs 区域，单击右键，选择添加表达式 Add Expression.并在弹出的窗口中点击新表达式 New Expression.

2. 在展开的界面中，有一系列方程和特殊函数可以使用，在此次案例中我们扫描输入电压 Vg 从而得到输出电流 Id，因此根据跨导 gm 的定义我们可以得到 gm=输出电流 Id 的导数，因此使用函数 deriv 对 Id 进行求导。

我们可以用同样的方式添加我们想要的 gm/Id，如下图中表达式 gmovId 所示。

3. 在进行仿真后，我们可以看到我们设置的 Id, gm 和 gmovId 同时出现在波形结果中，在此你可以改变纵轴的刻度模式为 log 以获得更佳的显示效果。同时，使用快捷键 M 可以在波形 Mark 关键点，而快捷键 XY 能够在水平和垂直的刻度上同时观察波形的数值。

   下图很好的展示了晶体管在亚翻转区、饱和区和速度饱和区中的特性。

2. 观察晶体管的工作点

1. 在 MDE 主菜单点击 Analysis -> Add Analysis 会弹出对话框选择 OP（Operating Point，工作点）。对于 DC 仿真而言不需要选择时间点。

2. 仿真结束后，在 MDE 主菜单点击 Results->Annotate，可以在电路 schematic Editor 窗口中注释出观察晶体管的工作状态。

首先，我们选择在电路上注释所有电压，在点击 All Voltage 后可以在下图中看到电路中所有 net 的电压情况：

3. 之后我们在 Results->Annotate->DC Operating Point 中选择 Select From Schematic，并在我们的 Schematic Editor 中选中晶体管 NMO。之后我们可以看到在此偏置情况下晶体管的一些列参数：

3. AC 仿真

1. 当我们需要进行交流仿真时，我们需要设置相应的交流信号源，如下图所示将输入信号源 V0 的 ACMAG(AC Magnitude)设为 1。这里需要注意的是：

   a) 仿真器的输出将以 1V 为输入幅度进行交流计算，但是整个电路仍然工作小信号模型下。

   b) 整个电路中如果有多个信号源设置了 ACMAG，那么仿真器则会认为有多个激励同时存在，因此请确保设置与你的设想一致。

2. 在 Add Analysis 后选中 AC，并点击 More Option，我们可以在进行 AC 仿真时同时进行其他参数的扫描。如下图所示，我们对 vin=0.5,0.8,1.1 的情况分别做了 1Hz-1GHz 的交流仿真

3. 在我们同时观察输入电流 Ig 和输出电流 Id 后，我们大致可以得到不同的偏置下的特征频率 f_T

4. 使用 Label

1. 在我们的电路逐渐变得复杂后，连线将成为一个问题，在此我们可以使用 Label 来等效连接我们的线路。在 Schematic Editor 中选择 Create->Wire Name，并将我们的电源线取名为 vdda，同时将其他线根据易懂的方式相应取名。

2. 在 Schematic Editor 中选择 Query->Trace Net,我们可以高亮我们想要观察的连线，如下图所示：被取名为 vb 的两条线虽然没有直接相连，但是通过 label 他们在网表中已经等效为一个 net，相同的高亮颜色恰好证明了这一点。

第 21 章 Aether NOISE 仿真

北航微电子学院 Aether 入门教程 -3

1. 噪声的仿真

通过这个教程，你将学会如何利用 Aether 的噪声仿真工具了解电路中的噪声情况。

1. 在 Schematic Editor 的界面中新建一个有源负载的单晶体管放大器，并在将有缘负载晶体管的栅极电压设为变量 vbp。

2. 直流仿真扫描变量并观察输出电压 vout 以获得合适的直流工作点。如下图所示，在此特定尺寸和偏置的单晶体放大器中，vbp 取 0.8V 时可以使得晶体管均工作在饱和区。

3. 在 MDE 主菜单点击 Analysis -> Add Analysis 会弹出对话框，选择添加 AC 仿真，点击 Apply 后继续添加 NOISE 仿真

在 NOISE 仿真中选择噪声分析的输出端口 vout，以及等效输入信号 V0，并在间隔数量 Num(interval)中选择 10。上述选择建议点击 Select Node 和 Select Source 并在 schematic 中选取，以免出现拼写错误。

4. 在设置完成后开始仿真，噪声仿真结果将在 ZTerm 窗口中显示。结果中的 id 为主要电流热噪声，fn 为闪烁噪声，可以从不同频率的结果中看出这一趋势。

```
########## noise analysis result at frequency 10.0000 ##########
hierarchy
device           0:mnm0
rd              1.5904e-20
rs              1.1918f
id              2.1533p
rx              1.5499x
fn              108.4840n
total           108.4862n

hierarchy
device           0:mpm0
rd              1.0068e-20
rs              228.7918a
id              1.1199p
rx              1.4997x
fn              85.5010n
total           85.5021n

#### output noise voltage                        = 193.9883n volt^2/hz
#### output rms noise                            = 440.4410u volt/hz^(1/2)
#### equivalent input noise at vv0               = 3.7524u /hz^(1/2)
#### transfer function v(vout)/vv0               = 117.3763

#### integral value of noise from 1.0000hz to 10.0000hz
#### total output noise voltage                  = 2.0918m volt
#### total input noise at vv0                    = 17.8214u volt
```

```
########## noise analysis result at frequency 10.0000x ##########
hierarchy
device           0:mnm0
rd              1.5562e-20
rs              1.1113f
id              2.0078p
rx              17.5016k
fn              1.2502p
total           3.2592p

hierarchy
device           0:mpm0
rd              1.0396e-20
rs              213.3328a
id              1.0442p
rx              9.8895k
fn              13.1035f
total           1.0575p

#### output noise voltage                        = 4.3167p volt^2/hz
#### output rms noise                            = 2.0777u volt/hz^(1/2)
#### equivalent input noise at vv0               = 18.3310n /hz^(1/2)
#### transfer function v(vout)/vv0               = 113.3415

#### integral value of noise from 1.0000hz to 10.0000xhz
#### total output noise voltage                  = 10.4692m volt
#### total input noise at vv0                    = 89.6799u volt
```

第 22 章 Aether 失调/蒙特卡洛/CMRR 仿真

北航微电子学院 Aether 入门教程 -4

1. 失调（Mismatch）的仿真

通过这个教程，你将学会如何利用 Aether 的蒙特卡洛（Monte Carlo）仿真工具了解电路中随机失调的情况。

1. 在 Schematic Editor 的界面中设计一个 5 管 OTA 放大器，并将其输出与负端输入通过 cds_thru 想连接。（cds_thru 在库 basic 中，该元件可以将两个不同名字的 net 相连接）

2. 在经过之前介绍的 OP 仿真确定好电路的 DC 偏置后，我们需要将我们的模型切换到 Monte Carlo 仿真专用的模型上，其地址为/opt/PDK/DEMO/models_mc/model.lib，如下图所示:

3. 此时该放大器进入深度负反馈，以单位增益缓冲器（Unit-Gain Buffer）的形式工作。当我们在此进行 DC 仿真，并扫描输入信号时，我们可以同时勾选上 Monte Carlo 仿真的选项，如下图所示：

4.在进行完仿真后，我们可以看到 400 次 Monte Carlo 仿真后的曲线，如下图所示，为了获得 0.9V 的输出电压，需要不同的输入电压，至多可以高达-1.2mV。同时，400 个 Monte Carol 的仿真也保证了最坏情况在 2*sigma 之外。

2. CMRR 的仿真

共模抑制比 CMRR 的仿真与之前失调的仿真类似，主要的区别是 CMRR 仿真是在 AC 的基础上叠加 Monte Carlo 仿真。当假设我们有理想电阻时，我们可以使用下图的结构进行 CMRR 的仿真，可以看到，具有无穷大 CMRR 的放大器不会产生输出变化。

1. 在 Schematic Editor 的界面中设计 5 管 OTA 放大器，并通过电阻按照上述电路搭建反馈回路，注意观察电路的 DC 工作点。

2. 在 AC 仿真中点开 Monte Carlo 选项

3. 根据 CMRR 的求解公式，在 Output 中添加相应的 Expression，最终通过仿真获得 CMRR 的值。

第 23 章 Aether TRANS/封装仿真

北航微电子学院 Aether 入门教程 -5

1. 创建 Symbol

通过这个教程，你将学会如何利用 Aether 的创建 Symbol 工具对复杂大型电路进行层次化的分解。

1. 首先在 Schematic Editor 的界面中通过 Create->Pin 功能（快捷键 P）创建本层设计与外部的接口。注意 Pin 的类型有四种，类型的选择主要用于顶层调用时检测连接是否正确，譬如两个 Output 的接口连在一起时，仿真工具会报警提示，因此按照接口本身的属性设定方向是一个良好的设计习惯。

在下图中，设计好的 5 管 OTA 的接口已经全部用 Pin 定义完毕：

2. 之后在 Schematic Editor 的界面中通过 Create->Symbol View 功能创建本层设计的 Symbol，以供上层电路调用。之前设置的 Pin 会自动出现在 Symbol 中，我们可以对 Pin 摆放的位置进行调整，这并不会影响其具体功能。同时，可以选择相应的外形，使得我们的设计更容易辨别。

生成的 Symbol 如下所示：

2. 在 Testbench 中测试运放

1. 创建新的 Testbench Cell，并在其中生成我们的之前设计的 5 管 OTA。为了测试其增益、带宽和相位裕度等参数，我们需要将其连接成负反馈形式。
2. 我们在反馈中插入了电压源，并设置 AC 信号为 1V，因此可以通过计算信号源两端信号的比例计算整个开环的增益。

3. 在顶层 Testbench 中，想要了解或修改下一层的设计时，可以通过 Hierarchy->Descend Read/Edit 进入到下一层的设计中。同时，由于我们现在的 OTA 有了 schematic 和 symbol 这两个 view，因此在选中我们的设计时需要做出相应选择。

3. 瞬态仿真 Transient Analysis

1. 在我们使用过 OP/DC/AC 等仿真后，我们来使用最重要的瞬态仿真。在 MDE 主菜单点击 Analysis -> Add Analysis 对话框中选择 TRAN，并设置开始和终止时间，以及仿真记录的步长 Step。

2. 在我们的 Testbench 中将我们的信号源改成方波生成器 vpulse，并设置相应的参数。其中 TR/TF 分别为上升和下降的转换时间。PW 和 PER 为 Pulse Width 和 Period 的缩写，是该方波的占空比及周期。

3. 最后我们看到，我们的 OTA 在 Unit Gain Buffer 下依然保持着较好的时域响应，在信号转换过程中没有发生震荡。

第 24 章 Aether 数摸混合仿真

AMS 混合仿真 – SAR ADC

通过这个教程，你将学会如何利用 Aether 创建 verilog 数字逻辑单元以及 veriloga 模拟模型，通过对 verilog 和 veriloga 单元的调控使用，我们可以对数模混合的复杂大型电路进行混合仿真。

1. 创建 verilog 的 SAR 控制单元

1. 在 Design Manager 中通过 *File -> New Cell/View* 创建一个新的单元，在 View Type 中选择 Verilog，则该单元将是一个通过 verilog 语言描述的逻辑控制单元。

除此之外，如果我们在系统中已有完成的 verilog 文件，我们也可以通过 *File -> Import -> Verilog* 将其导入：

2. 对于一个 verilog 单元，我们可以双击将他打开，默认的编辑语法是 VI，相关使用方法可上网查询。当完成对 verilog 文件的编辑后，可输入 “***:wq***”保存退出。

在退出时，系统会自动检测是否存在语法错误，若有则弹出如下提示：

当修改完毕并无错误提示后，我们可以右键点击该 verilog 文件并选择 *Generate Symbol View*, 软件会根据 verilog 的定义自动生成 symbol:

2. 创建比较器的 veriloga 模拟模型单元

1. Veriloga 是一种模拟器件的描述语言，我们可以通过它对我们的模块进行理想模型的搭建。在此我们尝试创建一个理想的比较器，在 Design Manager 中通过 *File -> New Cell/View* 创建一个新的单元，在 View Type 中选择 VerilogA，

在生成的文档中添加相应的描述模型，以下直接给出理想比较器的模型：

```
module comparator(sigin, sigref, sigout);
    input sigin, sigref;
    output sigout;
    electrical sigin, sigref, sigout;
    parameter real sigout_high = 1.8;
    parameter real sigout_low = 0;
    parameter real sigin_offset = 0;
    parameter real comp_slope = 1000;

    analog begin
        V(sigout) <+ 0.5 * (sigout_high - sigout_low) * tanh(comp_slope*(V(sigin,
        sigref)- sigin_offset)) + (sigout_high + sigout_low)/2;
    end
endmodule
```

对于上述描述的具体语法或有修改想法的，可以参考相关文档。

3. 创建数模混合的仿真平台

1. 接下来我们需要创建能够调用 verilog 和 veriloga 单元的数模混合仿真平台，首先我们已经创建测试台的 schematic。于此同时，在该测试平台下，创建一个配置文件 config view:

2. 在弹出的 config 配置方案中，我们可以选择 SpectreVerilog，并在 View List 和 Stop List 的最后加上 symbol。

对于没有自动识别的 cell，我们也可以通过*右键 -> Set Cell View* 为其手动设定将要使用的类别：

3. 接下来在 MDE 仿真环境中，我们通过 *Setup -> Design -> Config* 选中之前创建的 config 文件，并且通过 *Setup -> Netlist/Directory* 选择混合仿真器 *Alps-MS*

4. 配置数模混合中的转化电平

1. 对于一个数模混合仿真环境，我们需要指定其内部的数模、模数转化电平，如下图所设计的 SAR-ADC，其数字模块 dig_ctrl 只输出 0/1 逻辑信号，当其驱动模拟电路时，需要转化成相应的高低电平信号（比如 0V/1.8V）。

因此，我们需要在 *Mixed-Signal -> IE Manager* 中配置逻辑和电平的转换。我们在弹出的窗口中添加一个我们要配置的单元，此处即是 “dig_ctrl”.

配置文件中:

- a2d_v0: 低于该电压时，模拟信号转为数字 0
- a2d_v1: 高于该电压时，模拟信号转为数字 1
- a2d_tx: 模拟转数字出现不定态 X 的延迟时间

- d2a_tf: 数字转模拟的下降沿
- d2a_tf: 数字转模拟的上升沿
- d2a_vh: 数字 1 转为模拟对应电压值
- d2a_vl: 数字 0 转为模拟对应电压值
- d2a_ron: 数字转成模拟信号的内阻值

5. 输出仿真信号

1. 仿真信号的输出与之前的方法大体相同，唯一不同的是我们此时还有数字逻辑信号。保存数字信号的办法是：在 Outputs tab 中切换到 Digital，右键空白处弹出菜单选 Add All Digital 即可，如下右所示。因为大多数混仿电路中数字波形均较小，不妨全部保存下来：

可以看到输出的波形如下图所示：

2. 为了更好的观察 ADC 的后采样信号，我们可以在测试台上对数字输出做一个理想的数模转换，通过 VCVS 和放大倍数进行控制，最终可以看到我们的 ADC 对若干个周期前的采样信号进行了模数转换：

adc_ena
V3
V1=0
V2=1.8
clk
V1
V1=0
V2=1.8
vdda
V0
DC=1.8
vin
V2
V0=0.9
VA=0.9
FREQ=10K
vdda
adc_ena
clk
vin
vref
vdda
gndd
ser_adc
adc_ack
dout_adc<4:0>
adc_ack
dout_adc<4:0>
dout
E4
E=0.5
E3
E=0.25
E0
E=0.125
E1
E=62.5m
E2
E=31.25m

tb.tr0 v(vin) Nominal
tb.tr0 v(dout) Nominal
1.5
1
0.5
0
U
Time
0
10u
20u
30u
40u
50u
60u
70u
80u
90u
100u