

# CMOS 模拟集成电路原理 第一周作业

范云潜 18373486

微电子学院 184111 班

日期：2020 年 10 月 27 日

作业内容：已知要求  $GBW_{DM}=50MHz$ ,  $GBW_{CM}=100MHz$ ,  $C_L=5pF$ 。设计一 共模 & 差模相位裕度均大于 70 的运放。通过仿真给出： 差模增益 功耗 共模抑制比 CMRR

将上述设计的差分运放，通过电阻设置成 10 倍放大，观察输入差模和共模信号分别有 100mV<sub>pp</sub>，10kHz 的正弦信号时，差模输出信号的大小，并分析是否符合预期。

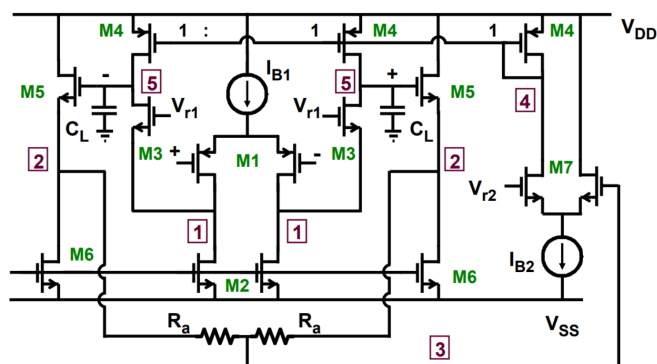


图 1: 题目图

## List of Figures

1	题目图	1
2	差分电路结构	2
3	差分电路参数	3
4	差分增益	3
5	差分电路端口图	4
6	共模反馈电路	4
7	回路切断	4
8	共模电路参数	5
9	共模增益	6
10	差分增益	6
11	共模反馈电流	6

12	整体封装	7
13	CMRR 连线	7

## 1 分析电路

M1 与 M2 构成一个 Cascode，输出到一个共栅极，通过一个源随器和电阻对消除差模，之后通过对电流源的电流吸取，途径 M7 反馈到输出端。那么  $GBW_{DM} = g_{m1}/2\pi C_L$ ， $GBW_{CM} = g_{m7}/2\pi C_L$ 。

首先是差模放大部分，其跨导来自于 M1，因此为了使得  $GBW_{DM}$  大，应该调大其  $g_M$ ；同时注意到，共栅极的 M4 是一个复制管，和误差放大器的电流应该保持一致；最后是共模反馈部分，其跨导来自 M7。综上所述，为了增益带宽积大，需要调大 M1 和 M7 的电流，为了使得裕度更高，次级点的电流也应更大。

## 2 差模电路

首先搭建差模电路，如图 2。

根据估算， $g_{M1} = 1.5m$ ，设置偏置电流。为了使得共栅极放大器工作正常，设置节点 1 的静态电压为  $0.5V$ 。为了承载大电流，过驱动电压需要调高，仿真得到 M2 的阈值为  $0.45V$ ，设其栅电压为  $0.65V$ ；M1 阈值为  $0.65V$ ，设其栅电压为  $0.3V$ 。求解两个管子的宽长比。

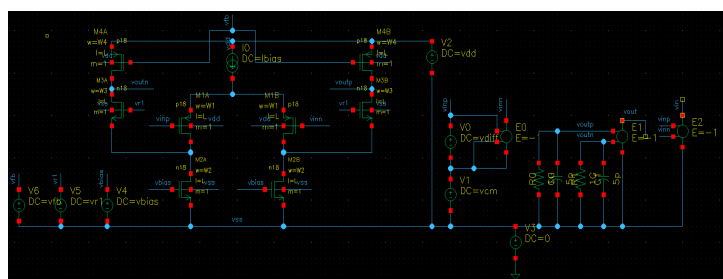


图 2: 差分电路结构

第二级的电流设置为和第一级几乎吻合，设置 M3 M4 栅电压为  $1.2V$   $1.15V$ ，求解宽长比。

最终结果如图 3

进行交流仿真，观察其增益波形，如图 4。其增益带宽积和裕度满足要求。

## 3 共模电路

将差模电路测试参数写入各个管子，封装为元件，端口如图 5，连接共模反馈电路，如图 6。共模电路的输入在误差放大器上，是来自于经过电阻消除差模信号后的差分电路输出，通过误差放大器漏极，最终反馈到我们的输出端，关闭其他交流信号，切断回路，在误差放大器加上激励，如图 7。参数如图 8

基于以上的理解，进行对应的 AC 仿真，仿真结果如图 9，满足要求。

Parameters		
	Name	Nominal
1	W1	65u
2	W2	39u
3	vcm	0
4	L	0.5u
5	vdd	1.8
6	Ibias	400u
7	vdif	0
8	W3	78.5u
9	W4	42u
10	vr1	1
11	vfb	1.1
12	vbias	0.6

图 3: 差分电路参数

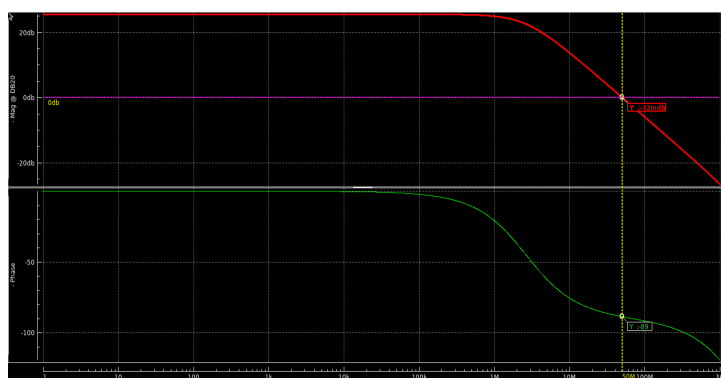


图 4: 差分增益

## 4 性能分析

差模增益，在 AC 仿真中设置差分信号 **vdif** 的交流振幅为 1，增益表达式为  $v_{out}/v_{in}$ ，仿真结果如 **图 10**。

功耗，在 OP 仿真可以得到非电流偏置的两条支路的电流为  $100\mu A$  如 **图 11**，两个电流源分

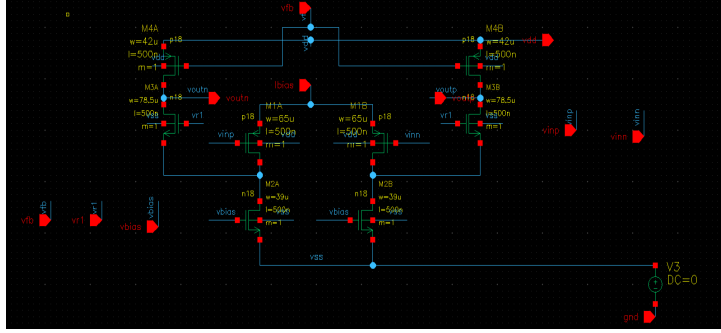


图 5: 差分电路端口图

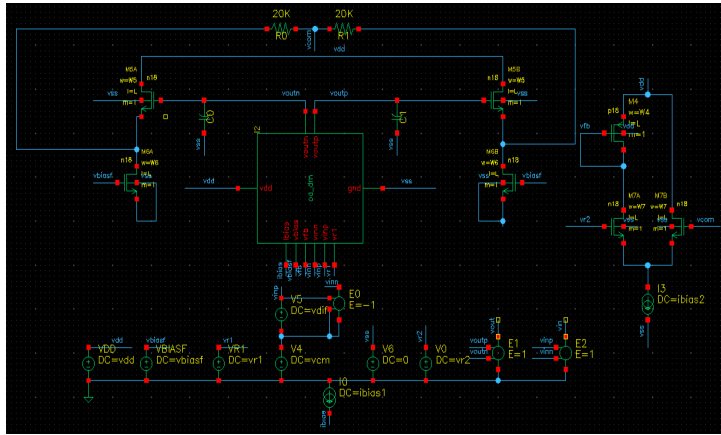


图 6: 共模反馈电路

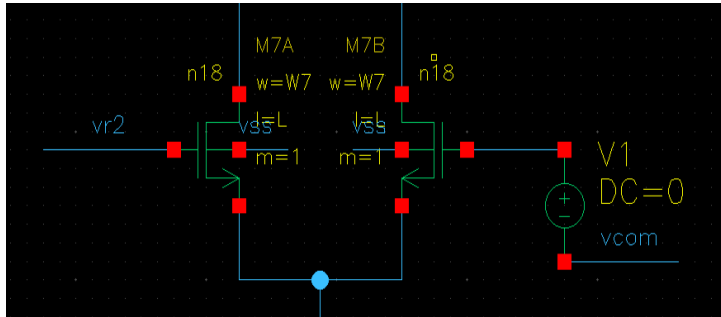


图 7: 回路切断

别是  $400\mu A$ ， $600\mu A$ ，总功耗为  $(400 + 600 + 100 \cdot 2)1.8\mu W = 2.16mW$ 。

为了更方便的进行 CMRR 仿真，进一步封装模块，如 图 12。为了进一步的分析，此处的连线是为了使用电阻匹配法，电压仅有共模模式，如图 13。

Parameters			
	Name	Nominal	
1	vcm	0	
2	vr1	1	
3	vr2	0.8	
4	vdif	0	
5	vdd	1.8	
6	vbiasf	0.6	
7	ibias1	400u	
8	ibias2	600u	
9	W4	25u	
10	W5	21u	
11	W6	10u	
12	W7	89u	
13	L	0.5u	

图 8: 共模电路参数

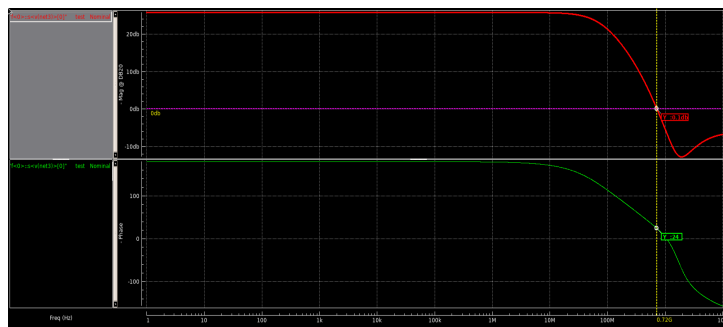


图 9: 共模增益

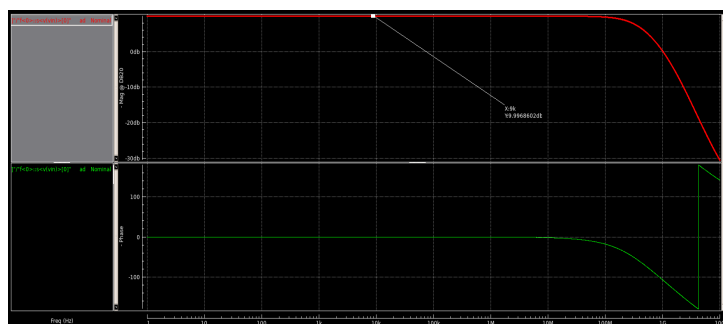


图 10: 差分增益

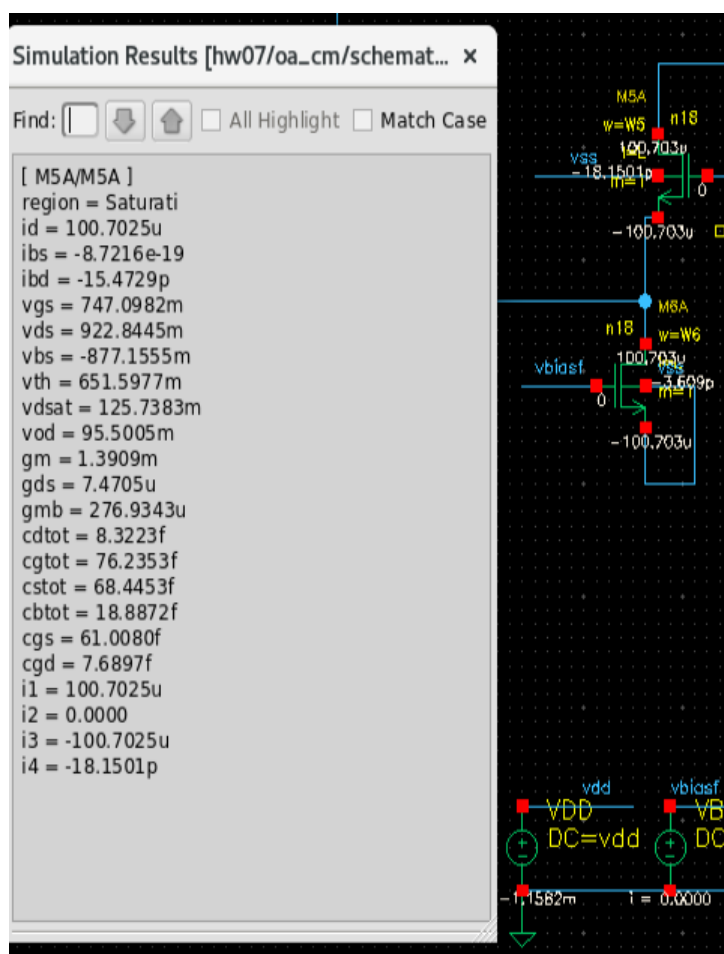


图 11: 共模反馈电流

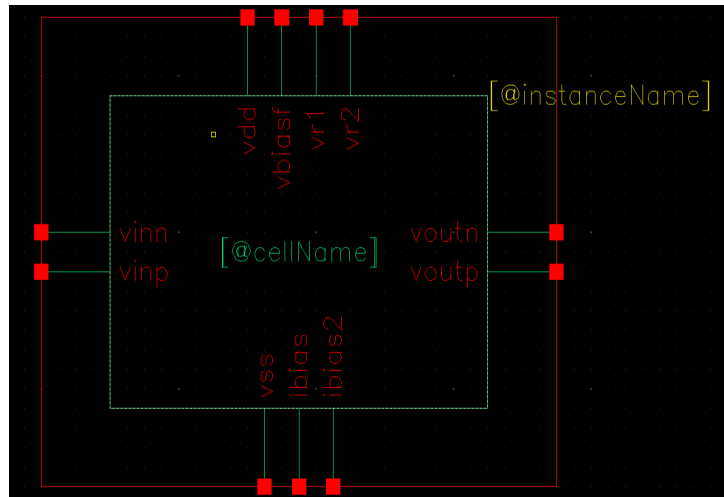


图 12: 整体封装

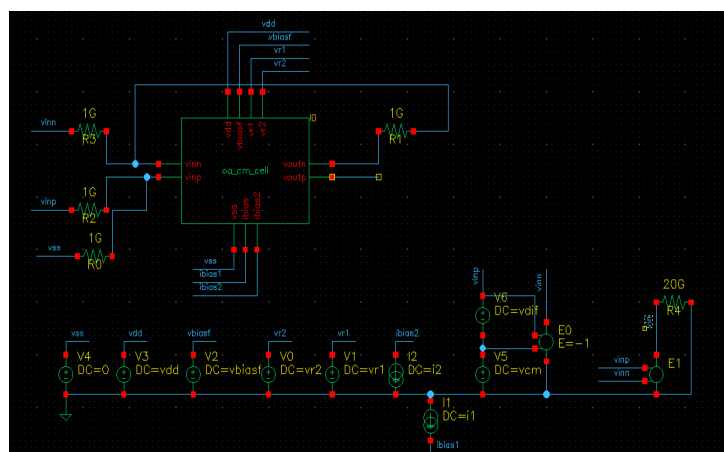


图 13: CMRR 连线