

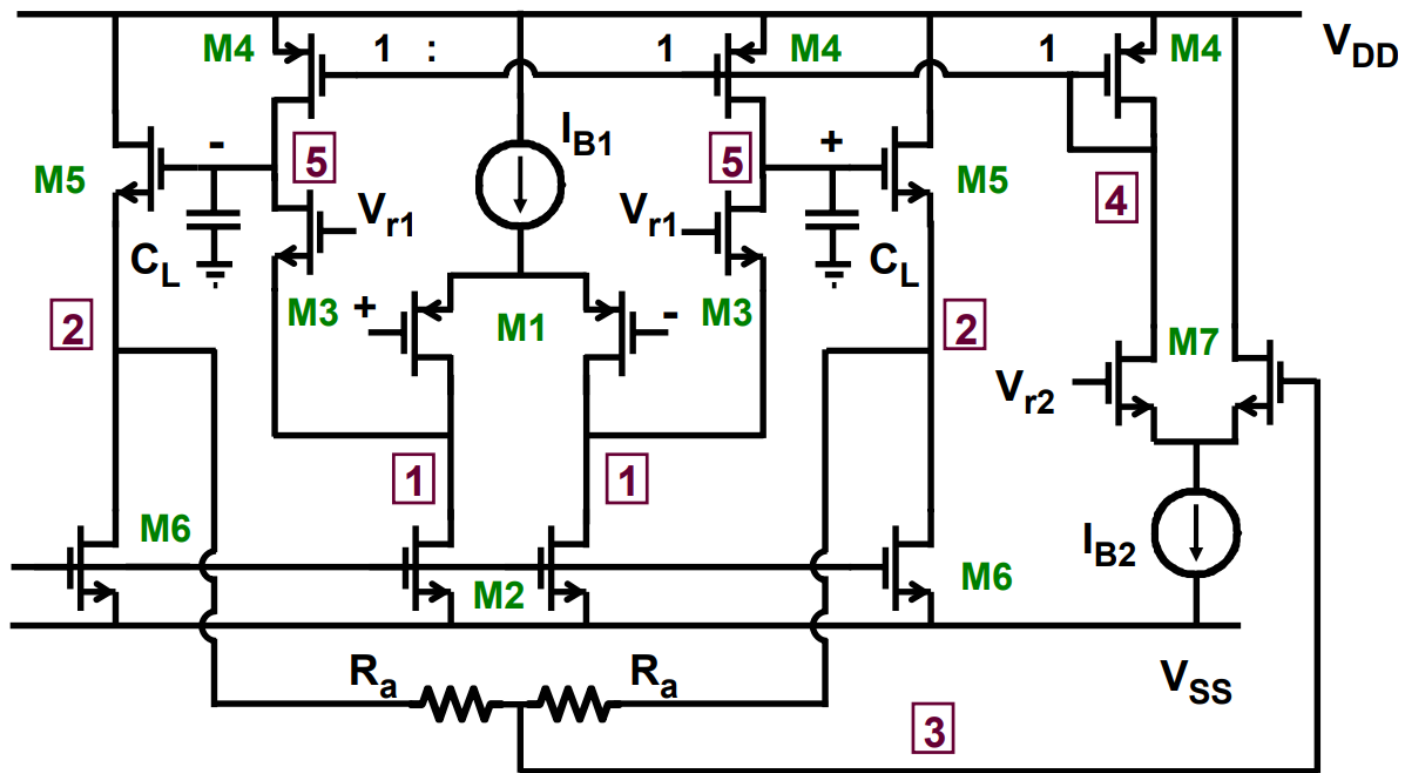
Homework 6

>>> 课后习题

□ 已知要求 $GBW_{DM}=50\text{MHz}$, $GBW_{CM}=100\text{MHz}$, $C_L=5\text{pF}$ 。设计一共模&差模相位裕度均大于 70° 的运放。通过仿真给出：

- 差模增益
- 功耗
- 共模抑制比CMRR

- 差模-蓝色
- 共模-红色
- 偏置-黑色



电路图过于老旧，其架构不适合我们工艺所要求的1.8V电源电压

$$V_{OUT} - V_{GS5} = V_{r2}$$

$$V_{r2} - V_{GS7} > V_{DSat}$$

$$V_{OUT} + V_{GS1} < V_{DD} - V_{DSat}$$

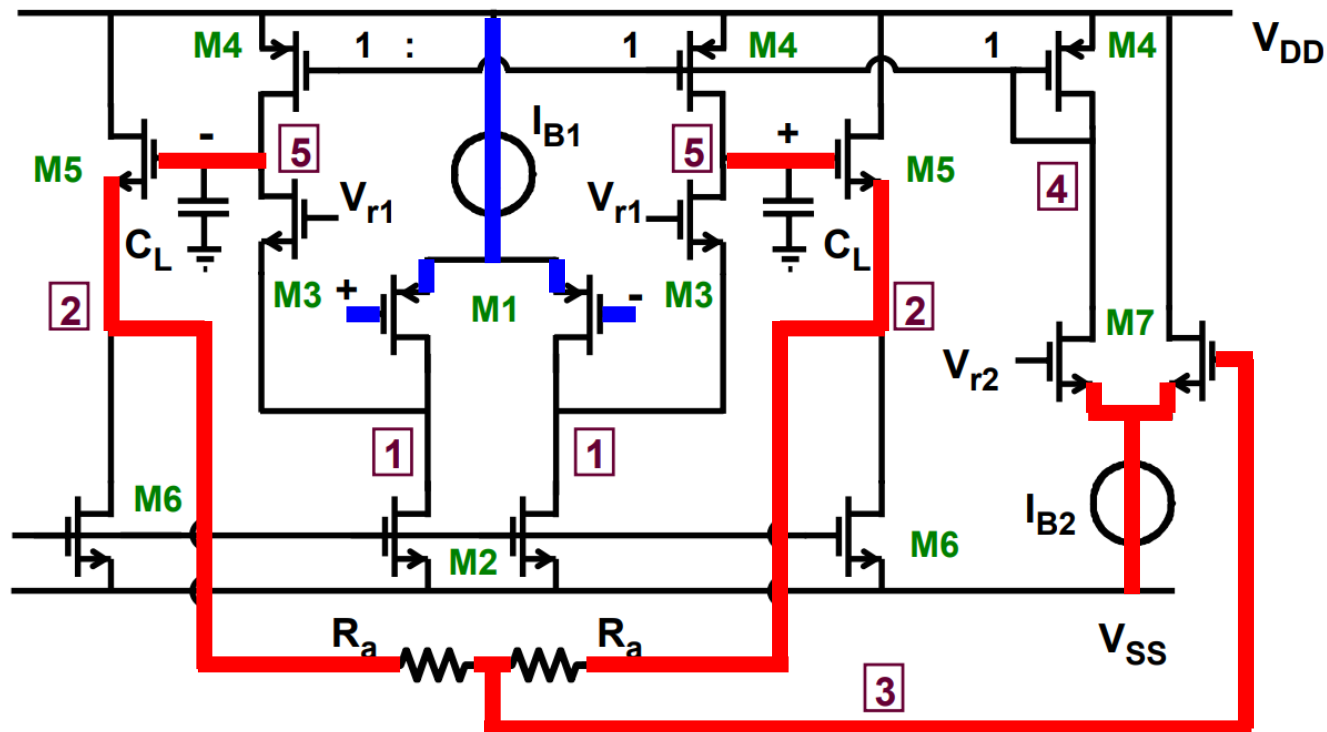
$$V_{GS5} + V_{GS7} + V_{DSat} < V_{OUT} < V_{DD} - V_{DSat} - V_{GS1}$$

假设 $V_{GS} = 0.7$, $V_{DSat} = 0.2V \rightarrow 1.6V < V_{OUT} < 1.1V$

方案1：使用3.3V电源

方案2：弱反型区电路

方案3：修改电路



Homework 6

Solution 1: Using 3.3V supply

- $GBW_{DM}=50\text{MHz}$, $C_L=5\text{pF}$

$$GBW_{DM} = \frac{g_{m1}}{2\pi C_L}$$

$$g_{m1} = GBW_{DM} \cdot 2\pi C_L = 1.57\text{mA/V}$$

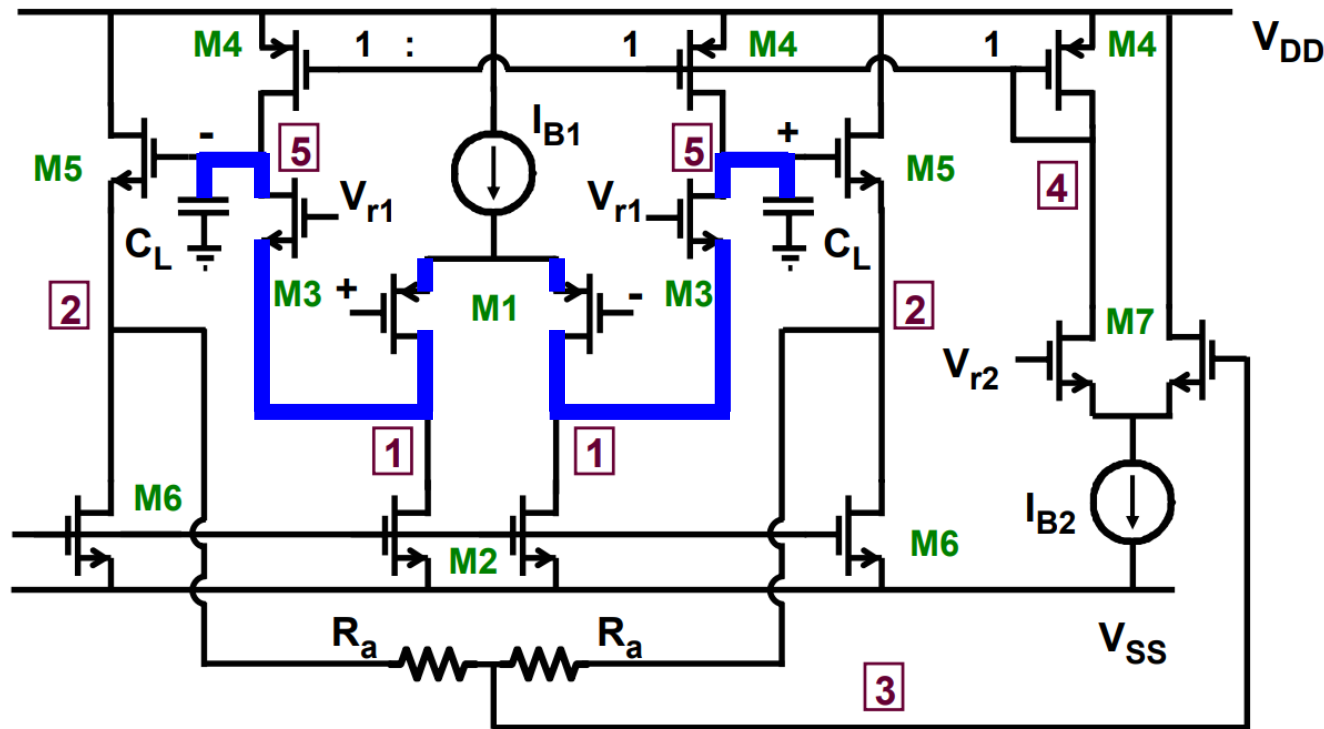
合理假设 $g_m/I_D=10$, $V_{GST}=0.2$

$$I_{D1} = 157\mu\text{A}$$

又根据 $I_D = \frac{1}{2} K P_P \frac{W}{L} (V_{GS} - V_{TH})^2$

得到 $\left(\frac{W}{L}\right)_1 = \frac{2I_D}{K P_P \cdot (V_{GS} - V_{TH})^2} = \frac{2 \cdot 157\mu}{70\mu \cdot 0.04} = 112$

不妨先设 $\left(\frac{W}{L}\right)_1 = \frac{56\mu}{500n}$



- $GBW_{CM} = 100\text{MHz}$, $C_L = 5\text{pF}$

$$GBW_{CM} = \frac{g_{m7}}{4\pi C_L}$$

$$g_{m7} = GBW_{CM} \cdot 4\pi C_L = 6.28\text{mA/V}$$

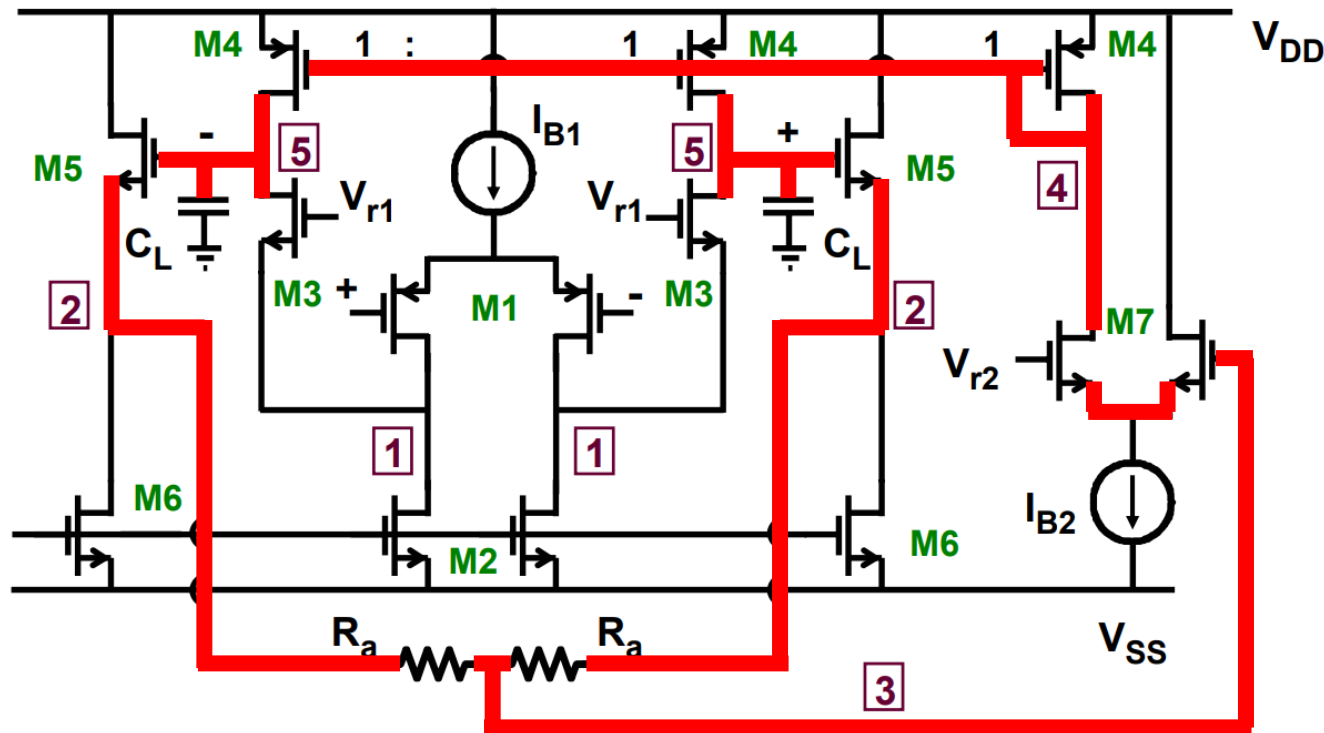
合理假设 $g_m/I_D = 10$, $V_{GST} = 0.2$

$$I_{D7} = 628\mu\text{A}$$

还根据
$$I_D = \frac{1}{2} K P_N \frac{W}{L} (V_{GS} - V_{TH})^2$$

得到
$$\left(\frac{W}{L}\right)_7 = \frac{2I_D}{K P_N \cdot (V_{GS} - V_{TH})^2} = \frac{2 \cdot 628\mu}{280\mu \cdot 0.04} = 112$$

不妨再设
$$\left(\frac{W}{L}\right)_7 = \frac{56\mu}{500n}$$



已知 $I_{D7} = 628\mu A$

得到 $I_{D4} = 628\mu A$

$I_{D3} = 628\mu A$

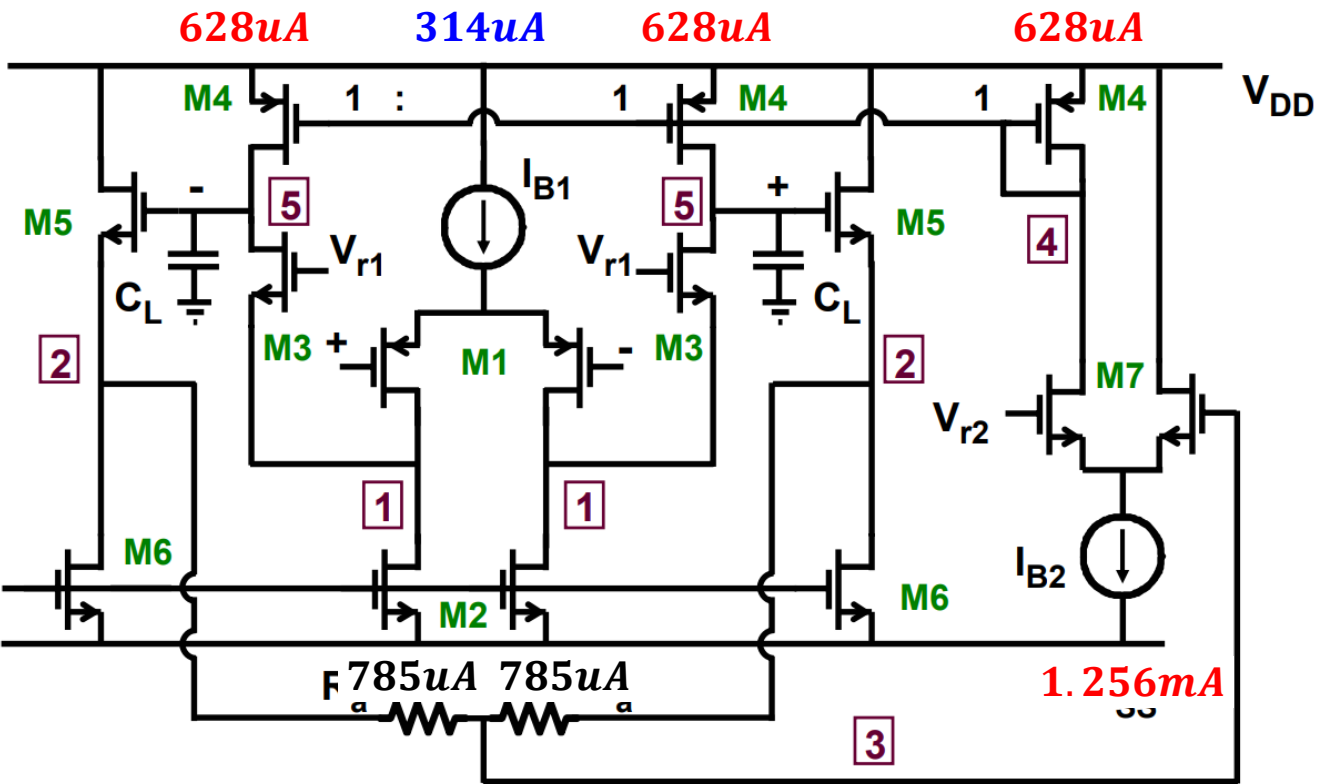
$I_{B2} = 1.256mA$

已知 $I_{D1} = 157\mu A$

得到 $I_{B1} = 314\mu A$

根据 I_{D4} 和 I_{D1} 得到 $I_{D2} = 785\mu A$

全部假设 $g_m/I_D=10$, $V_{GST}=0.2$



$$r_{DS} = \frac{V_E L}{I_{DS}} = \frac{40 \cdot 0.5}{628u} \approx 30k$$

晶体管	M1	M2	M3	M4	M5	M6	M7
尺寸(um)	56/0.5	70/0.5	56/0.5	224/0.5	?	?	56/0.5

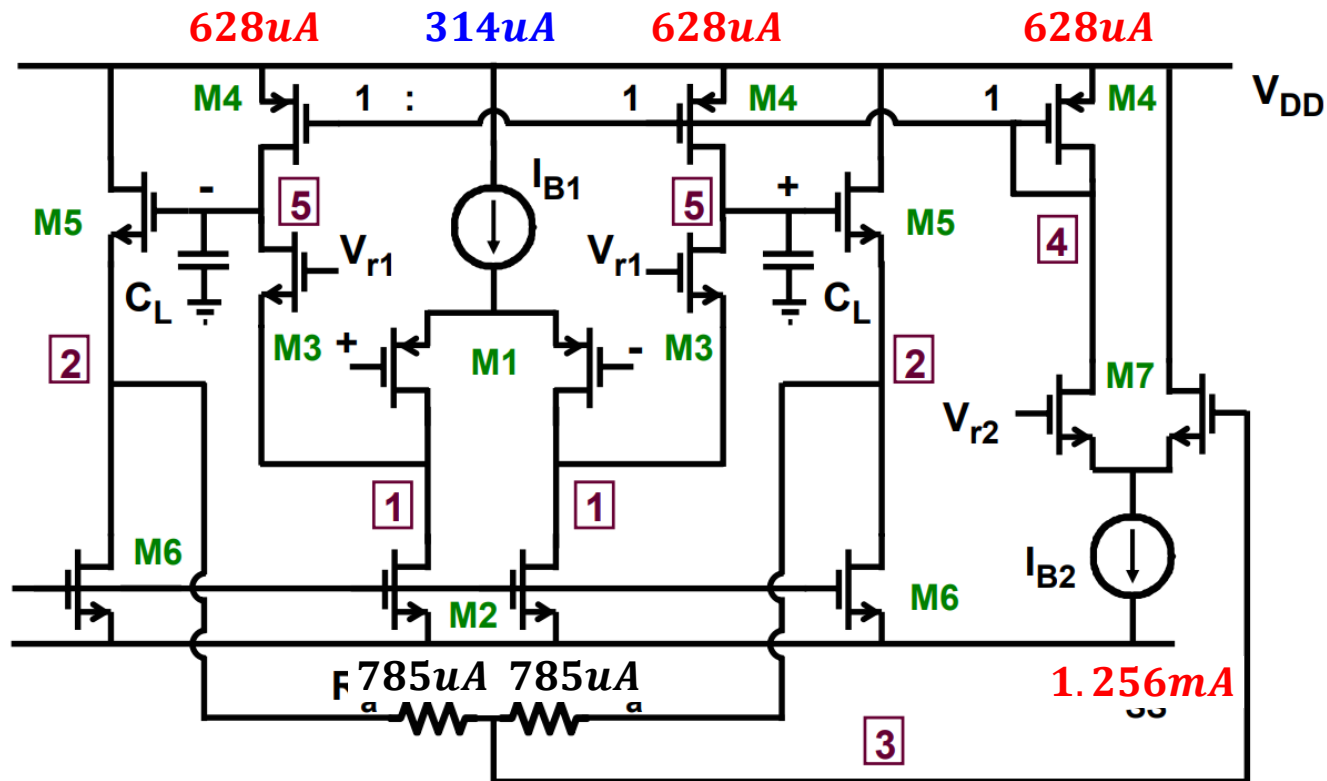
源随器主极点:

$$\frac{1}{R_S C_{GD} + \frac{C_L + C_{GS}}{g_m}}$$

源随器主极点就是Net5处极点

因为源随器的 C_L 的较小， g_m 和 C_{GS} 的要求就是特征频率

因此, $W/L=36\mu/180\text{n}$, $I_D=1.12\text{mA}$ 可以支持50GHz ➡ 降低电流至112 μA

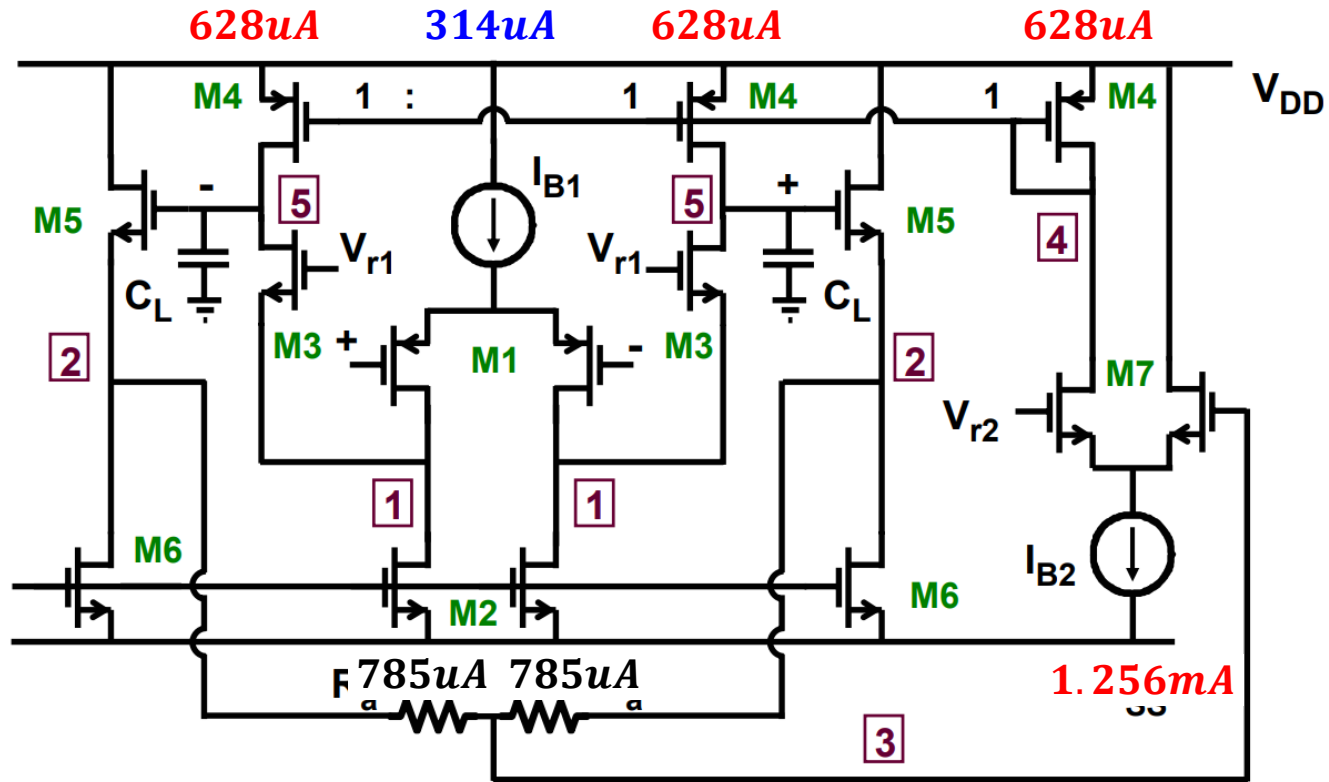


晶体管	M1	M2	M3	M4	M5	M6	M7
尺寸(um)	56/0.5	70/0.5	56/0.5	224/0.5	36/0.18	10/0.5	56/0.5

源极跟随器的频率响应较为复杂，具体内容参考《电子电路》课件CH6+频率响应，这里不做具体要求：

源随器驱动能力：

112uA的驱动电流，如果想要支持1Vpp的摆幅，电阻 R_a 至少需要4.46K Ohm，考虑到负载电阻上的电流消耗， R_a 取10K Ohm.



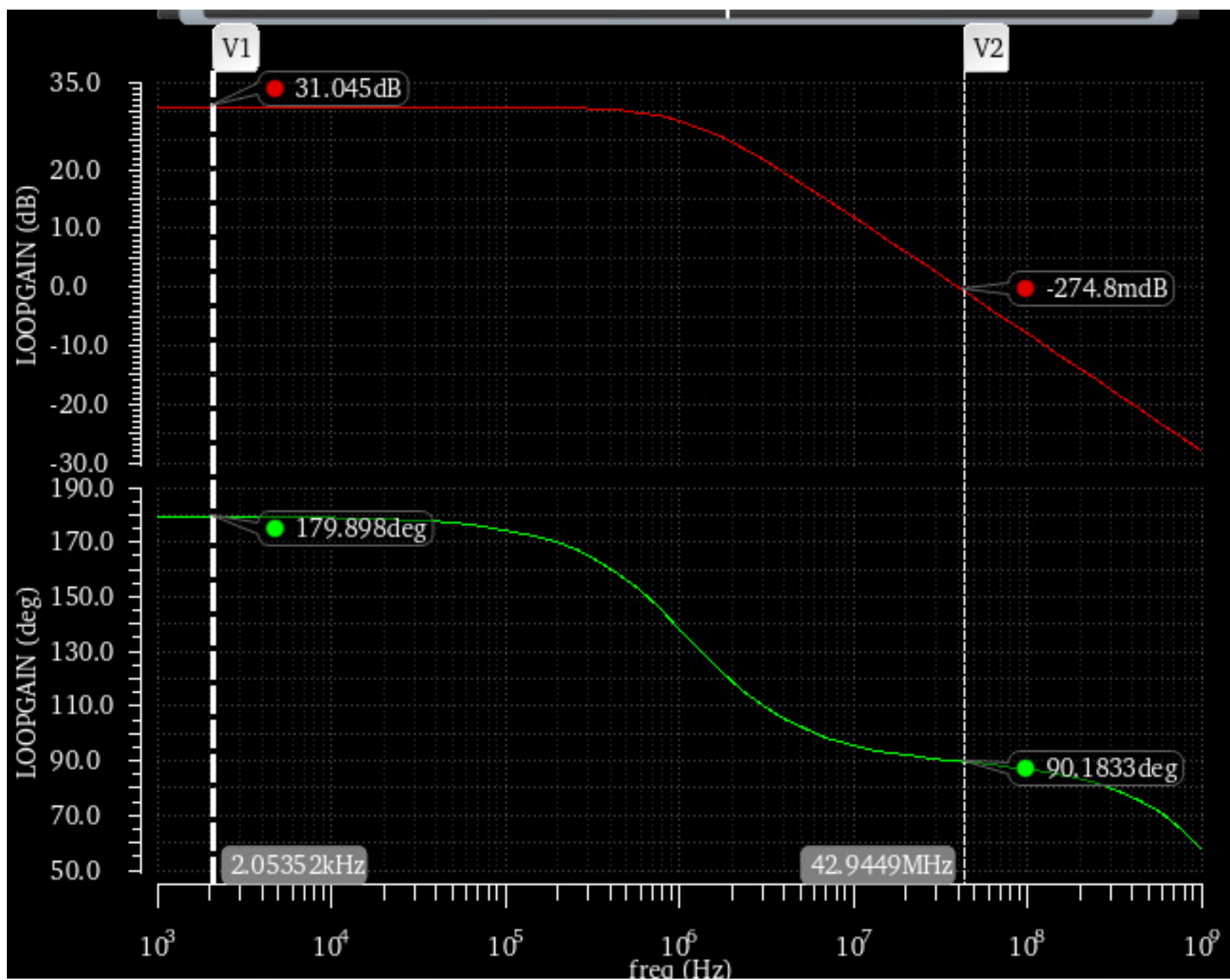
晶体管	M1	M2	M3	M4	M5	M6	M7
尺寸(um)	56/0.5	70/0.5	56/0.5	224/0.5	36/0.18	10/0.5	56/0.5

仿真得到:

- $r_{04}=25.5\text{K}$
- $g_{m1}=1.41\text{m}$

计算得到:

- $A_0=31.1\text{dB}$
- $\text{GBW}=44.9\text{M}$



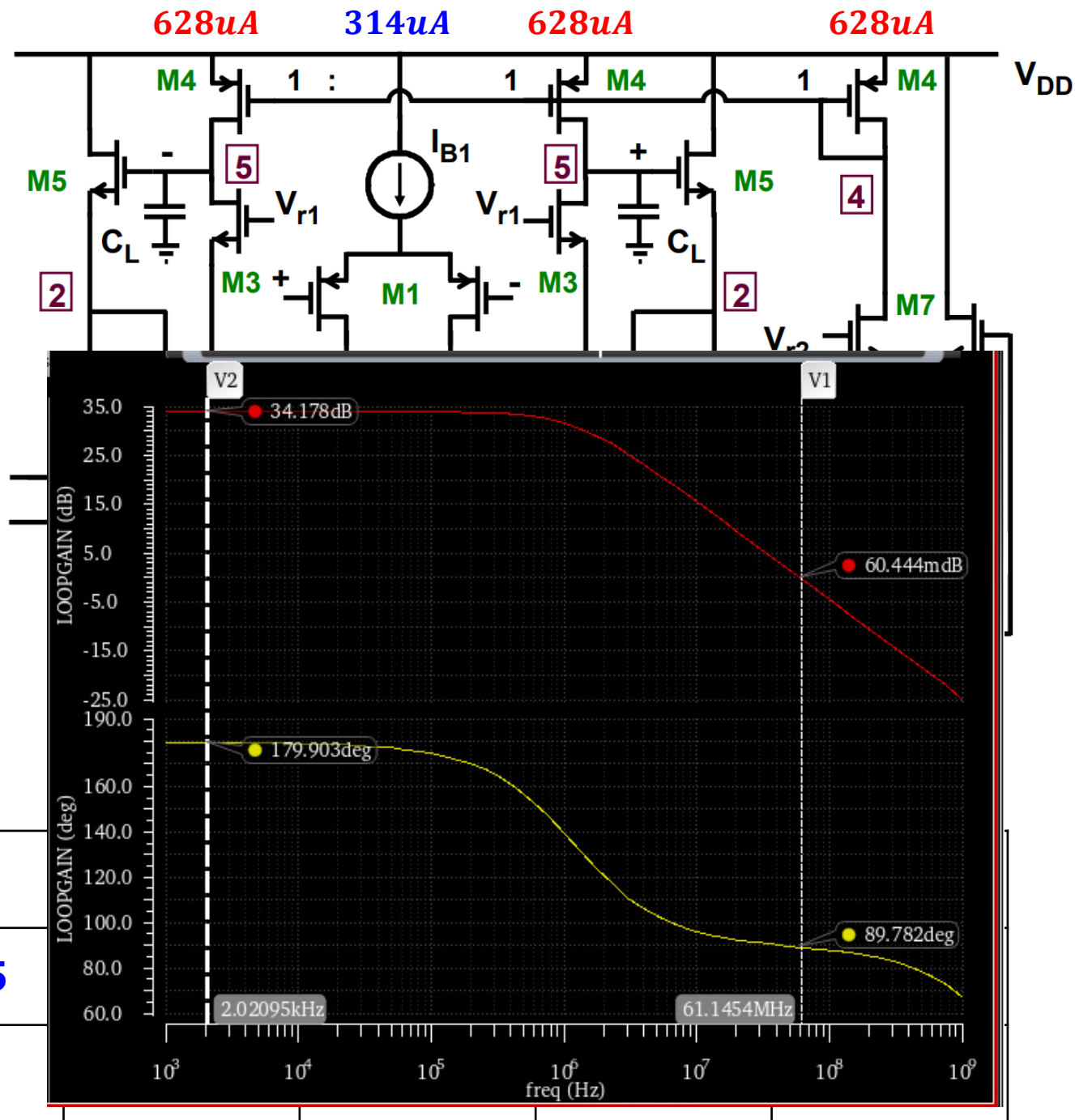
增加 g_{m1} by 增加电流 I_{B1}
或增加 $(W/L)_1$

修改 $(W/L)_1=56/0.25$ 后

- $A_0=34.2\text{dB}$
- $\text{GBW}=61.1\text{M}$

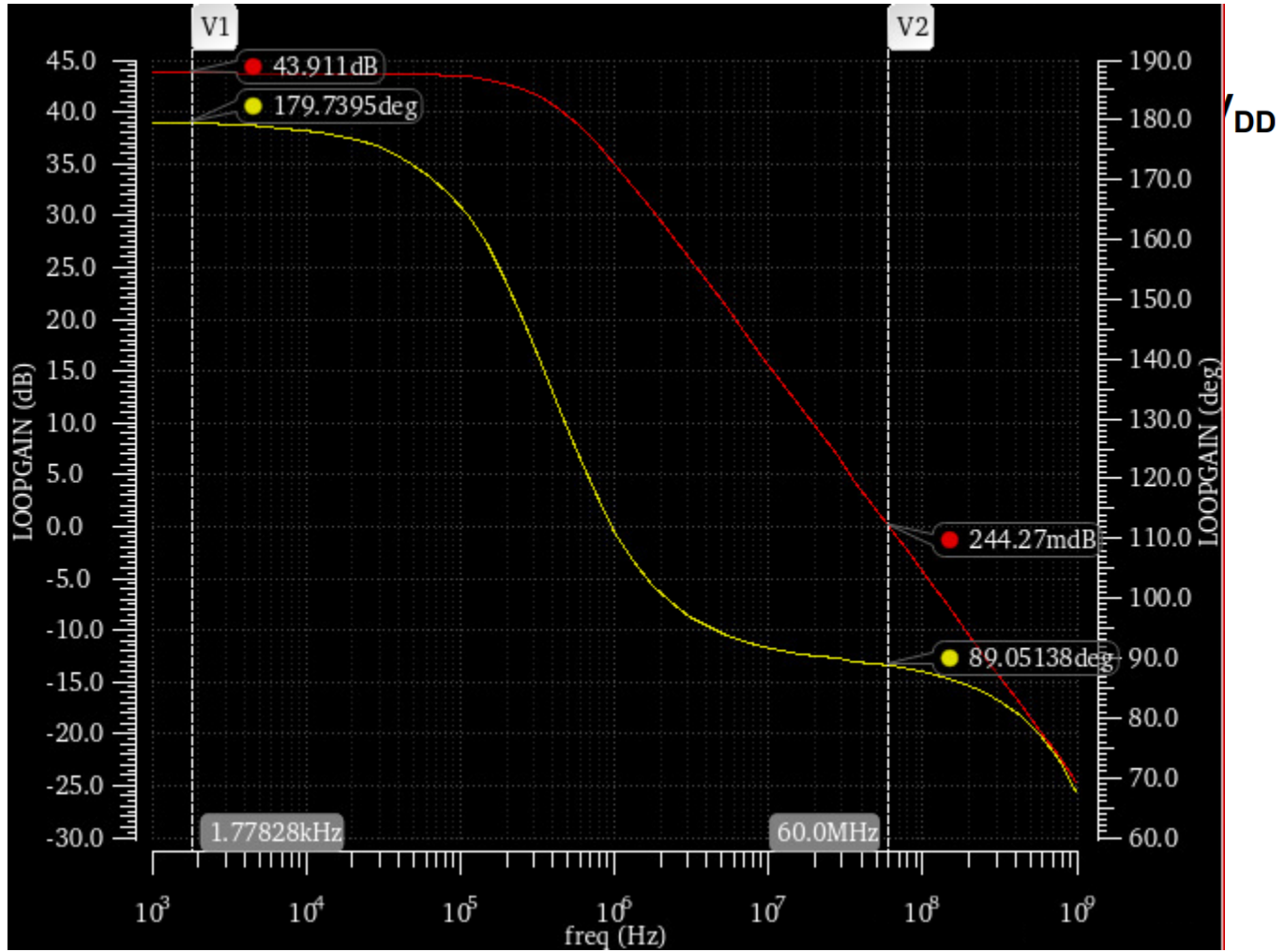
✓ 增益的瓶颈在于M4的
电阻值，因此降低M1
的长度不会降低增益

晶体管	M1	M2	M3
尺寸(um)	56/0.5	70/0.5	56/0.5
	56/0.25		

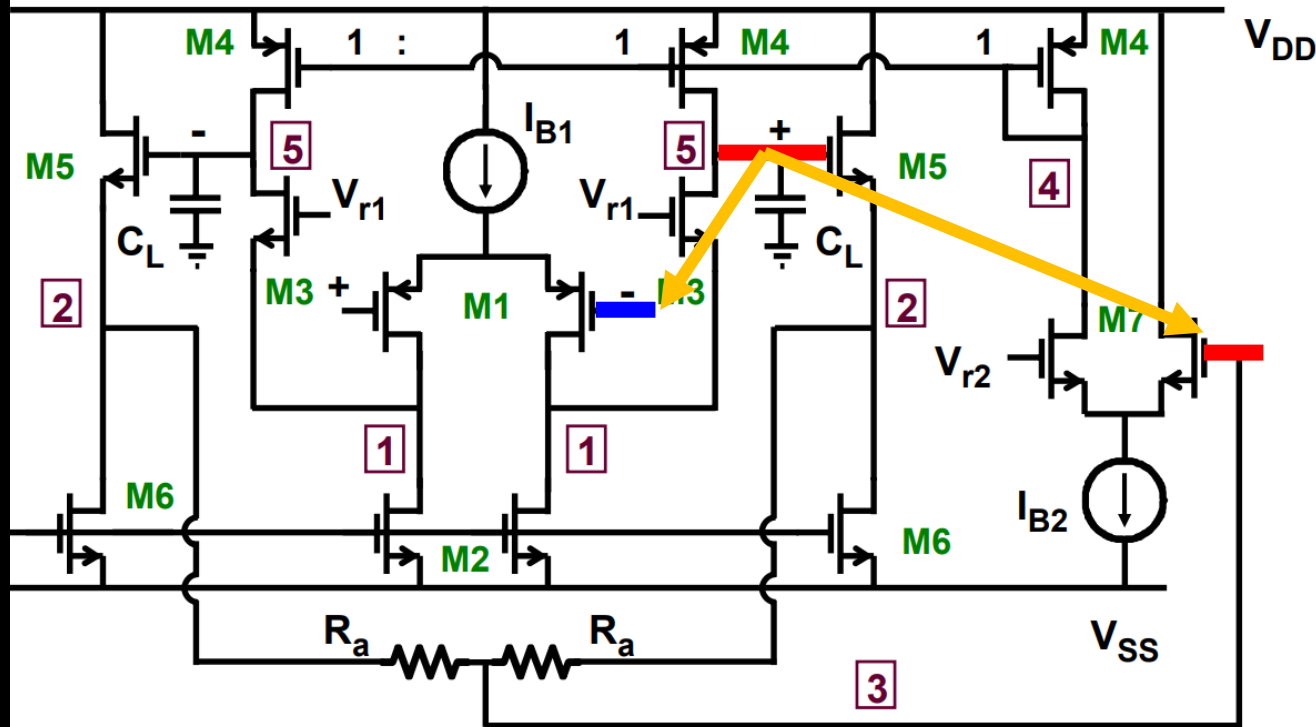
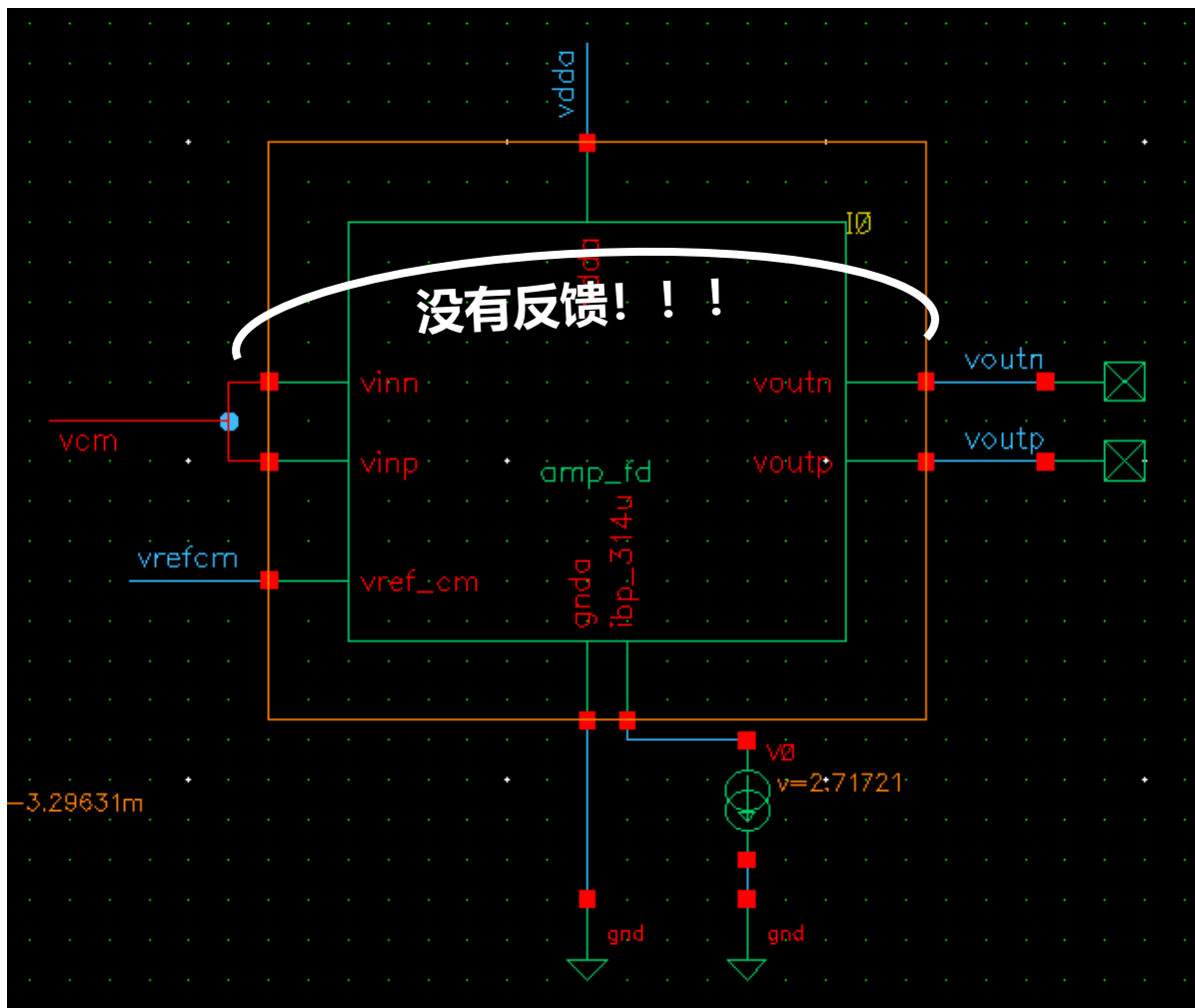


增加 r_{o4} by 增加 L_4

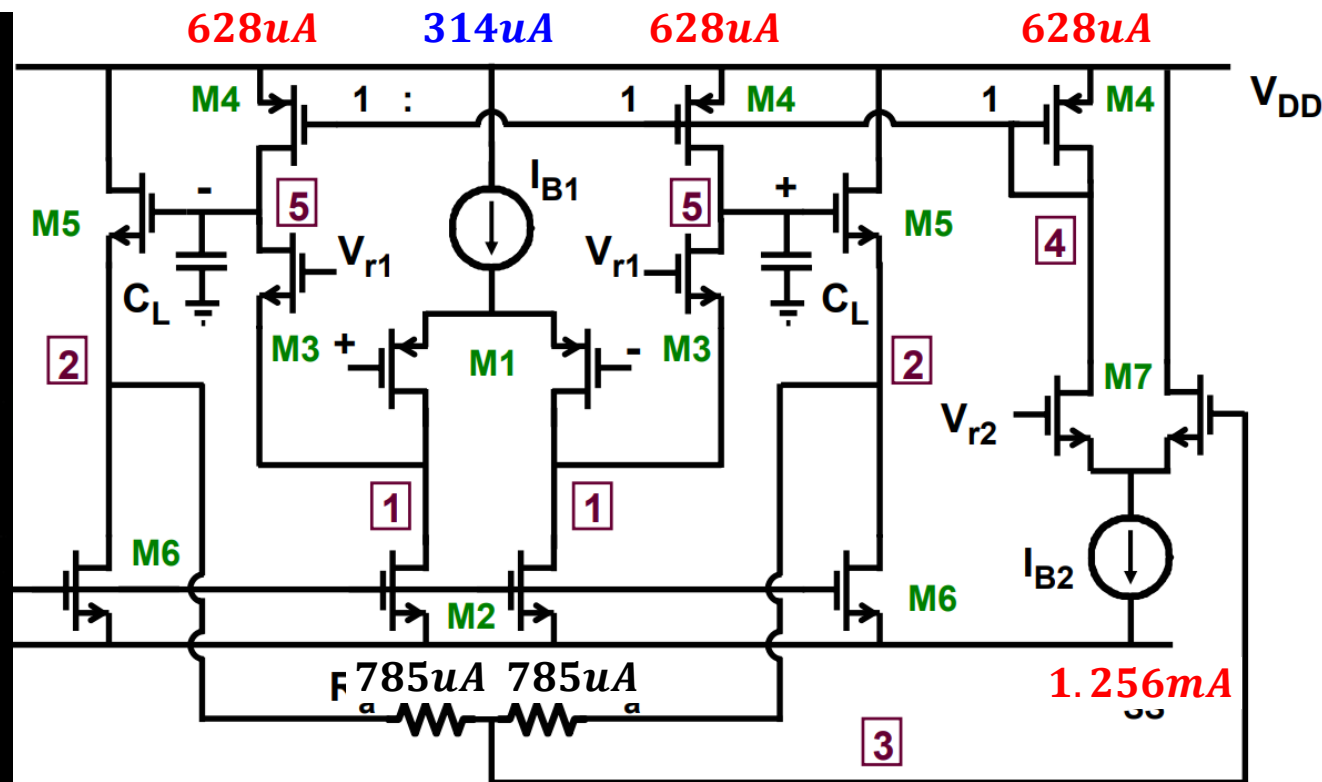
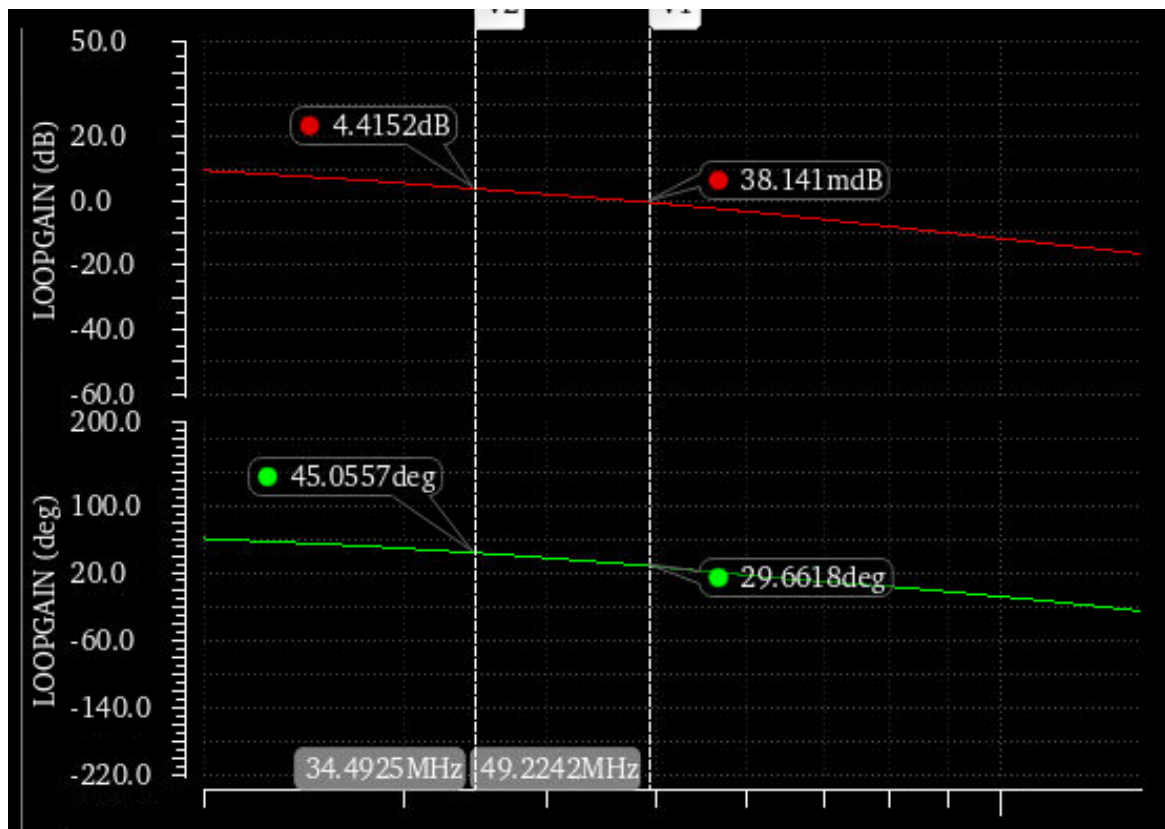
- ✓ r_{o4} 上升至78K
- ✓ GBW保持不变，增益上升9dB至43.9dB



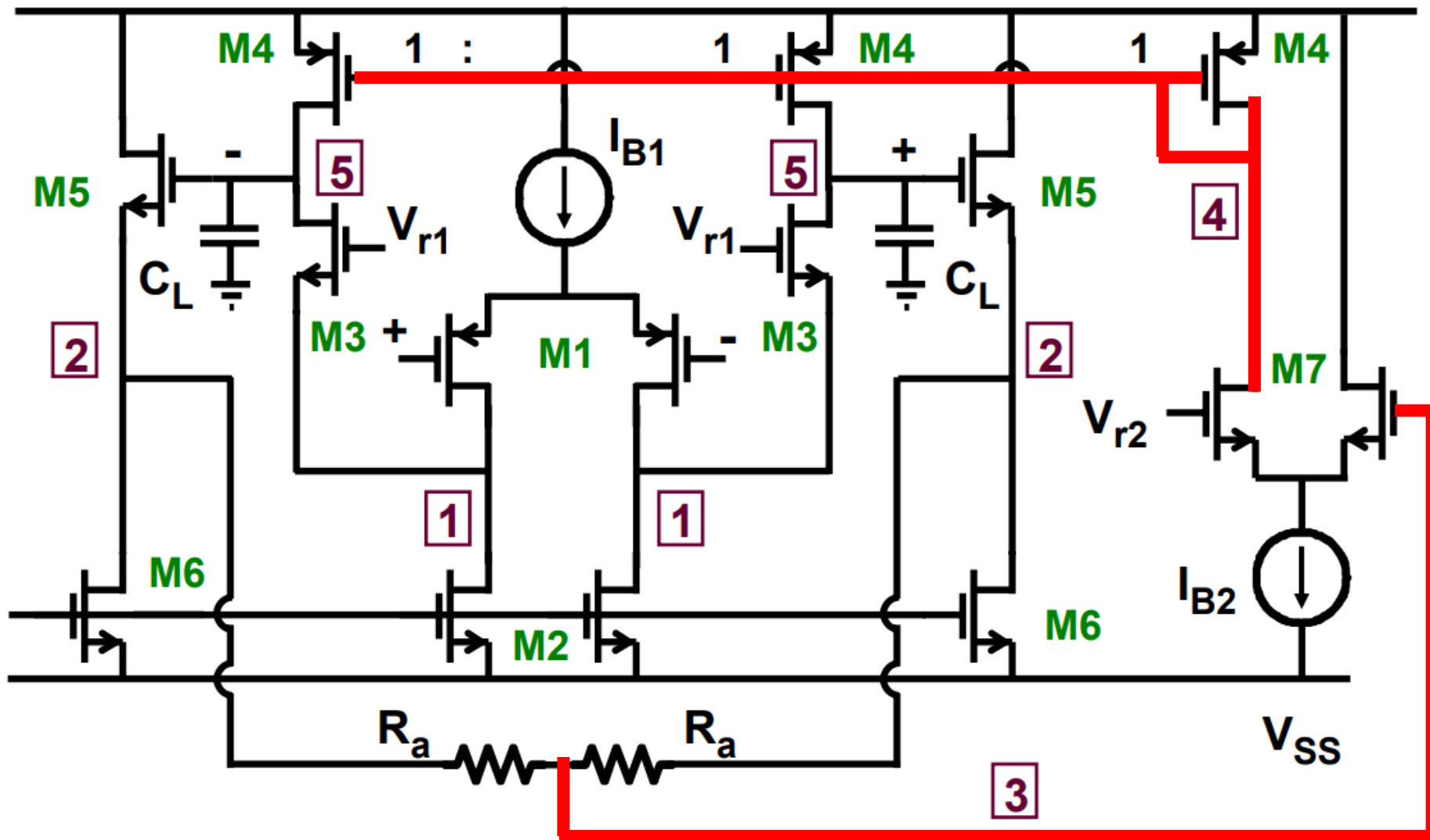
晶体管	M1	M2	M3	M4	M5	M6	M7
尺寸(um)	56/0.5	70/0.5	56/0.5	224/0.5	36/0.18	10/0.5	56/0.5
	56/0.25			224/2			



共模测试，差分信号采取开环设置，否则 V_{out} 的值在作用在共模反馈差分对M7的同时，也将通过差模反馈回路作用到M1



- 经过仿真， $g_{m7}=5.6mA/V$ ，略低于所需要的 $6.28mA/V$ 。
- 发现相位裕度只有29度，次极点出现在34.5M左右(相移135度)。



可能出现次极点的位置?

- **Net3**
RC组成的次极点显而易见
- **Net4**
Net4对于差模信号回路只是偏置; 但是, 对于共模反馈却是信号回路的一部分

Net3: 反馈电阻 $R=10K$ 的情况下

- $C_{GS7}=130f$
- $f_{nd}=244M$

Net4:

- $C_{G4}=2.74pF$
- $g_{m4}=2.39m$
- $f_{nd}=46M$

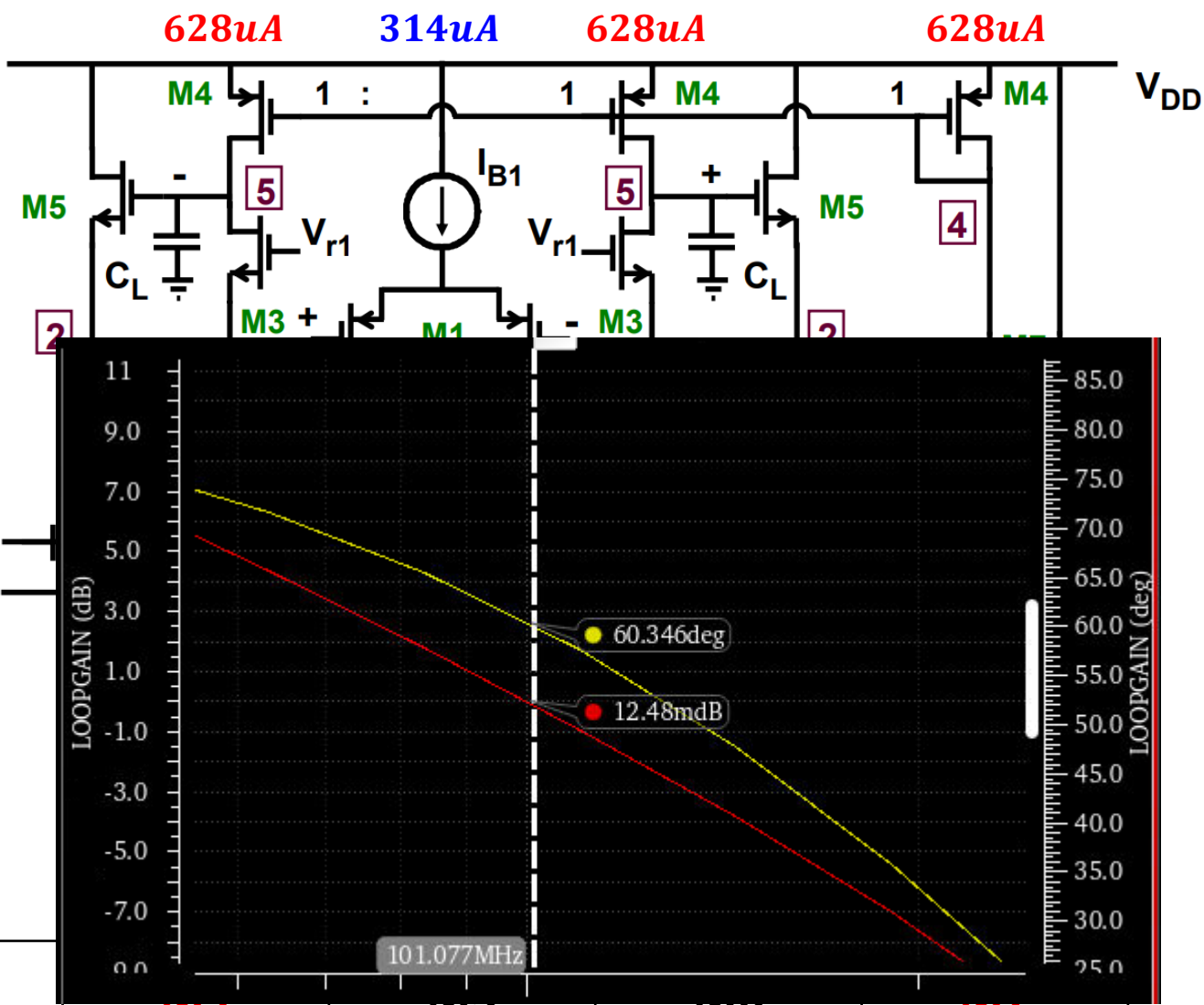
减小M4的尺寸，会使得增益再次减小，在没有增益要求的时候，可以如此修改。

W/L₄重新改小一半， Net5:

- C_{G4}=0.67pF
- PM=65
- f_{nd}=130M

在稍修改M7尺寸后

- GBW=101M
- PM=60.3



晶体管	M1	M2	M3	M4	M5	M6	M7
尺寸(um)	56/0.5	70/0.5	56/0.5	224/2	36/0.18	10/0.5	56/0.5
修改后	56/0.25			112/1			80/0.2

课后习题

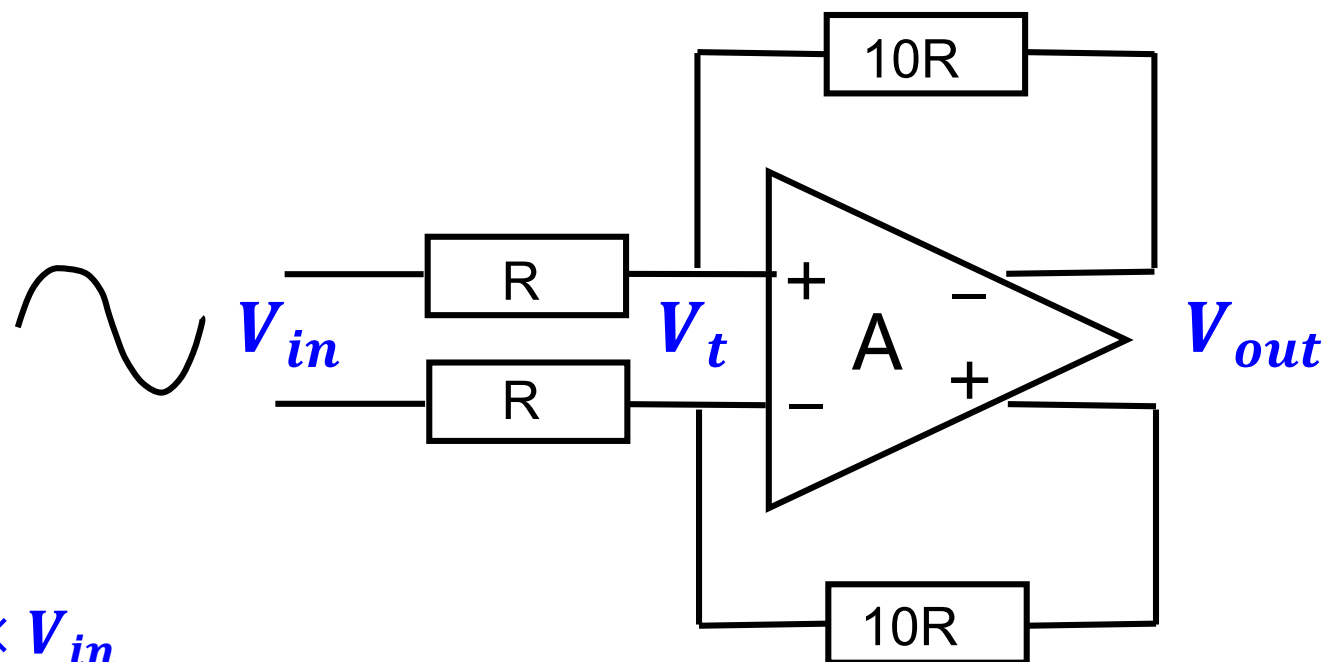
- 将上述设计的差分运放，通过电阻设置成10倍放大，观察输入差模和共模信号分别有100mVpp，10kHz的正弦信号时，差模输出信号的大小，并分析是否符合预期。

$$\begin{cases} \frac{V_{out} - V_t}{10R} = \frac{V_t - V_{in}}{R} \\ V_{out} = -A \cdot V_t \end{cases}$$

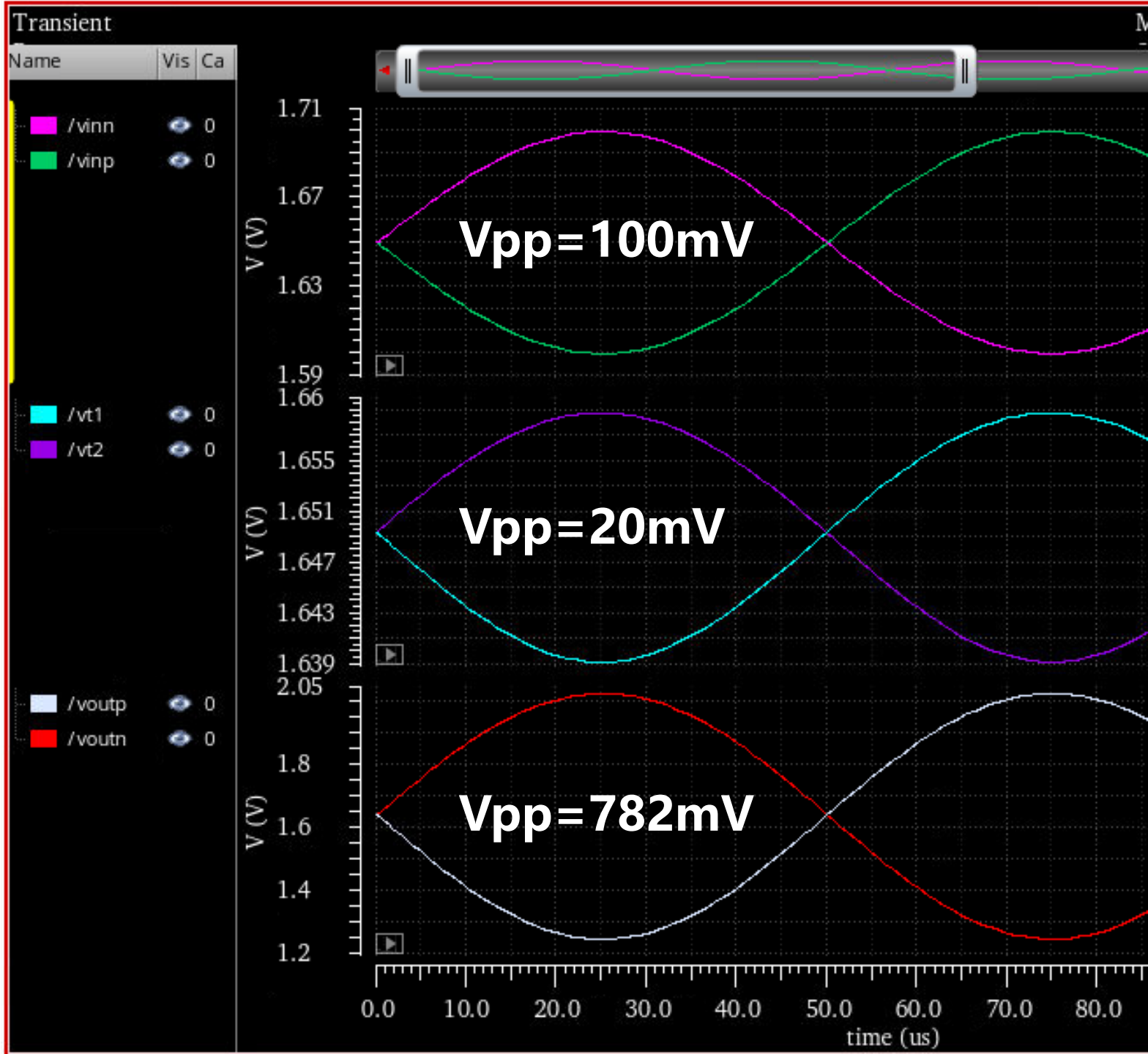
从之前的仿真结果知晓：

- $A_0 = 34.2\text{dB} = 51$

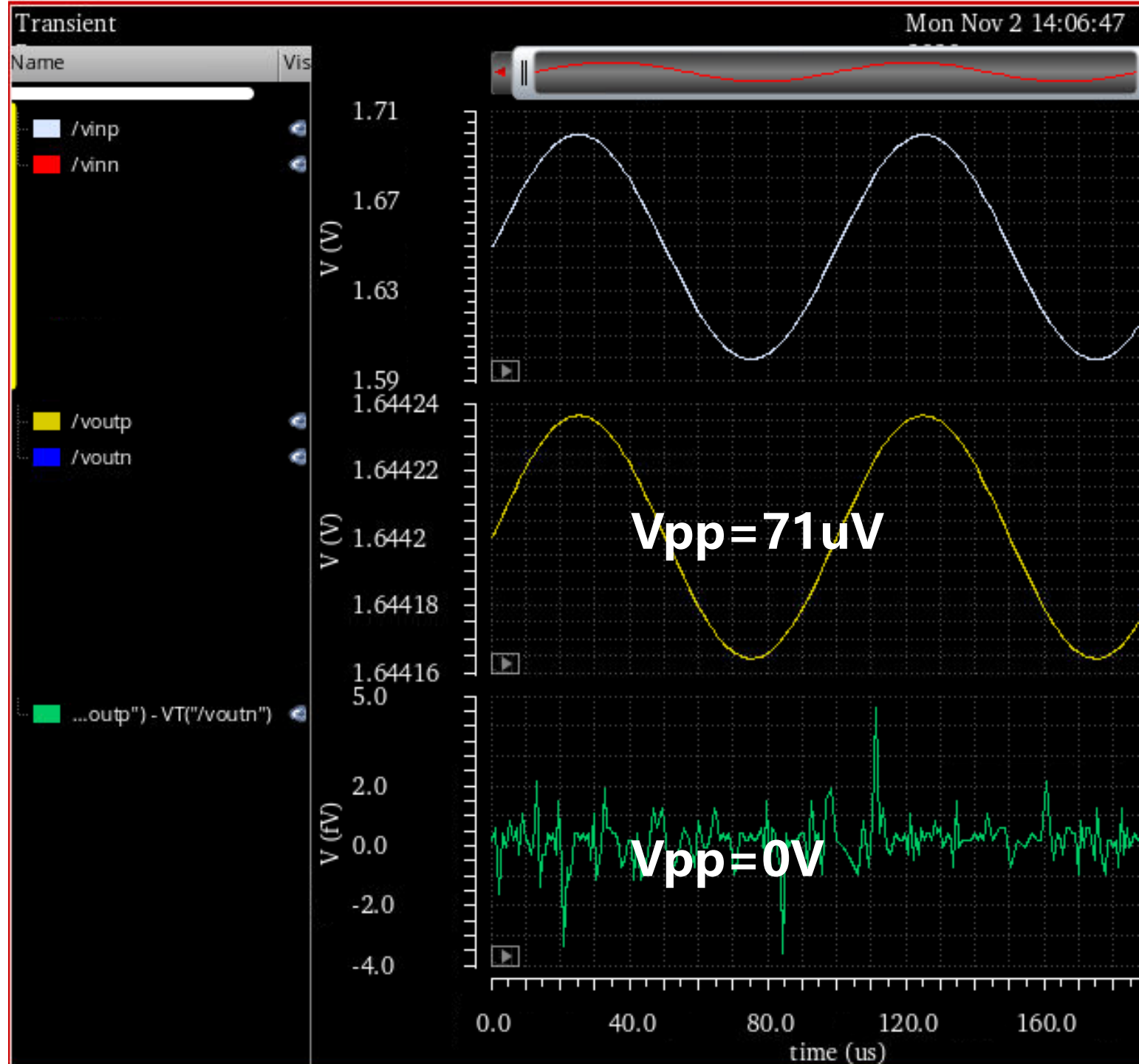
$$V_{out} = -\frac{10 \cdot A}{A + 11} \cdot V_{in} = -8.2 \times V_{in}$$



- 输入：差分100mV
- 由于有限的增益，导致运放的输入端无法实现“虚短”的特性，出现了20mV的输入
- 由于有限的增益，运放无法按电阻的比例进行放大



- 输入：共模100mV
- 由于电路的全对称结构，因此没有系统性失调的存在，差分输出约等于0
- 输出的共模变化为71uV，由于共模反馈环路的存在，共模输入/共模输出的CMRR从原来的18dB增加到57dB，增加量即为共模反馈的环路增益 (39dB)



Homework 6

Solution 2: Using Weak Inversion

电路图过于老旧，其架构不适合我们工艺所要求的1.8V电源电压

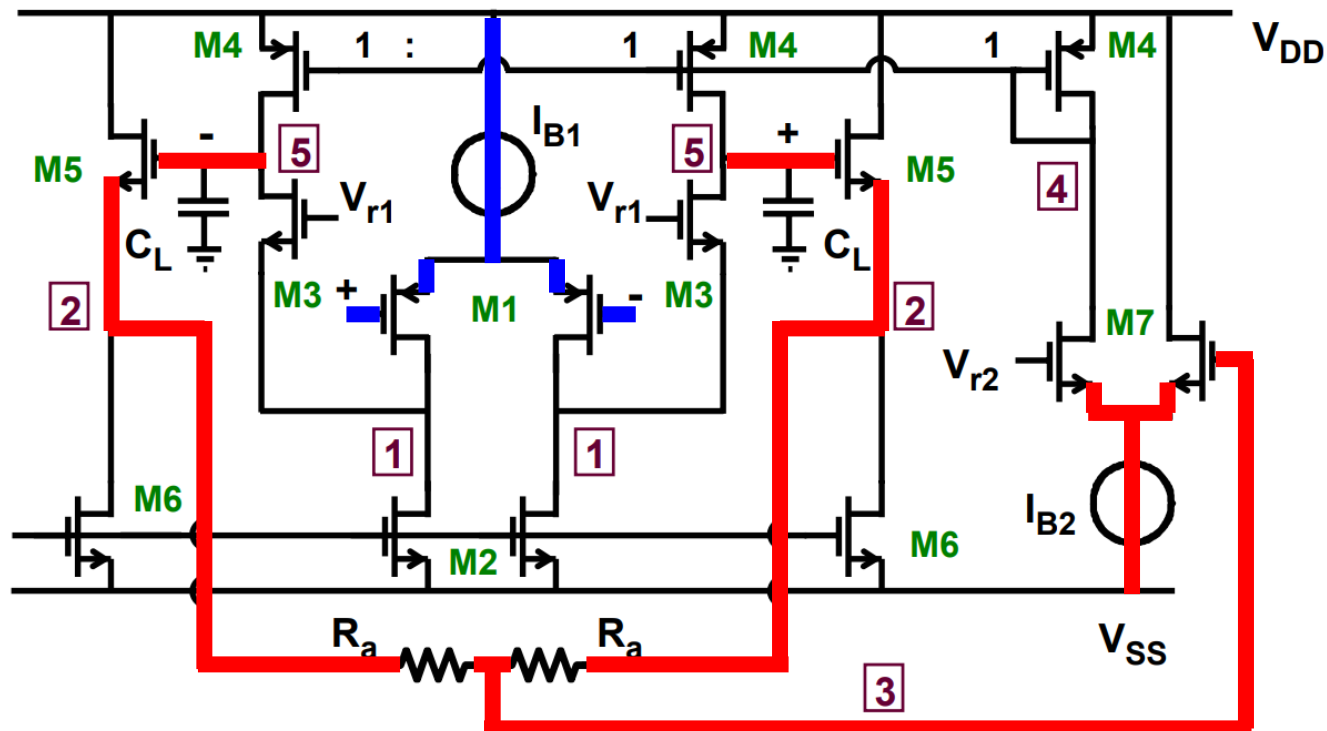
$$V_{OUT} - V_{GS5} = V_{r2}$$

$$V_{r2} - V_{GS7} > V_{DSat}$$

$$V_{OUT} + V_{GS1} < V_{DD} - V_{DSat}$$

$$V_{GS5} + V_{GS7} + V_{DSat} < V_{OUT} < V_{DD} - V_{DSat} - V_{GS1}$$

假设 $V_{GS} = 0.3V$, $V_{DSat} = 0.1V \Rightarrow 0.7V < V_{OUT} < 1.4V$



• $GBW_{DM}=50MHz, C_L=5pF$

$GBW_{DM} = \frac{g_{m1}}{2\pi C_L}$

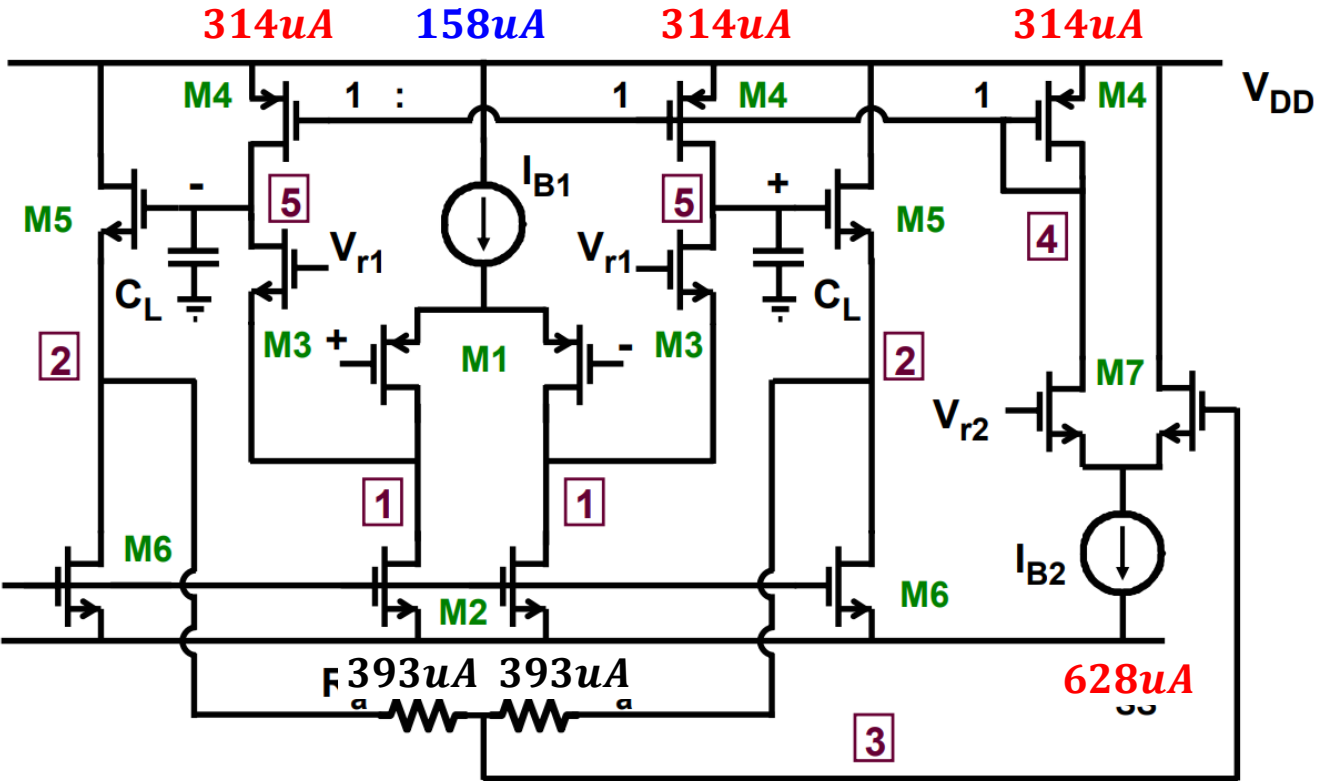
$g_{m1} = GBW_{DM} \cdot 2\pi C_L = 1.57mA/V$

$g_{m7} = GBW_{CM} \cdot 4\pi C_L = 6.28mA/V$

合理假设 $g_m/I_D=20$

$I_{D1} = 79\mu A$

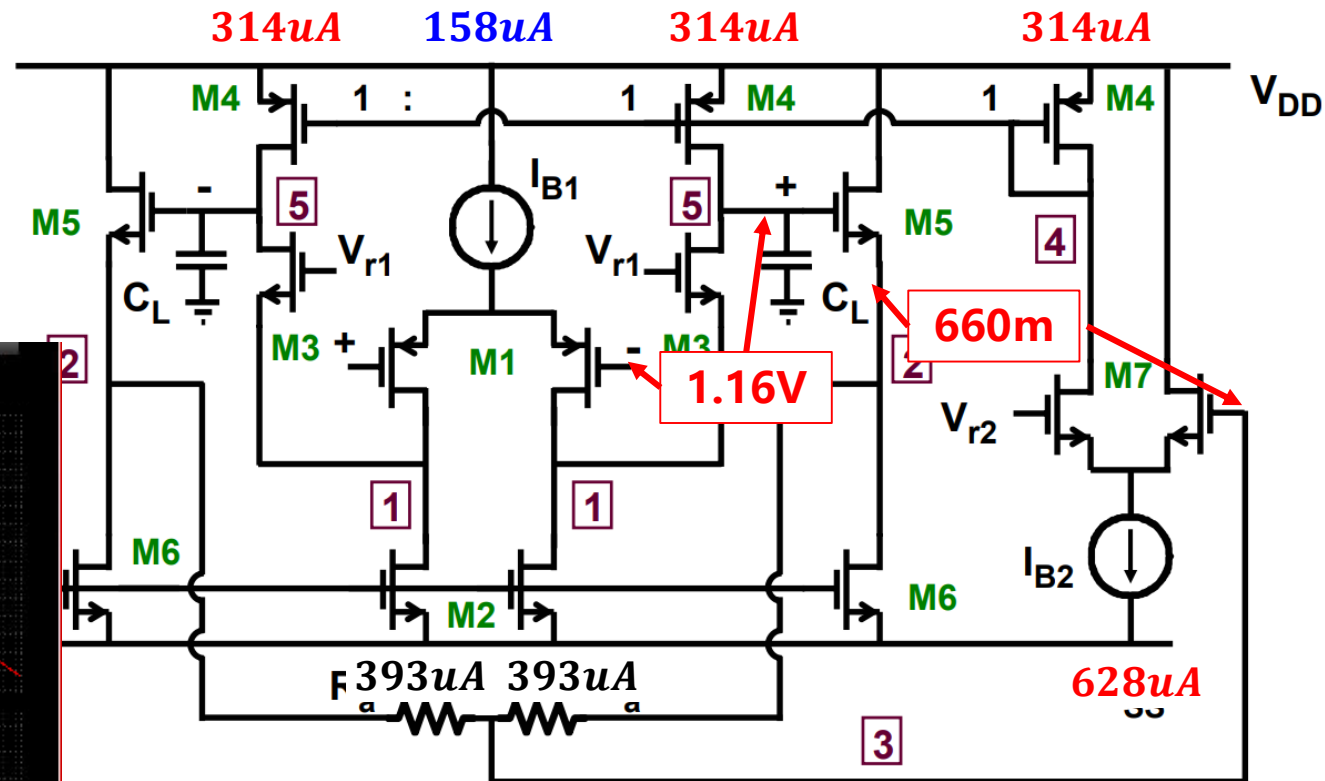
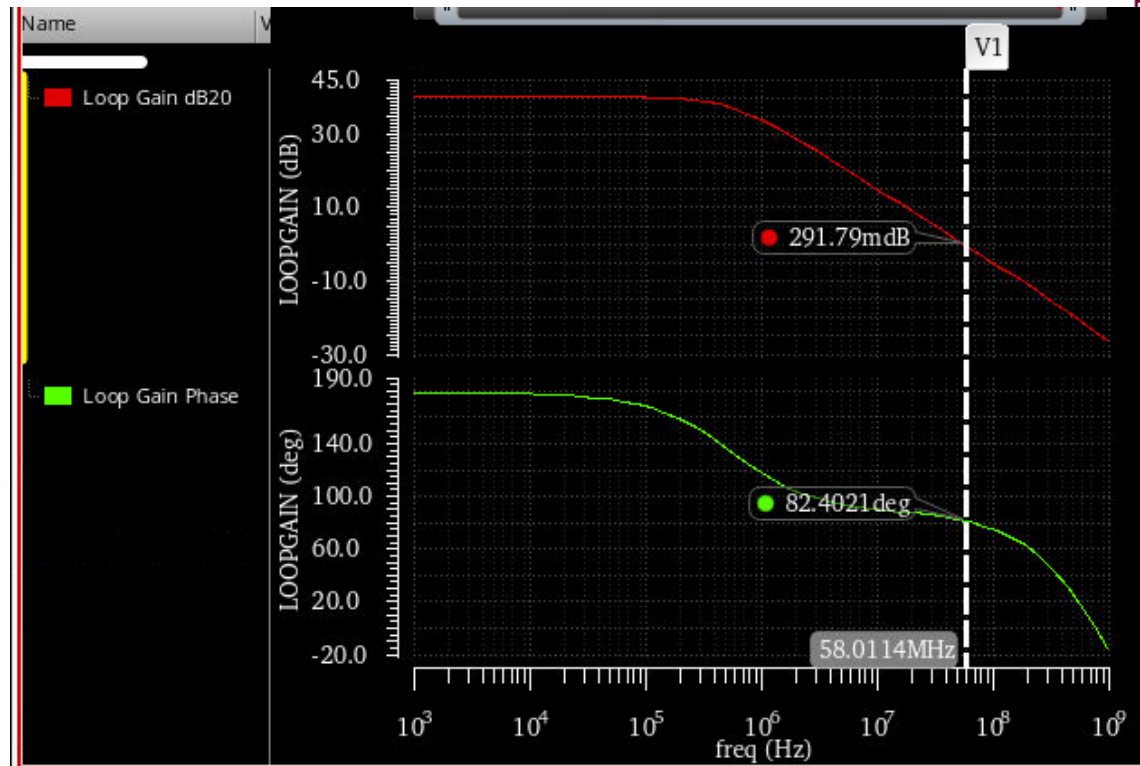
$I_{D7} = 314\mu A$



晶体管	M1	M2	M3	M4	M5	M6	M7
尺寸(um)	?	35/0.5	56/0.5	56/0.5	?	10/0.5	?

仿真得到:

- $GBW_{DM} = 58M$
- $PM = 82$



晶体管	M1	M2	M3	M4	M5	M6	M7
尺寸(um)	224/0.2	35/0.5	56/0.5	56/0.5	144/0.18	10/0.5	224/0.2

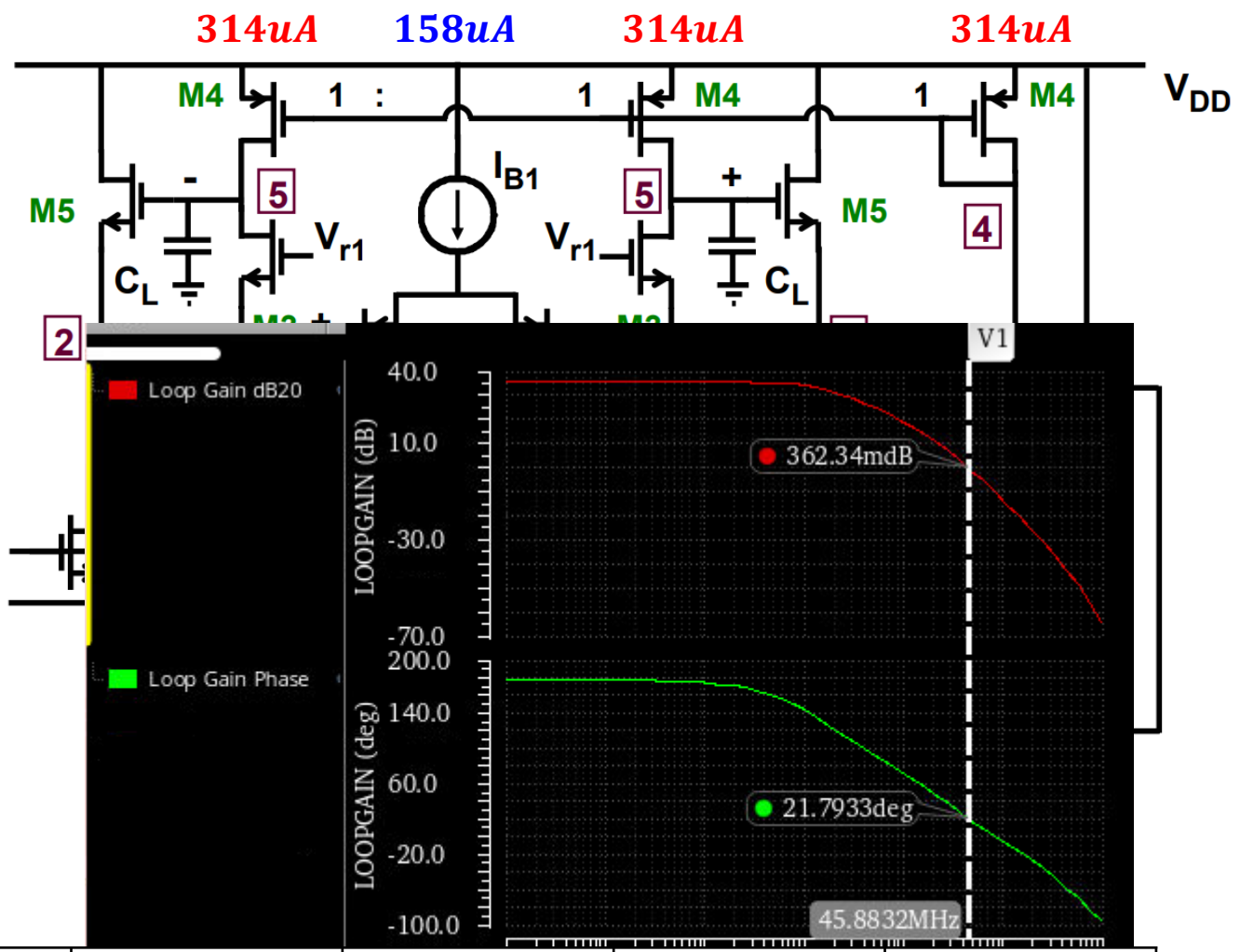
仿真得到:

- $GBW_{CM} = 48M$
- $PM = 22$

显然次极点出现导致GBW不足以及PM过小。

通过同样的分析，发现Net4的极点在800M，Net3的极点在38M。

因此需要：1.减小 R_a 的阻值；2.增加 g_{m5} 的值；3.增加 I_5 以增加驱动能力



晶体管	M1	M2	M3	M4	M5	M6	M7
尺寸(um)	224/0.2	35/0.5	56/0.5	56/0.5	144/0.18	10/0.5	224/0.2
						40/0.5	

课后习题

- 将上述设计的差分运放，通过电阻设置成10倍放大，观察输入差模和共模信号分别有100mVpp, 10kHz的正弦信号时，差模输出信号的大小，并分析是否符合预期。

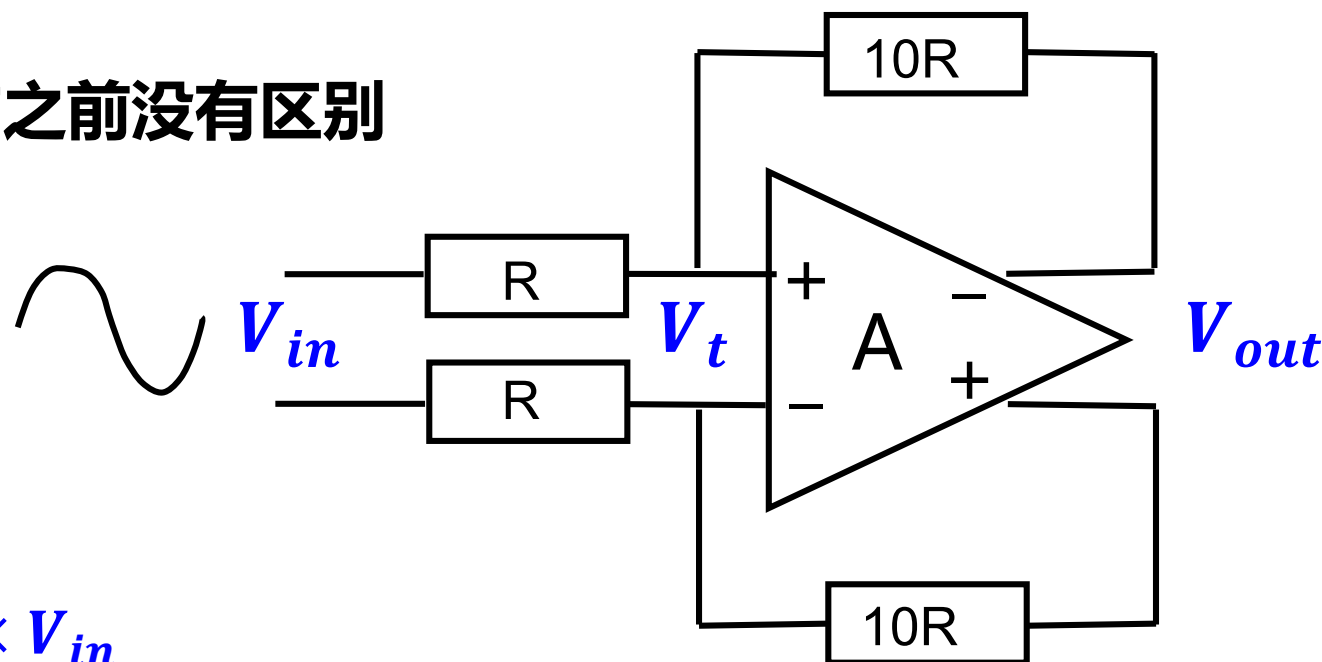
从之前的仿真结果知晓：

- $A_0 = 34.2\text{dB} = 51$

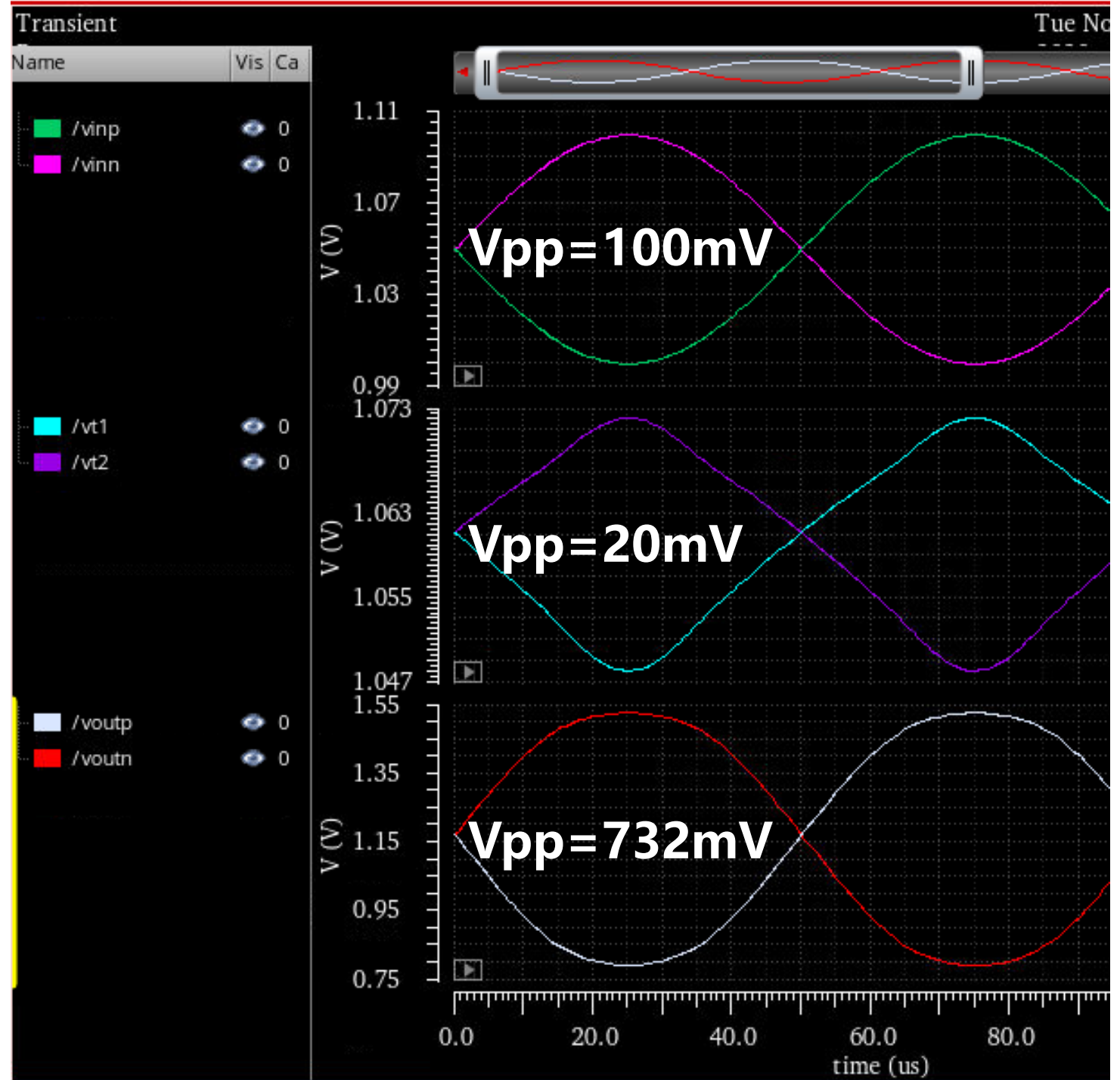
← 与之前没有区别

$$\begin{cases} \frac{V_{out} - V_t}{10R} = \frac{V_t - V_{in}}{R} \\ V_{out} = -A \cdot V_t \end{cases}$$

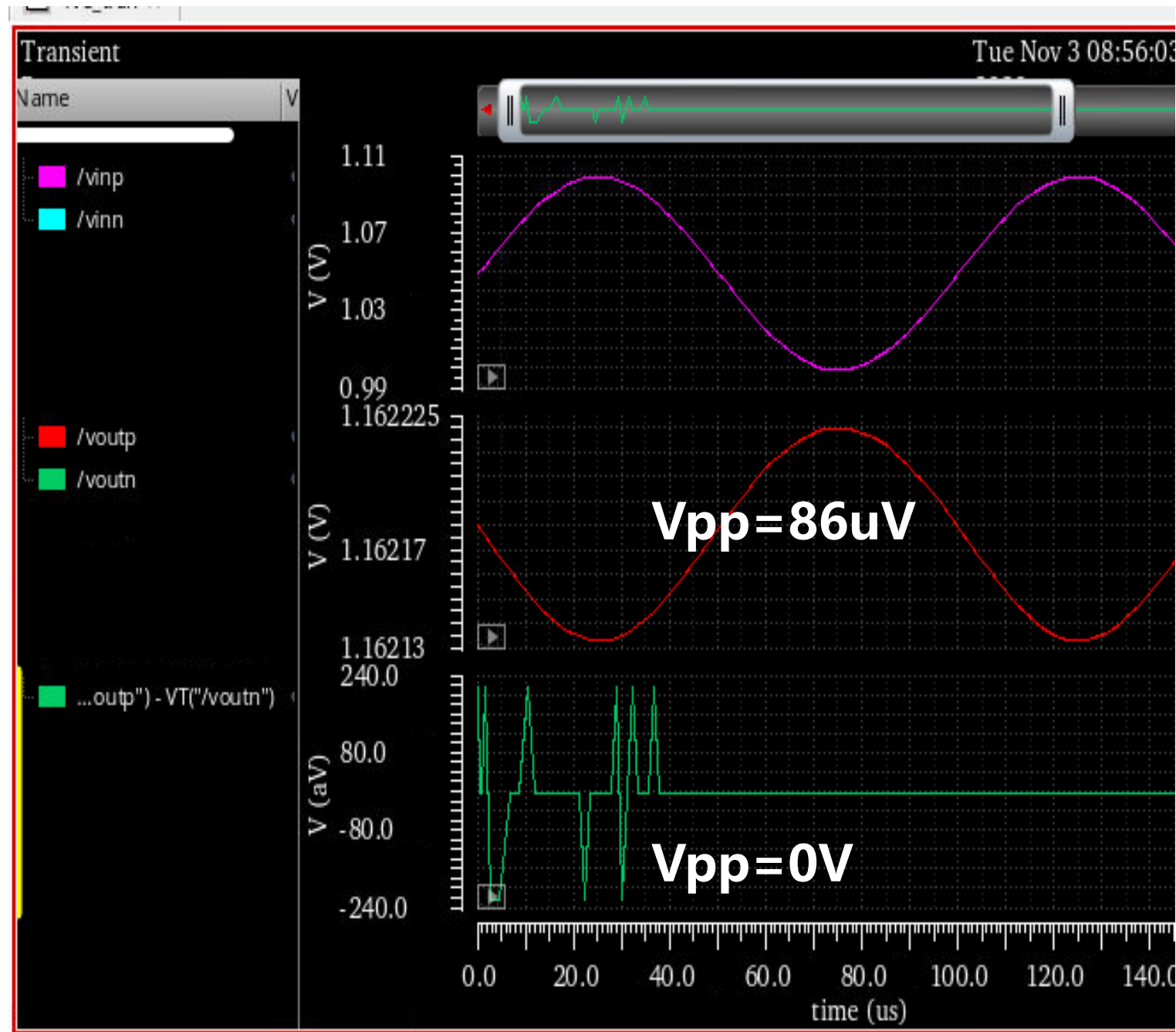
$$V_{out} = -\frac{10 \cdot A}{A + 11} \cdot V_{in} = -8.2 \times V_{in}$$



- 输入：差分100mV
- 由于驱动力以及电压裕度的不足，输出信号出现了明显的失真



- 输入：共模100mV
- 由于电路的全对称结构，因此没有系统性失调的存在，差分输出约等于0
- 输出的共模变化为86uV，由于共模反馈环路的存在，共模输入/共模输出的CMRR表现优异。



Homework 6

Solution 3: Using different circuit configuration

电路图过于老旧，其架构不适合我们工艺所要求的1.8V电源电压

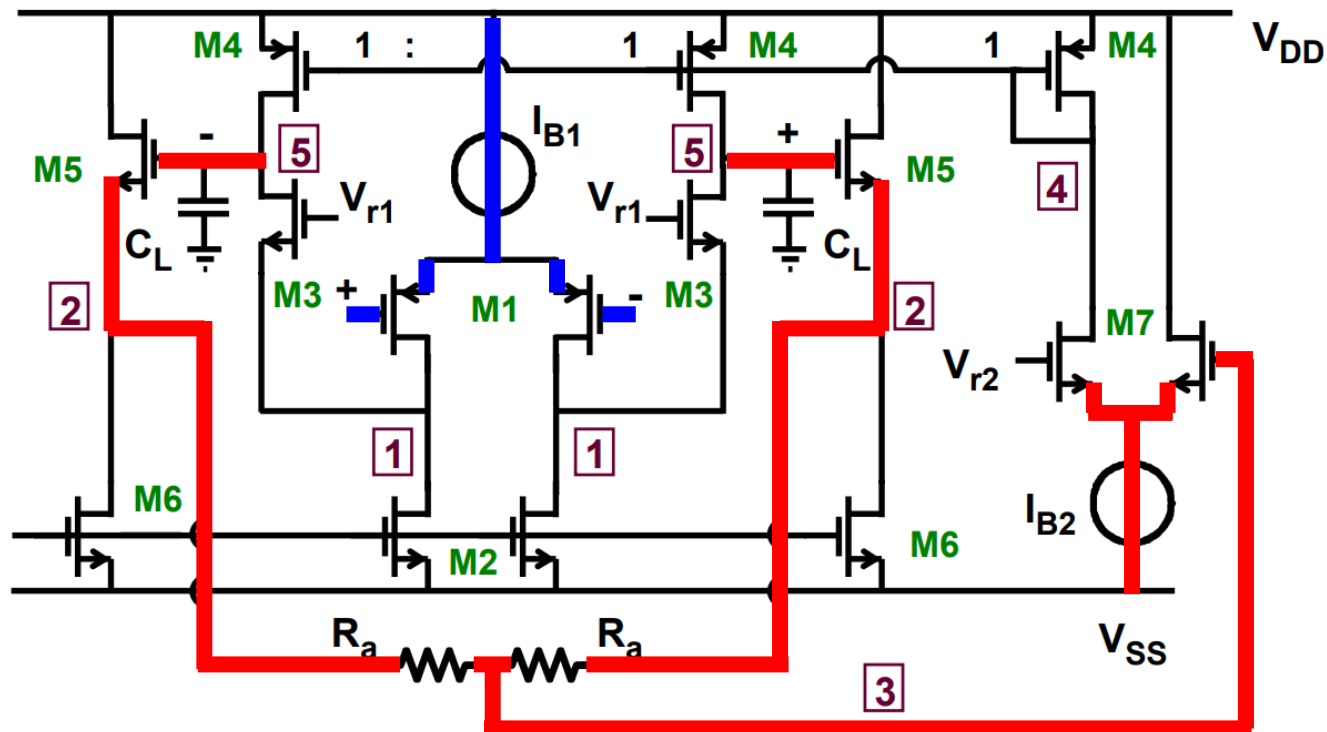
$$V_{OUT} - V_{GS5} = V_{r2}$$

$$V_{r2} - V_{GS7} > V_{DSat}$$

$$V_{OUT} + V_{GS1} < V_{DD} - V_{DSat}$$

$$V_{GS5} + V_{GS7} + V_{DSat} < V_{OUT} < V_{DD} - V_{DSat} - V_{GS1}$$

✓ 我们可以在共模反馈回路中使用PMOS差分对!



采用PMOS后，电路的静态工作区间要求变成了：

$$V_{OUT} - V_{GS5} = V_{r2} > V_{DSat}$$

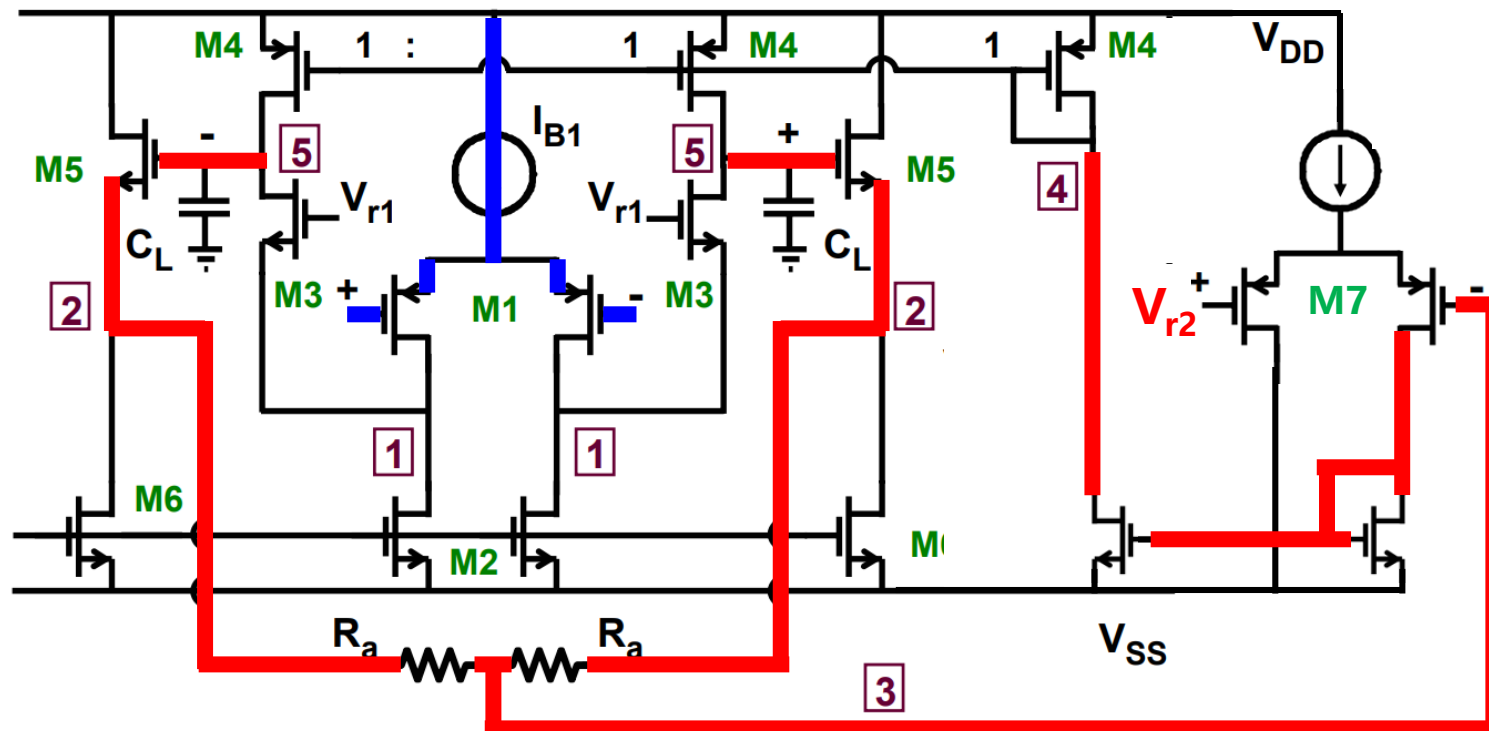
$$V_{r2} < V_{DD} - V_{DSat} - V_{GS7}$$

$$V_{OUT} + V_{GS1} < V_{DD} - V_{DSat}$$

$$\begin{cases} V_{OUT} < V_{DD} - V_{DSat} - V_{GS1} \\ V_{GS5} + V_{DSat} < V_{OUT} < V_{DD} - V_{DSat} + V_{GS5} - V_{GS7} \end{cases}$$

$$V_{GS5} + V_{DSat} < V_{OUT} < V_{DD} - V_{DSat} - V_{GS1}$$

✓ 输出范围增大了一个 V_{GS}

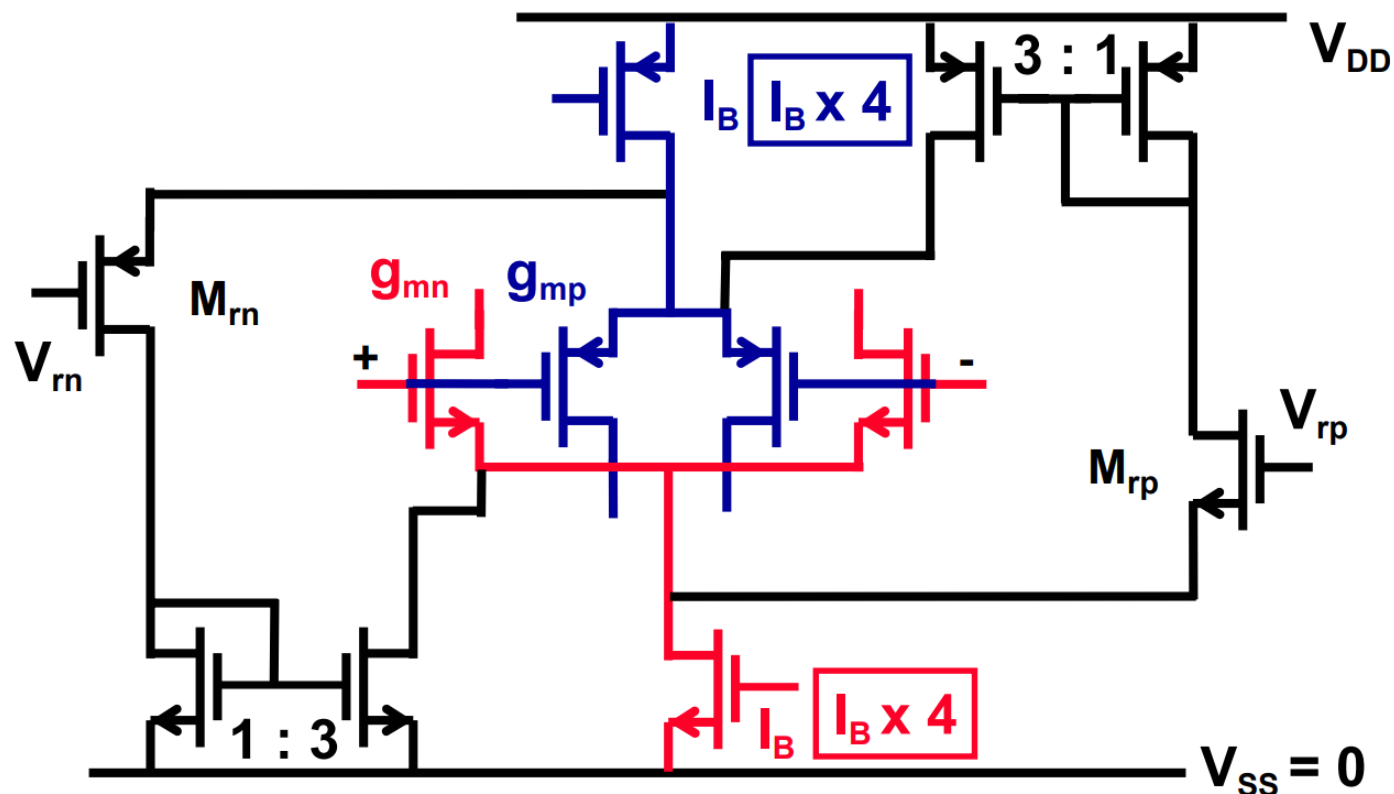


Homework 7

- 设计一轨到轨输入的单级运放，要求指标：

- $V_{DD}=1.8V$
- $GBW=100MHz$, $C_L=10pF$, $PM=60$

- 因为 GBW 较高，采用强反型区，因此使用下图电路：



- 单级运放，采用最简单的电流镜有源负载

