



CMOS模拟集成电路设计

第十章：奈奎斯特转换器： ADC & DAC

胡远奇

©2020



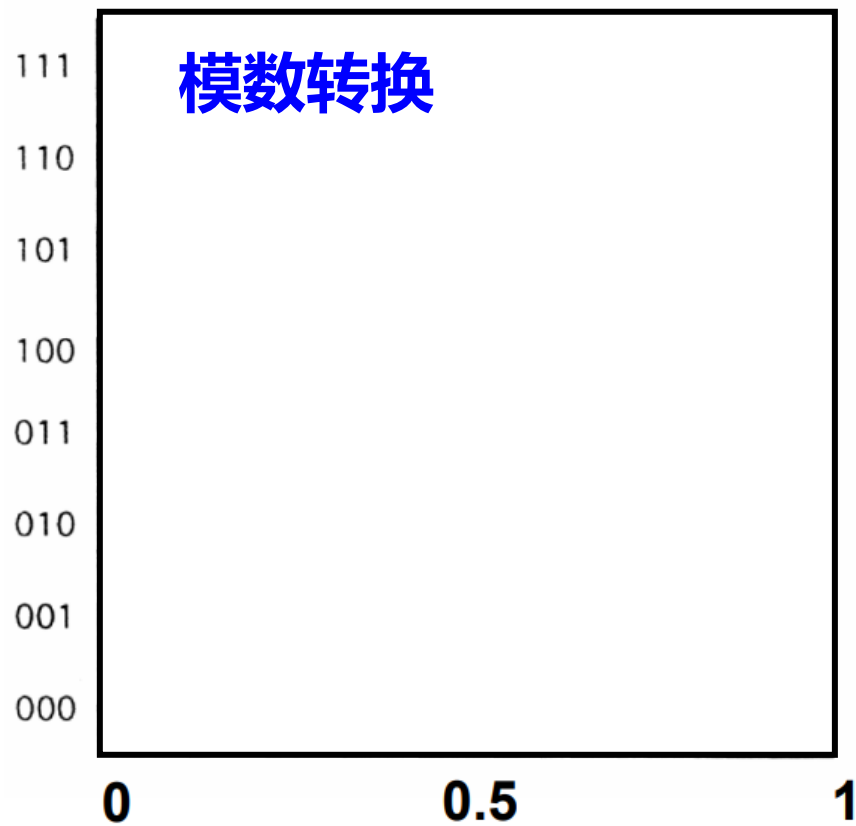
ADC & DAC

- 定义
- 数字-模拟转换器
 - 电阻式
 - 电容式
 - 电流驱动
- 模拟-数字转换器
 - 积分式
 - 逐次渐进式
 - Flash



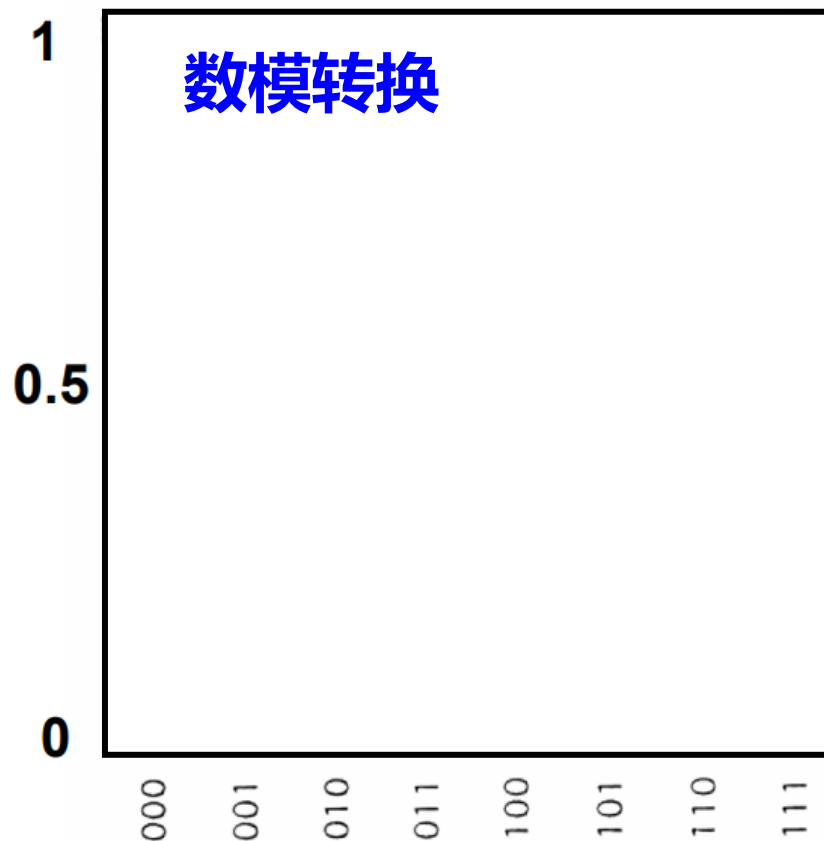
ADC & DAC

输出代码



V_{ref} 归一化模拟输入

V_{ref} 归一化模拟输出

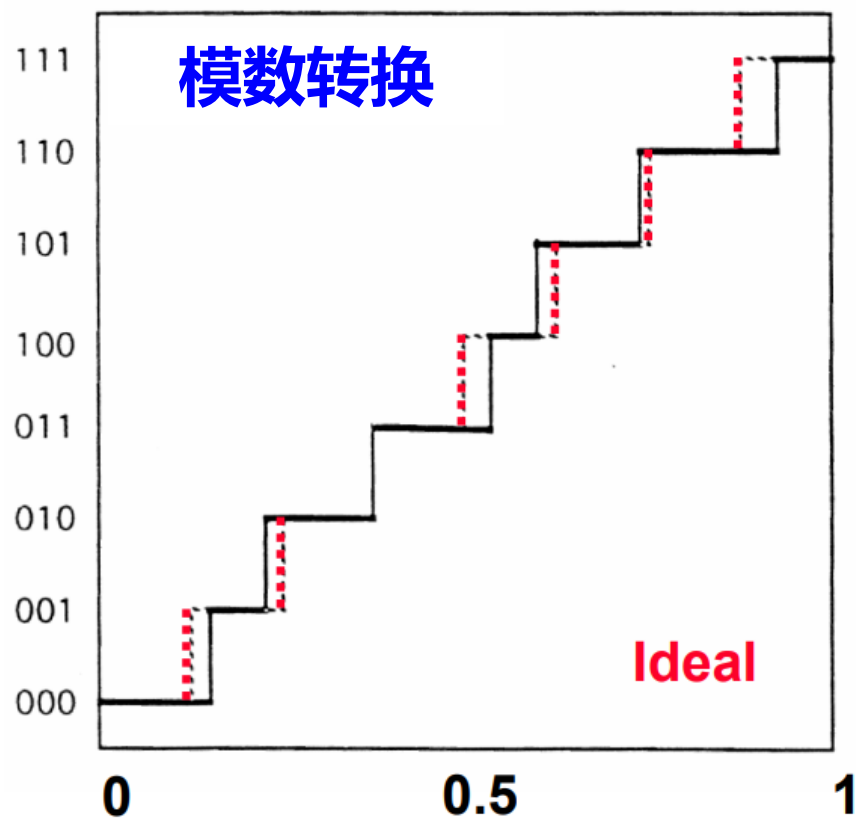


输入代码



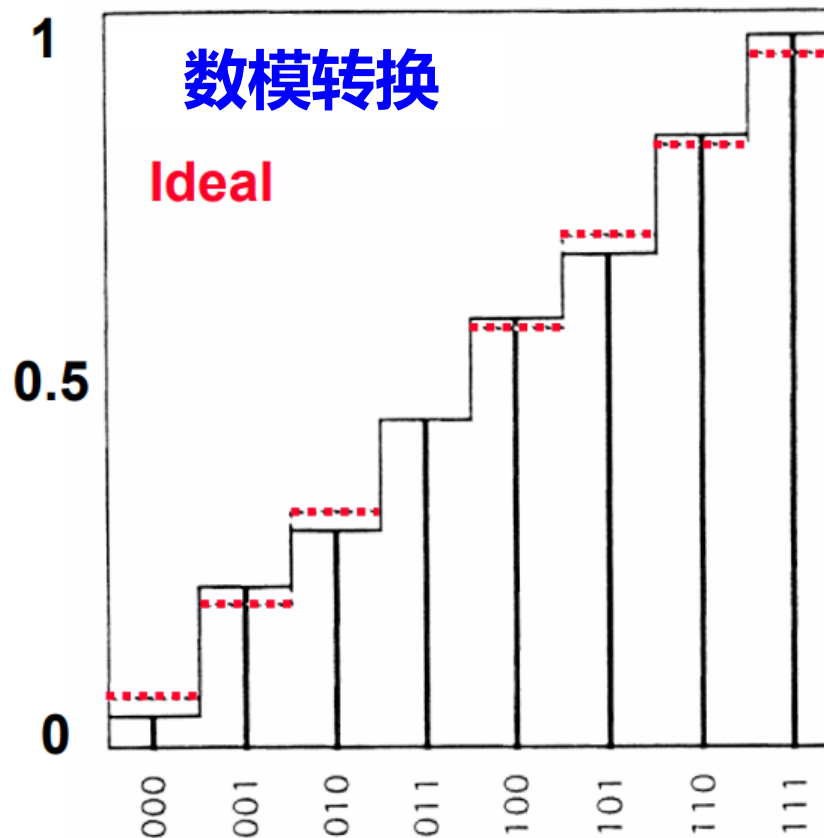
ADC & DAC

输出代码



V_{ref} 归一化模拟输入

V_{ref} 归一化模拟输出

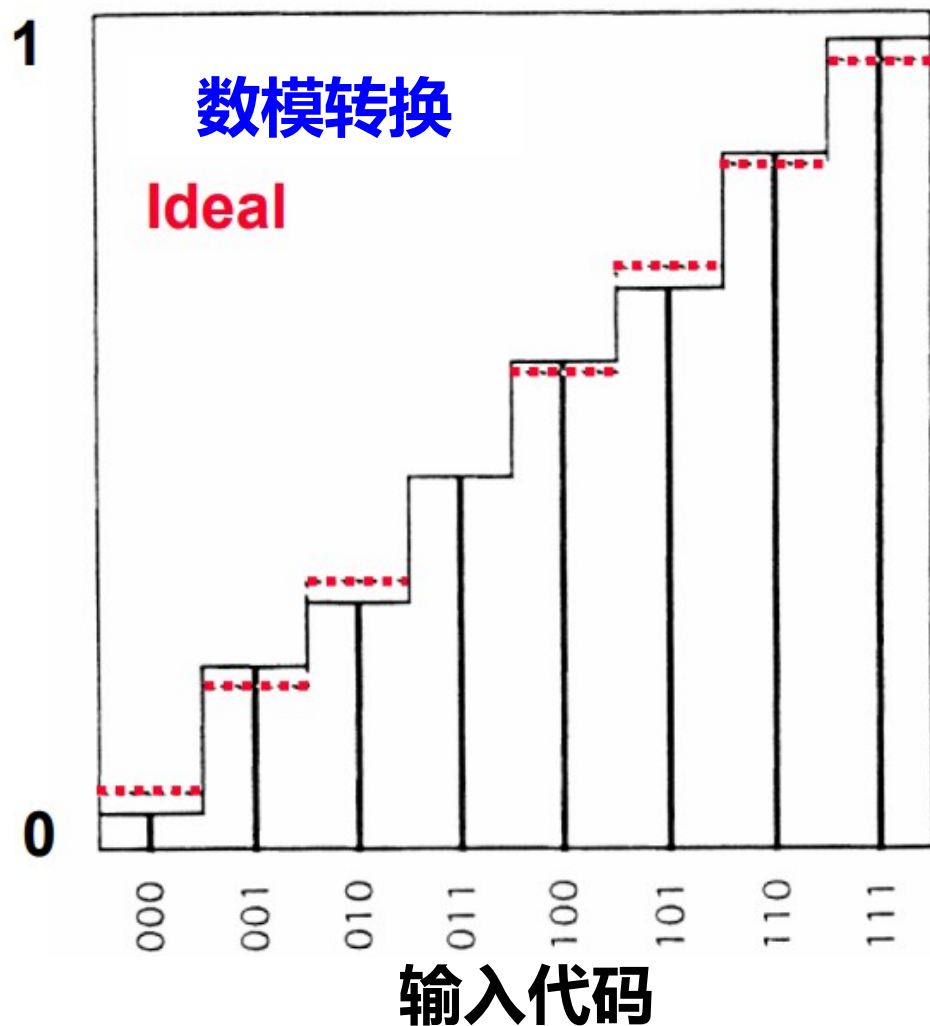


输入代码



DAC的分辨率

V_{ref} 归一化模拟输出



$$V_{\text{OUT}} = V_{\text{REF}} B_{\text{IN}}$$

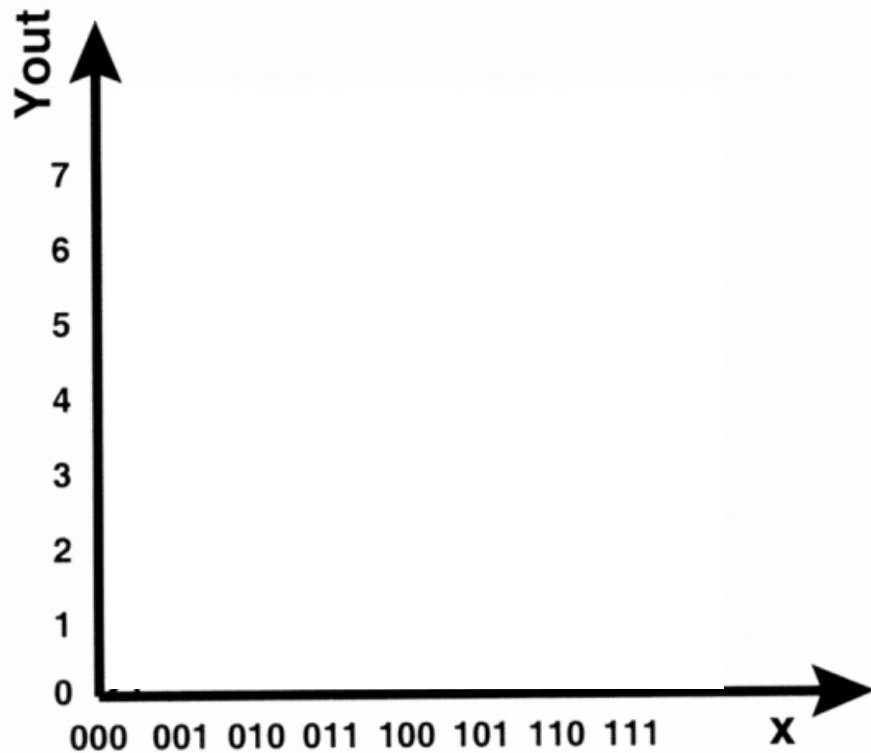
$$= V_{\text{REF}} \left(\frac{b_1}{2^1} + \frac{b_2}{2^2} + \frac{b_3}{2^3} + \dots + \frac{b_N}{2^N} \right)$$

$$V_{\text{LSB}} = \frac{V_{\text{REF}}}{2^N}$$

b_1 最高有效位
Most Significant bit (MSB)

b_N 最低有效位
Least Significant bit (LSB)

量化误差(Quantisation Error)



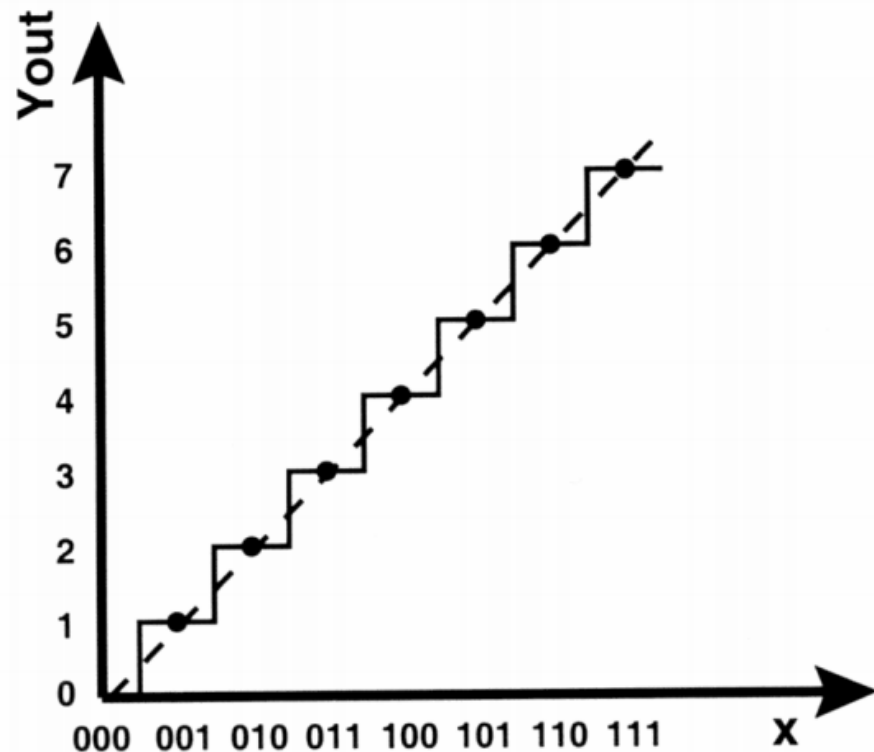
$P_{Noise} =$

$P_{Signal} =$

误差



>>> 量化误差



$$P_{\text{Noise}} = \frac{1}{\Delta} \int_{-\Delta/2}^{\Delta/2} \epsilon^2 d\epsilon = \frac{\Delta^2}{12}$$

$$V_{\text{ptp}} = 2^N \Delta$$

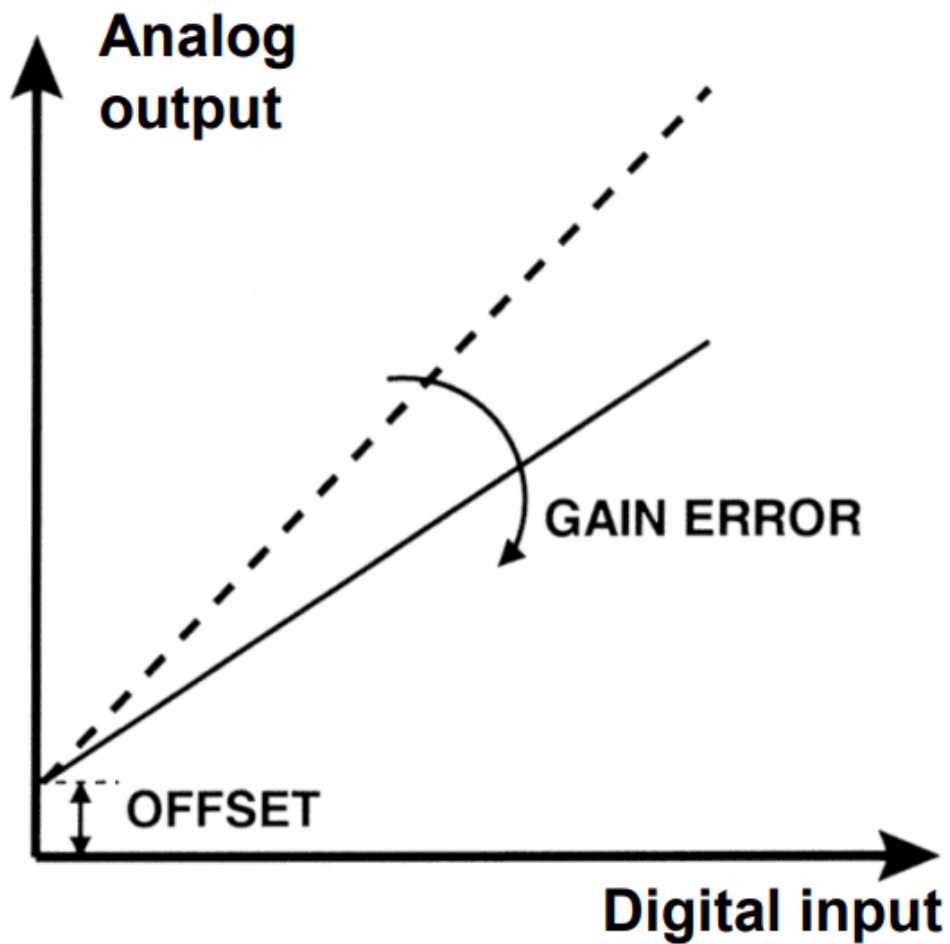
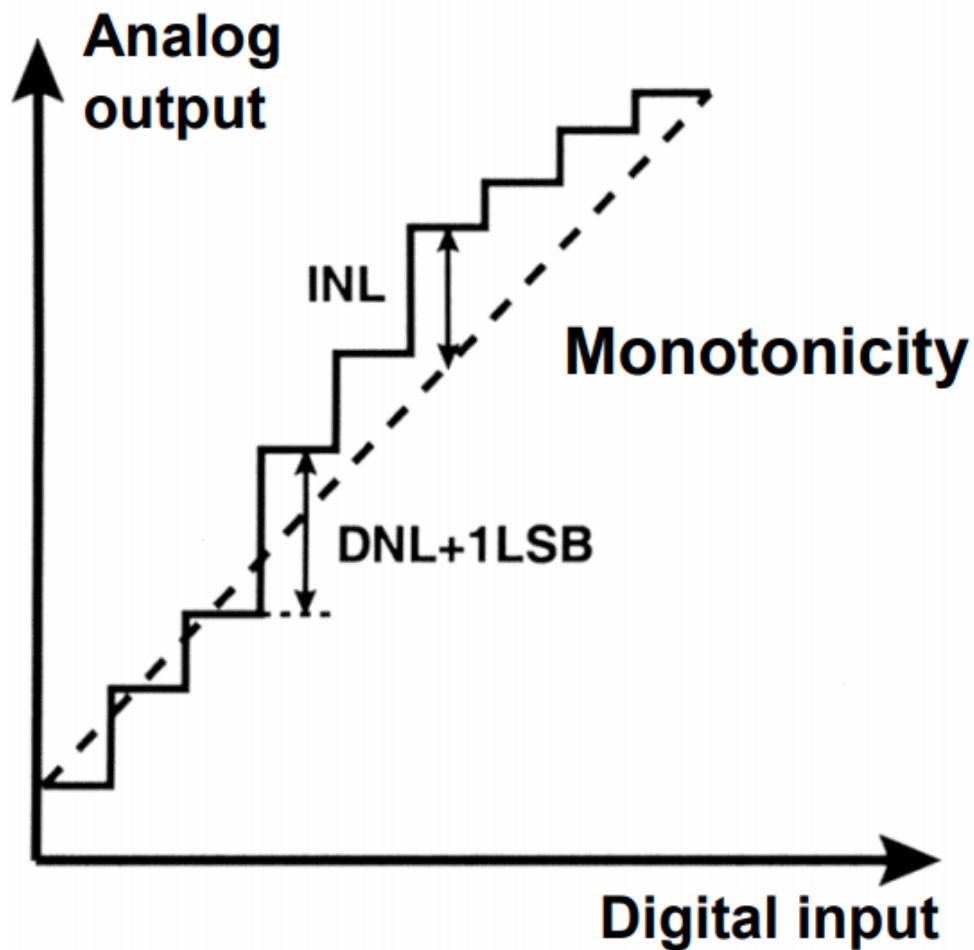
$$P_{\text{Signal}} = \frac{V_{\text{ptp}}^2}{8}$$

$$\text{SNR} = \frac{3}{2} 2^{2N}$$

$$\text{SNR} = 6N + 1.76 \text{ dB}$$



静态指标：INL & DNL

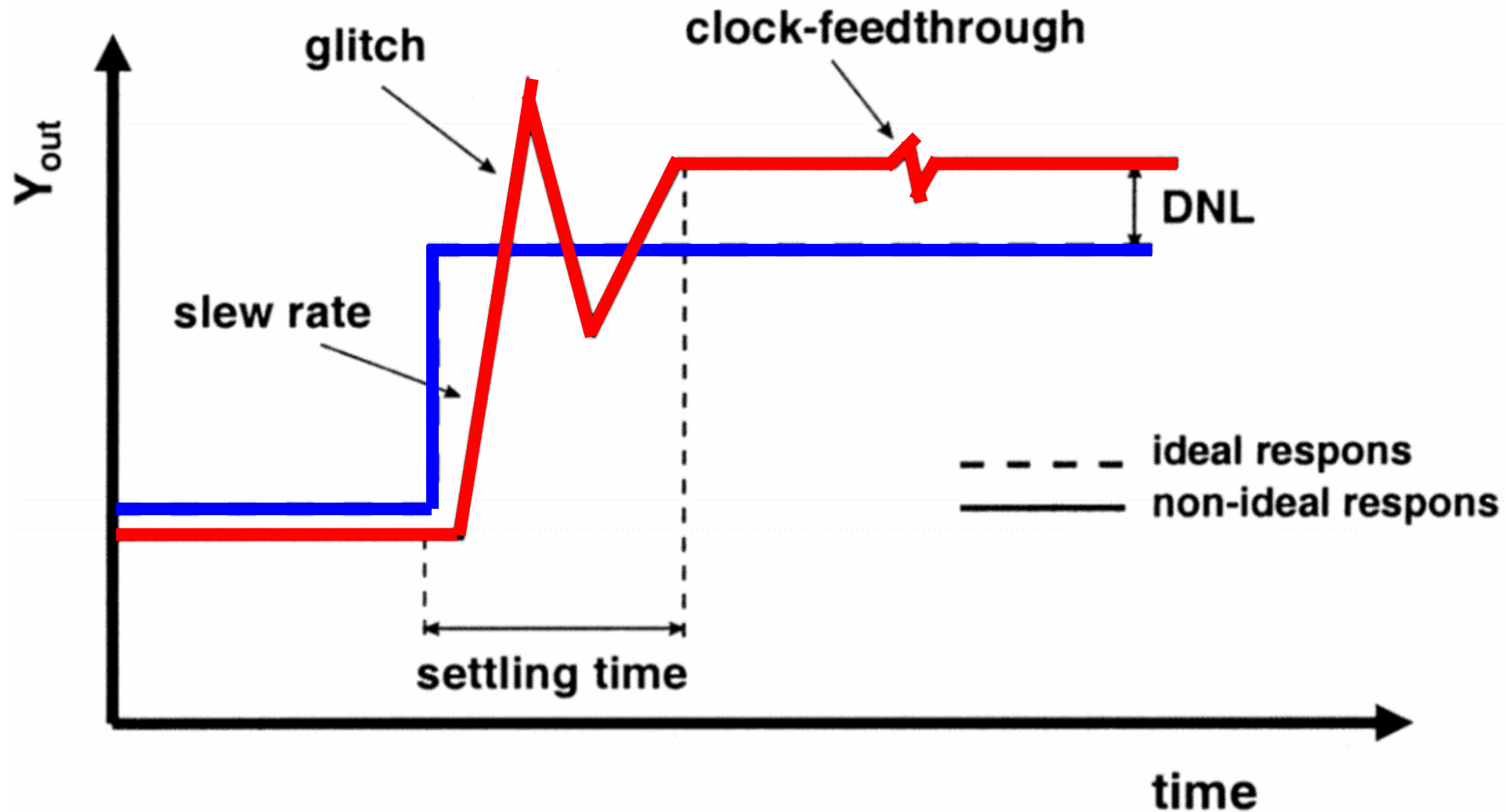


差分非线性度 (Differential Nonlinearity) : $DNL = Y_{OUT}(B) - Y_{OUT}(B-1) - 1 \text{ LSB}$

积分非线性度 (Integral Nonlinearity) : $INL = Y_{OUT}(B) - Y_{OUT,id}(B)$



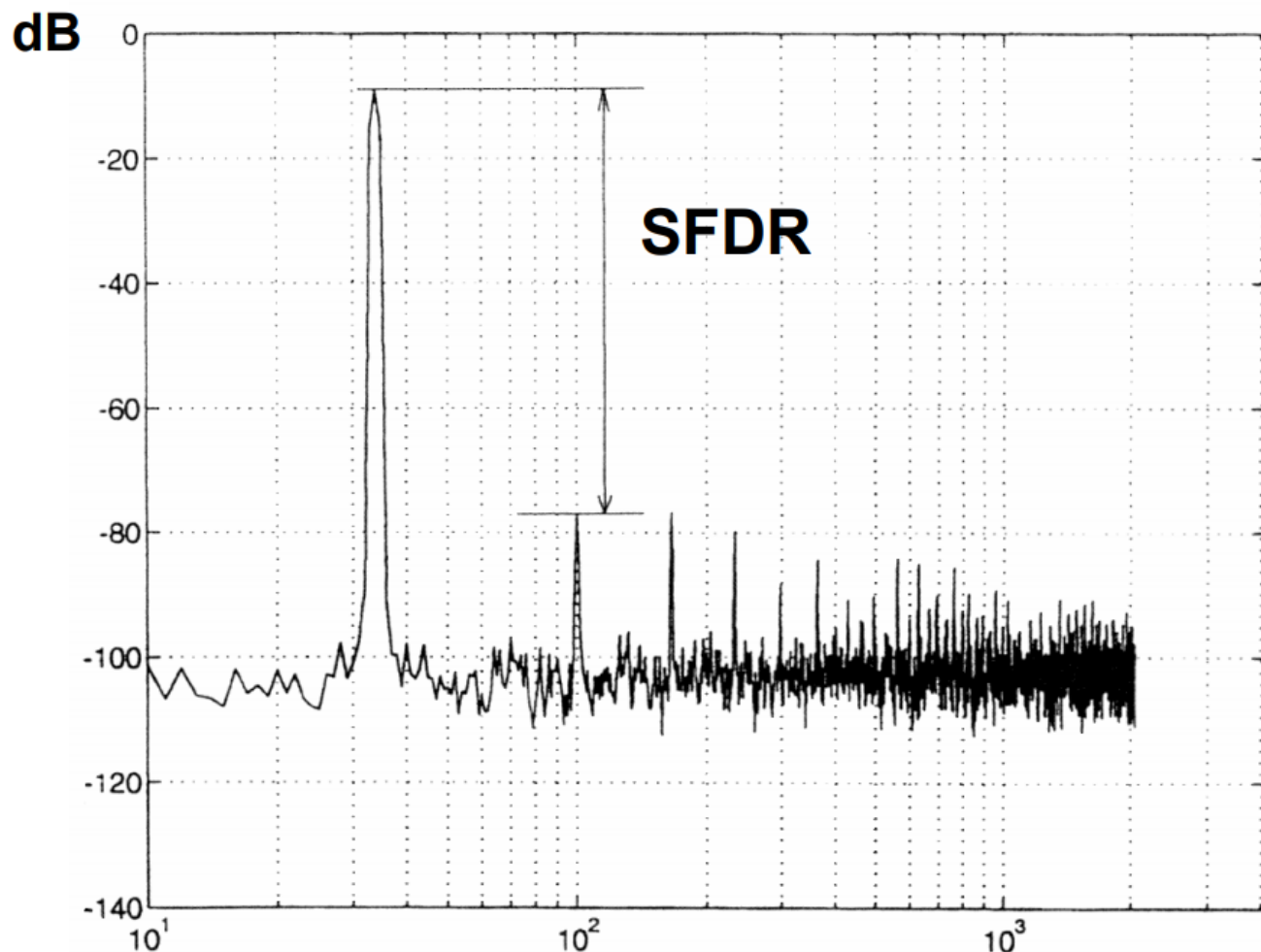
动态指标



—— 理想DAC响应

—— 实际DAC响应

>>> 频谱内容



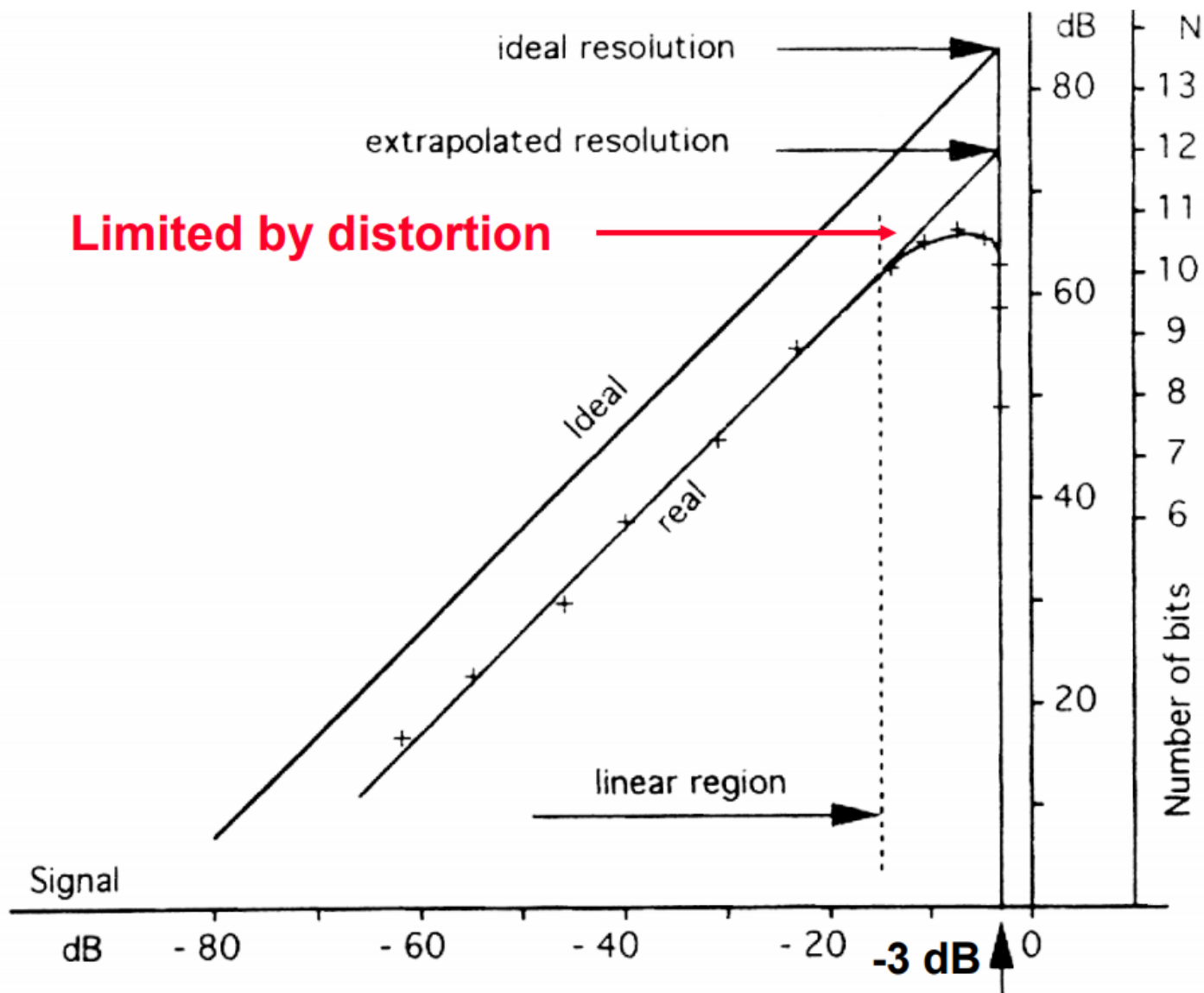
SFDR: Spurious free dynamic range, 无杂散动态范围

SNDR: Signal to Noise & Distortion Ratio, 信噪失真比

ENOB: Effective Number Of Bits, 有效位数

Frequency (Hz)

>>> 信噪比与输入信号的关系



系统的有效分辨率被大输入信号的失真所限制，原本可以达到**74dB/12位**分辨率的系统，最终只实现了**66dB/10.6位**

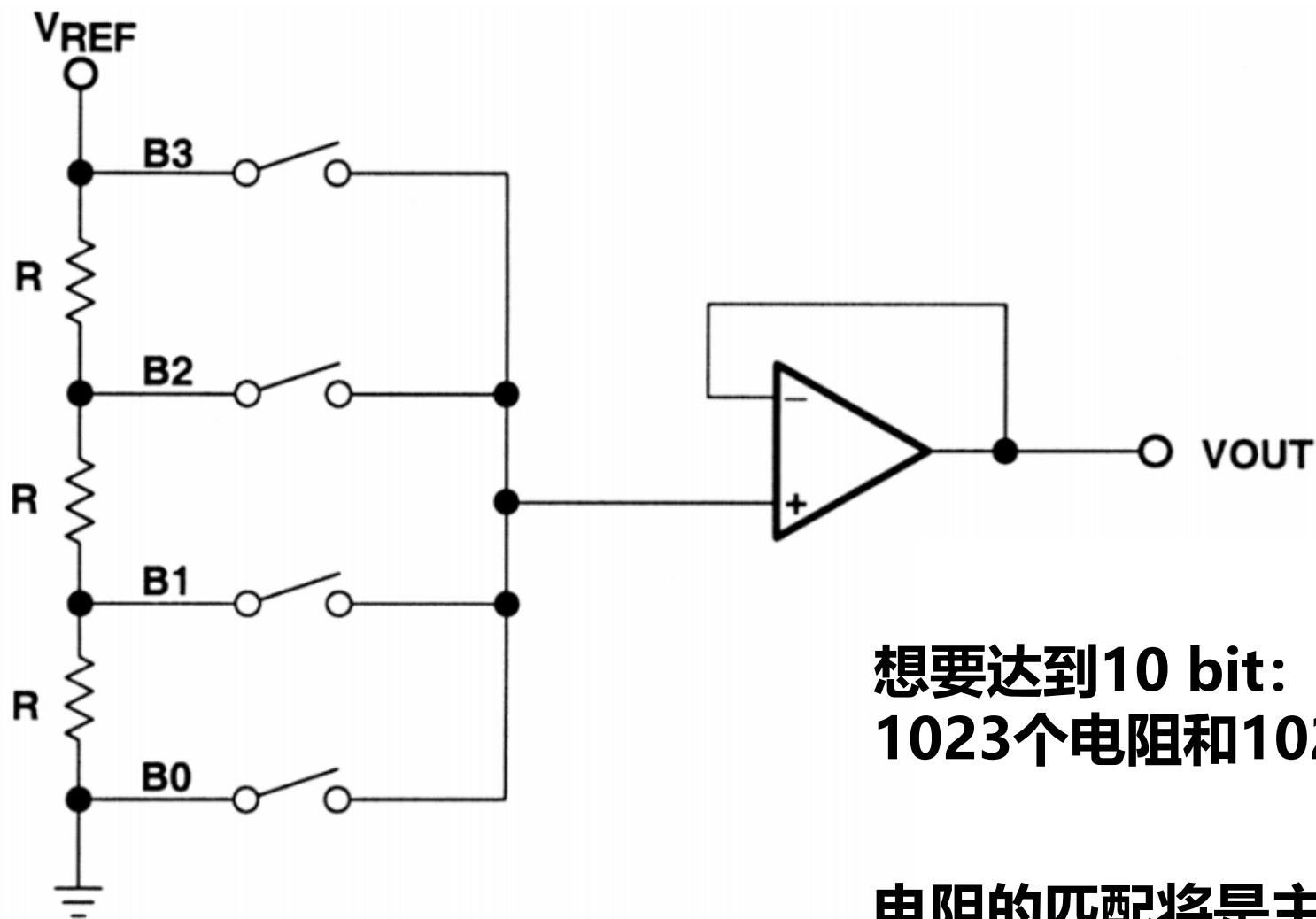


ADC & DAC

- 定义
- **数字-模拟转换器**
 - 电阻式
 - 电容式
 - 电流驱动
- 模拟-数字转换器
 - 积分式
 - 逐次渐进式
 - Flash



电阻操控型DAC

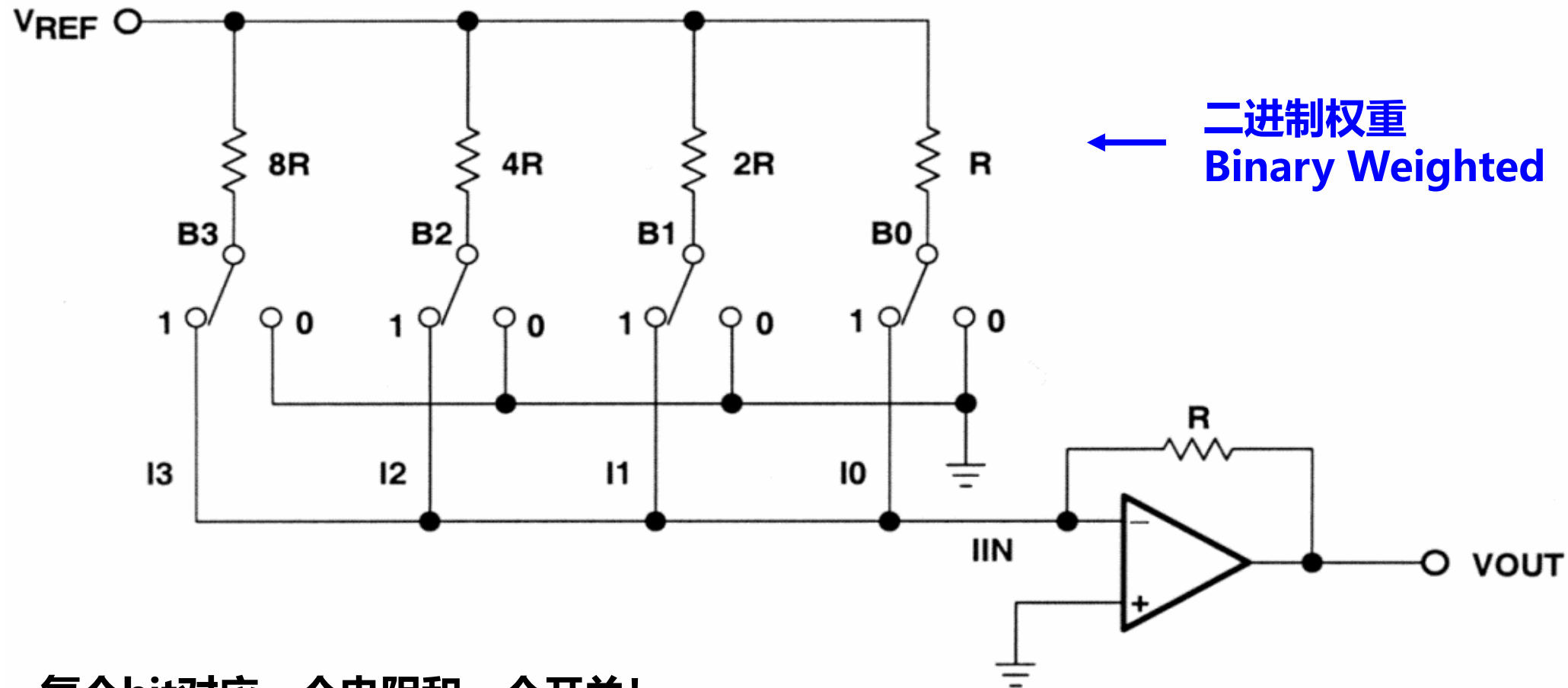


想要达到10 bit:
1023个电阻和1024个开关!

电阻的匹配将是主要的问题!



二进制权重电阻的DAC



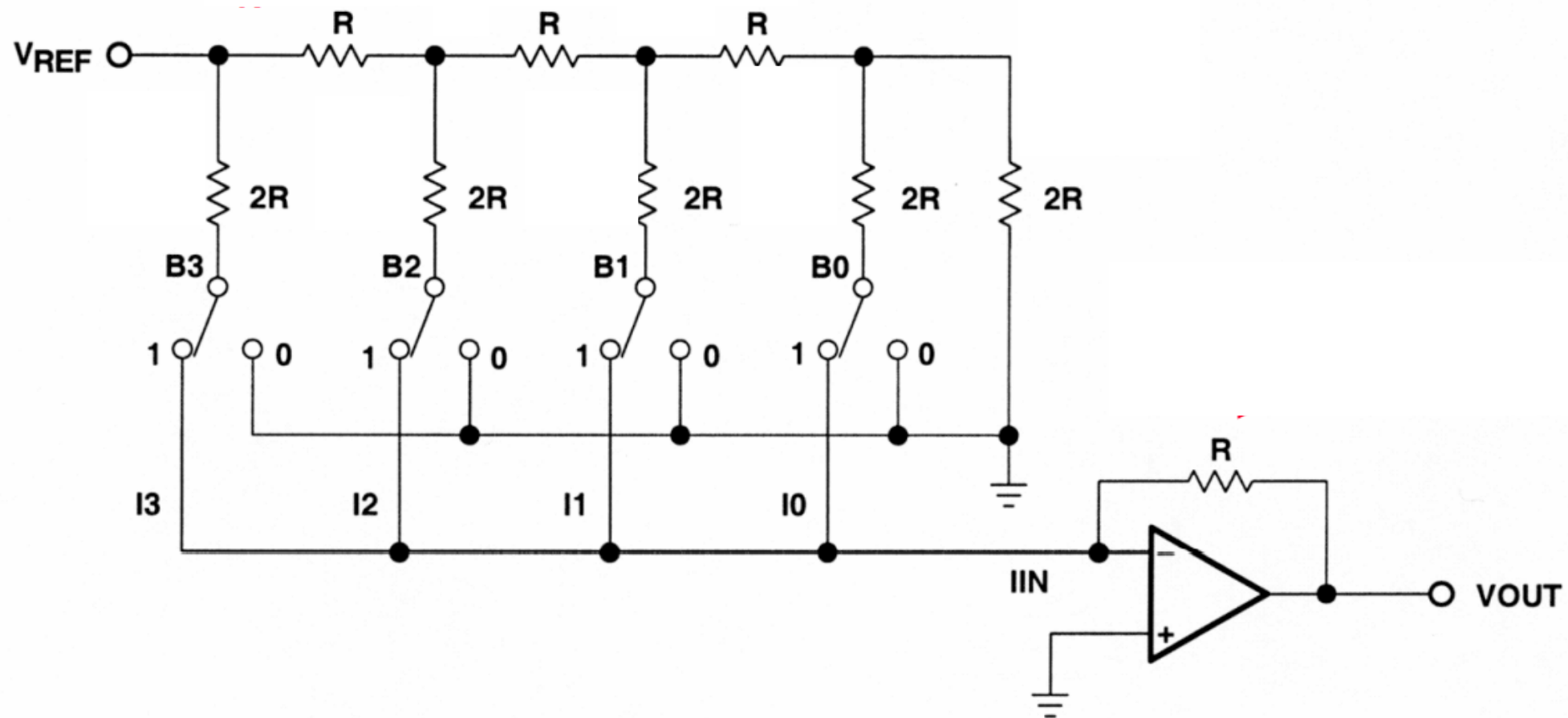
每个bit对应一个电阻和一个开关!

对匹配的要求更高! ➡ 匹配的精度极限一般在6-8 bits

二进制权重中**单一性**没法得到保证!

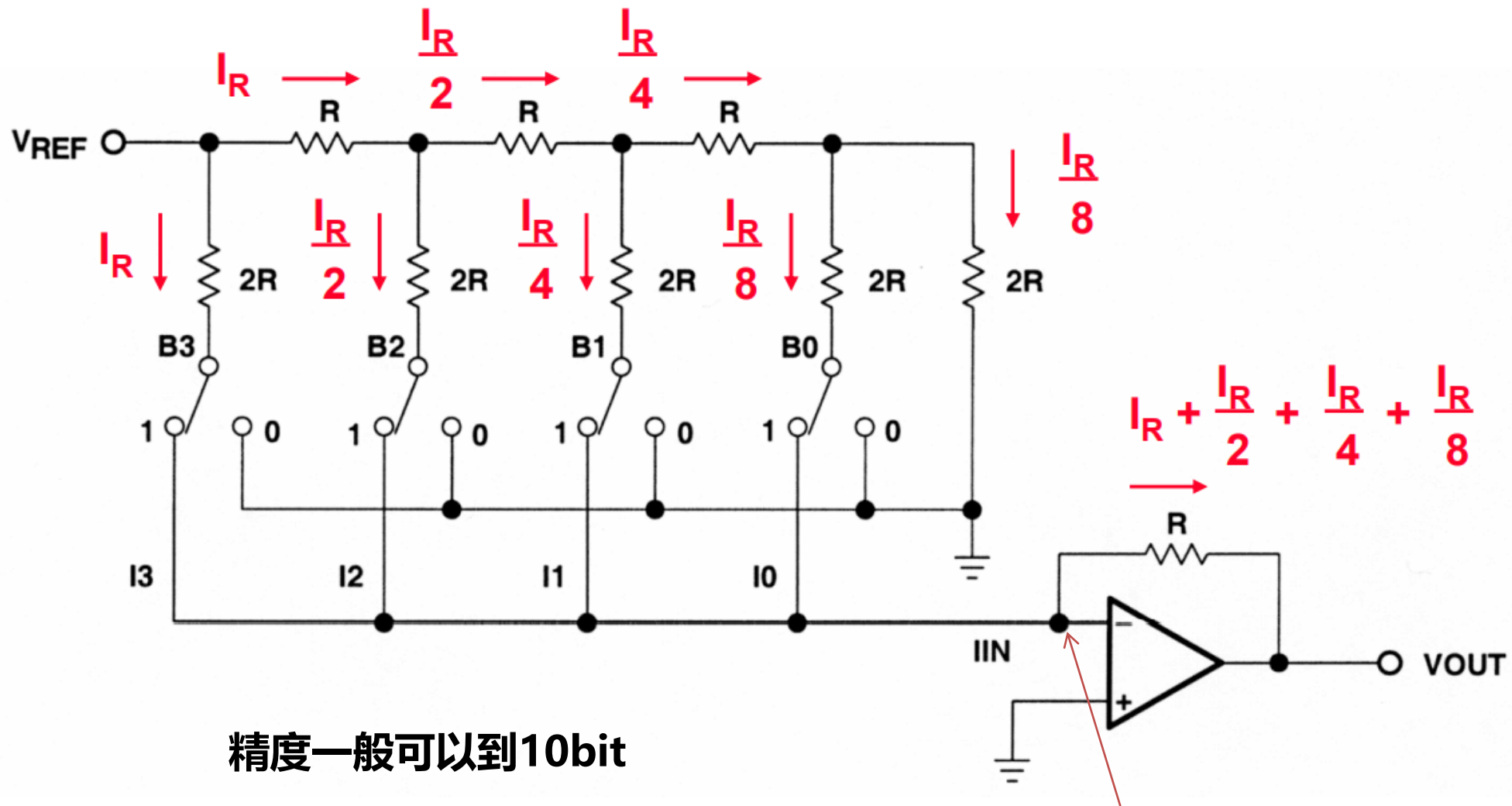


R-2R 阶梯型DAC





R-2R 阶梯型DAC



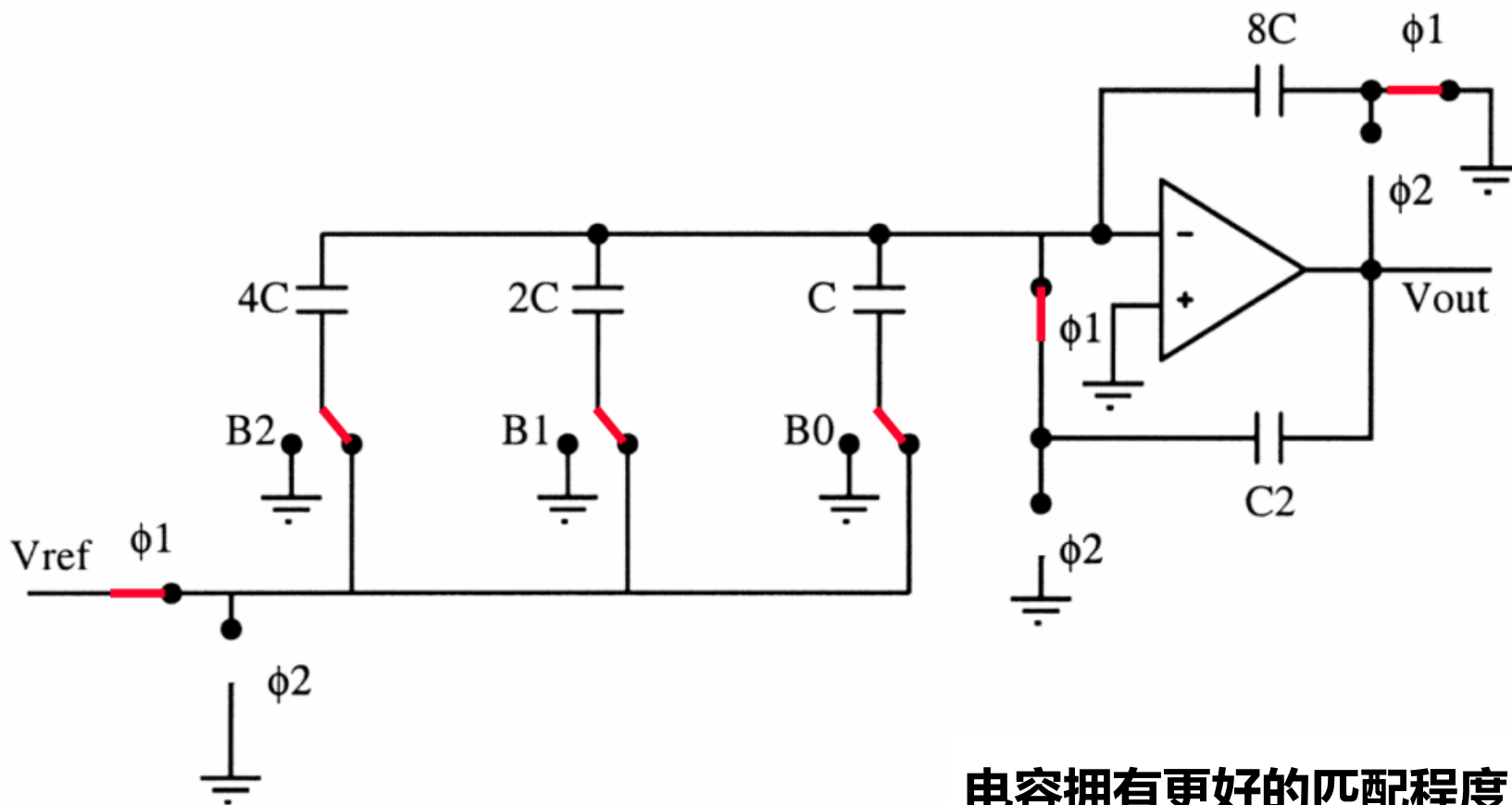
精度一般可以到10bit

需要的电阻面积更小

运放提供的虚地很关键



电容的实现方式



电容拥有更好的匹配程度!

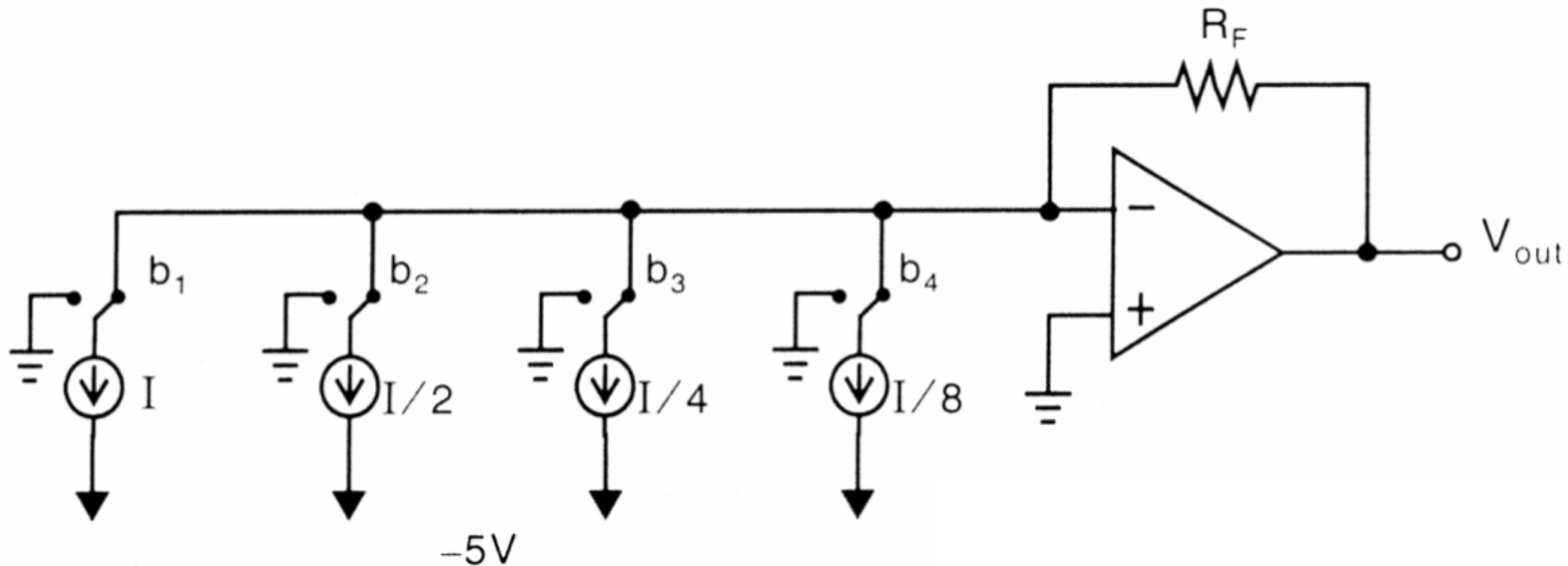
通常能获得比电阻高2bit的精度

Phase $\phi1$: 电容采样

Phase $\phi2$: 电容放大



电流转向DAC



- ❑ 转换精度的限制是什么?
- ❑ 一致性的问题能否得到保证?



- 电流镜的匹配
- 不能



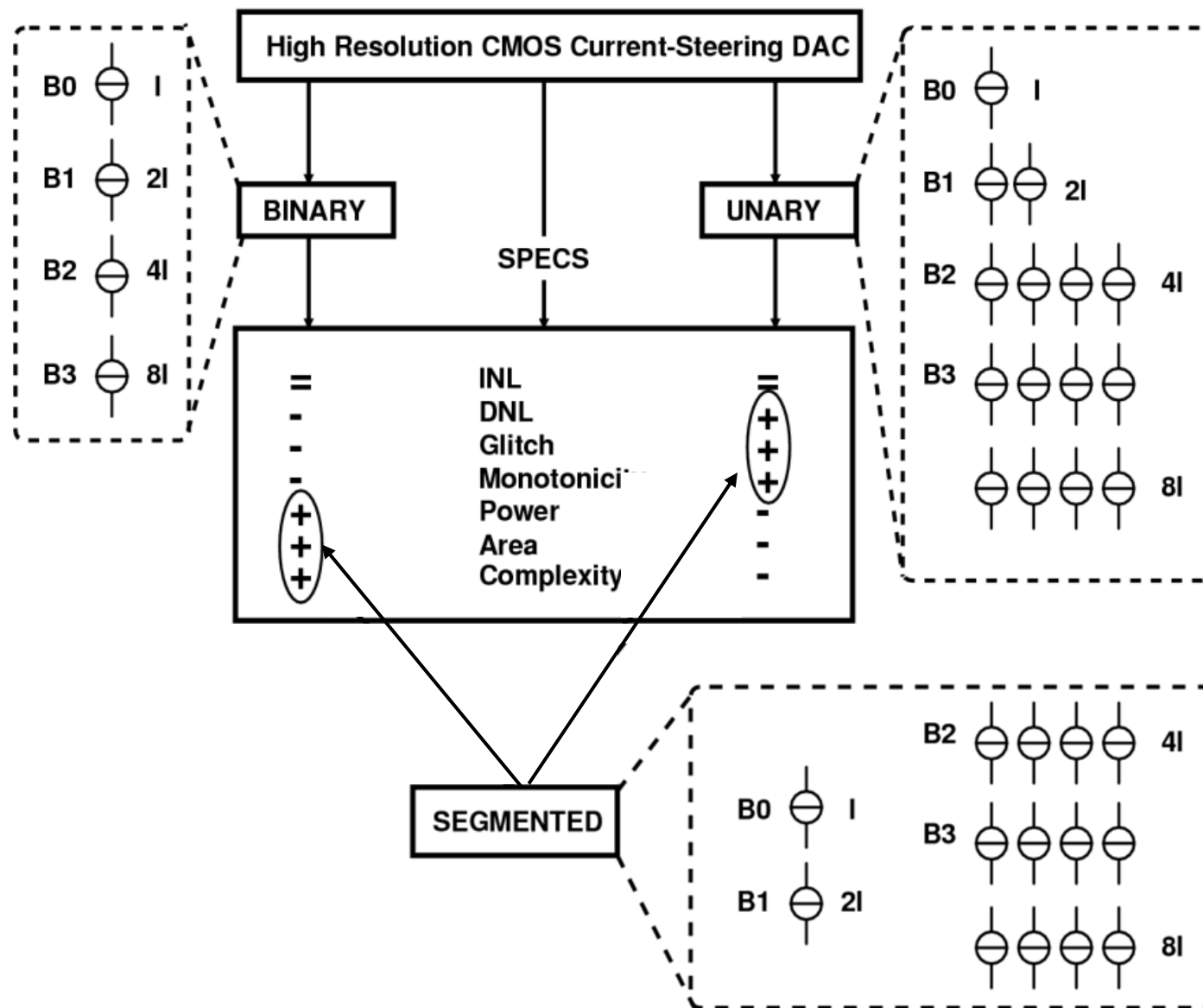
二进制和热码编码

Decimal	Binary			Thermometer Code						
	b_1	b_2	b_3	d_1	d_2	d_3	d_4	d_5	d_6	d_7
0	0	0	0	0	0	0	0	0	0	0
1	0	0	1	0	0	0	0	0	0	1
2	0	1	0	0	0	0	0	0	1	1
3	0	1	1	0	0	0	0	1	1	1
4	1	0	0	0	0	0	1	1	1	1
5	1	0	1	0	0	1	1	1	1	1
6	1	1	0	0	1	1	1	1	1	1
7	1	1	1	1	1	1	1	1	1	1

单调性可以得到保证!

以更多的基本元件、开关和逻辑器件为代价

>>> 组合方案



$$\sigma(\Delta I) =$$

Binary

$$\sqrt{2^N - 1} \frac{\sigma(I)}{I} \text{ LSB}$$

Unary

$$\frac{\sigma(I)}{I} \text{ LSB}$$

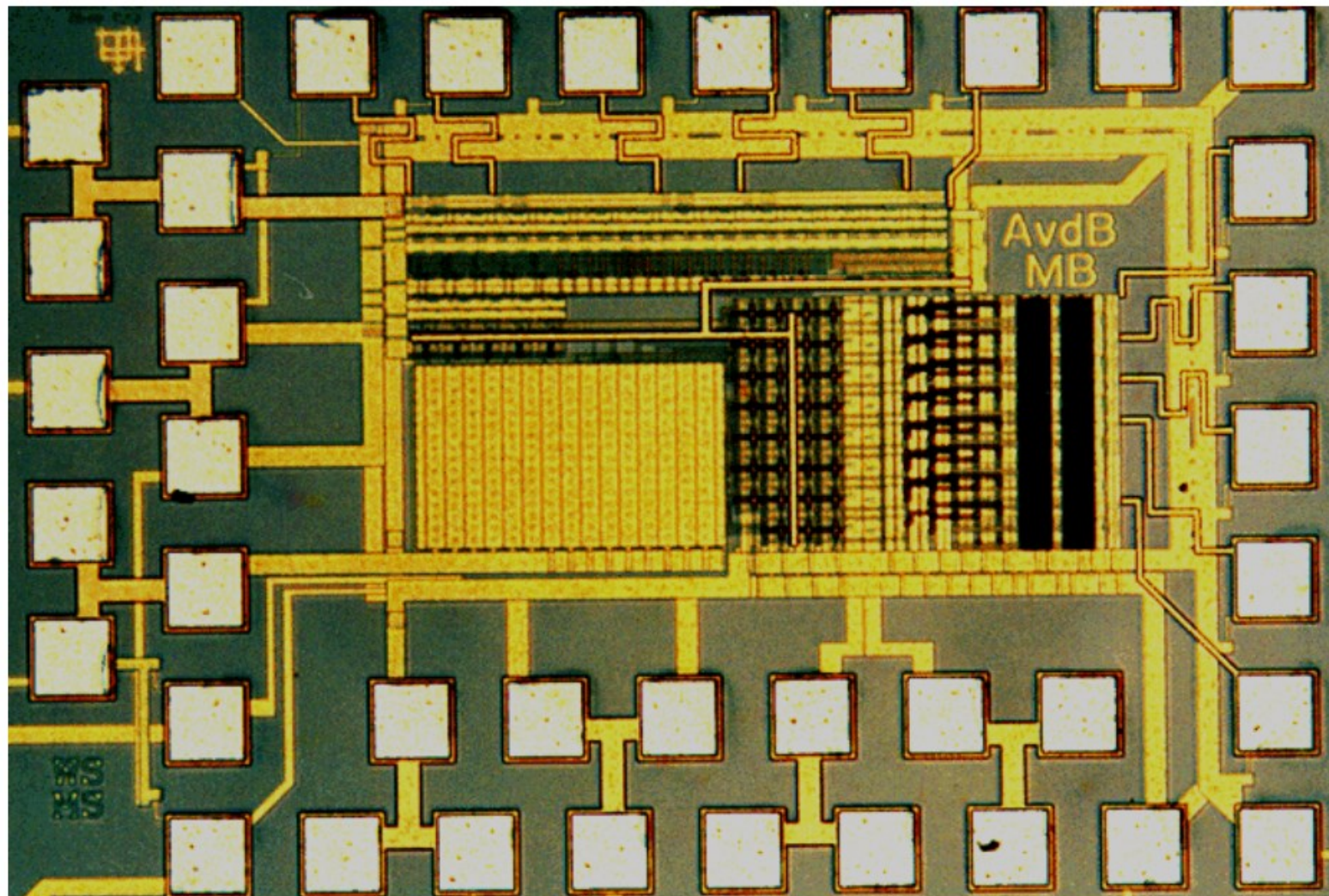
Segmented

B LSBs & N-B MSBs

$$\sqrt{2^{B+1} - 1} \frac{\sigma(I)}{I} \text{ LSB}$$



电流转向DAC案例



**Current steering
DAC**

10-bit

1 GS/s

0.35 μm CMOS

110 mW

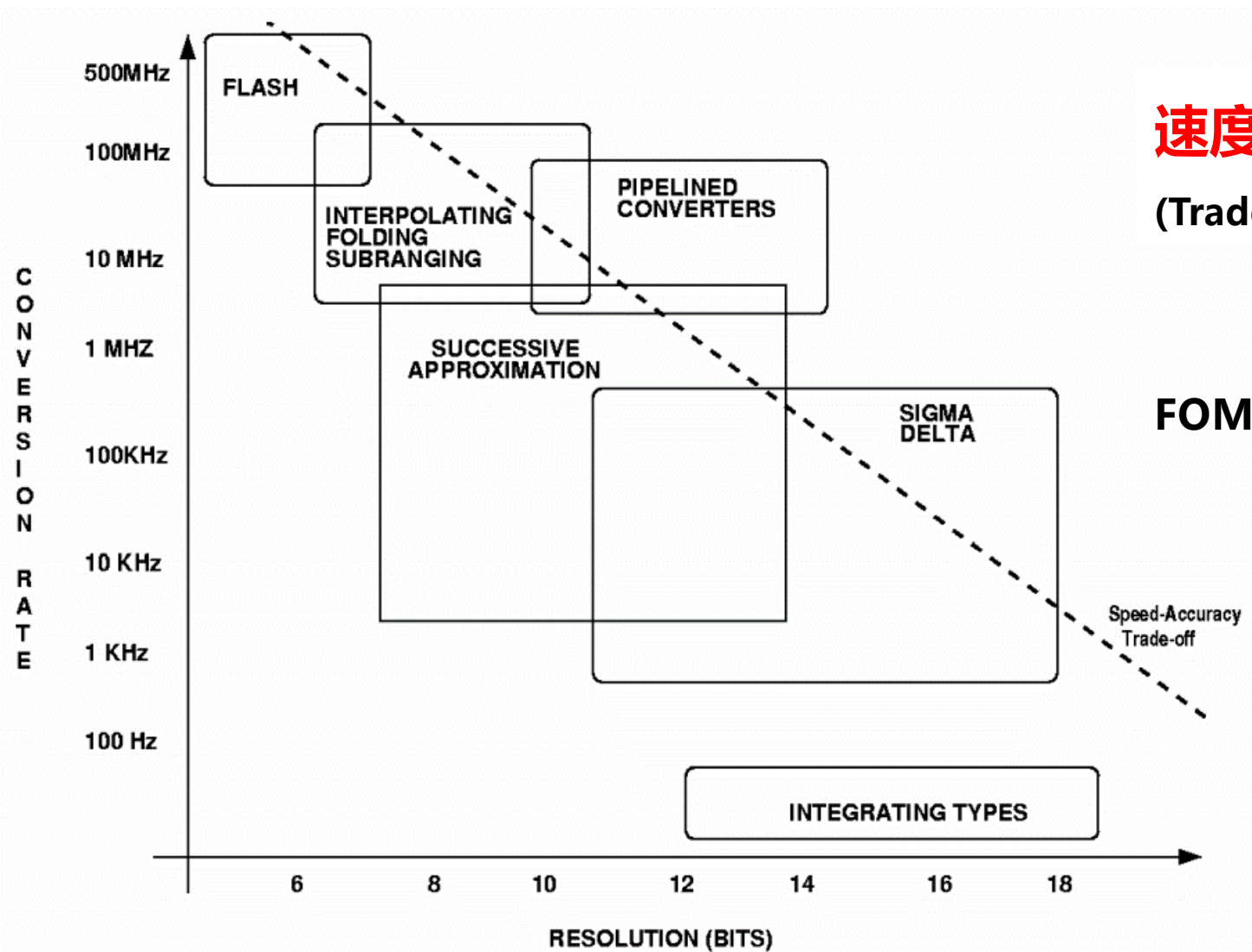


ADC & DAC

- 定义
- 数字-模拟转换器
 - 电阻式
 - 电容式
 - 电流驱动
- **模拟-数字转换器**
 - 积分式
 - 逐次渐进式
 - Flash



ADC的种类

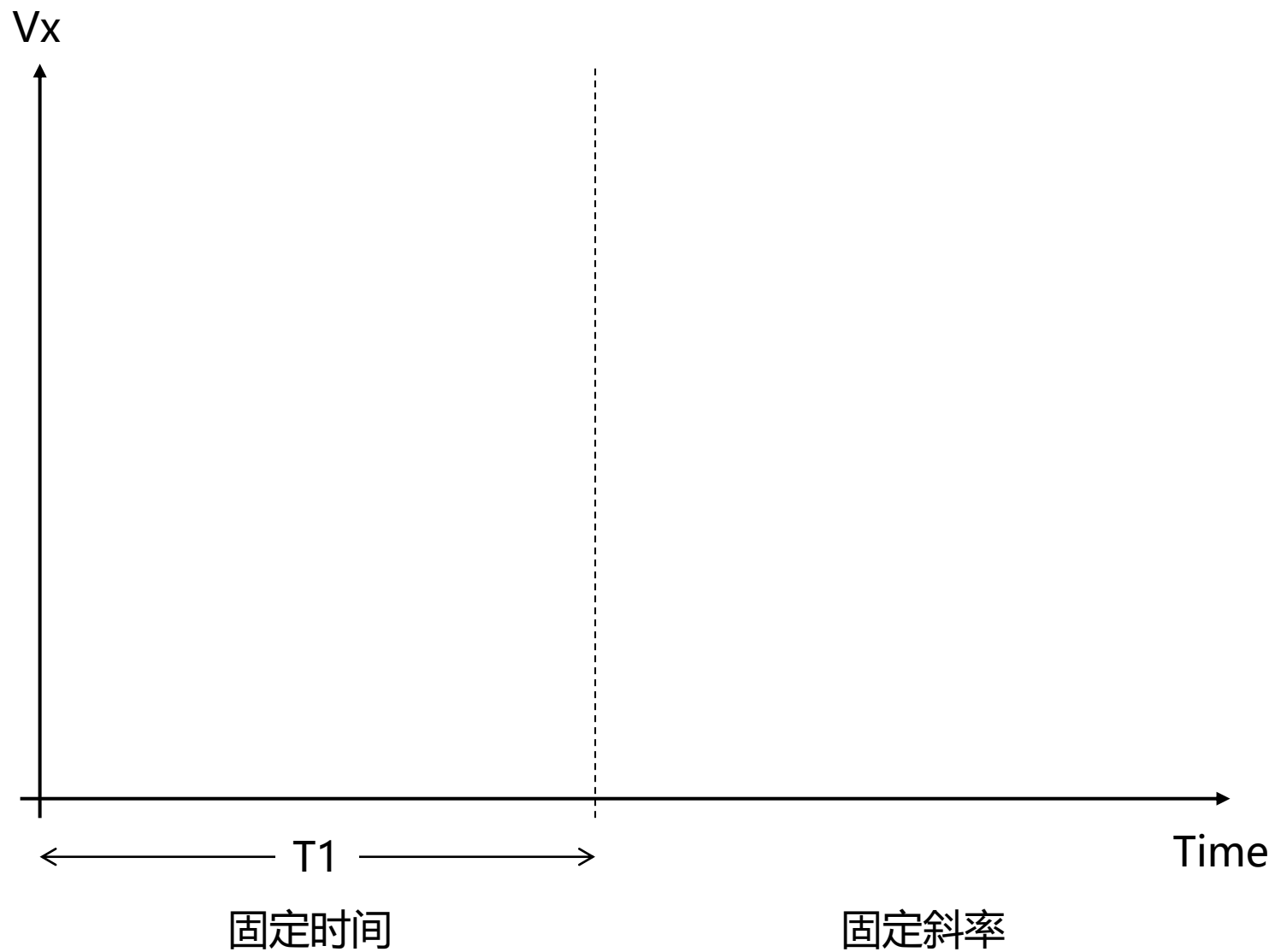


速度与精度的平衡

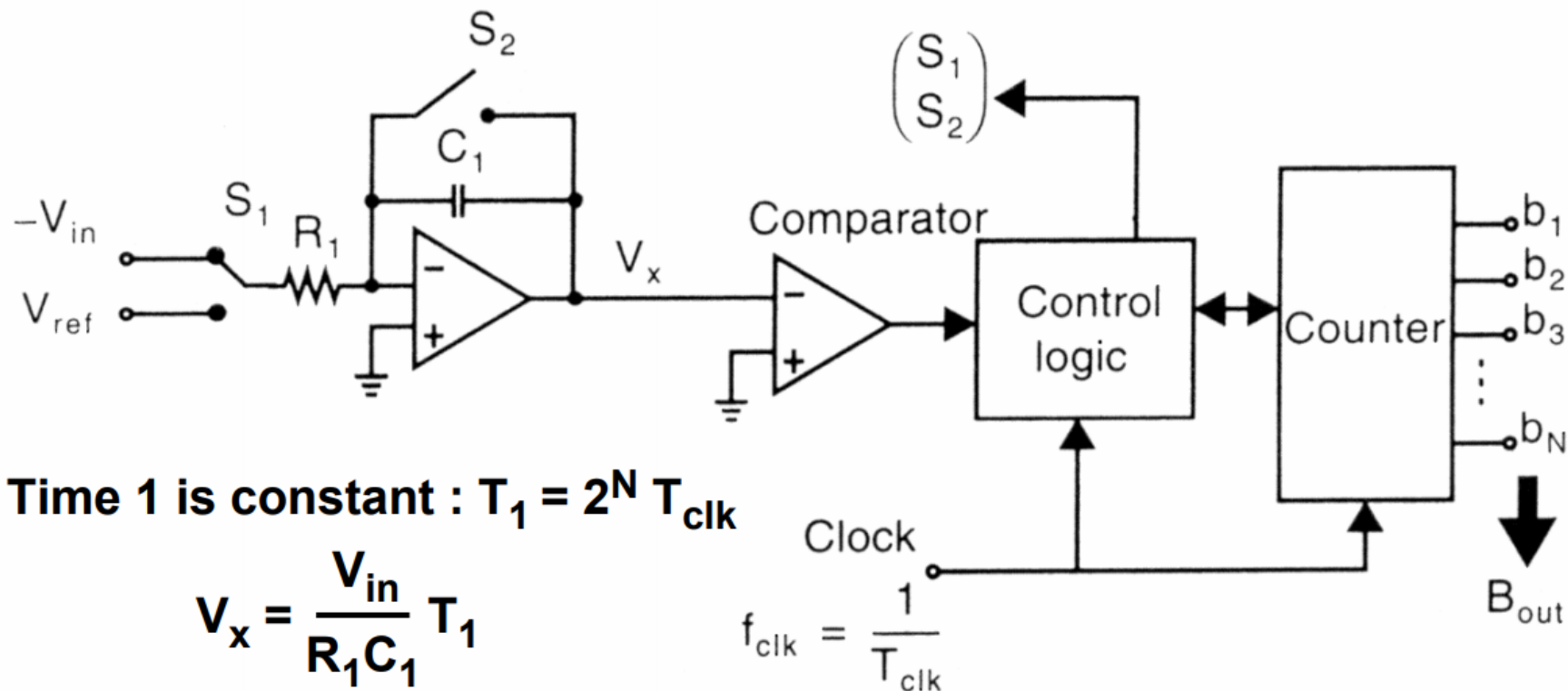
(Tradeoff between Speed and Resolution)

$$FOM = \frac{2^N \cdot 2BW}{P}$$

积分型ADC (Dual-slope)



积分型ADC (Dual-slope)



Time 1 is constant : $T_1 = 2^N T_{\text{clk}}$

$$V_x = \frac{V_{\text{in}}}{R_1 C_1} T_1$$

$$f_{\text{clk}} = \frac{1}{T_{\text{clk}}}$$

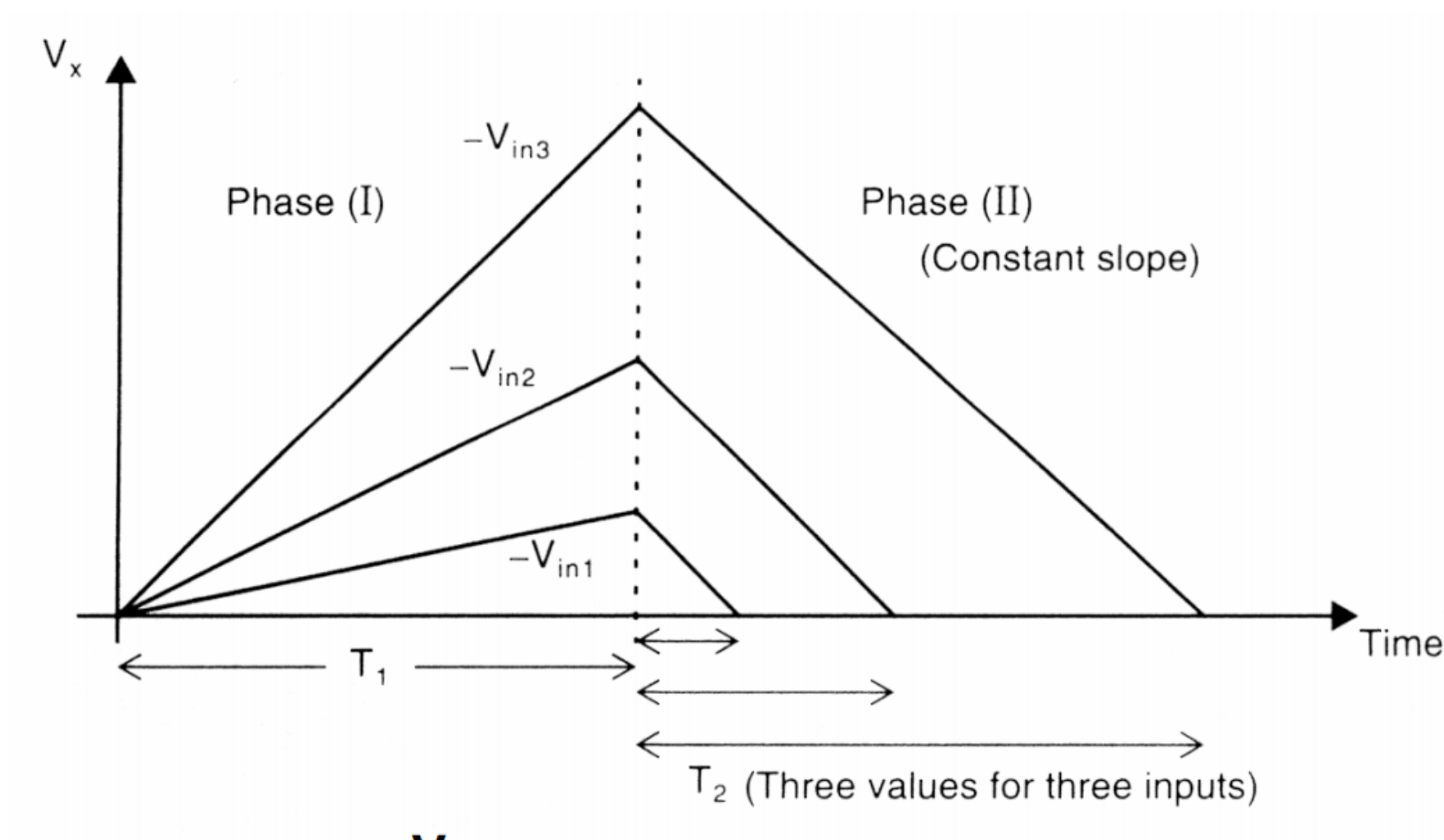
Time 2 : V_x decreases with constant slope :

$$V_x = \frac{V_{\text{ref}}}{R_1 C_1} T_2$$

$$T_2 = T_1 \frac{V_{\text{in}}}{V_{\text{ref}}} \Rightarrow B_{\text{out}} = \frac{V_{\text{in}}}{V_{\text{ref}}}$$

相同的硬件，没有匹配的问题！

积分型ADC (Dual-slope)



$$\text{Time 1 : } V_x = \frac{V_{in}}{R_1 C_1} T_1$$

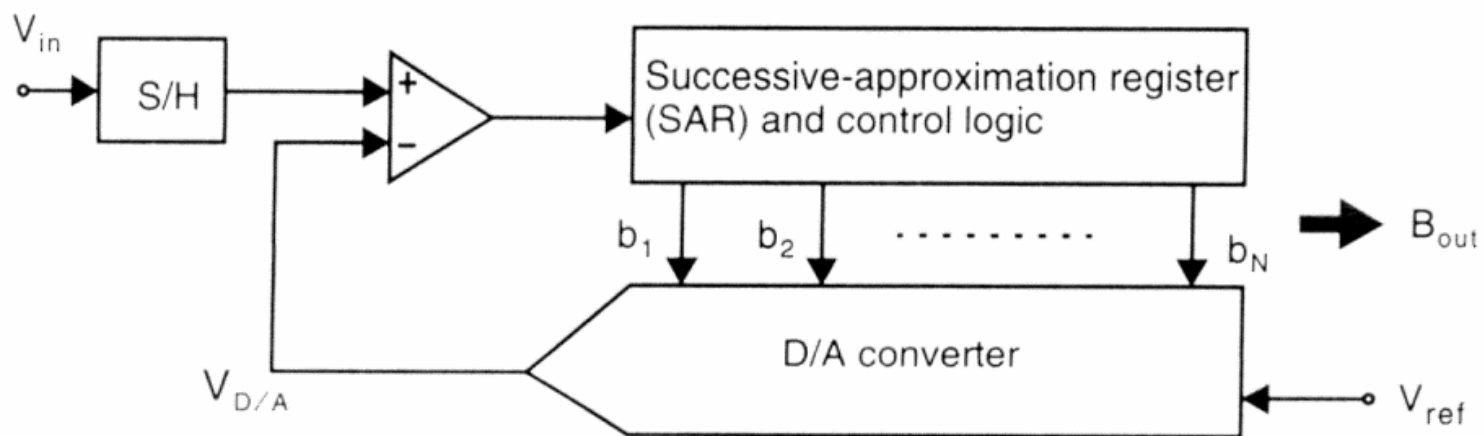
$$\text{Time 2 : } V_x = \frac{V_{ref}}{R_1 C_1} T_2$$

$$T_2 = T_1 \frac{V_{in}}{V_{ref}}$$

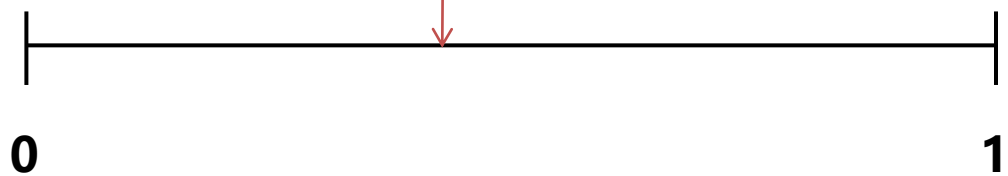
积分型ADC (Dual-slope)

- 优点：
 - 高分辨率
 - 高线性度
 - 低电路复杂度
- 缺点：
 - 十分慢!
 - 通常在电压表中使用

>>> 逐次逼近型ADC



$V_{in}=0.4$



假设全量程为1，每次比较剩余量的1/2:

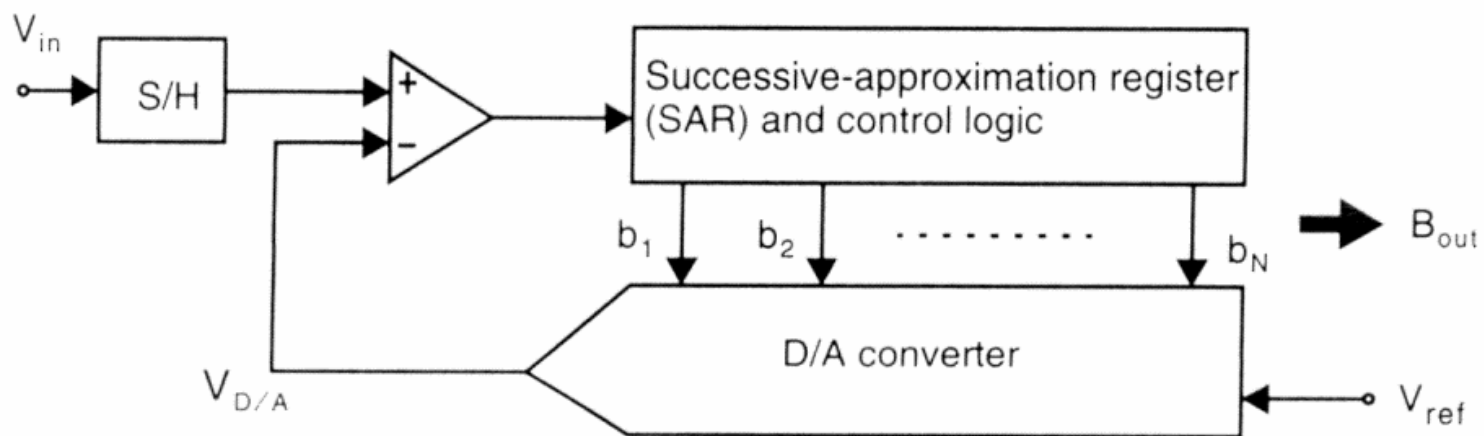
>0.5? : 0 $b_1=0$

>0.25? : 1 $b_2=1$

>0.375? : 1 $b_3=1$

>0.4375? : 1 $b_4=0$

>>> 逐次逼近型ADC



假设全量程为1，每次比较剩余量的1/2:

- N-bit ADC仅需N个时钟周期
- 对比较器的失调电压敏感
- DAC的实现决定ADC的精度

>0.5? : 0 $b_1=0$

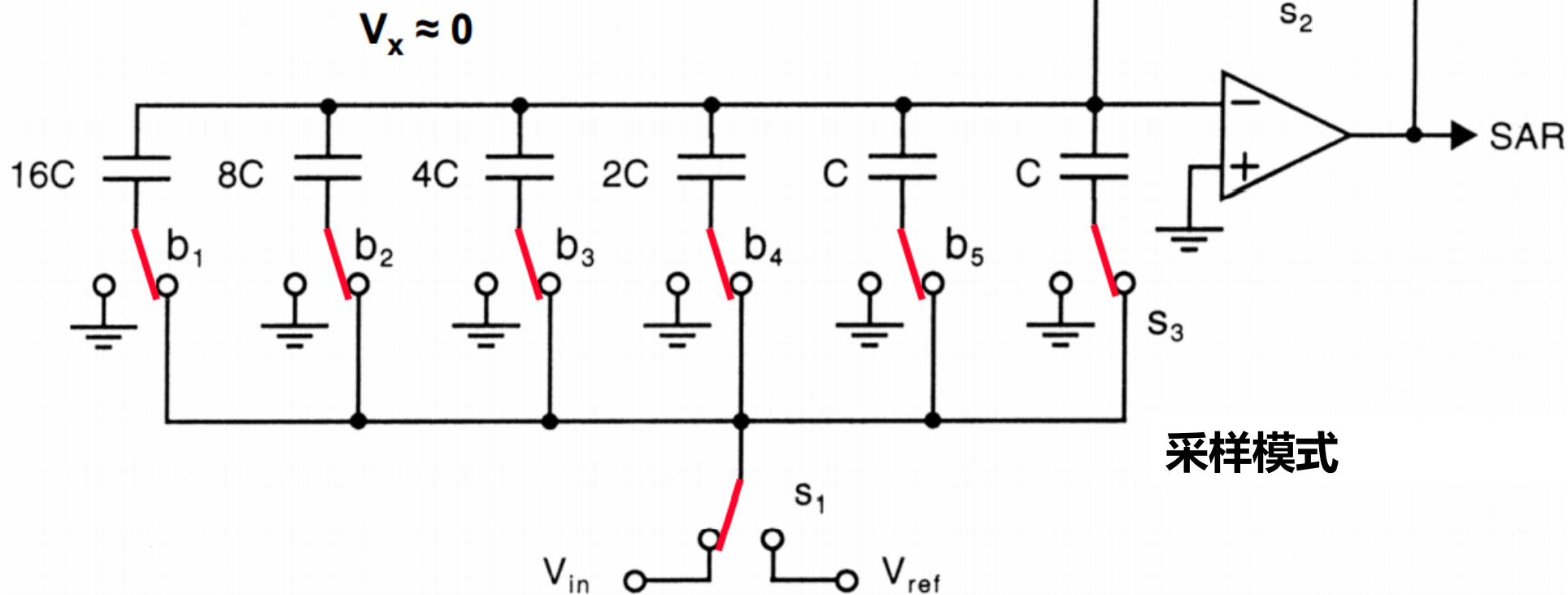
>0.25? : 1 $b_2=1$

>0.375? : 1 $b_3=1$

>0.4375? : 1 $b_4=0$

5-bit 电荷重分布 ADC

$$\Sigma = 2^N C$$

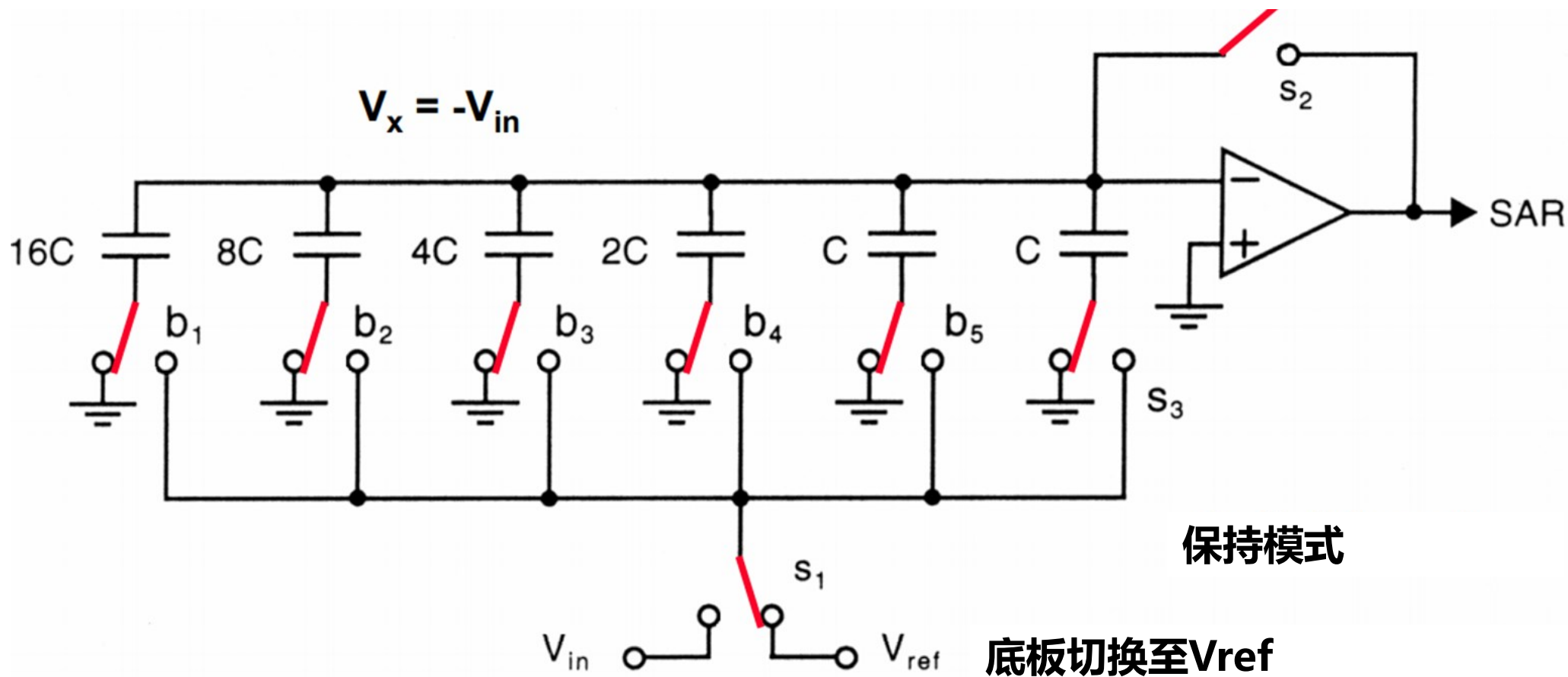


分辨率由电容的匹配决定，通过可以达到10-12 bits

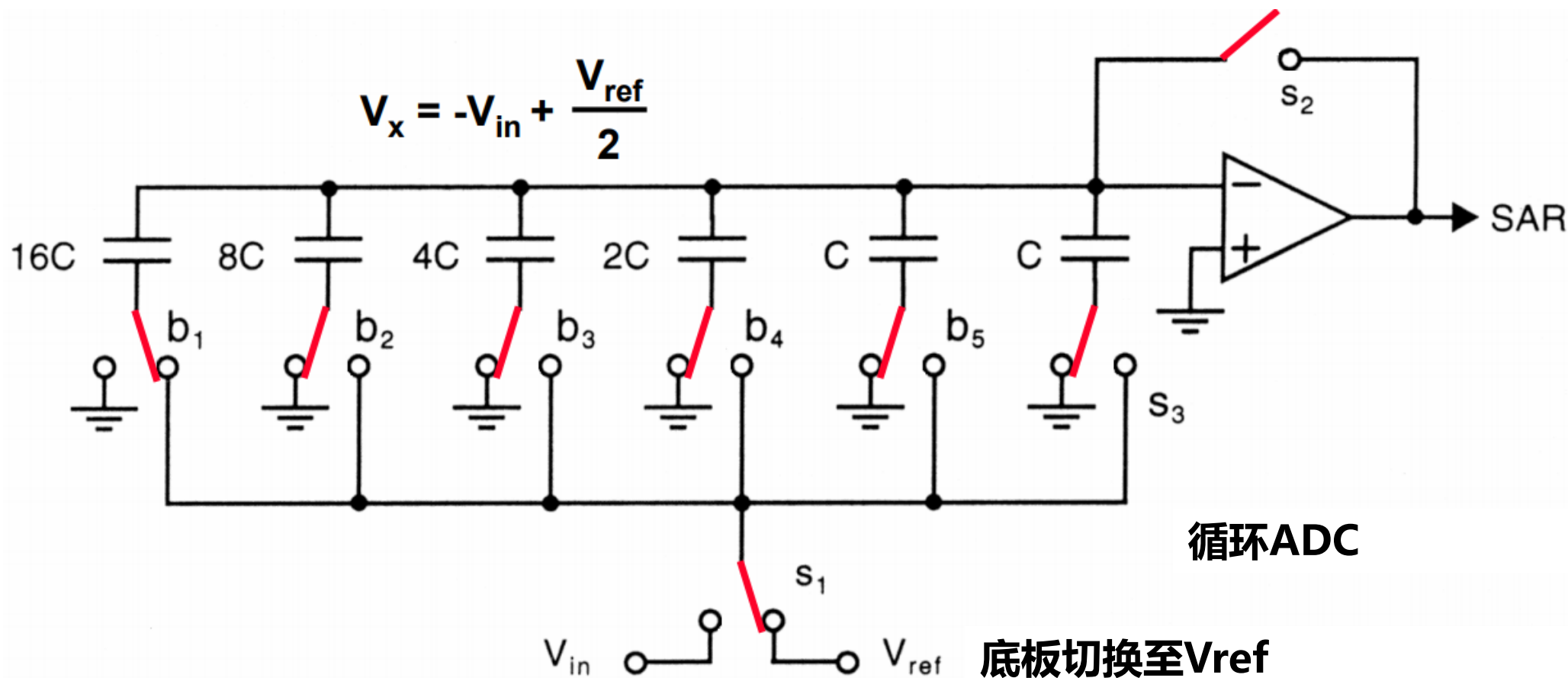
速度由开关电阻和电容组成的时间常数决定

电路较简单，功耗较低

>>> 5-bit 电荷重分布 ADC



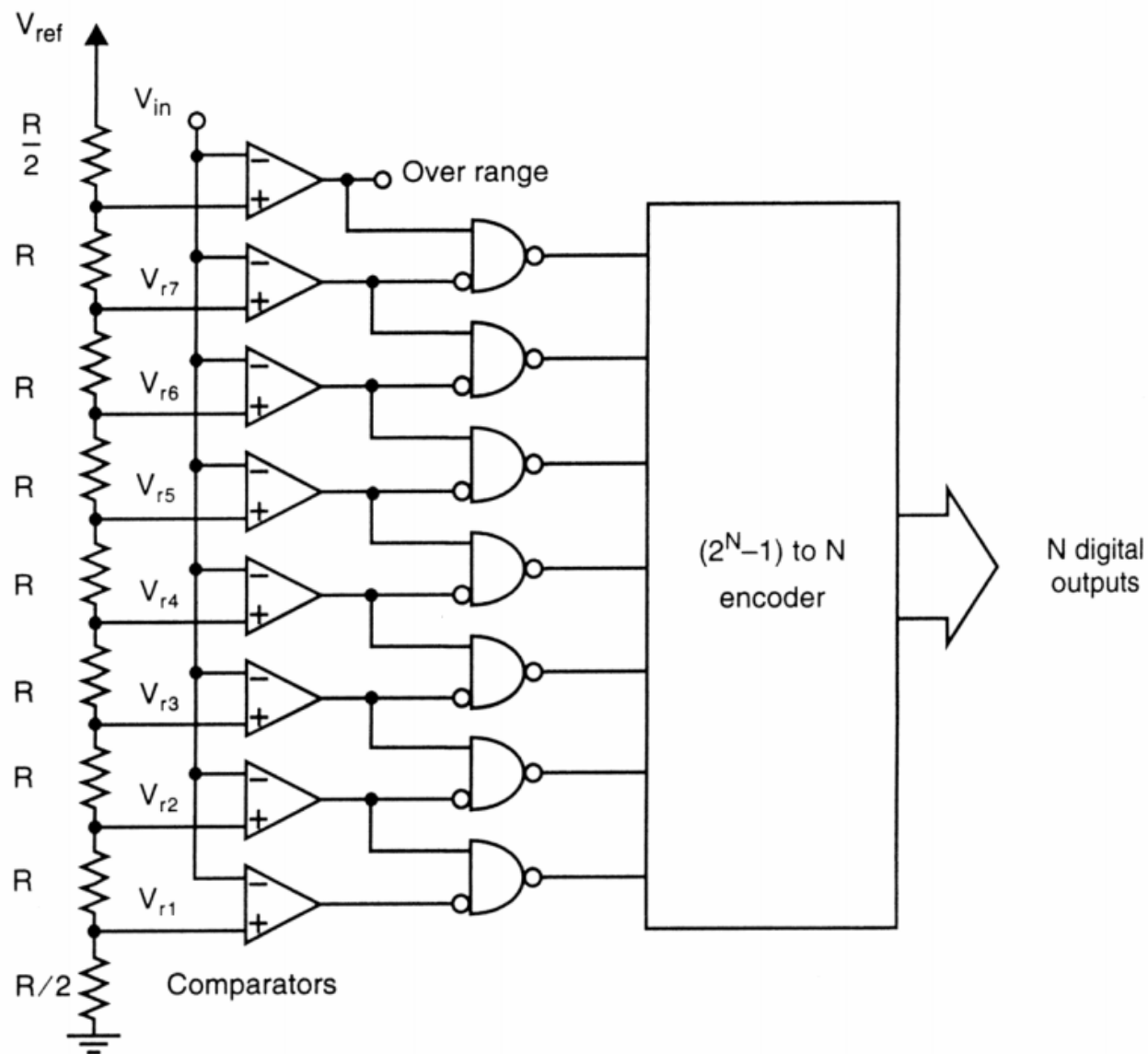
>>> 5-bit 电荷重分布 ADC



if $V_{in} > V_{ref}/2$	$SAR \Rightarrow 1$	leave C_{b1} to V_{ref}	: try C_{b2}
if $V_{in} < V_{ref}/2$	$SAR \Rightarrow 0$	leave C_{b1} to Gnd	: try C_{b2}



Flash ADC



3-bit Flash ADC

速度最快，仅需1个时钟周期

需要 2^N 个比较器

精度通常在6-8bit

大输入电容！



ADC 设计总体思路

晶体管:

$$\sigma^2(\text{Error}) \sim \frac{1}{WL}$$

$$\sigma_{VT} = \frac{A_{VT}}{\sqrt{WL}}$$

精度² ~ WL

设计: 增加W, 增加 I_{DS} 和功耗
减小L, 加快速度

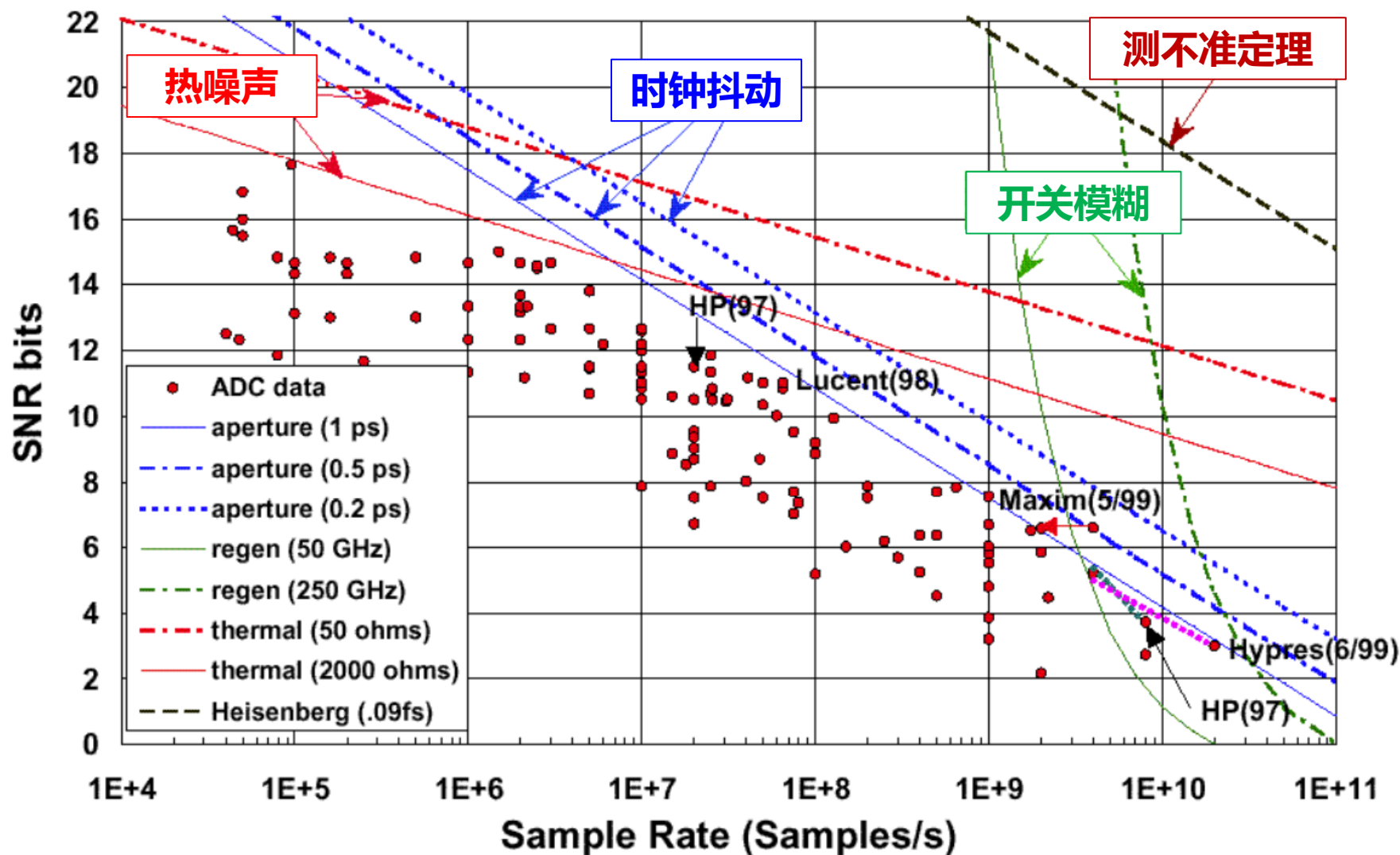
速度 x 精度

功耗

= 工艺水平



ADC的限制



目前的设计均离理论极限还有空间!



作业

- **设计一个5BIT的SAR ADC，通过电容的方式实现采样与DA反馈。**
 - **输入区间0-1.8V**
 - **采样频率大于1MSPS**
 - **可以采用理想比较器**
 - **数字逻辑部分用verilog实现**