

CMOS 模拟集成电路原理 第十一周作业

范云潜 18373486

微电子学院 184111 班

日期：2020 年 11 月 27 日

目录

1 流程简述	1
2 逼近器设计	3
3 设计过程	3
4 实验结果	4

List of Figures

1 对输入信号进行采样	1
2 对输入信号进行保持	2
3 逐次逼近信号大小	2
4 断开回路的电容采样电压	2
5 转换完成后输出中断信号	2
6 SAR 模块接口	4
7 多路选择器内部设计	4
8 SAR ADC 整体设计	4
9 封装测试台示意图	4
10 数模混合配置	5
11 ADC 采样输出波形	5
12 ADC 采样输出中断间隔	5

1 流程简述

SAR-ADC (Successive-approximation Register ADC) 是利用 DAC 模块逐次二分逼近最终得到合适的 ADC 值的一种方法。接下来简要介绍整体流程。

1. 在一次转换的开始，如 **图 1**，对输入信号进行采样，所有由 DAC 输出控制的开关摆向底板，底板连接到输入信号，采样端此时需要接地，那么电容两端的电势差为 $0 - V_{in}$ 。
2. 采样完成后，需要将得到的信号进行保持，如 **图 2**，将所有由 DAC 控制的开关摆向地，将底板接到参考电压，采样端断开，此时电容的通路断开，不能放电，将所有的电荷保持住，采样的电压被拉到 $-V_{in}$ ，如 **图 4**。
3. 接下来进行逐次的比较，从最高位开始进行比较，如 **图 3**，将 DAC 输出的最高位置为高，此时的采样电压为 $V_{ref}2^{-1} - V_{in}$ ，比较 DAC 对应的电压与采样的电压的关系，若是不足则保持本位的输出，反之，取消本位。
4. 对其他位依次进行以上操作，直到比较完成，向外部发出中断，标志本次转换已经完成，如 **图 5**。

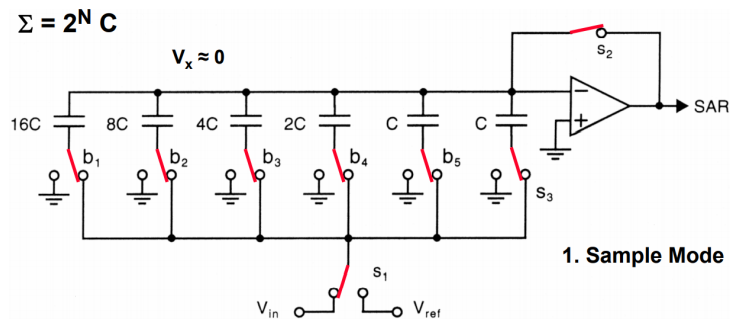


图 1: 对输入信号进行采样

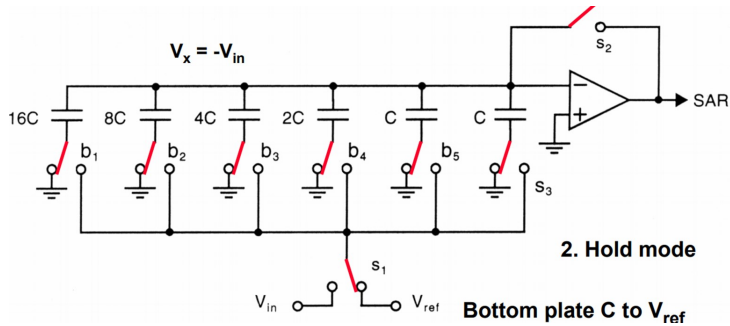
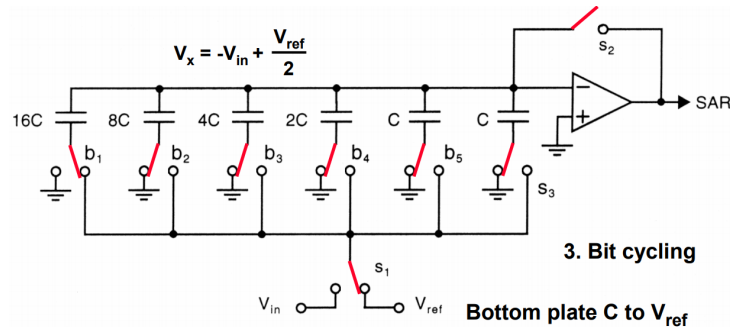


图 2: 对输入信号进行保持



if $V_{in} > V_{ref}/2$ SAR \Rightarrow 1 leave C_{b1} to V_{ref} : try C_{b2}
if $V_{in} < V_{ref}/2$ SAR \Rightarrow 0 leave C_{b1} to Gnd : try C_{b2}

图 3: 逐次逼近信号大小

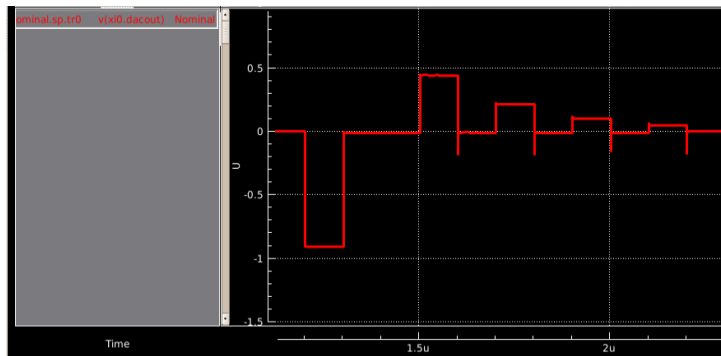


图 4: 断开回路的电容采样电压

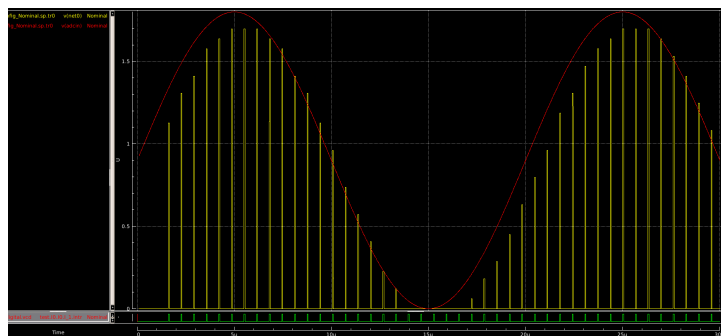


图 5: 转换完成后输出中断信号

2 逼近器设计

首先，作为一个时序逻辑数字模块，需要存在某种形式的时钟信号与复位信号，实际使用的模块还需要使用使能信号来启用模块以及启动信号。另外，根据上一节的分析，需要使用采样/保持信号，以及比较结果作为输入进行比较，需要每位控制开关的数据信号¹。据此定义模块的端口。

```
module sar (
    clk,
    reset,
    en,
    start,
    intr,
    hold,
    cmp,
    data
);

// the timing signal and control signal
input clk, reset, en, start;
// the interrupt and discharge
output reg intr, hold;
```

¹同时也是系统的输出

```
// the result of comparator
input cmp;
// the output of SAR
output reg [4:0] data;
```

接下来定义各个状态，状态之间的转换关系如下：

- **idle**: 等待开始信号，之后转换到 **init**。此时，不进行保持。
- **init**: DAC 输出的信号为全高，直接转换到 **ready**。
- **ready**: 此时开始保持，进行采样，进入 **compare**。
- **compare**: 修改输出的数据，进入 **check**。
- **check**: 对来自比较器的数据进行检测，决定下一状态的数据。

3 设计过程

设计的数字模块如 **图 6**，设计的多路选择器如 **图 7**，模块整体如 **图 8**，封装后如 **图 9**，其配置文件如 **图 10**。

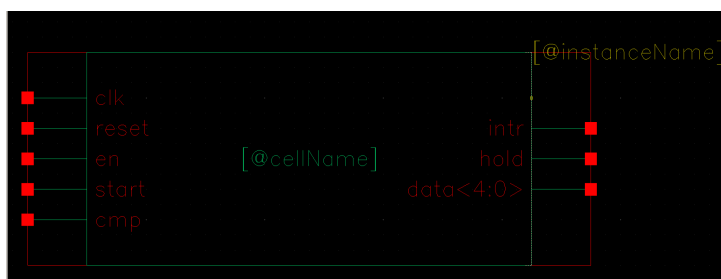


图 6: SAR 模块接口

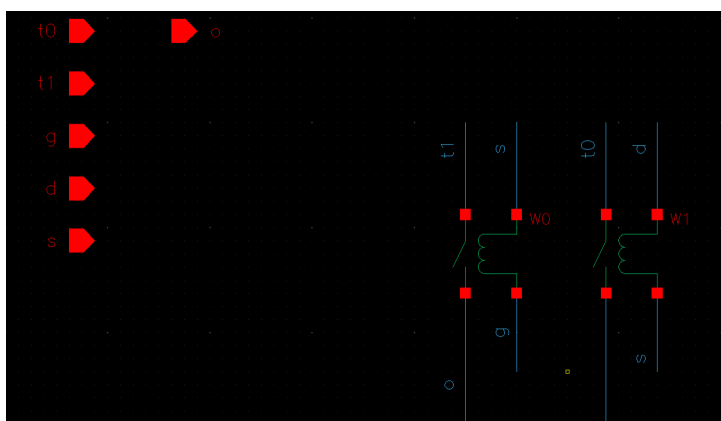


图 7: 多路选择器内部设计

4 实验结果

ADC 的输出如 **图 11**，间隔见 **图 12** 其中可见运行的中断存在，中断间隔小于 $1\mu s$ ，满足要求。

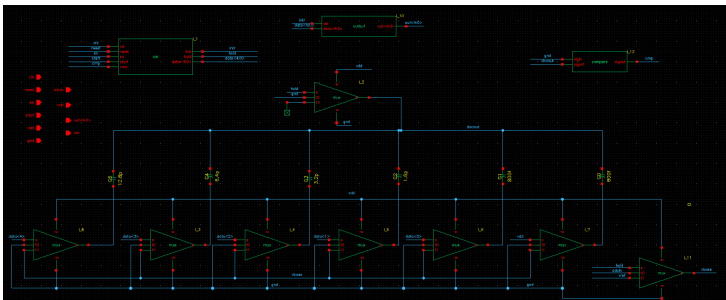


图 8: SAR ADC 整体设计

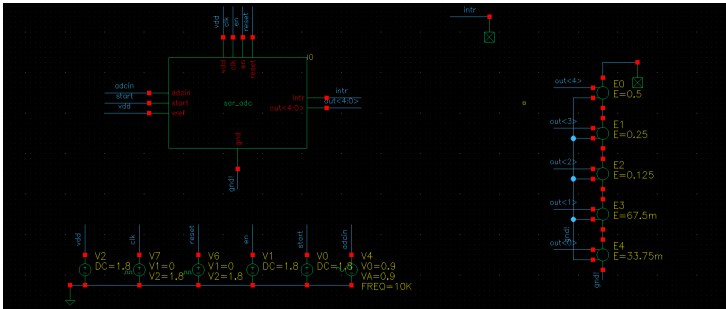


图 9: 封装测试台示意图

Aether SimView Editor [hw11/tb.config:Editing]

File Edit View Help

Top Cell: hw11

Library Name: hw11

Cell Name: tb

View Name: schematic

Global Bindings

View List: spectre spice verilog verilog schematic symbol

Stop List: spice verilog verilog spectre symbol

Table View Tree View

Cell Bindings

Info	Library	Cell	View Found	View To Use	Inherited View List
analog	cap	cap	spectre		spectre spice verilog verilog schematic symbol
analog	switch	switch	spectre		spectre spice verilog verilog schematic symbol
analog	vcvs	vcvs	spectre		spectre spice verilog verilog schematic symbol
analog	vdc	vdc	spectre		spectre spice verilog verilog schematic symbol
analog	vpulse	vpulse	spectre		spectre spice verilog verilog schematic symbol
analog	vsn	vsn	spectre		spectre spice verilog verilog schematic symbol
hw11	compare	compare	verilog		spectre spice verilog verilog schematic symbol
hw11	mux	mux	schematic	schematic	spectre spice verilog verilog schematic symbol
hw11	obuf	obuf	verilog	verilog	spectre spice verilog verilog schematic symbol
hw11	sar	sar	verilog	verilog	spectre spice verilog verilog schematic symbol
hw11	sar_adc	sar_adc	schematic	schematic	spectre spice verilog verilog schematic symbol
hw11	tb	tb	schematic		

图 10: 数模混合配置

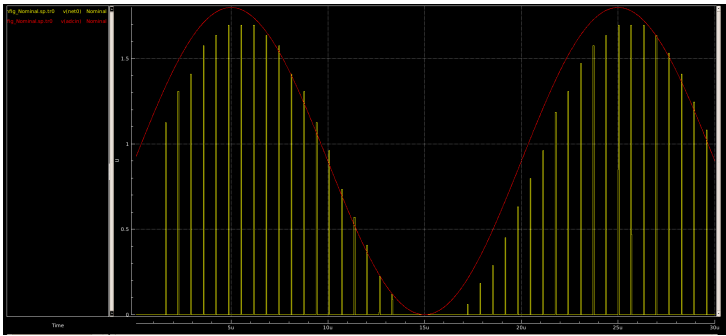


图 11: ADC 采样输出波形

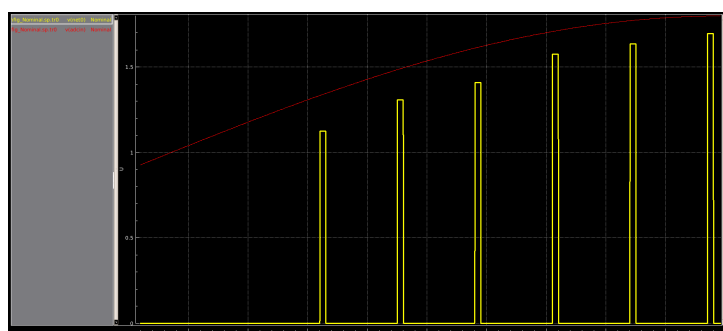


图 12: ADC 采样输出中断间隔