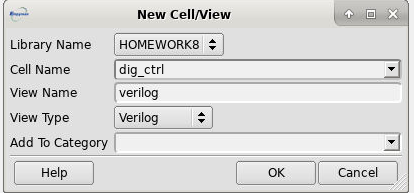
# AMS混合仿真 – SAR ADC

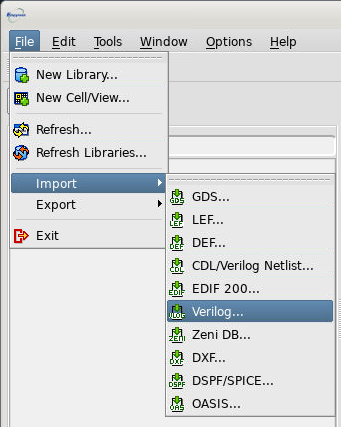
通过这个教程，你将学会如何利用Aether创建verilog数字逻辑单元以及veriloga模拟模型，通过对verilog和veriloga单元的调控使用，我们可以对数模混合的复杂大型电路进行混合仿真。

1. **创建verilog的SAR控制单元**

1. 在Design Manager中通过*File -> New Cell/View*创建一个新的单元，在View Type中选择Verilog，则该单元将是一个通过verilog语言描述的逻辑控制单元。



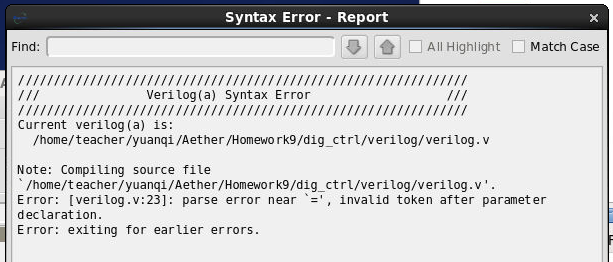
除此之外，如果我们在系统中已有完成的verilog文件，我们也可以通过*File -> Import -> Verilog*将其导入：



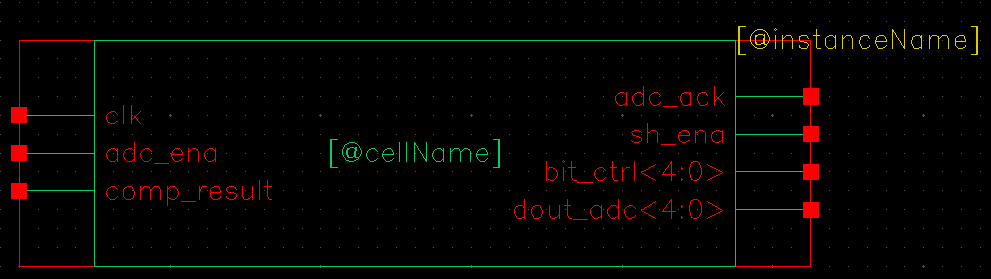
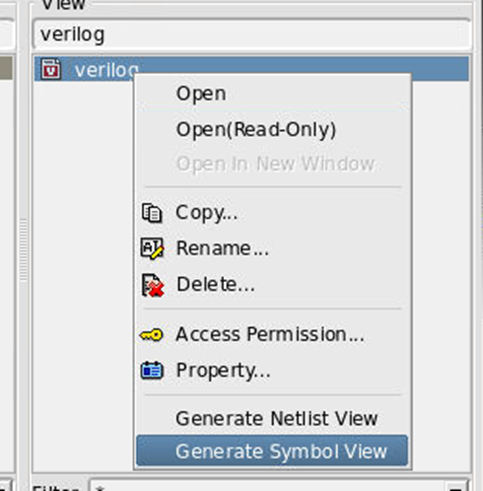
2. 对于一个verilog单元，我们可以双击将他打开，默认的编辑语法是VI，相关使用方法可上网查询。当完成对verilog文件的编辑后，可输入 “***:wq****”*保存退出。



在退出时，系统会自动检测是否存在语法错误，若有则弹出如下提示：

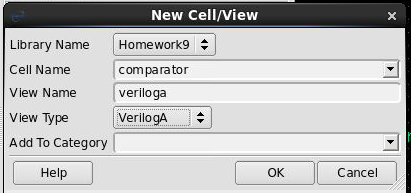


当修改完毕并无错误提示后，我们可以右键点击该verilog文件并选择*Generate Symbol View*, 软件会根据verilog的定义自动生成symbol:



1. **创建比较器的veriloga模拟模型单元**

1. Veriloga是一种模拟器件的描述语言，我们可以通过它对我们的模块进行理想模型的搭建。在此我们尝试创建一个理想的比较器，在Design Manager中通过*File -> New Cell/View*创建一个新的单元，在View Type中选择VerilogA，



在生成的文档中添加相应的描述模型，以下直接给出理想比较器的模型：

*module comparator(sigin, sigref, sigout);*

*input sigin, sigref;*

*output sigout;*

*electrical sigin, sigref, sigout;*

*parameter real sigout\_high = 1.8;*

*parameter real sigout\_low = 0;*

*parameter real sigin\_offset = 0;*

*parameter real comp\_slope = 1000;*

*analog begin*

*V(sigout) <+ 0.5 \* (sigout\_high - sigout\_low) \* tanh(comp\_slope\*(V(sigin, sigref)- sigin\_offset)) + (sigout\_high + sigout\_low)/2;*

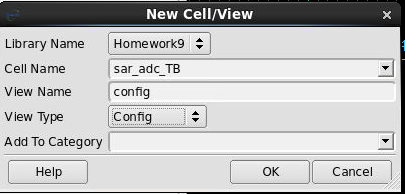
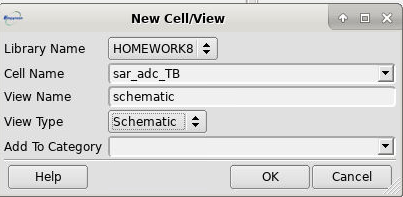
*end*

*endmodule*

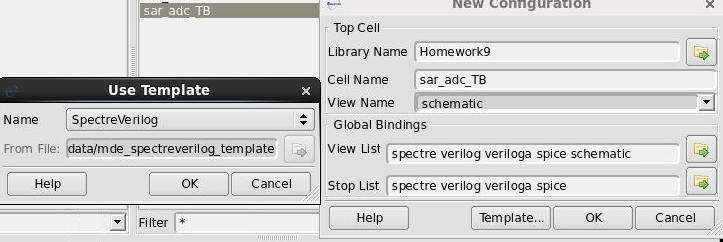
对于上述描述的具体语法或有修改想法的，可以参考相关文档。

1. **创建数模混合的仿真平台**

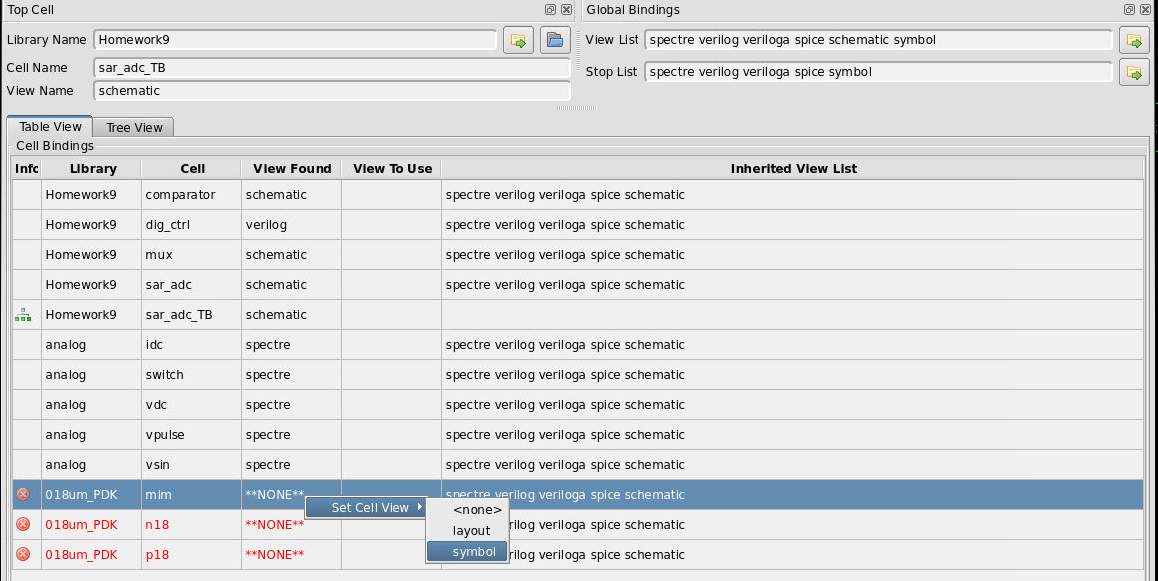
1. 接下来我们需要创建能够调用verilog和veriloga单元的数模混合仿真平台，首先我们已经创建测试台的schematic。于此同时，在该测试平台下，创建一个配置文件config view:



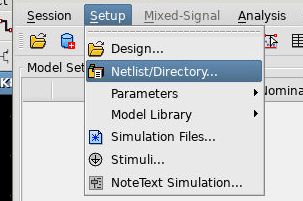
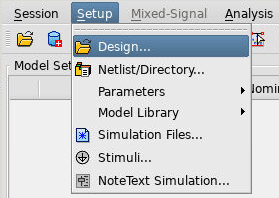
2. 在弹出的config配置方案中，我们可以选择SpectreVerilog，并在View List和Stop List的最后加上symbol。

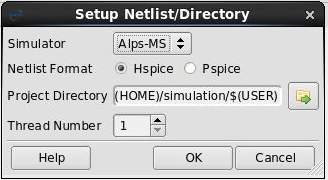


对于没有自动识别的cell，我们也可以通过*右键 -> Set Cell View*为其手动设定将要使用的类别：



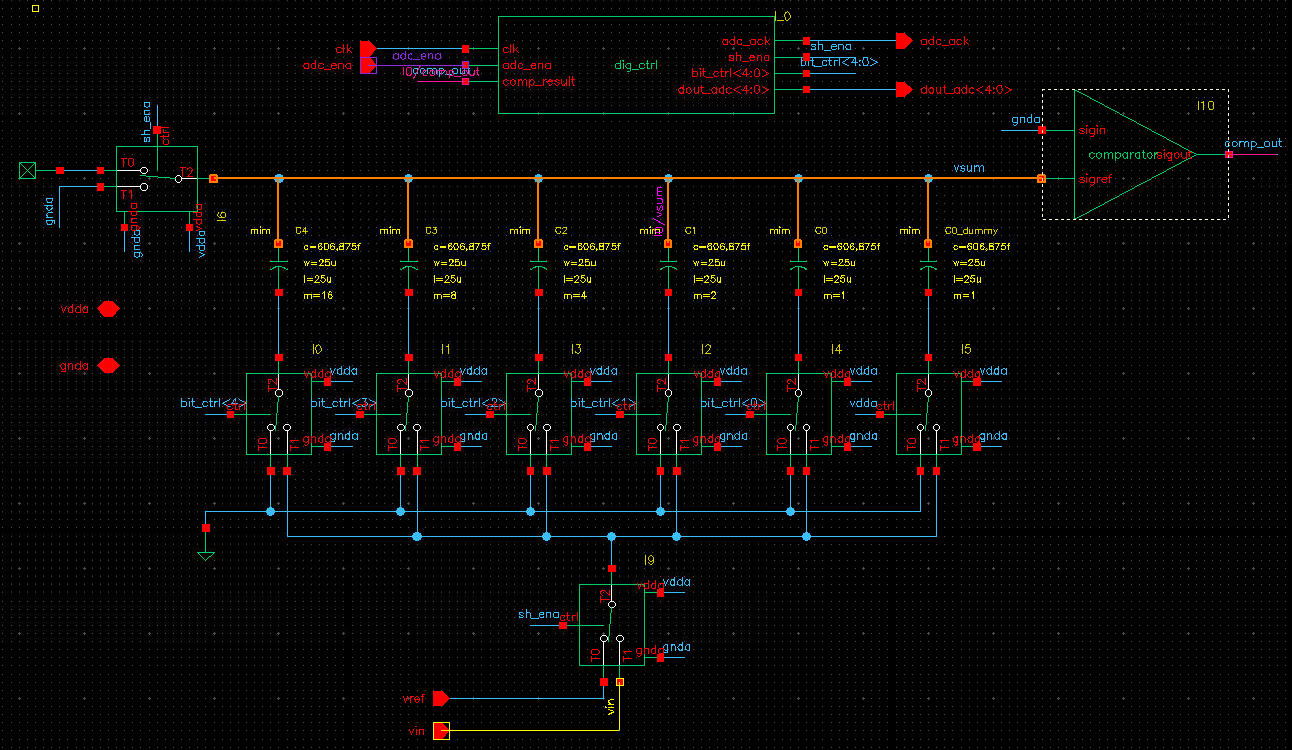
3. 接下来在MDE仿真环境中，我们通过*Setup -> Design -> Config*选中之前创建的config文件，并且通过*Setup -> Netlist/Directory* 选择混合仿真器*Alps-MS*



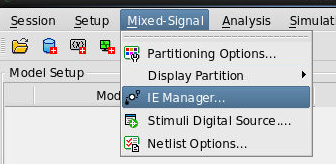


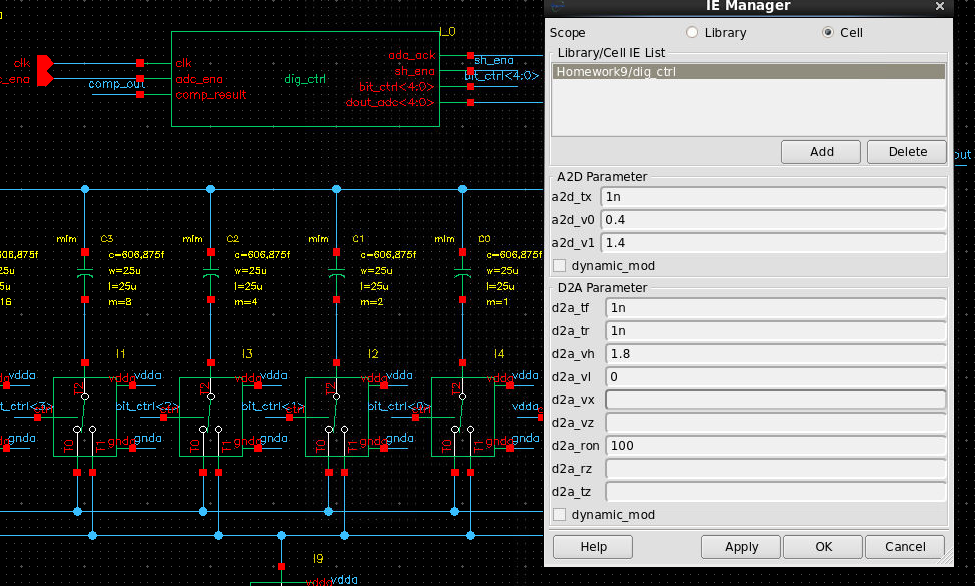
1. **配置数模混合中的转化电平**

1. 对于一个数模混合仿真环境，我们需要指定其内部的数模、模数转化电平，如下图所设计的SAR-ADC，其数字模块dig\_ctrl只输出0/1逻辑信号，当其驱动模拟电路时，需要转化成相应的高低电平信号（比如0V/1.8V）。



因此，我们需要在*Mixed-Signal -> IE Manager*中配置逻辑和电平的转换。我们在弹出的窗口中添加一个我们要配置的单元，此处即是 “dig\_ctrl”.



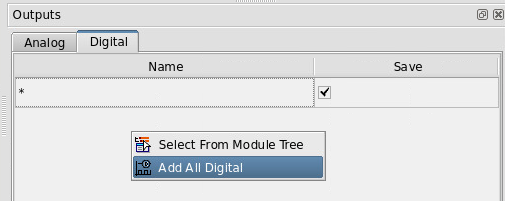
****

配置文件中:

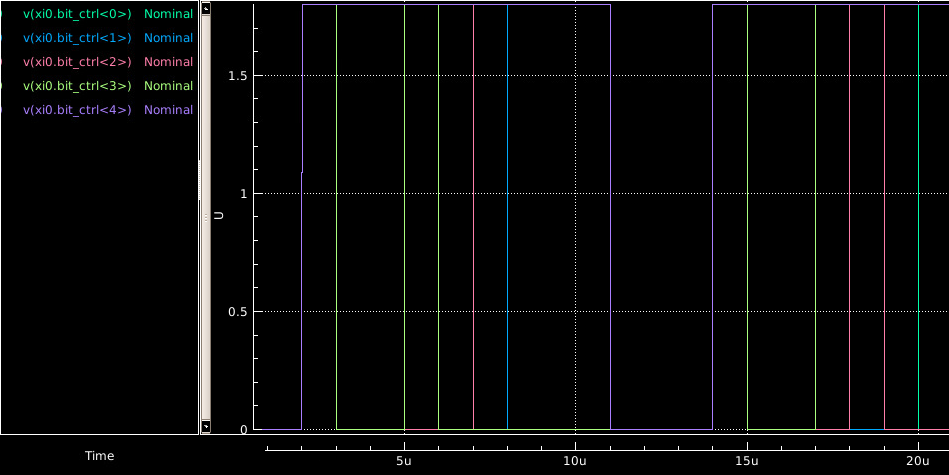
* a2d\_v0: 低于该电压时，模拟信号转为数字0
* a2d\_v1: 高于该电压时，模拟信号转为数字1
* a2d\_tx: 模拟转数字出现不定态X的延迟时间
* d2a\_tf: 数字转模拟的下降沿
* d2a\_tf: 数字转模拟的上升沿
* d2a\_vh: 数字1转为模拟对应电压值
* d2a\_vl: 数字0转为模拟对应电压值
* d2a\_ron: 数字转成模拟信号的内阻值

1. **输出仿真信号**

1. 仿真信号的输出与之前的方法大体相同，唯一不同的是我们此时还有数字逻辑信号。保存数字信号的办法是：在Outputs tab中切换到Digital，右键空白处弹出菜单选Add All Digital即可，如下右所示。因为大多数混仿电路中数字波形均较小，不妨全部保存下来：



可以看到输出的波形如下图所示：



2. 为了更好的观察ADC的后采样信号，我们可以在测试台上对数字输出做一个理想的数模转换，通过VCVS和放大倍数进行控制，最终可以看到我们的ADC对若干个周期前的采样信号进行了模数转换：

