

数字集成电路基础

——时序逻辑电路

张悦

微电子学院

费尔北京研究院 / 自旋电子交叉学科中心

目 录

6.1 基本概念

6.2 时序逻辑电路的分析方法

6.3 时序逻辑电路的设计方法

6.4 常用时序逻辑电路

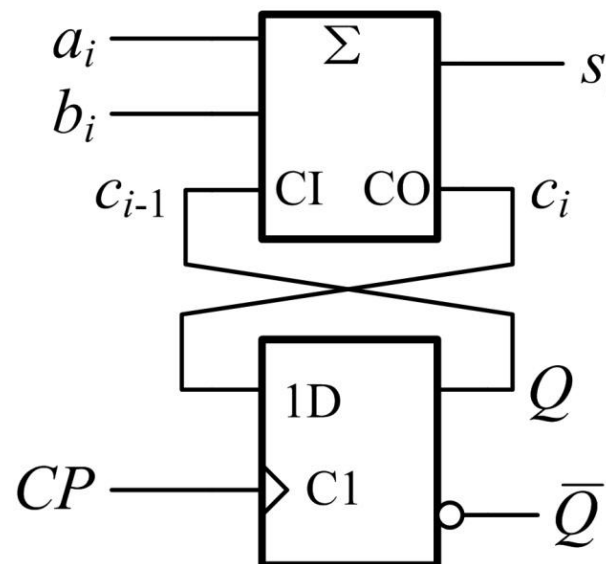
6.1 基本概念

1、时序逻辑电路的结构及特点

- 特点：电路任何一个时刻的输出状态不仅取决于**当时的输入信号**，还与电路的**原状态**有关。
- 例：串行加法器

组合逻辑电路和**时序逻辑电路**的区别

组合逻辑电路：T时刻输出仅与T时刻输入有关，与T以前的状态无关。



- 电路结构：
 - 由组合逻辑电路和存储电路两部分组成；
 - 存储器件的状态必须反馈到输入端；
 - 当前的反馈状态与输入信号共同决定输出。

- 普遍形式

- 状态方程

$$Q^{n+1} = H[Z, Q^n]$$

- 驱动方程（激励方程）

$$Z = G[X, Q^n]$$

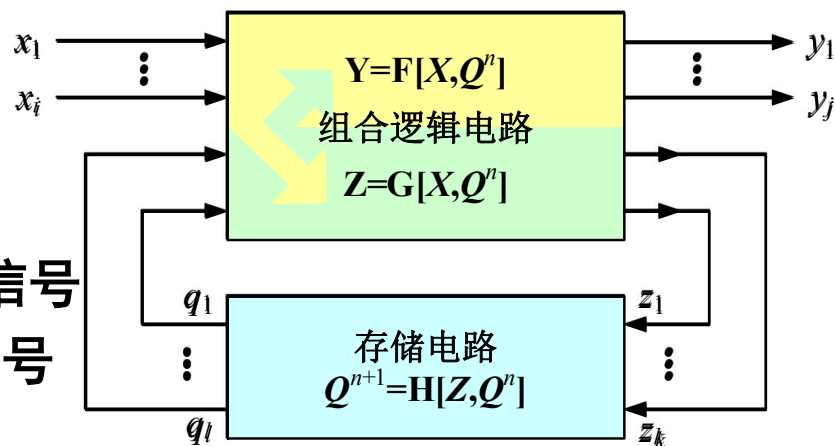
- 输出方程 $Y = F[X, Q^n]$

$X(x_1, x_2, \dots, x_i)$ —— 输入信号

$Y(y_1, y_2, \dots, y_j)$ —— 输出信号

$Z(z_1, z_2, \dots, z_k)$ —— 存储电路的输入信号

$Q(q_1, q_2, \dots, q_L)$ —— 存储电路的输出信号



时序逻辑电路结构框图

2、时序电路的分类

- 按照电路状态转换情况（存储电路中触发器的动作特点）不同，时序电路分为：
 - ❖ 同步时序电路
 - ❖ 异步时序电路（仍然有时钟，不等于“异步电路”）

	同步时序电路	异步时序电路
工作状况	存储电路里所有触发器的状态变化都在同一个控制脉冲CP作用下发生	存储电路中各F-F的状态变化有先有后。
结构	各F-F时钟脉冲端同接一个时钟脉冲源CP。	各F-F时钟脉冲输入端不一定都有CP，有些电路可以无CP。

- 按照电路中输出变量是否和输入变量直接相关，时序电路又被分为 **米利（Mealy）型** 电路和 **穆尔（Moore）型**：

- ❖ Mealy型电路的外部输出 Y 既与触发器的状态 Q^n 有关，又与外部输入 X **有关**；

$$Y = F(X, Q)$$

- ❖ Moore型电路的外部输出 Y 仅与触发器的状态 Q^n 有关，而与外部输入 X **无关**。

$$Y = F(Q)$$

时序电路的典型电路有：寄存器，移位寄存器，计数器等

6.2 时序电路分析方法

6.2.1 时序逻辑电路的分析步骤

6.2.2 同步时序逻辑电路的分析

6.2.3 异步时序逻辑电路的分析

6.2.1 时序逻辑电路的分析步骤

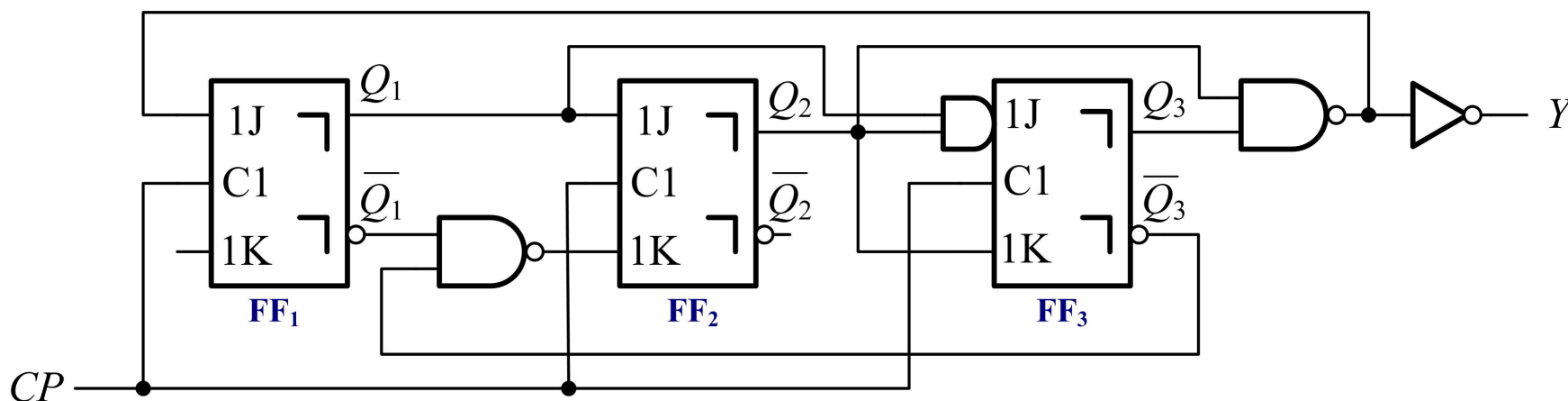
这里说的触发器特性方程，实际上就是指触发器本身的状态方程。

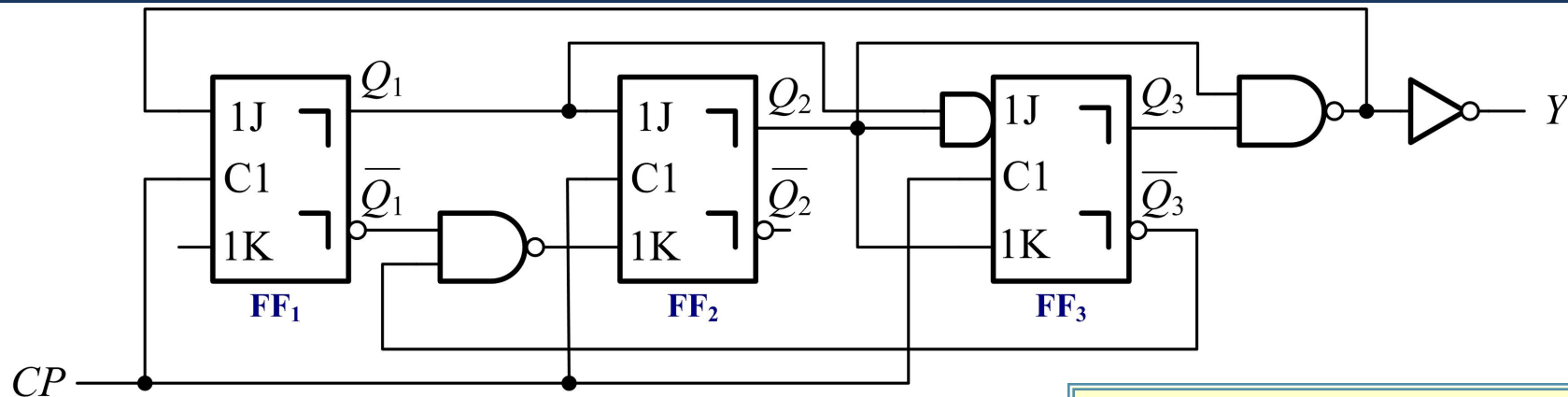
1. 根据给定的时序电路图写出各逻辑方程式
 - 1.1 驱动方程
 - 1.2 状态方程（驱动方程代入触发器的特性方程）
 - 1.3 输出方程
2. 根据状态方程和输出方程，列出时序电路的状态转换表，画出状态转换图或时序图；
3. 根据电路的状态转换表、状态转换图或时序图，说明给定时序逻辑电路的逻辑功能。

6.2.2 同步时序逻辑电路的分析

• 同步时序逻辑电路的分析

例1：





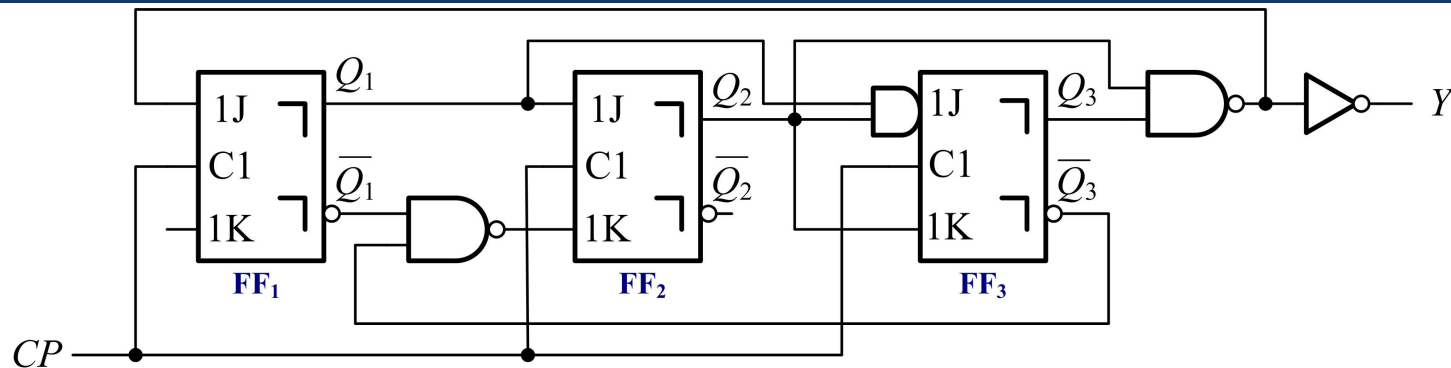
为了书写方便，省略原状态 Q^n 上的角标。

例1:

➤ 根据给定的时序电路图写出各逻辑方程式

1.1. 列出驱动方程

$$\left\{ \begin{array}{ll} J_1 = \overline{Q_2} \cdot Q_3 & K_1 = 1 \\ J_2 = Q_1 & K_2 = \overline{Q_1} \cdot \overline{Q_3} \\ J_3 = Q_1 \cdot Q_2 & K_3 = Q_2 \end{array} \right.$$



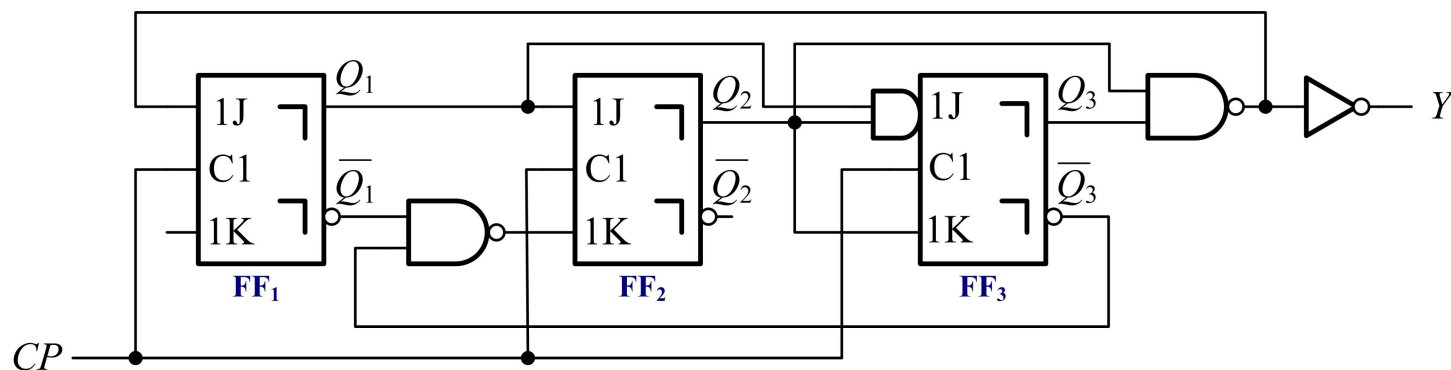
1.2. 将驱动方程代入触发器特性方程，列出状态方程

由 $Q^{n+1} = J\overline{Q}^n + \overline{K}Q^n$ ， 有：

$$\left\{ \begin{array}{ll} J_1 = \overline{Q_2} \cdot \overline{Q_3} & K_1 = 1 \\ J_2 = Q_1 & K_2 = \overline{\overline{Q_1} \cdot \overline{Q_3}} \\ J_3 = Q_1 \cdot Q_2 & K_3 = Q_2 \end{array} \right. \quad \begin{array}{l} Q_1^{n+1} = \overline{Q_2} \cdot \overline{Q_3} \cdot \overline{Q_1} \\ Q_2^{n+1} = Q_1 \cdot \overline{Q_2} + \overline{Q_1} \cdot \overline{Q_3} \cdot Q_2 \\ Q_3^{n+1} = Q_1 \cdot Q_2 \cdot \overline{Q_3} + \overline{Q_2} \cdot Q_3 \end{array}$$

1.3. 输出方程

$$Y = Q_2 \cdot Q_3$$



- 根据状态方程和输出方程，列出时序电路的**状态转换表**，画出**状态转换图**或**时序图**。

2.1. 状态转换表

$$Q_1^{n+1} = \overline{Q_2 \cdot Q_3 \cdot \overline{Q_1}}$$

$$Q_2^{n+1} = Q_1 \cdot \overline{Q_2} + \overline{Q_1} \cdot \overline{Q_3} \cdot Q_2$$

$$Q_3^{n+1} = Q_1 \cdot Q_2 \cdot \overline{Q_3} + \overline{Q_2} \cdot Q_3$$

$$Y = Q_2 \cdot Q_3$$

Q_3	Q_2	Q_1	Q_3^{n+1}	Q_2^{n+1}	Q_1^{n+1}	Y
0	0	0	0	0	1	0
0	0	1	0	1	0	0
0	1	0	0	1	1	0
0	1	1	1	0	0	0
1	0	0	1	0	1	0
1	0	1	1	1	0	0
1	1	0	0	0	0	1
1	1	1	0	0	0	1

2.2. 状态转换图

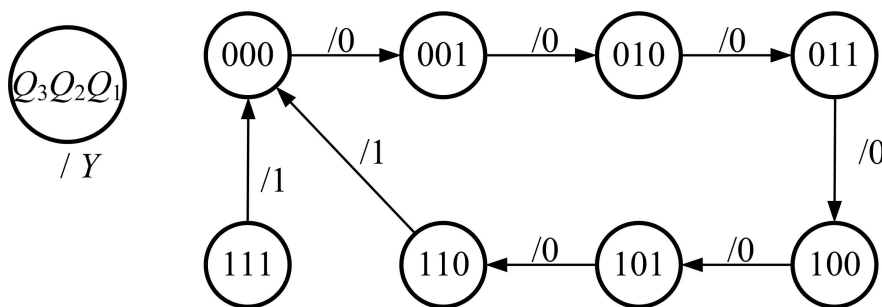
例题中电路无输入变量，次态和输出只取决于电路的初态，设初态为 $Q_3Q_2Q_1=000$ ，代入其状态方程及输出方程，得：

输入/Y $000 \rightarrow 001$

$$\begin{cases} Q_1^{n+1} = \overline{0} \cdot \overline{0} \cdot \overline{0} = 1 \cdot 1 = 1 \\ Q_2^{n+1} = 0 \cdot \overline{0} + \overline{0} \cdot \overline{0} \cdot 0 = 0 \quad Y = 0 \cdot 0 = 0 \\ Q_3^{n+1} = 0 \cdot 0 \cdot \overline{0} + \overline{0} \cdot 0 = 0 \end{cases}$$

依次得到010, 011, 100, 101, 110, 000又返回最初设定的初态，列出其状态转换表。

若电路初态为111，代入方程得：
 $Q_3Q_2Q_1=000, Y=1$



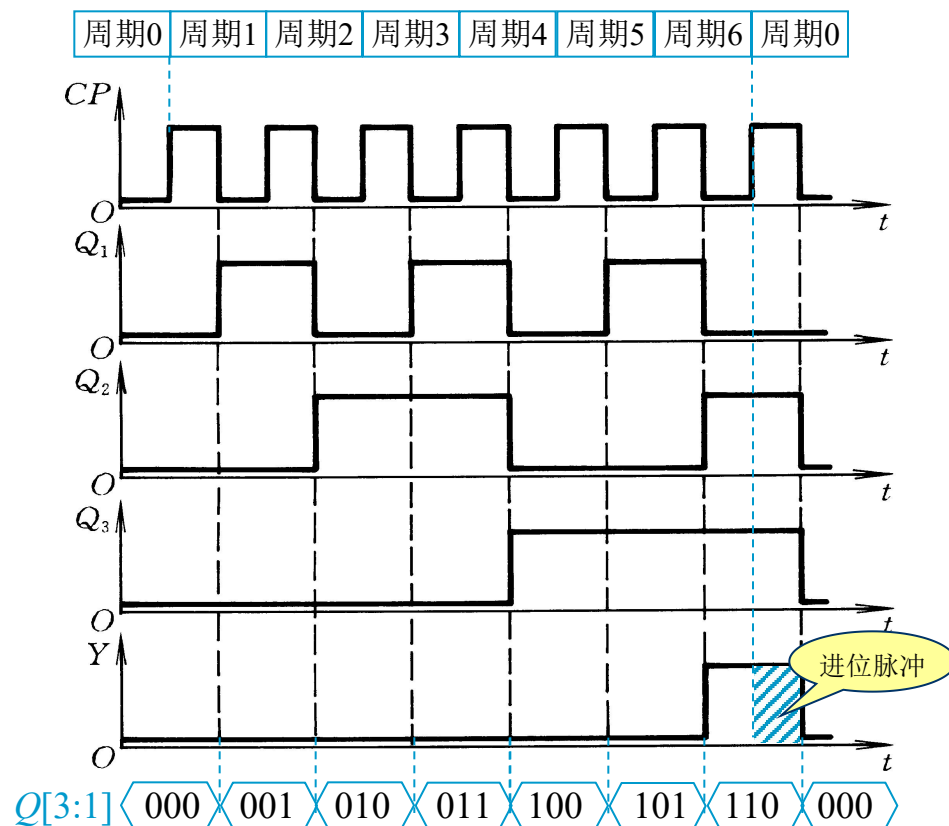
CP	Q_3	Q_2	Q_1	Y
0	0	0	0	0
1	0	0	1	0
2	0	1	0	0
3	0	1	1	0
4	1	0	0	0
5	1	0	1	0
6	1	1	0	1
7	0	0	0	0
0	1	1	1	1
1	0	0	0	0

← 状态转换图

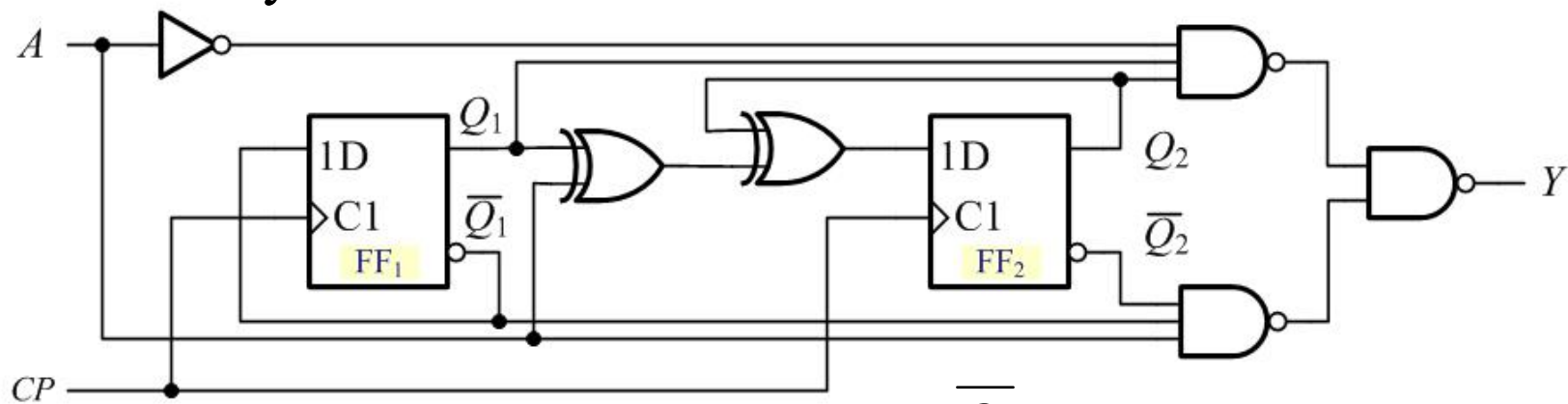
每经过七个时钟触发脉冲以后输出端Y从高电平跳变为低电平，且电路的状态循环一次。所以此电路具有对时钟信号进行计数的功能，且计数容量等于七，称为七进制计数器。

2.3. 时序图（波型图）

Q_3	Q_2	Q_1	Q_3^{n+1}	Q_2^{n+1}	Q_1^{n+1}	Y
0	0	0	0	0	1	0
0	0	1	0	1	0	0
0	1	0	0	1	1	0
0	1	1	1	0	0	0
1	0	0	1	0	1	0
1	0	1	1	1	0	0
1	1	0	0	0	0	1
1	1	1	0	0	0	1



例2 (Mealy型电路) :



1.1. 驱动方程

$$D_1 = \overline{Q_1}$$

1.2. 状态方程

$$D_2 = A \oplus Q_1 \oplus Q_2$$

$$Q_1^{n+1} = D_1 = \overline{Q_1}$$

$$Q_2^{n+1} = D_2 = A \oplus Q_1 \oplus Q_2$$

1.3. 输出方程

$$Y = \overline{\overline{\overline{A} Q_1 Q_2}} \cdot \overline{\overline{\overline{A} Q_1 Q_2}} = \overline{A} Q_1 Q_2 + A \overline{Q_1} \overline{Q_2}$$

2.1. 状态转化表

时序逻辑**分析**的时候，
并不建议列这种“卡诺图”型
的状态转换表，这时
普通真值表型的不容易出错！
然而，在设计的时候，建议用
“卡诺图”型的状态转换表。

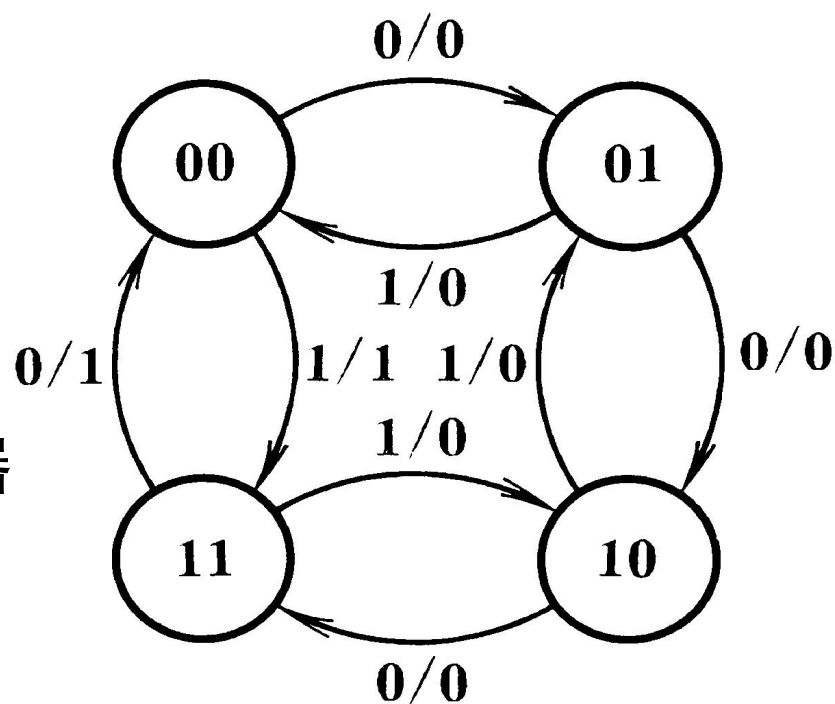
$A \backslash Q_2 Q_1$	00	01	11	10
0	01/0	10/0	00/1	11/0
1	11/1	00/0	10/0	01/0

$$Q_2^{n+1} Q_1^{n+1} / Y$$

2.2. 状态装换图

➤ 判定逻辑功能：

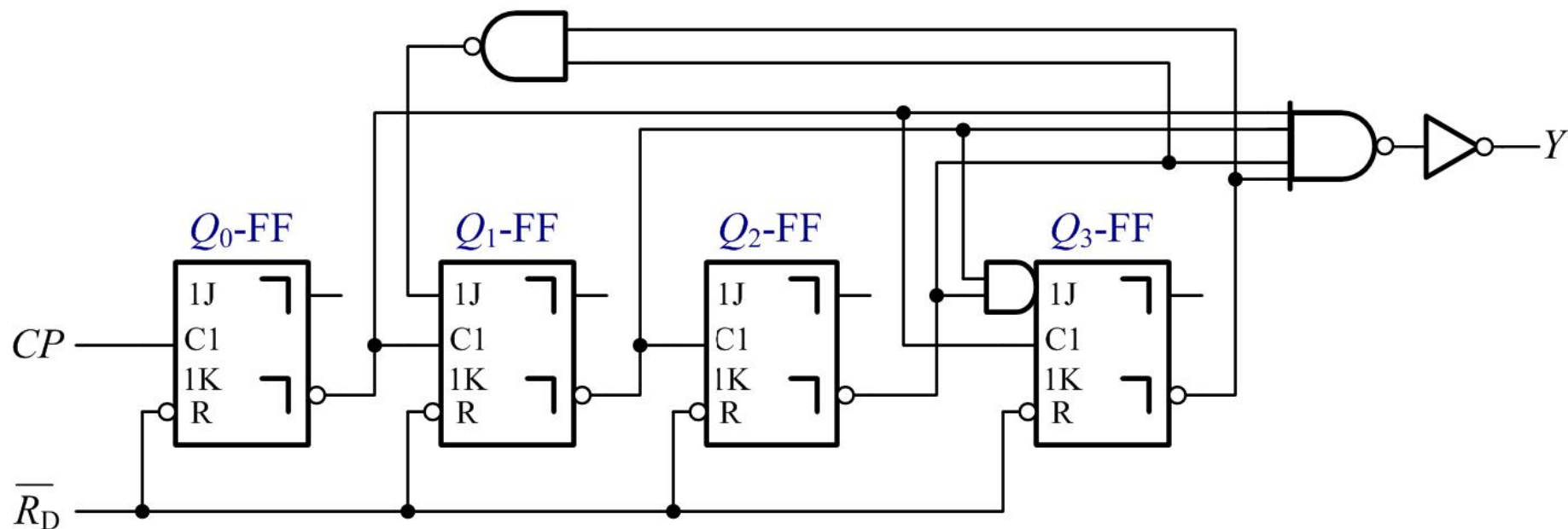
✓ 四进制加减计数器



A/Y
 Q_2Q_1

6.2.3 异步时序逻辑电路的分析

例3:



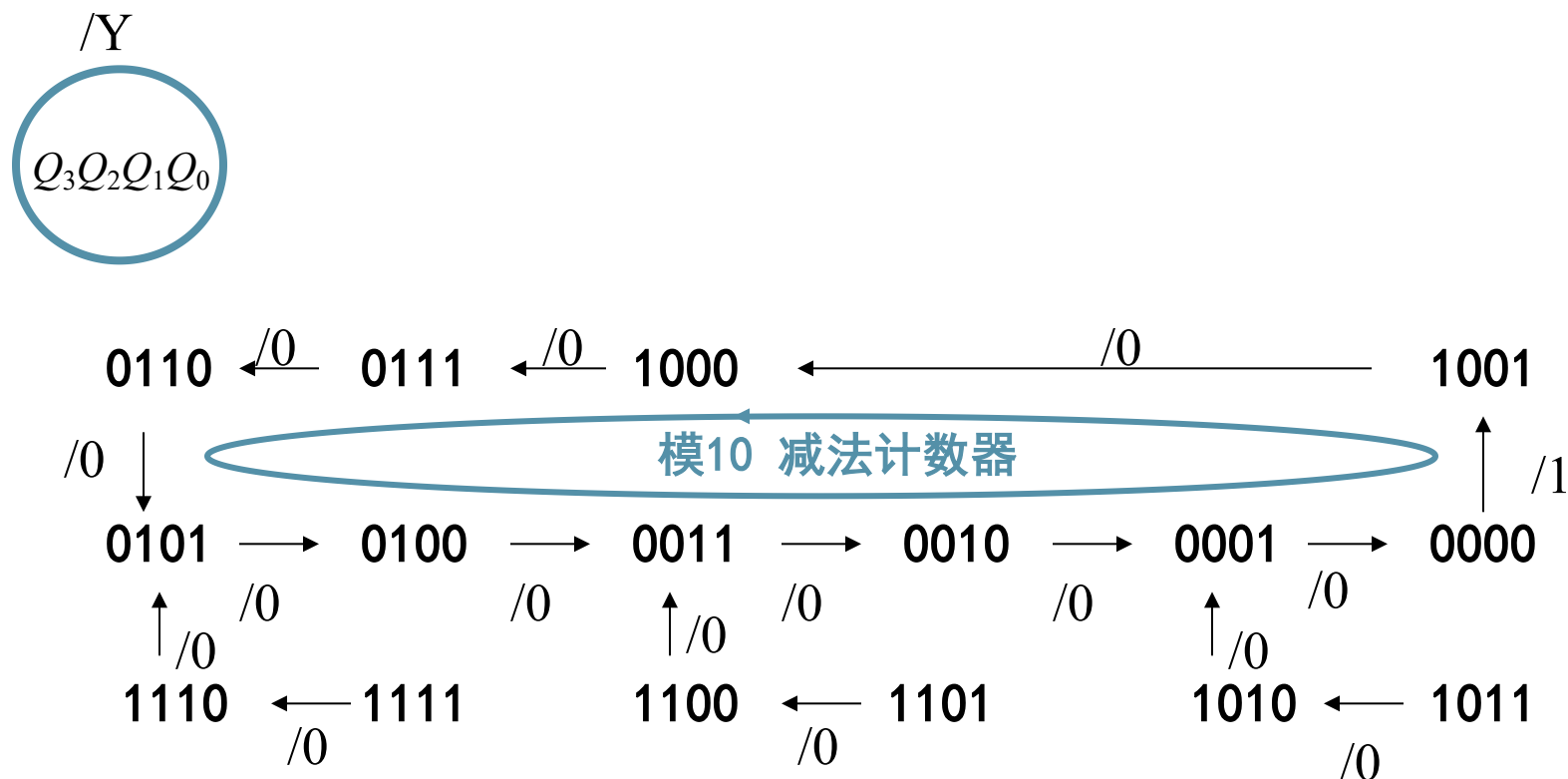
驱动方程	状态方程
$\begin{cases} J_1 = 1 \\ K_1 = 1 \end{cases} \quad cp_0 = CP \downarrow$	$Q_0^{n+1} = \overline{Q_0} \Big _{CP \downarrow}$
$\begin{cases} J_2 = \overline{\overline{Q_2} \cdot \overline{Q_3}} \\ K_2 = 1 \end{cases} \quad cp_1 = \overline{Q_0} \downarrow$	$\begin{aligned} Q_1^{n+1} &= (Q_2 + Q_3) \overline{Q_1} \Big _{cp_1 \downarrow} \\ &= Q_2 \overline{Q_1} + Q_3 \overline{Q_1} \Big _{\overline{Q_0} \downarrow} \end{aligned}$
$\begin{cases} J_2 = 1 \\ K_2 = 1 \end{cases} \quad cp_2 = \overline{Q_1} \downarrow$	$Q_2^{n+1} = \overline{Q_2} \Big _{\overline{Q_1} \downarrow}$
$\begin{cases} J_2 = \overline{Q_1} \cdot \overline{Q_2} \\ K_2 = 1 \end{cases} \quad cp_3 = \overline{Q_0} \downarrow$	$\begin{aligned} Q_3^{n+1} &= (\overline{Q_1} \cdot \overline{Q_2}) \overline{Q_3} \Big _{cp_3 \downarrow} \\ &= \overline{Q_1} \cdot \overline{Q_2} \cdot \overline{Q_3} \Big _{\overline{Q_0} \downarrow} \end{aligned}$
输出方程	$Y = \overline{Q_0} \cdot \overline{Q_1} \cdot \overline{Q_2} \cdot \overline{Q_3}$

$Q_3^{n+1} = \overline{Q_1^{n+1}} \cdot \overline{Q_2} \cdot \overline{Q_3} + Q_3 \overline{Q_1} \Big|_{\overline{Q_0} \downarrow} \quad Q_2^{n+1} = \overline{Q_2} \Big|_{\overline{Q_1} \downarrow} \quad cp_3 = \overline{Q_0} \downarrow \quad cp_2 = \overline{Q_1} \downarrow \quad cp_1 = \overline{Q_0} \downarrow$

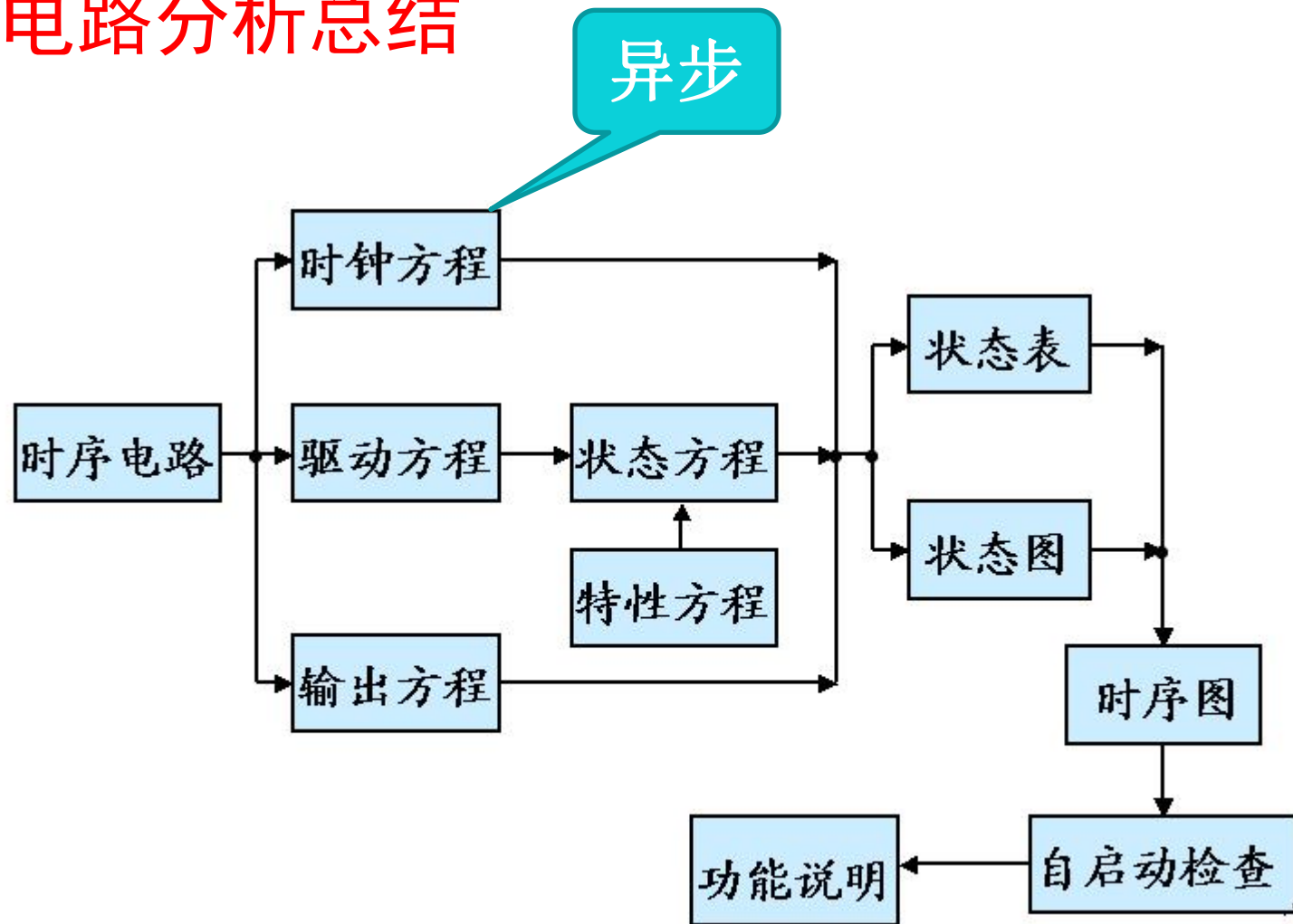
Q_3	Q_2	Q_1	Q_0	Q_3^{n+1}	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}	cp_3	cp_2	cp_1	cp_0	Y
		0			0	0		↓	保持	↓	↓	1
		0			0	0		保持	保持	保持	↓	
		1			0	0		↓	保持	↓	↓	
		1			0	1		保持	保持	保持	↓	
		0			0	1		↓	↓	↓	↓	
		0			1	0		保持	保持	保持	↓	
		1			1	0		↓	保持	↓	↓	
		1			1	1		保持	保持	保持	↓	
		0			1	1		↓	↓	↓	↓	全
		0			0	0		保持	保持	保持	↓	0
		1			0	0		↓	保持	↓	↓	
		1			0	1		保持	保持	保持	↓	
		0			0	1		↓	↓	↓	↓	
		0			1	0		保持	保持	保持	↓	
		1			1	0		↓	保持	↓	↓	
		1			1	1		保持	保持	保持	↓	

原状态				次状态				时钟触发条件				输出
Q_3	Q_2	Q_1	Q_0	Q_3^{n+1}	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}	cp_3	cp_2	cp_1	cp_0	Y
0	0	0	0	1	0	0	1	↓		↓	↓	1
0	0	0	1	0	0	0	0				↓	0
0	0	1	0	0	0	0	1	↓		↓	↓	0
0	0	1	1	0	0	1	0				↓	0
0	1	0	0	0	0	1	1	↓	↓	↓	↓	0
0	1	0	1	0	1	0	0				↓	0
0	1	1	0	0	1	0	1	↓		↓	↓	0
0	1	1	1	0	1	1	0				↓	0
1	0	0	0	0	1	1	1	↓	↓	↓	↓	0
1	0	0	1	1	0	0	0				↓	0
1	0	1	0	0	0	0	1	↓		↓	↓	0
1	0	1	1	1	0	1	0				↓	0
1	1	0	0	0	0	1	1	↓	↓	↓	↓	0
1	1	0	1	1	1	0	0				↓	0
1	1	1	0	0	1	0	1	↓		↓	↓	0
1	1	1	1	1	1	1	0				↓	0

2.2. 状态装换图



时序电路分析总结



第六版

- 6.5;