

数字电路基础 第八周作业

范云潜 18373486

微电子学院 184111 班

日期: 2020 年 11 月 12 日

作业内容: 6.5, 6.7, 6.35, 6.10, 6.12, 6.19, 6.22, 6.29

Problem 6.5

两个 D 触发器都是下降沿触发的, 分析其更新规则:

$$Q'_{1,n+1} = AQ'_{2,n}$$

$$Q'_{2,n+1} = A(Q'_{2,n}Q'_{1,n})'$$

$$Y = AQ'_1Q_2$$

那么分析其变化

A	Q1n'	Q2n'	Q1n+1'	Q2n+2'	Y
0	x	x	1	1	0 -> 0
1	0	0	1	0	0 -> 1
1	1	0	1	0	1 -> 1
1	0	1	0	0	0 -> 0
1	1	1	0	1	0 -> 0

状态图为 图 1

Problem 6.7

首先, 所有触发器的时钟沿一致, 接下来分析更新规则: 转换图如 图 2。

$$Q_{0,n+1} = Q'_{0,n}, J = 1, K = 1$$

$$Q_{1,n+1} = (Q'_{0,n}(Q'_{2,n}Q'_{3,n})') \cdot Q'_{1,n} + Q_{0,n}Q_{1,n}, J = (Q'_{0,n}(Q'_{2,n}Q'_{3,n})'), K = Q'_{0,n}$$

$$Q_{2,n+1} = (Q_{3,n}Q'_{0,n}) \cdot Q'_{2,n} + (Q'_{1,n}Q'_{0,n})'Q_{2,n}, J = (Q_{3,n}Q'_{0,n}), K = (Q'_{1,n}Q'_{0,n})$$

$$Q_{3,n+1} = (Q'_{2,n}Q'_{1,n}Q'_{0,n}) \cdot Q'_{3,n} + Q_{0,n}Q_{3,n}, J = (Q'_{2,n}Q'_{1,n}Q'_{0,n}), K = Q_{0,n}$$

$$Y = (Q'_0Q'_1Q'_2Q'_3)$$

Q0	Q1	Q2	Q3	Q0n	Q1n	Q2n	Q3n	Y
0	0	0	0	1	0	0	1	1->0 % 0
1	0	0	1	0	0	0	1	0->0 % 9
0	0	0	1	1	1	1	0	0->0 % 1
1	1	1	0	0	1	1	0	0->0 % 14
0	1	1	0	1	0	1	0	0->0 % 6
1	0	1	0	0	0	1	0	0->0 % 10
0	0	1	0	1	1	0	0	0->0 % 2
1	1	0	0	0	1	0	0	0->0 % 12
0	1	0	0	1	0	0	0	0->0 % 4

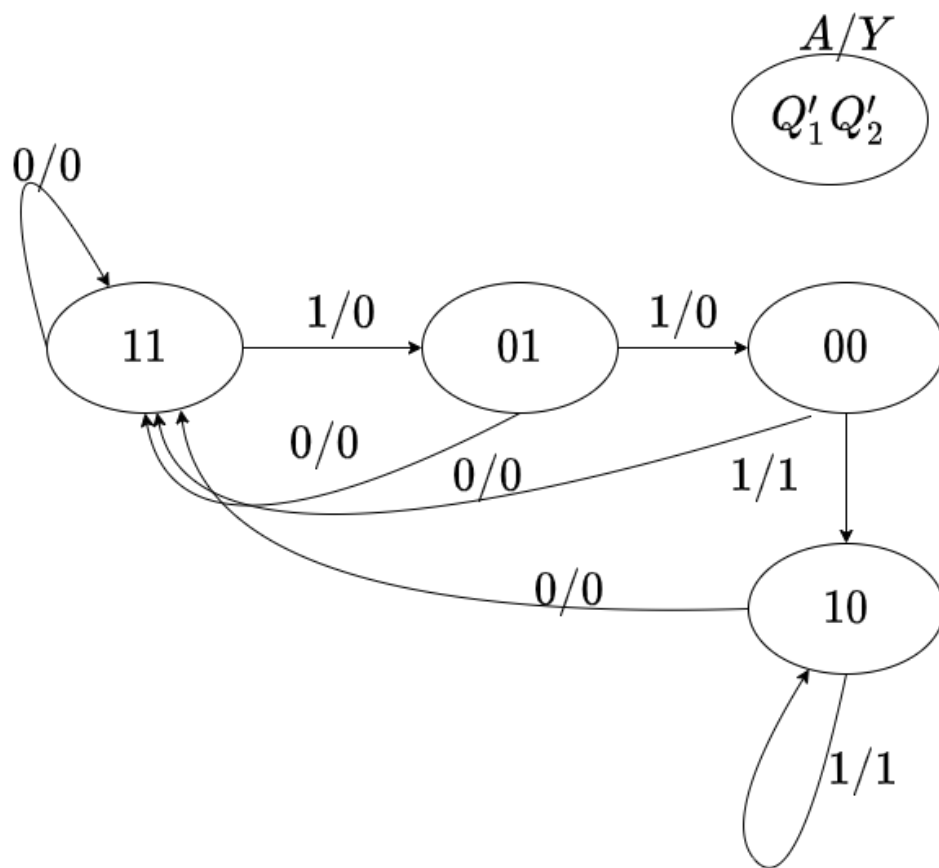


图 1: 状态图

```

1 0 0 0 0 0 0 0 0->1 % 8
% 3 5 7 11 13 15
0 0 1 1 1 1 0 0 0->0
0 1 0 1 1 0 1 0 0->0
0 1 1 1 1 0 1 0 0->0
1 0 1 1 0 0 1 1 0->0
1 1 0 1 0 1 0 1 0->0
1 1 1 1 0 1 1 1 0->0

```

Problem 6.35

转换图如图 3。

state_name	in	next	else
state_0	1	state_1	state_0
state_1	1	state_2	state_0
state_2	1	state_3	state_0
state_3	1	state_4	state_0
state_4	1	state_4	state_0

Problem 6.10

分析电路，加法器的和会更新到 A_3 ，进位（低有效）会更新到 CI 。

A3->A0	B3->B0	A3->A0{next}	CI{next}
1001	0011	0100	1

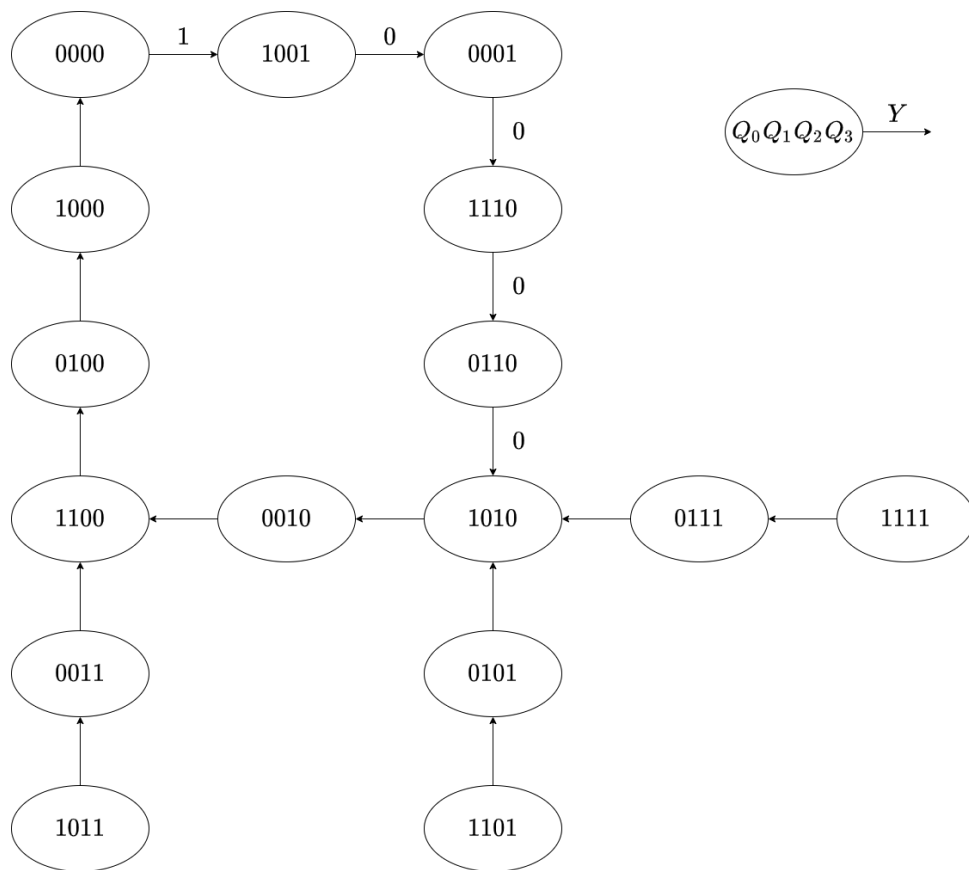


图 2: 6.7

0100	0001	1010	0
1010	0000	0101	0
0101	0000	1010	0

可见，这是一个串行的加法器。

Problem 6.12

$EP = ET = 1$ 不会处于保持状态， $R'_D = (Q_1 Q_3)'$ ，为 1 时进行计数，0 时进行置零。状态如图 4。

Q3-Q0	RD'	Q3-Q0{next}	Y=Q3
0000	1	0001	0->0
0001	1	0010	0->0
0010	1	0011	0->0
0011	1	0100	0->0
0100	1	0101	0->0
0101	1	0110	0->0
0110	1	0111	0->0
0111	1	1000	0->1
1000	1	1001	1->1
1001	1	1010	1->1
1010	0	0000	1->0
1011	0	0000	1->0
1100	1	1101	1->1

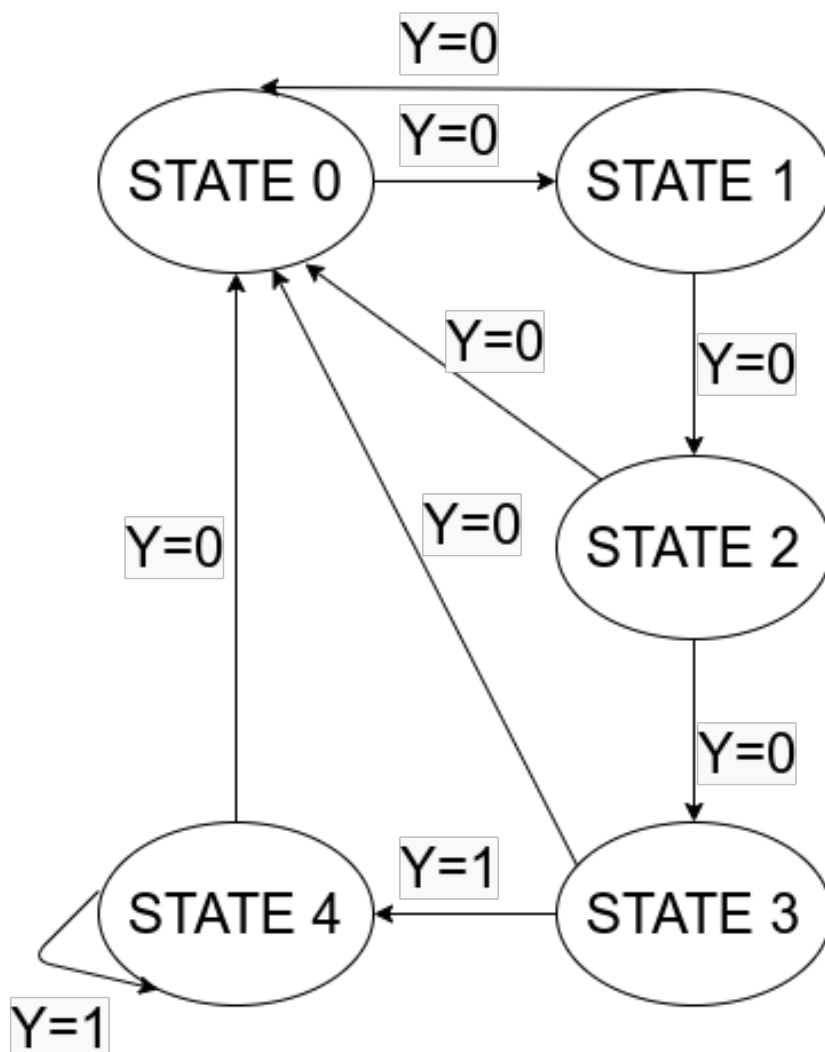


图 3: 6.35

1101	1	1110	1->1
1110	0	0000	1->0
1111	0	0000	1->0

Problem 6.19

分析两片计数器的接线方式。第一片的 EP, ET, LD, R_D 全部接高电平，一直处于计数状态，第二片的 EP 接到第一片的进位上，在第一片达到 1001 时触发第二片的计数。

在初始值分别为加载值 0000 和 0111 时，可知计数 20 个上升后，会得到 0000，1001 造成加载，得到 0000，0111，因此这是 20 计数器。

Problem 6.22

采用和上一题类似的思路，通过预置 0 进行工作。但是中间一级的进位不能持久作用，因此需要将 EP_3, ET_3 分开，让计数只持续一个时钟。如 图 5。

Problem 6.29

利用 MUX 8 和十进制计数器完成设计，将三位输出绑定到地址选择，另一位绑定到输入。

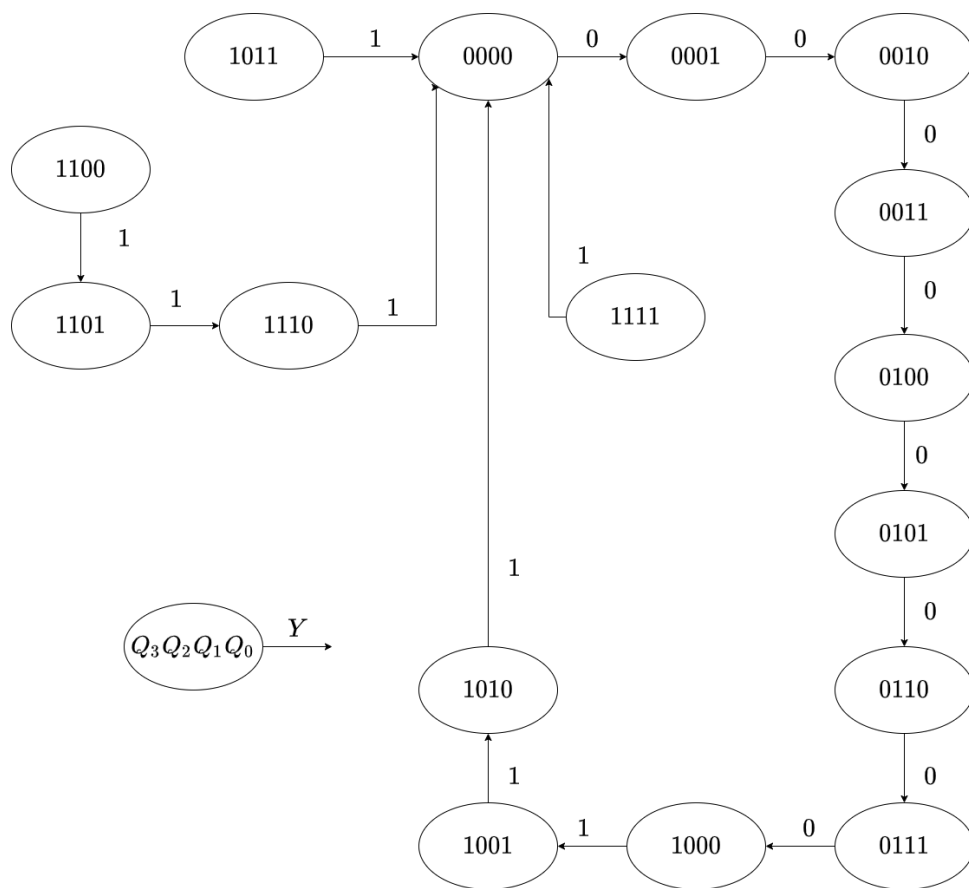


图 4: 6.12

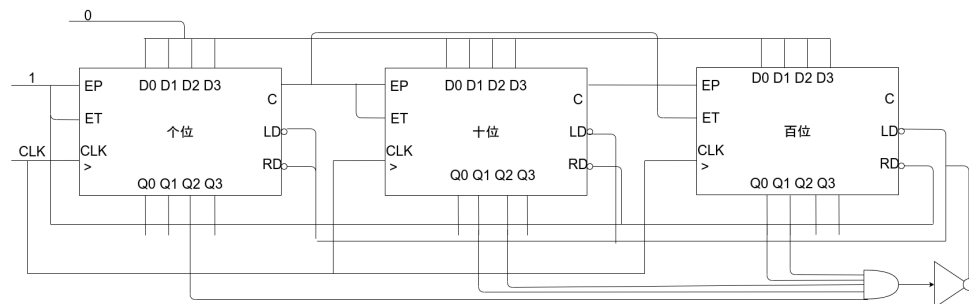


图 5: 6.22

列出变化需求，分析地址线：

Q3->Q0	OUT
0000	0
0001	0
0010	1
0011	0
0100	1
0101	1
0110	0
0111	1
1000	1
1001	1

```

ADDR = Q3-> Q1
000 -> 0
001 -> !Q0
010 -> 1
011 -> Q0
100 -> 1

```

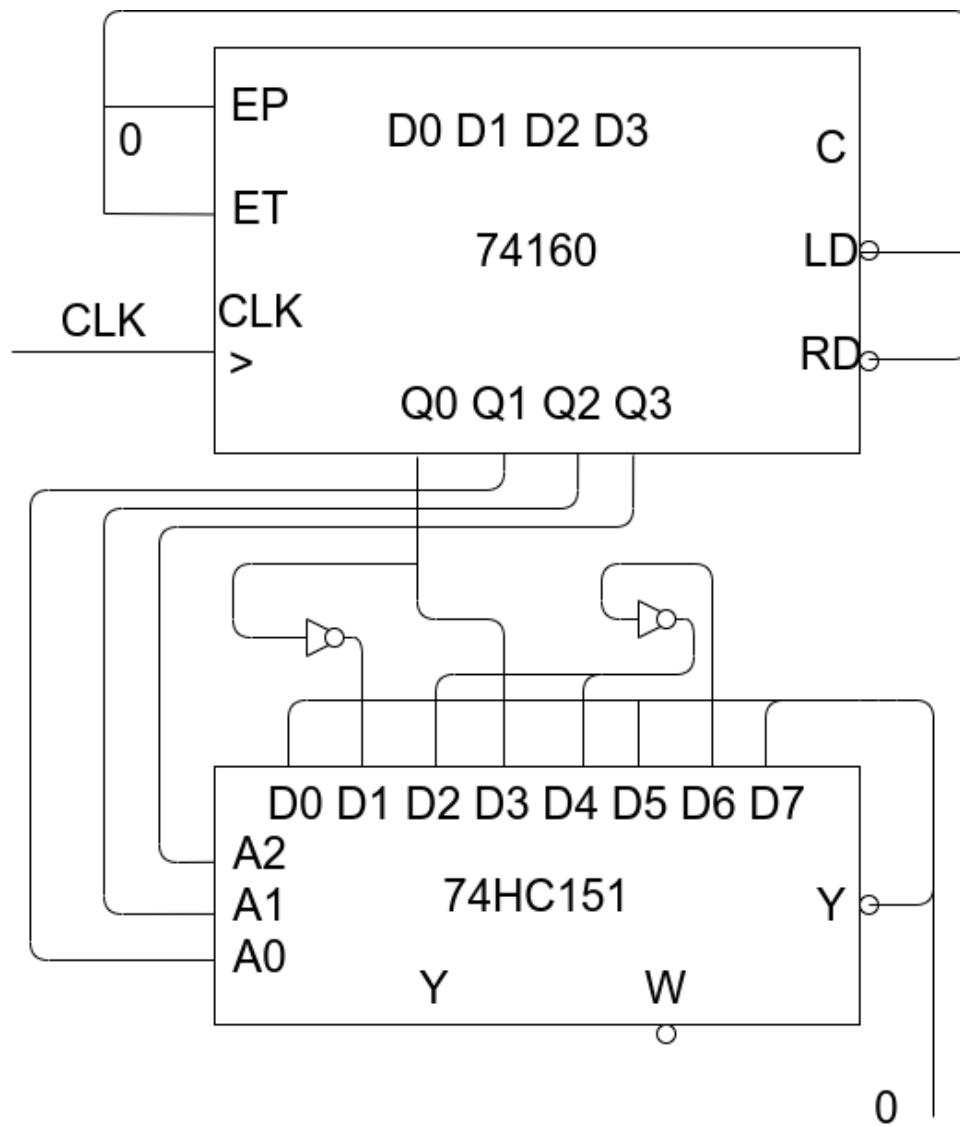


图 6: 6.29