



# 数字电路基础

---

## 第三章、逻辑门电路

### Part 2 CMOS门电路





# 第三章 逻辑门电路

§ 3.3 二极管和BJT三极管的开关特性

§ 3.4 TTL门电路

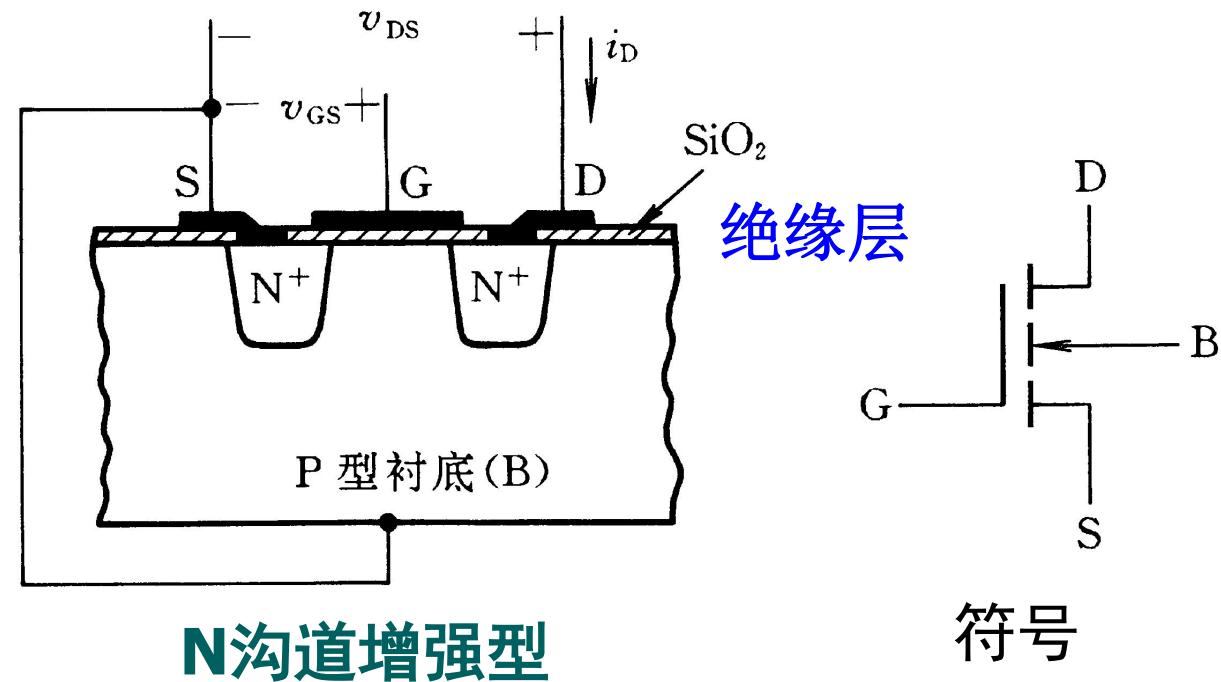
§ 3.3 MOS-FET元件的开关特性

§ 3.4 CMOS门电路

## § 3.3 MOS-FET元件的开关特性

### ■ Metal-Oxide-Semiconductor Field Effect Transistor

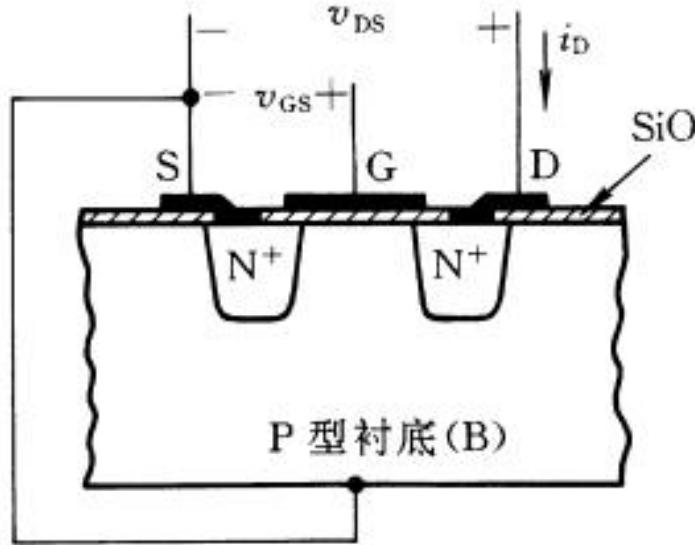
✓ MOS管结构



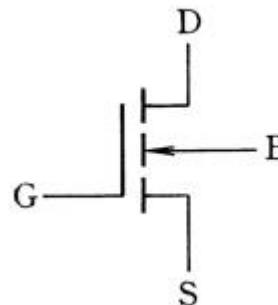
在P型半导体衬底上制作2个高掺杂浓度的N型区，形成MOS管的源极和漏极，第三个电极为栅极

# § 3.3 MOS-FET元件的开关特性

## ■ MOS管开关特性

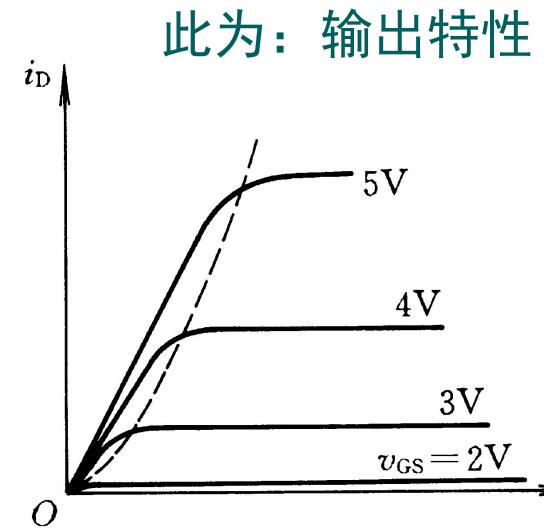
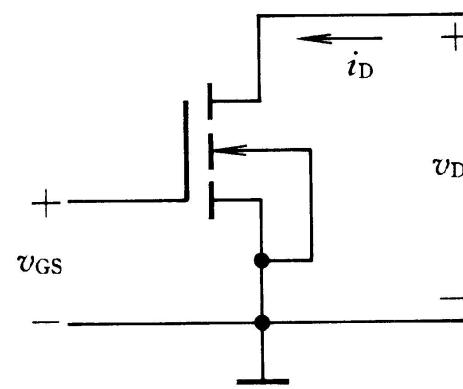


- 在漏极（D）和源极（S）加电压 $v_{DS}$ ，如果栅极（G）和源极之间的电压 $v_{GS}=0$ ，由于源极漏极之间相当于两个PN结背向相连，电阻很大，所以DS不导通， $i_D=0$ ；
- 当 $v_{GS}$ 大于某个电压阈值  $V_{GS(th)}$  时，电子被吸引到栅极下面的衬底表面，形成N型反型层，构成DS之间的导电沟道，当外加 $v_{DS}$ 电压时，DS之间将形成电流。



- $V_{GS(th)}$  称为开启电压或阈值电压。
- 为防止漏极电流直接流入衬底，常将衬底与源极相连。

# MOS管输入输出特性

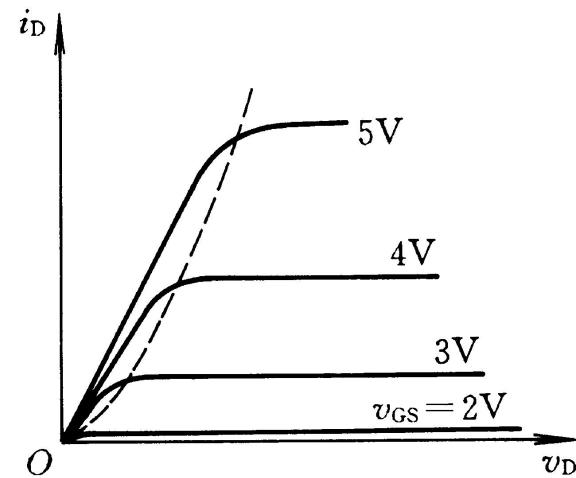
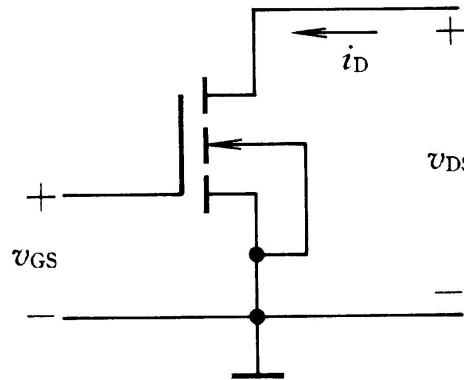


□ 输入特性：栅极绝缘层，栅极输入电流为0（对比三极管）

□ 漏极的输出特性可分为三个区域：

- $v_{GS} < V_{GS(\text{th})}$  时，为截止区，此时尚未形成导电沟道，电阻巨大
- $v_{GS} > V_{GS(\text{th})}$  时，漏极特性可分为两个区域，在虚线左称为可变电阻区（线性区），当  $v_{GS}$  一定时  $i_D$  与  $v_{DS}$  之比为常数；
- 虚线右侧的部分为恒流区， $i_D$  的大小基本上由  $v_{GS}$  决定， $v_{DS}$  对电流的影响很小。

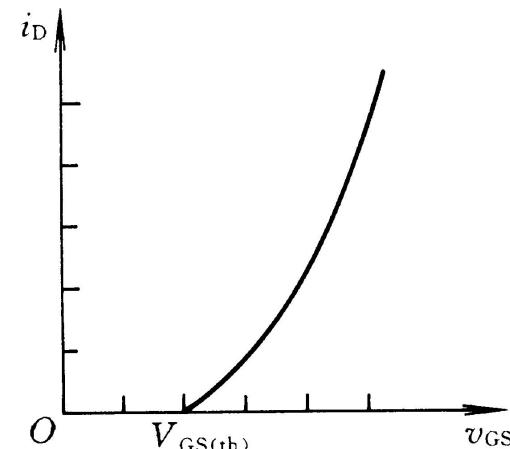
# MOS管输入输出特性



(a)

(b)

➤ 共源连接，输入端栅极无电流



可变电阻区： $R_{ON}$ 与 $V_{GS}$ 成反比

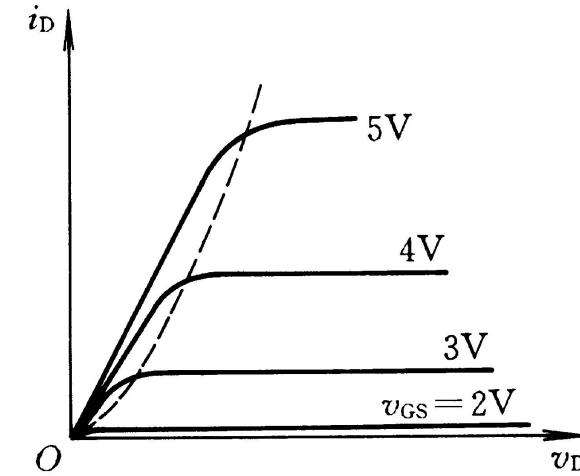
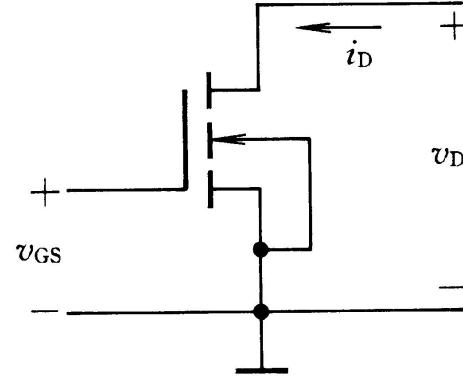
$$R_{ON} \Big|_{v_{DS}=0} = \frac{1}{2K(v_{GS} - V_{GS(th)})}$$

恒流区

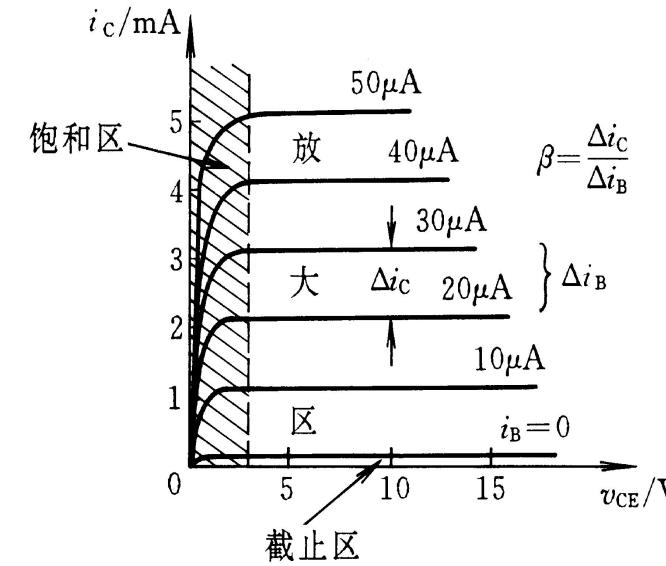
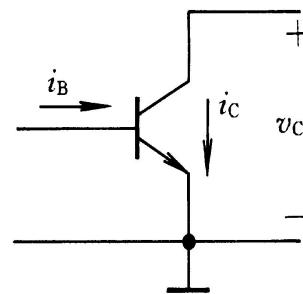
$$i_D = I_{DS} \left( \frac{v_{GS}}{V_{GS(th)}} - 1 \right)^2 \quad \text{其中 } I_{DS} \text{ 是 } v_{GS} = 2V_{GS(th)} \text{ 时的 } i_D \text{ 值}$$

恒流区电流主要由 $V_{GS}$ 决定，与 $V_{DS}$ 关系不大

## ■ MOS管 VS 双极型三极管



电压控制  
电流源  
 $V_{GS}$

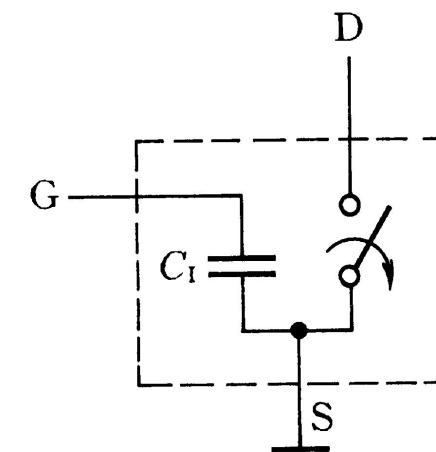
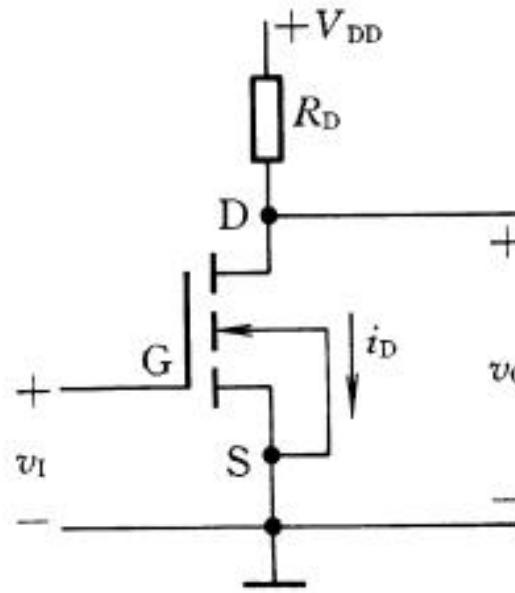


电流控制  
电流源  
 $i_B$

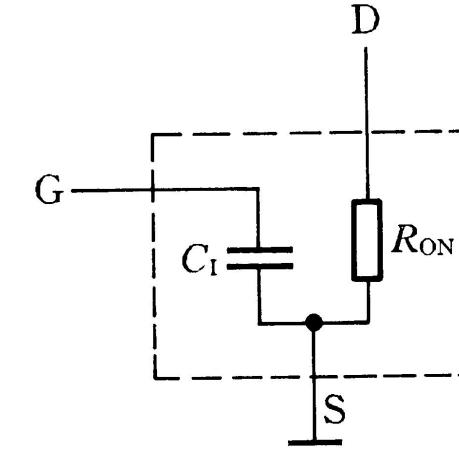
(b)

## § 3.3 MOS-FET元件的开关特性

### ■ MOS管开关特性与等效电路



等效：截止



导通

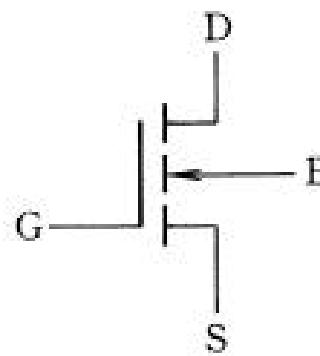
$\leq 1k$

$C_I$ 为栅极输入电容，通常为几个pF；

$R_{ON}$ 为导通电阻，约为1K欧姆以内，与 $V_{GS}$ 有关，不可忽略

# § 3.3 MOS-FET元件的开关特性

## MOS管的四种类型（衬底与沟道类型）

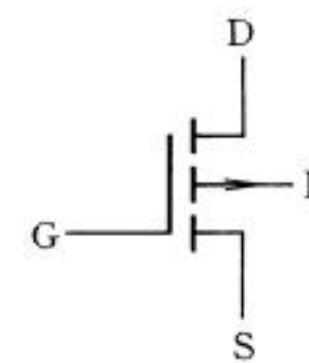


N沟道增强型

N沟道, P衬底

载流子为电子

正电压导通

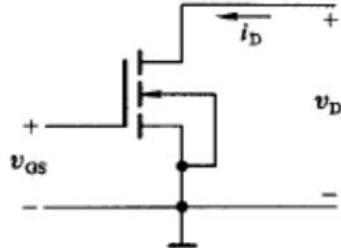


P沟道增强型

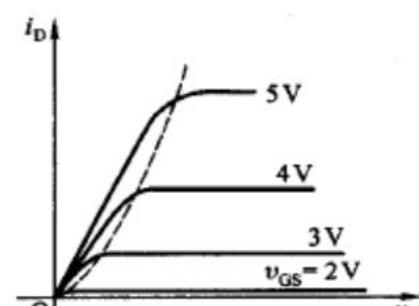
P沟道, N衬底

载流子为空穴

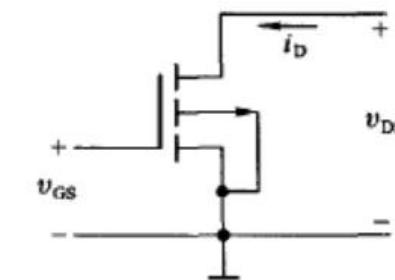
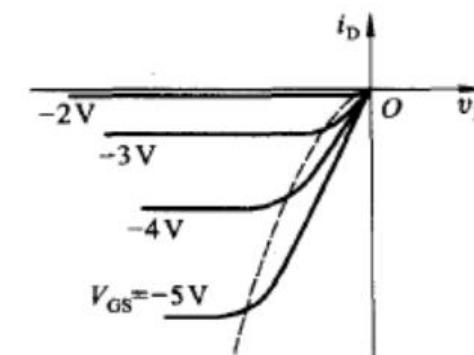
负电压导通



(a)

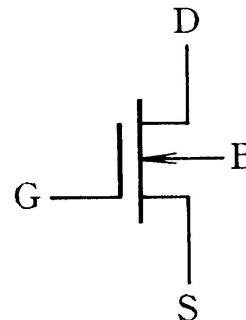


(b)



## § 3.3 MOS-FET元件的开关特性

### ■ MOS管符号的四种类型

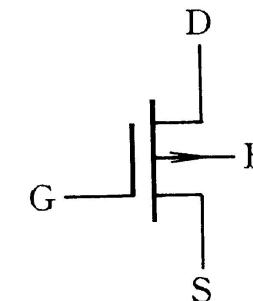


N沟道耗尽型

掺正离子

N沟道, P衬底

载流子为电子



P沟道耗尽型

掺负离子

P沟道, N衬底

载流子为空穴

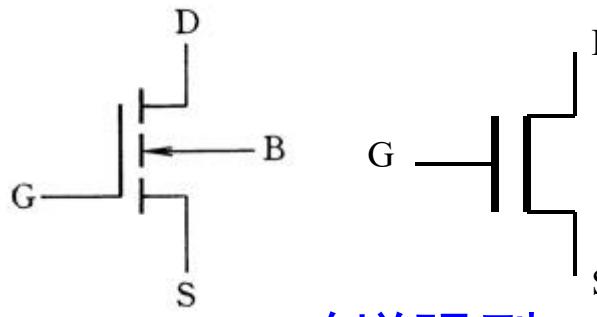
$V_{GS}$ 为负时, 导通沟道变窄,  
直到小于某个阈值 (夹断电  
压 $V_{GS(off)}$ ) , 截止

$V_{GS}$ 为正时, 导通沟道变窄,  
直到大于某个阈值 (夹断电  
压 $V_{GS(off)}$ ) , 截止

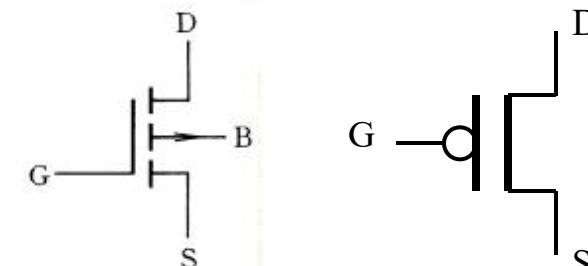
$V_{GS} = 0$ 时导电沟道即已经存在

## § 3.3 MOS-FET元件的开关特性

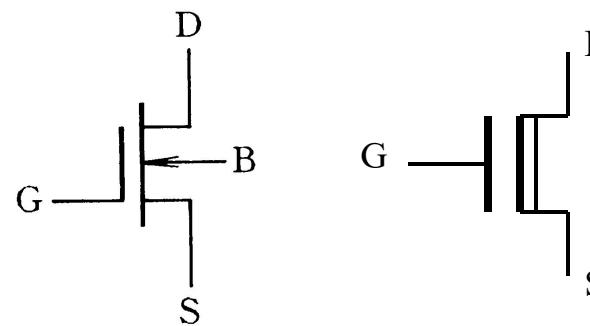
### ■ MOS管符号的符号与简化画法



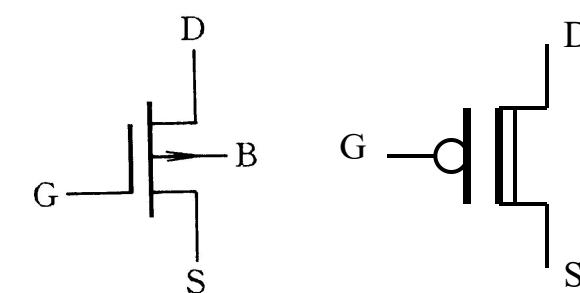
N沟道增强型



P沟道增强型



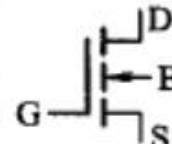
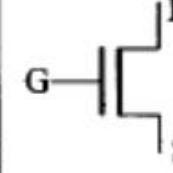
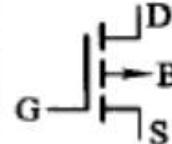
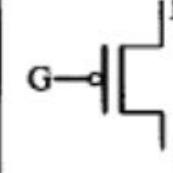
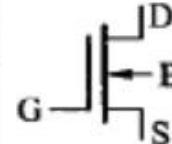
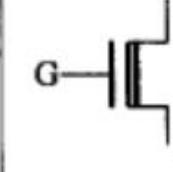
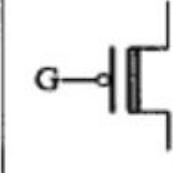
N沟道耗尽型



P沟道耗尽型

# § 3.3 4种MOS-FET比较

表 3.3.1 四种类型 MOS 管的比较

MOS 管 类型	衬底 材料	导电 沟道	开启 电压	夹断 电压	电压极性		标准符号	简化符号
					$v_{DS}$	$v_{GS}$		
N 沟道 增强型	P 型	N 型	+		+	+		
P 沟道 增强型	N 型	P 型	-		-	-		
N 沟道 耗尽型	P 型	N 型		-	+	$\pm$		
P 沟道 耗尽型	N 型	P 型		+	-	$\mp$		



## § 3.4 CMOS门电路

### ■ CMOS

- Complement Metal-Oxide-Semiconductor
- 互补金属氧化物半导体

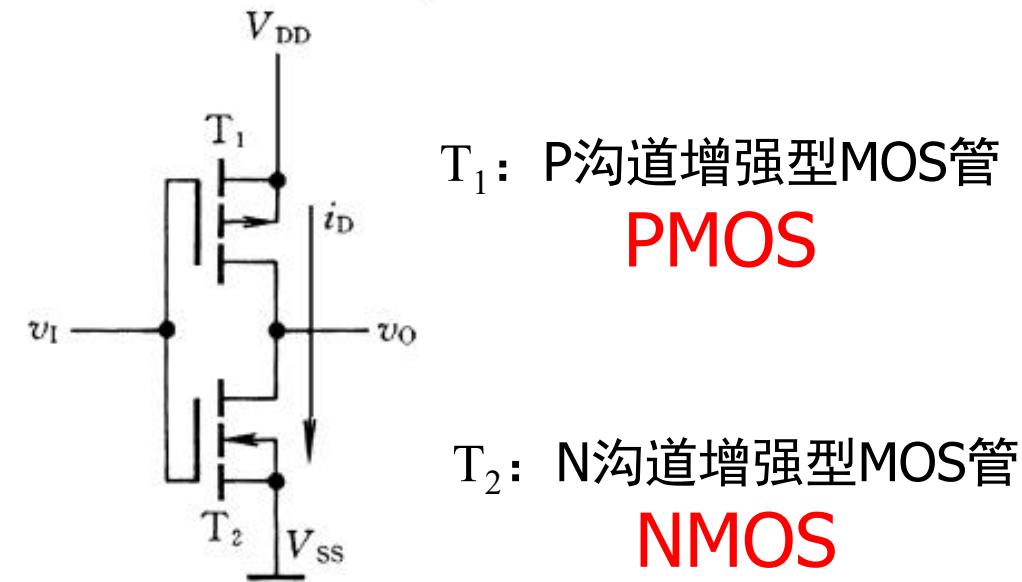
### ■ 提纲：

- CMOS非门的结构与原理
- CMOS逻辑门（及其扩展）
- CMOS逻辑门电路系列

# § 3.4.1 CMOS非门的结构与原理

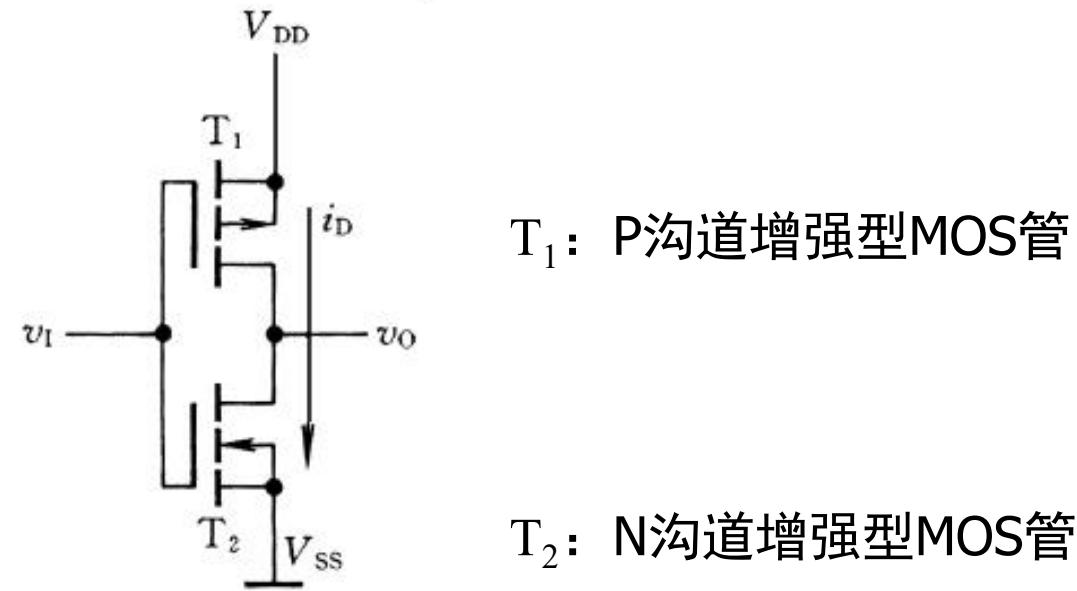
## ■ CMOS非门

- 由参数对称的增强型N沟道和P沟道MOS FET构成；
- 通常称为**互补型**MOS逻辑电路。



在CMOS门电路中，通常PMOS与NMOS晶体管总是成对出现

# CMOS非门



- 假设电源 $V_{DD}$ 大于两管开启电压绝对值之和，即 $V_{DD} > (V_{GS(th)N} + |V_{GS(th)P}|)$ ，且 $V_{GS(th)N} = |V_{GS(th)P}|$ ；
- ✓  $v_I=0V$ 时， $T_2$ 截止， $T_1$ 导通（有沟道）， $T_2$ 的截止电阻约为 $1000M\Omega$ ， $T_1$ 的导通电阻约为 $750\Omega$ ，所以输出 $v_O \approx V_{DD}$ ，即 $v_O$ 为高电平；
- ✓  $v_I=V_{DD}$ 时， $T_2$ 导通（有沟道）， $T_1$ 截止， $T_2$ 的导通电阻约为 $750\Omega$ ， $T_1$ 的截止电阻约为 $1000M\Omega$ ，所以输出 $v_O \approx 0V$ ，即 $v_O$ 为低电平；
- ✓ 电路实现了非门逻辑。



# CMOS非门特点

- 1、无论输入是高还是低，T1和T2总是工作在一个导通而另一个截止，处于**互补状态**，因此称为互补对称式金属-氧化物半导体电路，简称CMOS电路
- 2、由于静态情况下，T1和T2总有一个处于截止状态，截止电阻很大（近似无穷大），因此**静态电流很小**，这是CMOS电路最突出的特点

## § 3.4.1 CMOS非门的结构与原理

### ■ 电压传输（输入输出）特性

➤ 设：CMOS非门的电源电压

$$V_{DD}=10V,$$

➤ 设：两管的开启电压为

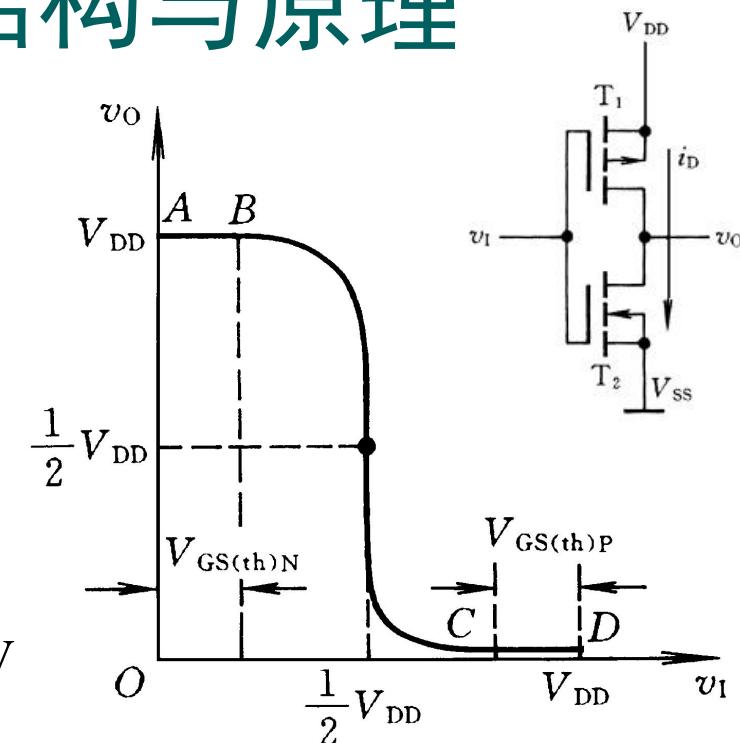
$$V_{GS(th)N}=|V_{GS(th)P}|=2V。$$

✓ 当  $v_I < 2V$ ,  $T_2$  截止,  $T_1$  导通, 输出  $v_O \approx V_{DD} = 10V$

✓ 当  $8V < v_I < 10V$ ,  $T_1$  截止,  $T_2$  导通, 输出  $v_O \approx 0V$

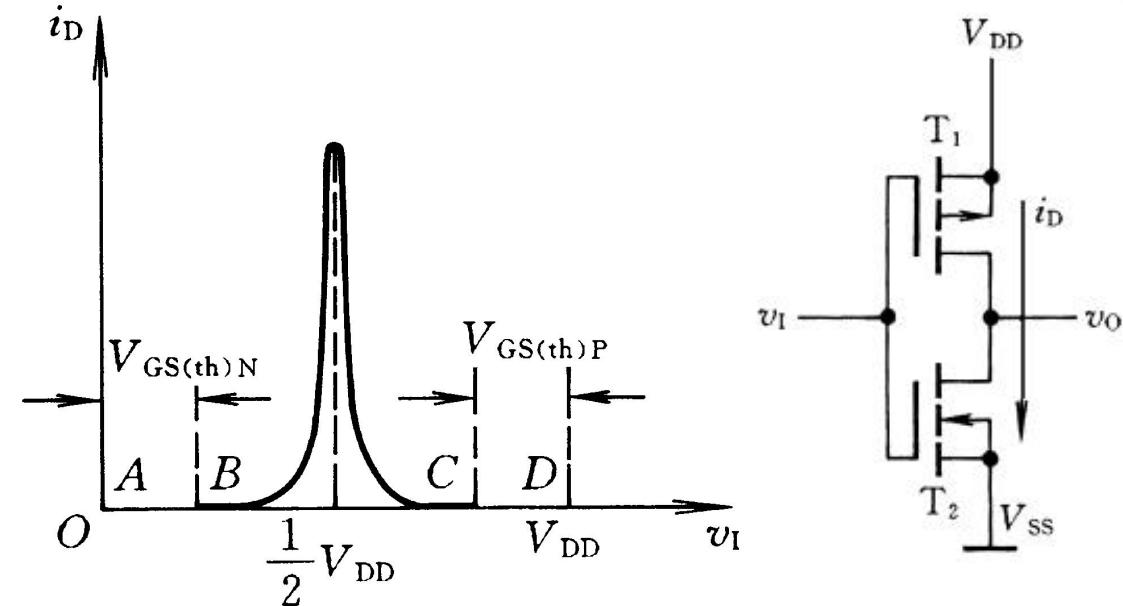
✓ 当  $2V < v_I < 8V$ ,  $T_2$  和  $T_1$  都导通, 由于两管参数的对称性, 当  $v_I = 5V$ ,  $T_2$  的栅源电压 =  $T_1$  栅源电压绝对值,  $v_O = (V_{DD}/2) = 5V$

✓ 两管在  $v_I = V_{DD}/2$  处于转换状态, CMOS门电路的阈值电压  $V_{th} = V_{DD}/2$



## § 3.4.1 CMOS非门的结构与原理

### ■ 电流传输特性



- ✓ 在AB段， $T_2$ 截止，内阻高，漏极电流几乎为0；
- ✓ 在CD段， $T_1$ 截止，内阻高，漏极电流几乎为0；
- ✓ 在BC段， $T_2$ 和 $T_1$ 都导通，两管在处转换状态，在 $v_I=V_{DD}/2$ 处，电流最大。
- ✓ CMOS门电路**不可长期工作**在BC段。

## § 3.4.2 CMOS反相器的输入输出特性

### ■ 噪声容限

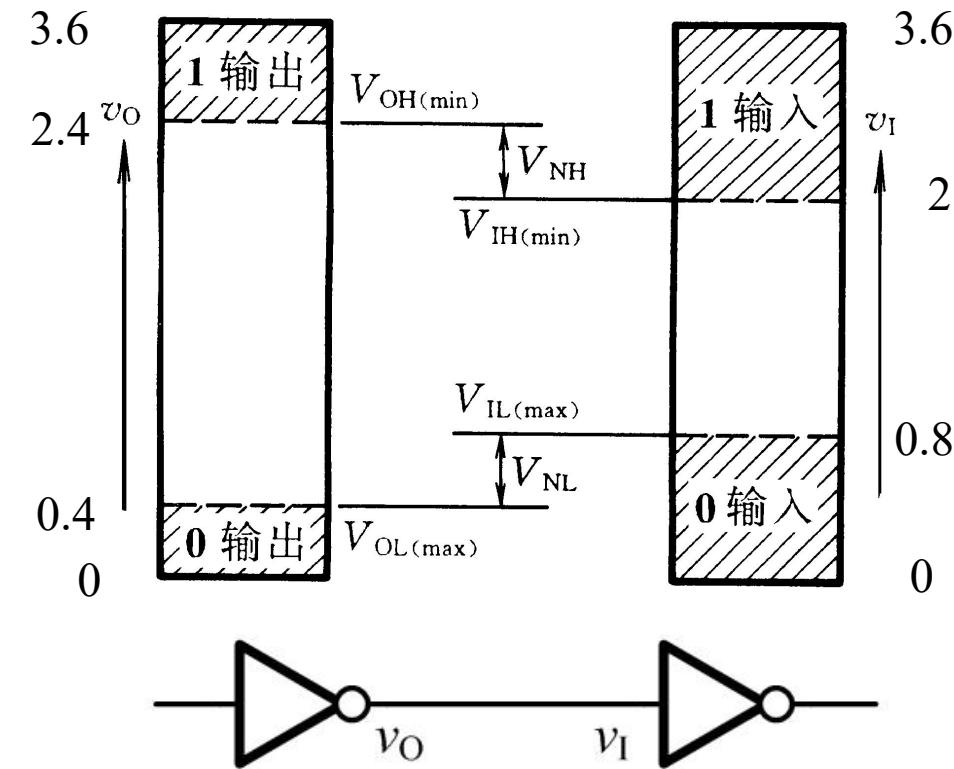
➤ 噪声容限表示门电路的抗干扰能力

➤ 低电平噪声容限

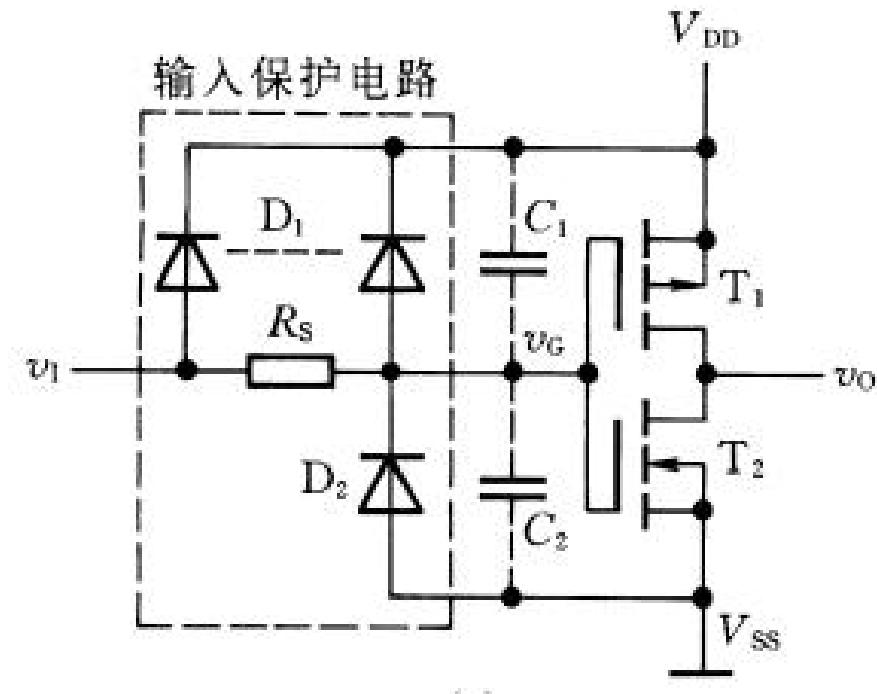
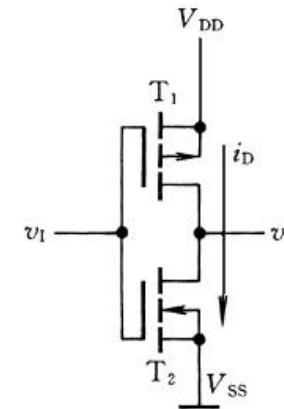
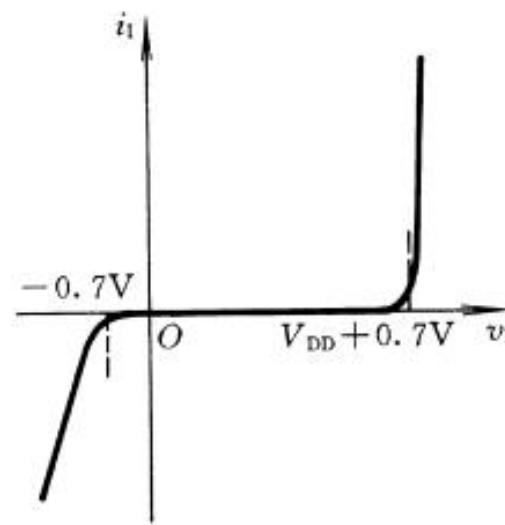
$$V_{NL} = V_{IL(\max)} - V_{OL(\max)}$$

➤ 高电平噪声容限

$$V_{NH} = V_{OH(\min)} - V_{IH(\min)}$$



## ■ 输入特性

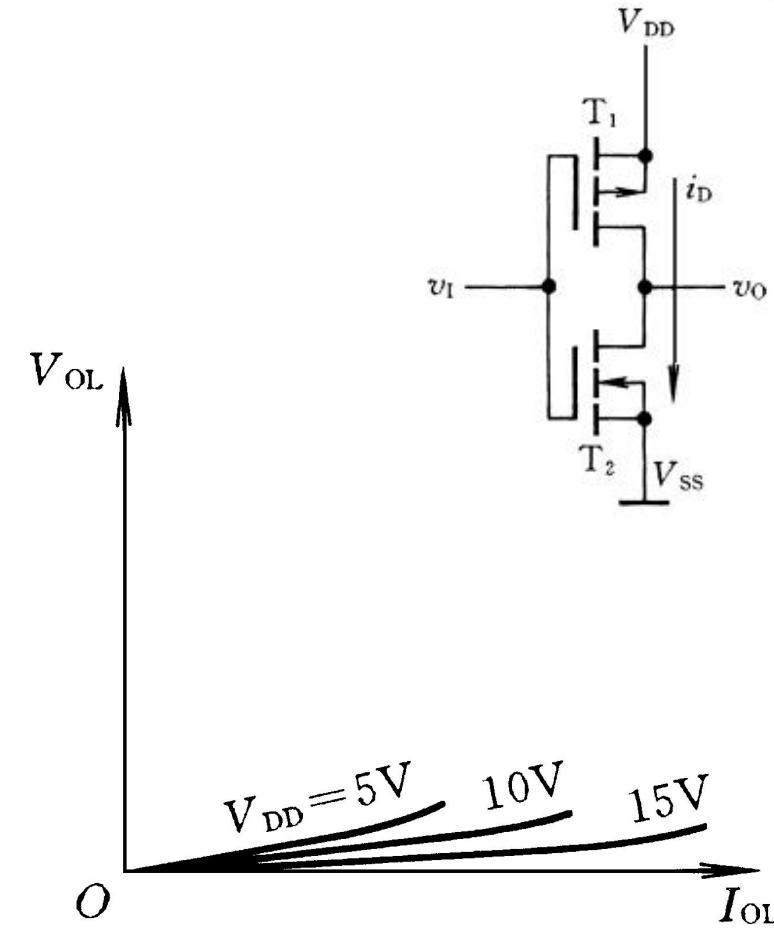
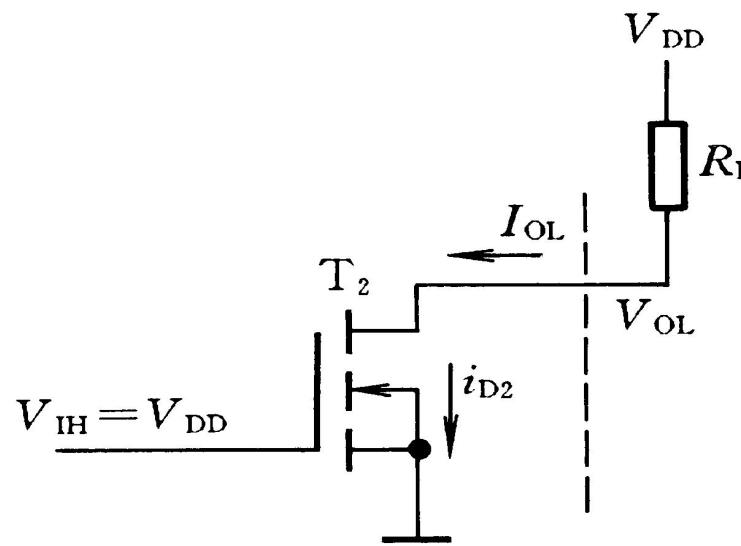


(4000系列)

- ✓ 棚极绝缘层易击穿，接入保护电路
- ✓ 当电压低于 $-0.7V$ 时， $D_2$ 管导通， $V_G$ 钳制在 $-0.7V$
- ✓ 当电压高于 $V_{DD}+0.7V$ 时， $D_1$ 管导通， $V_G$ 钳制在 $V_{DD}+0.7V$
- ✓ 当电压在 $-0.7V$ 到 $V_{DD}+0.7V$ 之间，保护电路透明，不影响正常工作

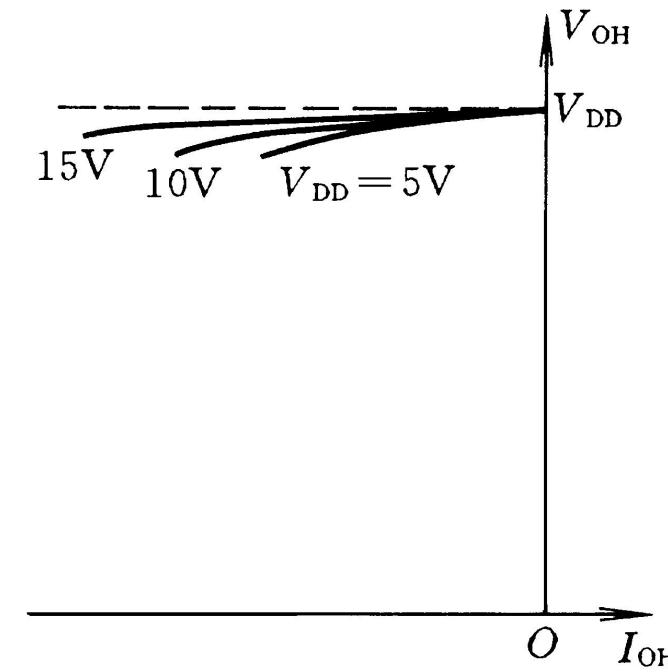
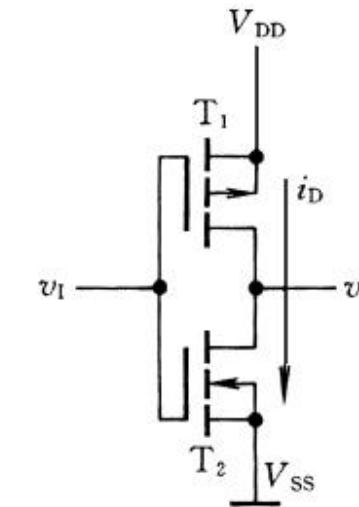
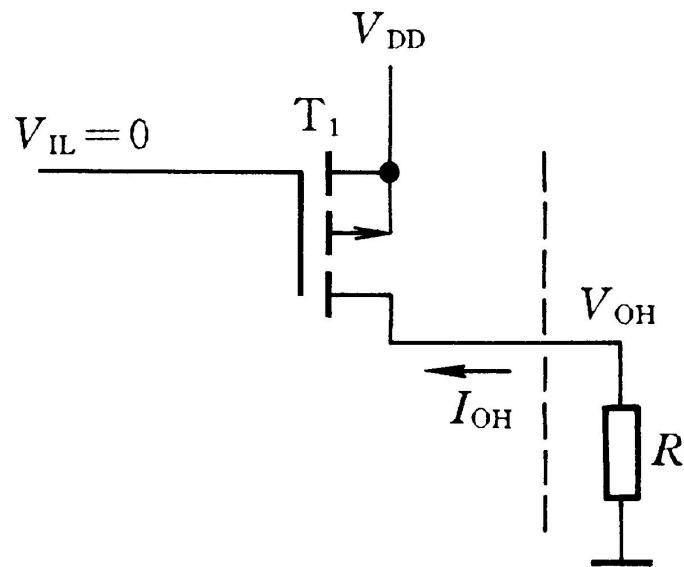
## ■ 输出特性

### ➤ 低电平输出特性

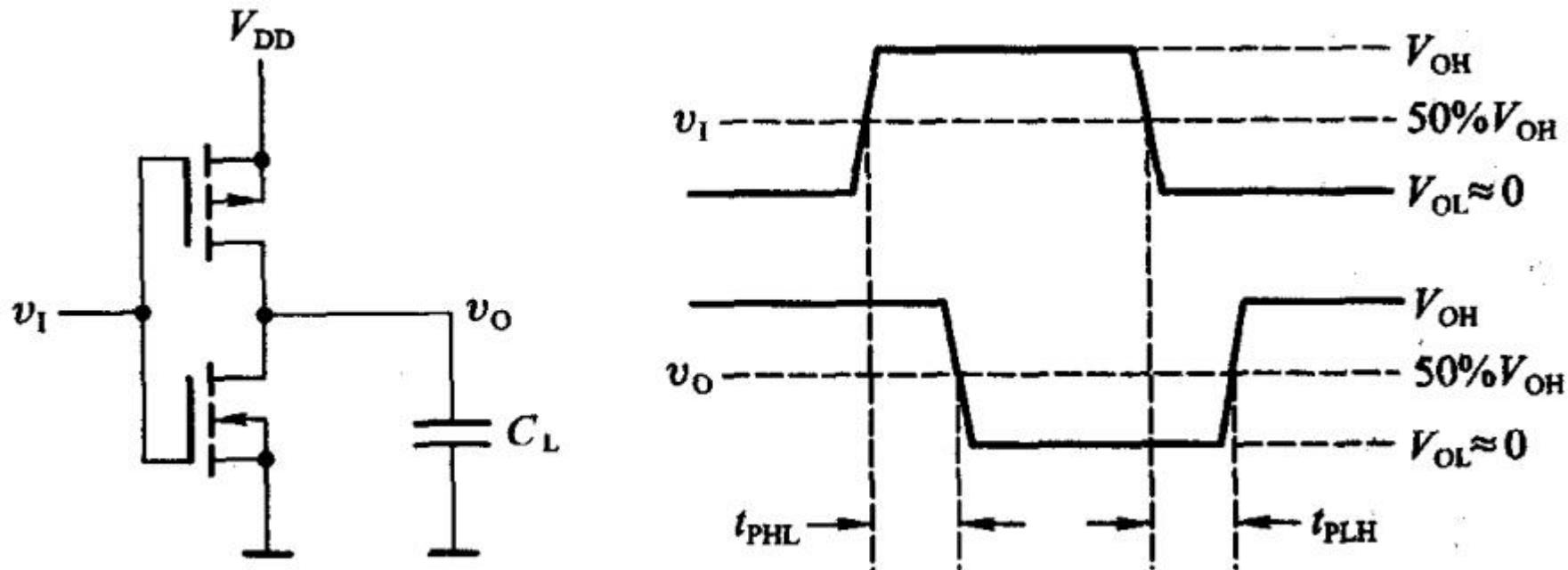


## ■ 输出特性

### ➤ 高电平输出特性



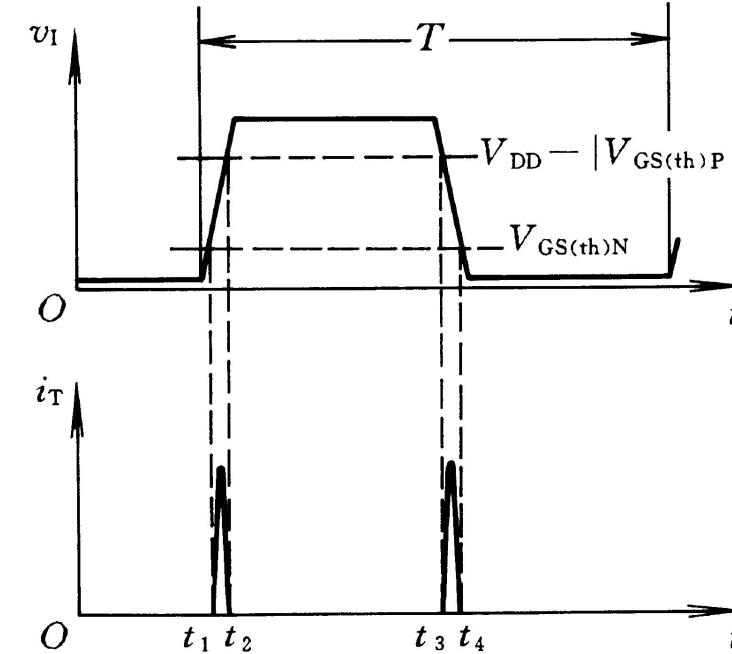
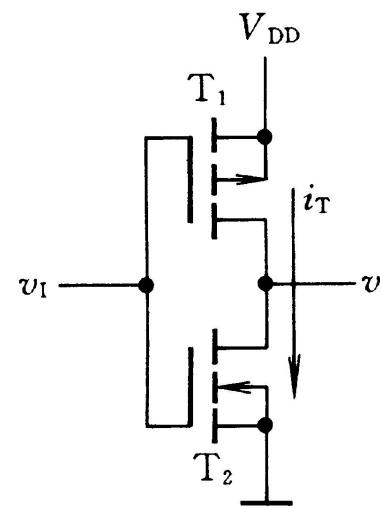
## ■ 动态特性：传输延迟



$t_{PHL}$  和  $t_{PLH}$  通常是相等的

# § 3.4.1 CMOS非门的结构与原理

## ■ 功耗



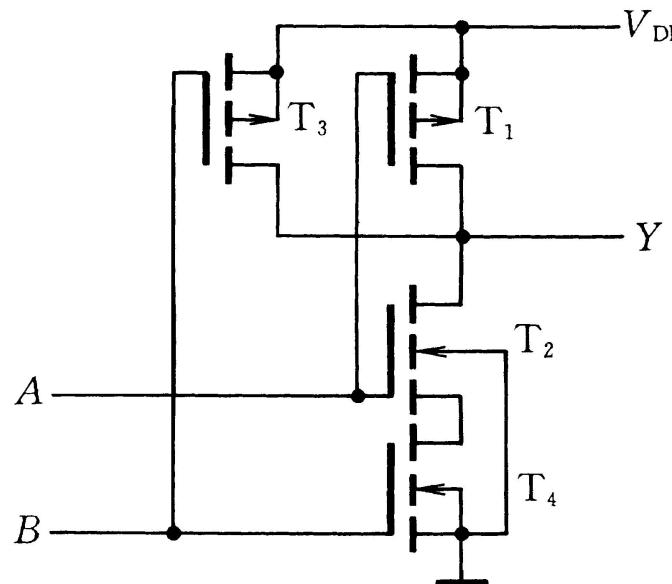
- 静态功耗小，可忽略（互补结构）
- 高频、动态情况会产生动态功耗
  - ✓ 电容充放电+导通电流
- $f$ ：输出信号的转换频率

器件的动态导通损耗  $P_T = C_{PD} \cdot V_{DD}^2 \cdot f$   
(当 $f$ 加大时成立)

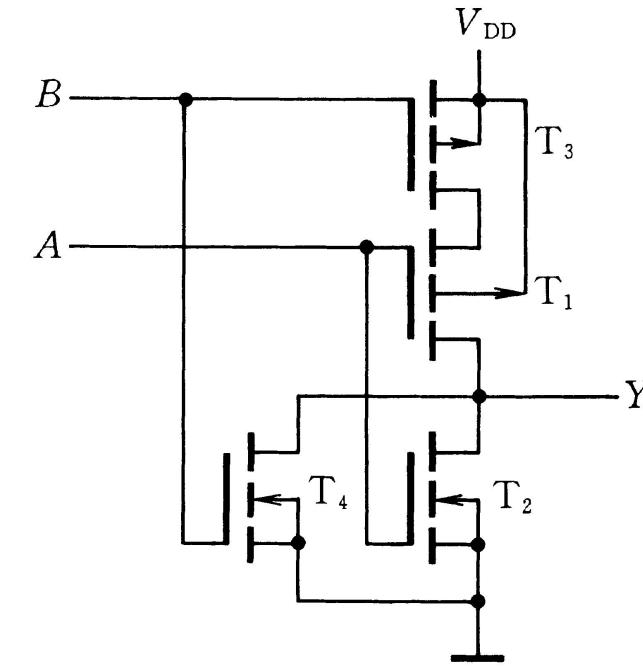
负载的充放电动态功耗  $P_L = C_L \cdot V_{DD}^2 \cdot f$

总功耗为两者之和

## § 3.4.2 CMOS逻辑门



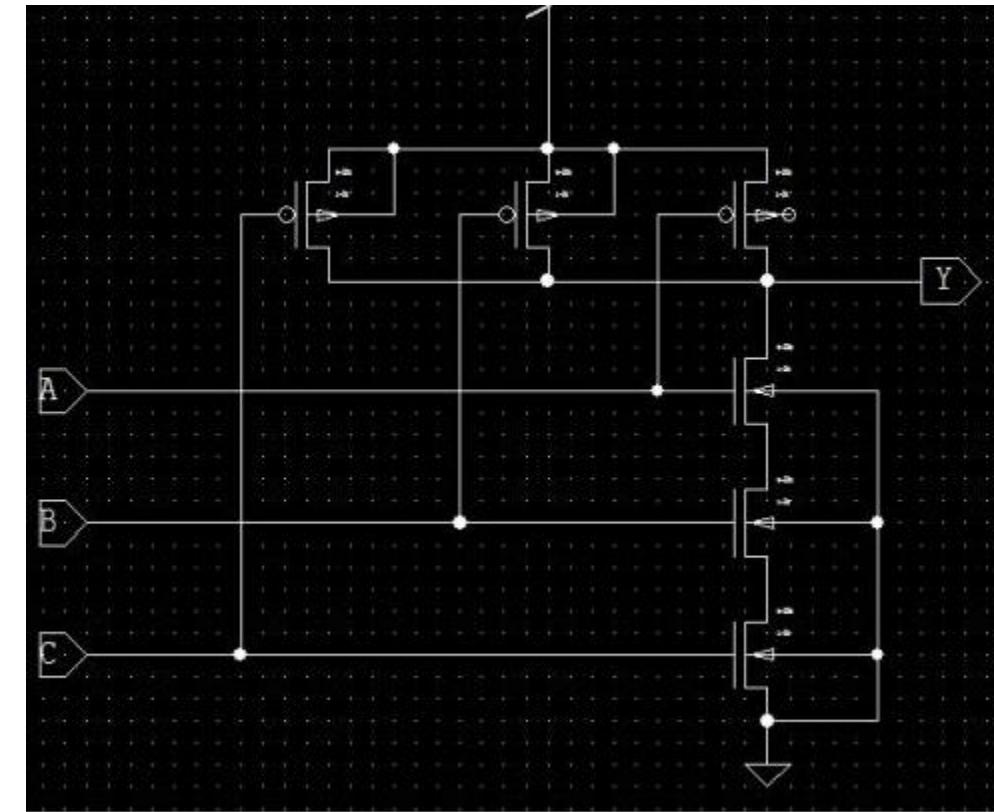
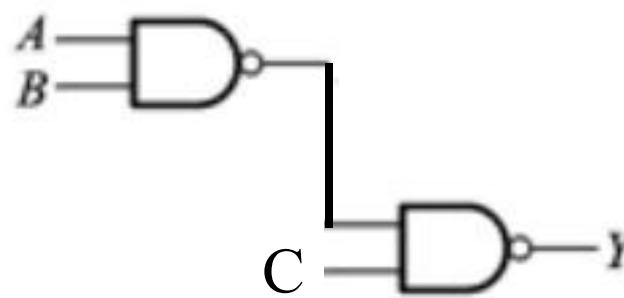
✓ 与非门



✓ 或非门

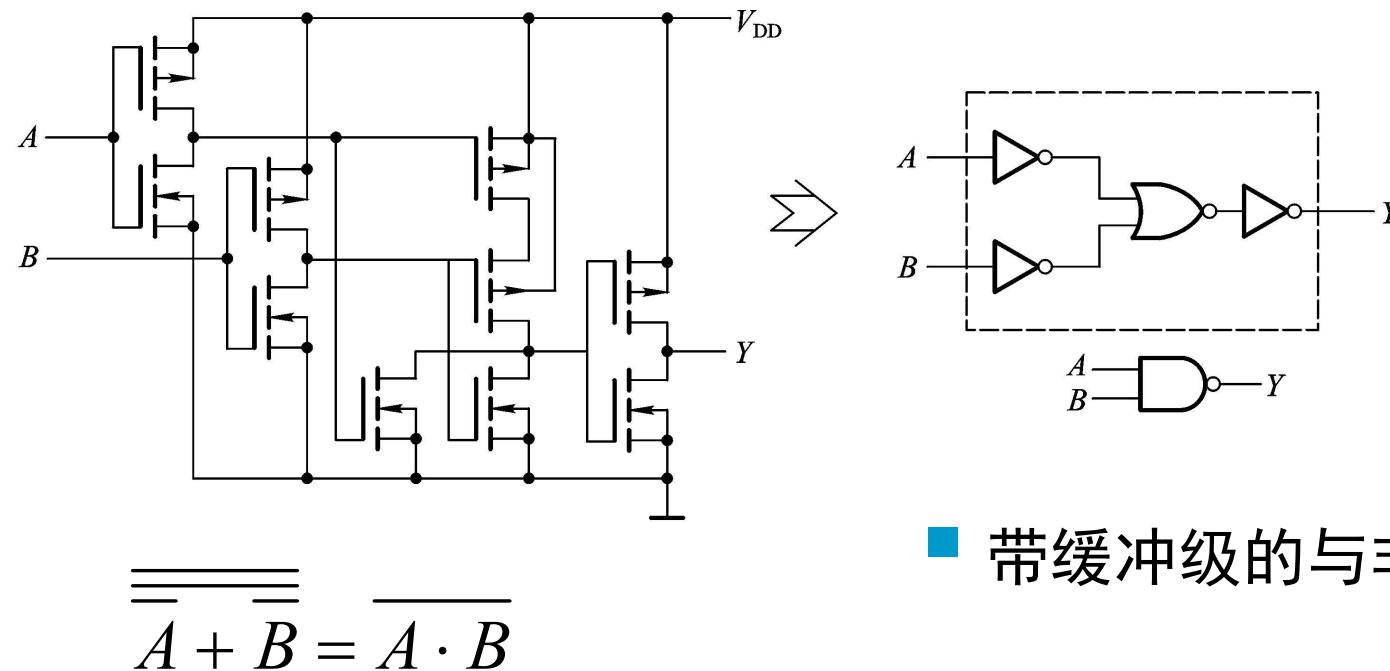
## § 3.4.2 CMOS逻辑门

- ## ■ 设计一个3输入与非门



## § 3.4.2 CMOS逻辑门

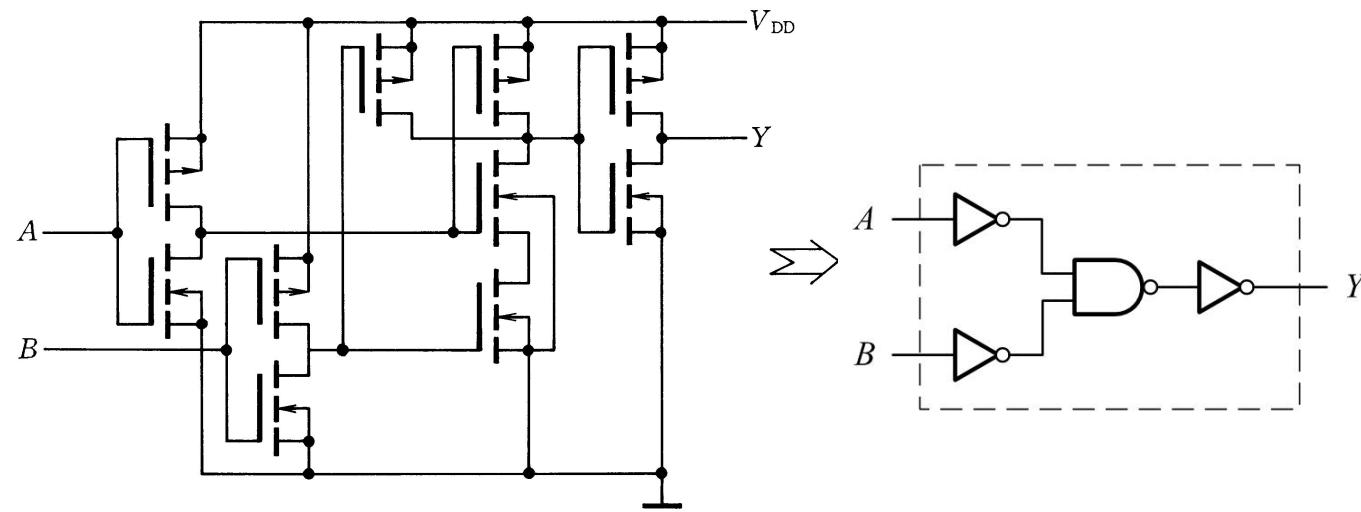
- ✓ 输入端数目增加时，“与非门”中串联的NMOS管数目要增加，引起输出低电平变高；
- ✓ 或非门串联的PMOS管数目增加，引起输出高电平变低；
- ✓ 解决方法在输入输出端分别加入反相器作缓冲级。



■ 带缓冲级的与非门

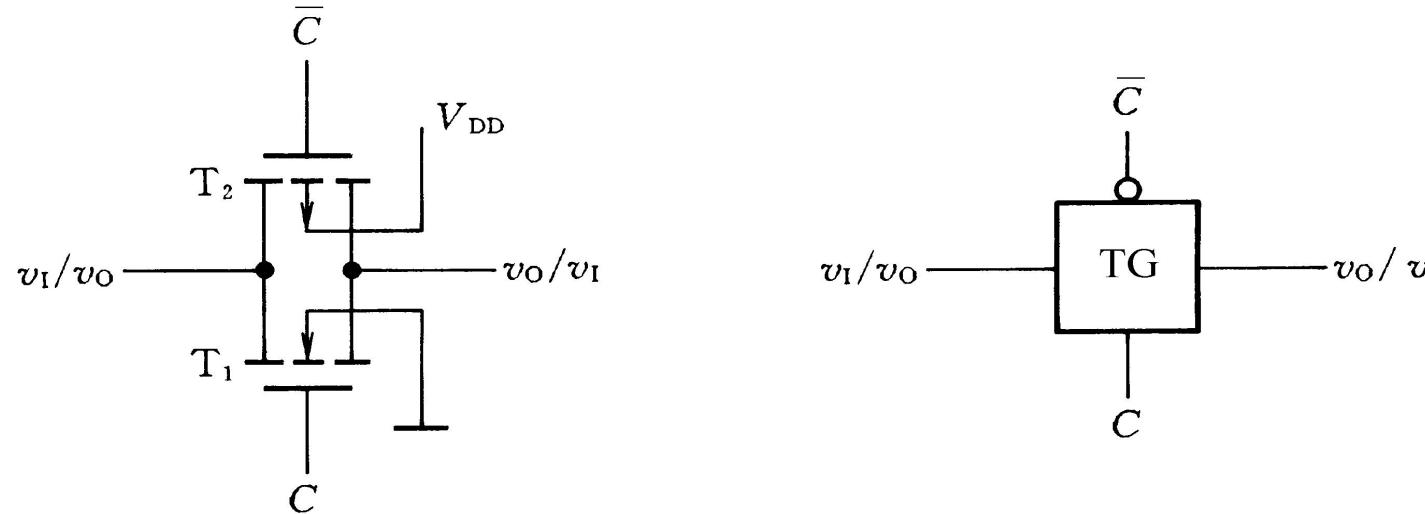
## § 3.4.2 CMOS逻辑门

### ■ 带缓冲级的或非门



$$\overline{\overline{A} \cdot \overline{B}} = \overline{\overline{A + B}}$$

## § 3.4.3 CMOS逻辑门 —— 传输门



- ✓  $C$  接高电平  $V_{DD}$ ，而  $\bar{C}$  接0V，若  $0V \leq v_I \leq (V_{DD} - V_{GS(th)N})$ ，T<sub>1</sub>导通；
- ✓ 若  $|V_{GS(th)P}| \leq v_I \leq V_{DD}$ ，T<sub>2</sub>导通。
- ✓  $v_I$  在  $0V \sim V_{DD}$  变化时，至少有一管导通，输出与输入之间呈低电阻， $v_O \sim v_I$ ，相当于开关闭合；
- ✓  $C$  接低电平0V， $v_I$  在  $0V \sim V_{DD}$  的范围变化时，T<sub>1</sub>和T<sub>2</sub>都截止，输出呈高阻态，输入电压不能传到输出端，相当于开关断开。

## § 3.4.3 CMOS逻辑门

### ■ 传输门（续）

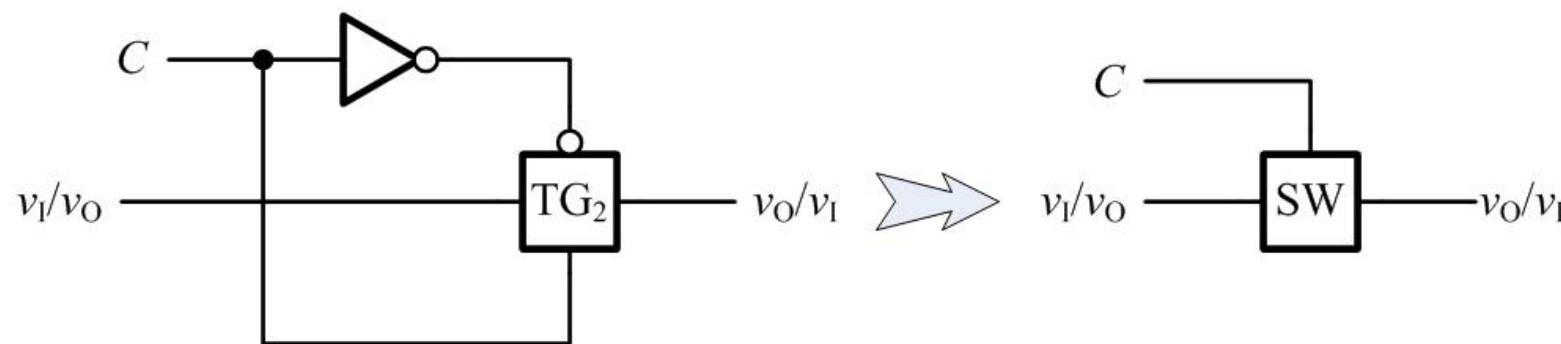
#### ➤ 用途

- 模拟开关

- ◆ 传输连续变化的模拟信号
- ◆ 数字量控制

- 双向器件

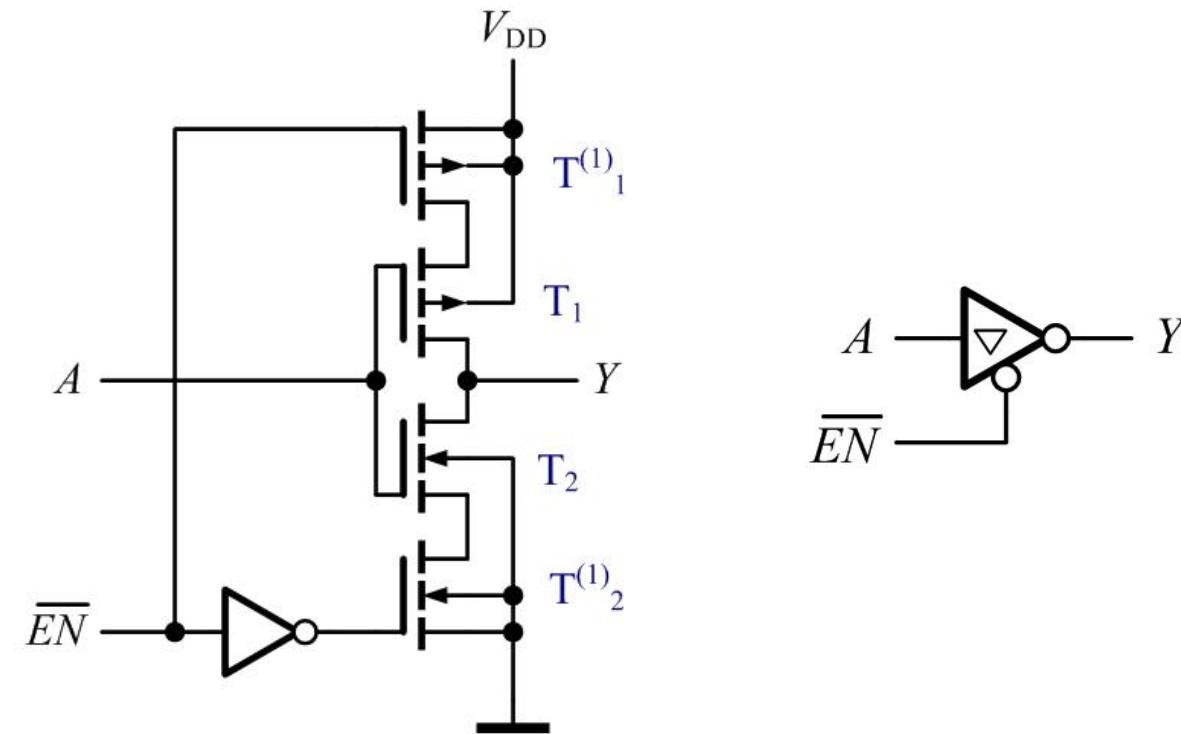
- ◆ 双向传输



## § 3.4.4 CMOS逻辑门——三态门

高电平态、低电平态、高阻态

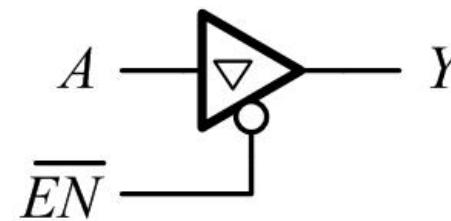
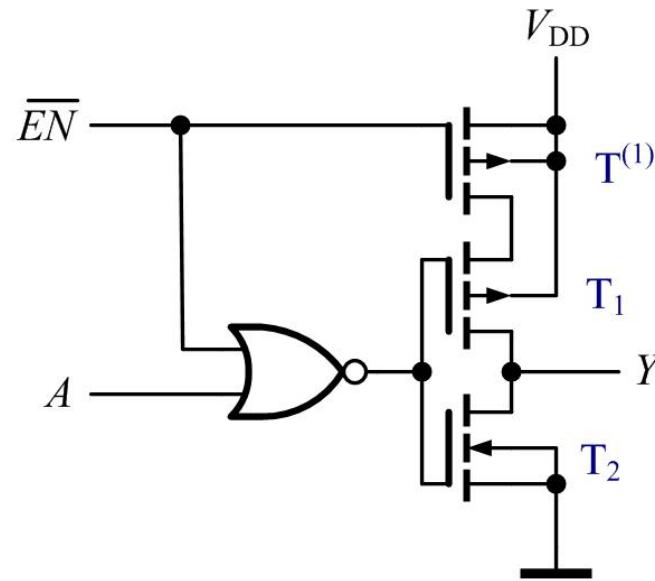
结构1：



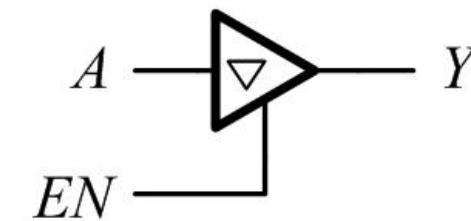
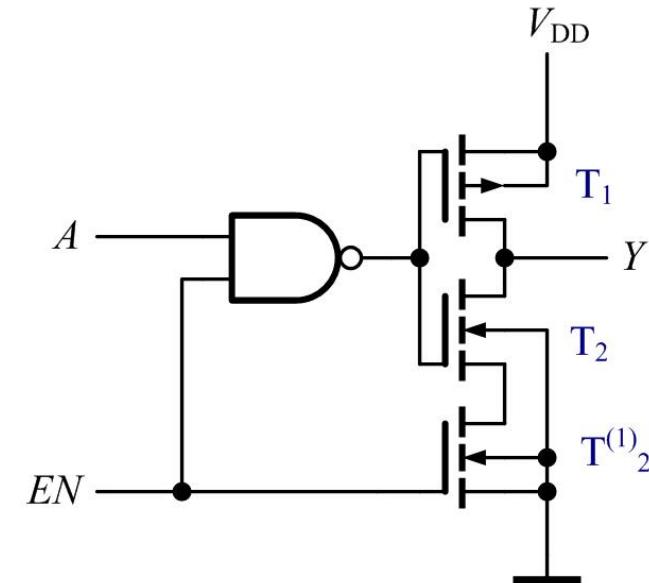
- ✓  $EN=1$ 时， $T^{(1)}_1$ 和 $T^{(1)}_2$ 同时导通， $T_1$ 和 $T_2$ 组成的非门正常工作
- ✓  $EN=0$ 时， $T^{(1)}_1$ 和 $T^{(1)}_2$ 同时截止，输出对地和对电源呈高阻状态

## 结构2：

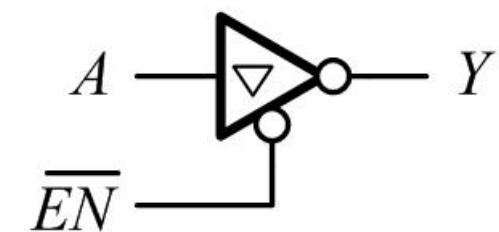
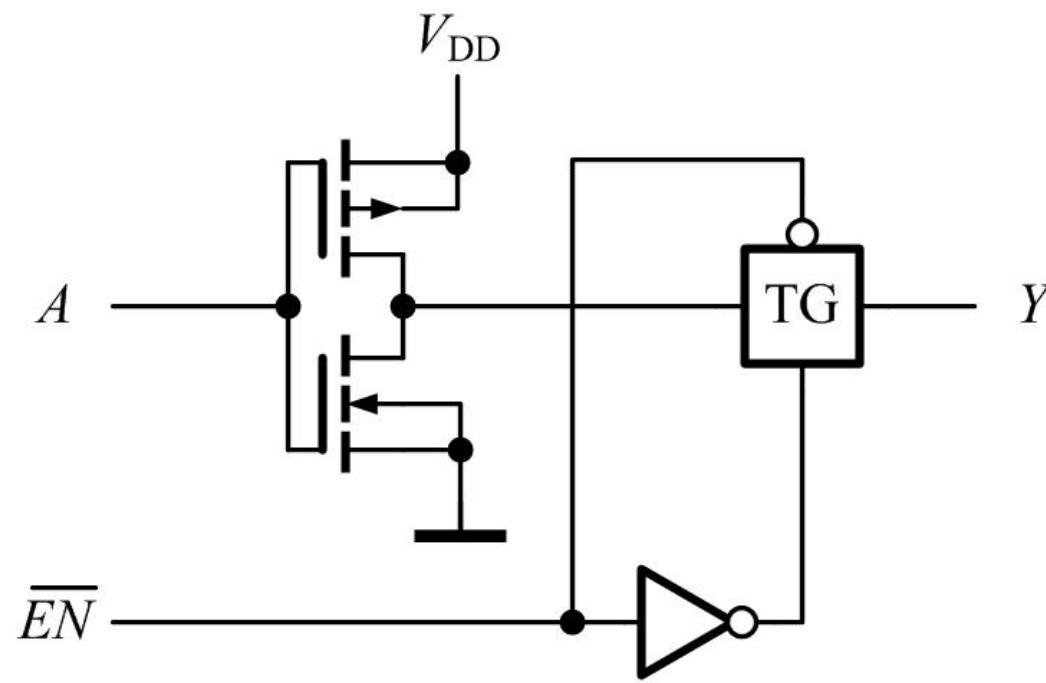
✓或非门控制三态门



✓与非门控制三态门

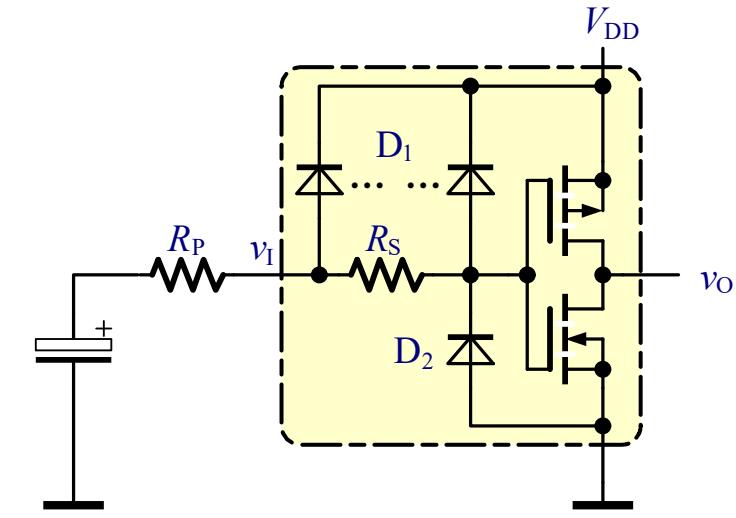


## 结构3：用传输门组成的三态门

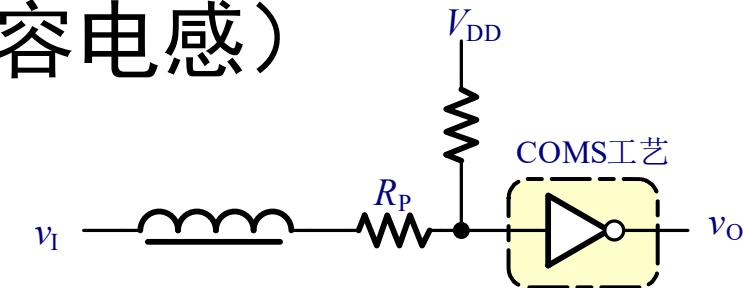


## § 3.4.6 使用CMOS门电路的注意事项

- 输入电路的防静电  
——不用的引脚不能悬空



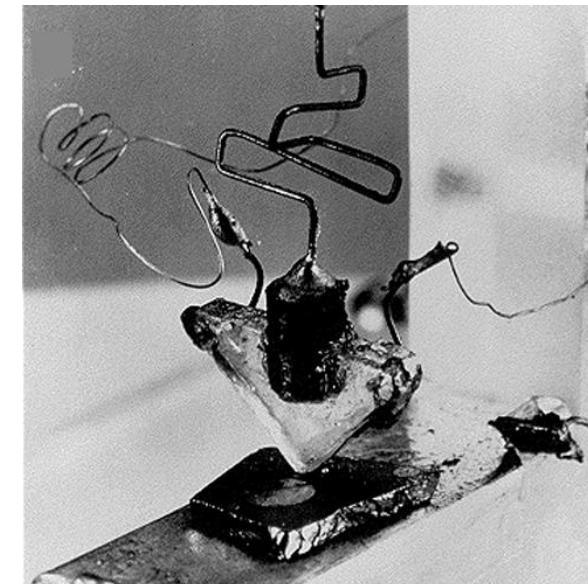
- 输入电路的过流保护  
——低阻信号源 (过流)  
——输入端大电容 (大瞬态电流)  
——输入端接长线 (分布电容电感)



解决方法：串联保护电阻

# 附录3-1：三极管的发明

- 1947年12月23日，37岁的美国物理学家**肖克利**和他的合作者（**巴丁、布拉顿**）在著名的贝尔实验室向人们展示了第一个半导体电子增幅器，即最初的晶体管。



1956年，肖克利、巴丁、布拉顿三人，因发明晶体管同时荣获诺贝尔物理学奖。

# 仙童半导体（英特尔）与叛逆八人帮



罗伯特·诺伊斯 (Robert Noyce)

戈登·摩尔 (Gordon Moore)

金·赫尔尼 (Jean Hoerni)

朱利叶斯·布兰克 (Julius Blank)

尤金·克莱纳 (Eugene Kleiner)

杰·拉斯特 (Jay Last)

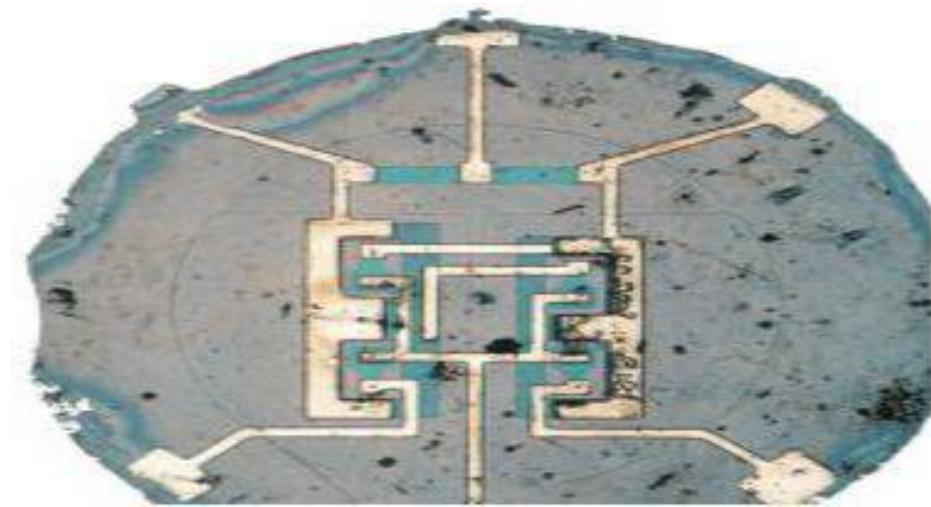
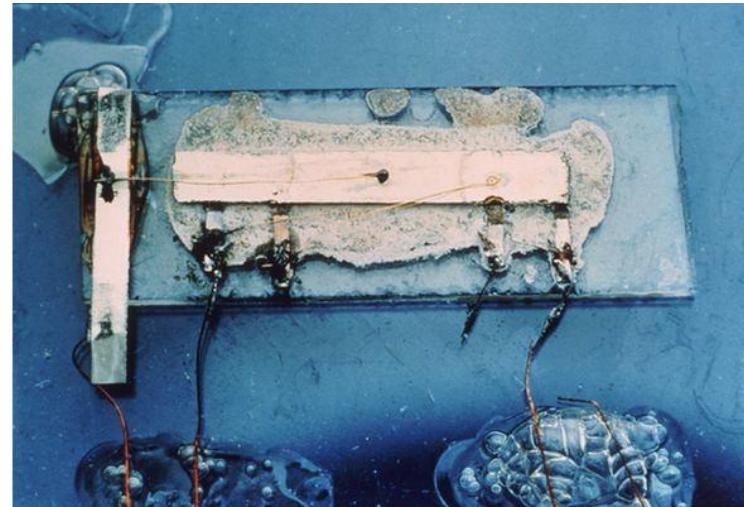
谢尔顿·罗伯茨 (Sheldon Roberts)

维克多·格里尼克 (Victor Grinnich)

1957年9月18日，八个天才出走肖克利实验室，成立仙童半导体

## 附录3-2：集成电路的发明

- 1958年：仙童公司Robert Noyce与德州仪器公司基尔比间隔数月分别发明了集成电路，开创了世界微电子学的历史，奠定了信息时代的基础



基尔比因为集成电路的发明2000年，获得诺贝尔奖



# 第三章 习题

第五版（阎石主编）

- 3.3; 3.4; 3.7;