

数字集成电路基础

——时序逻辑电路

张悦

集成电路学院与工程学院

费尔北京研究院 / 自旋电子交叉学科中心



6.4 常用时序逻辑电路

6.4.1 计数器（同步/异步）

6.4.2 任意进制计数器的构成方法

6.4.3 移位寄存型计数器（“环形计数器”）

6.4.4 寄存器

6.4.5 序列信号发生器



6.4.1 计数器（同步/异步）

计数器——用以统计输入脉冲 CP 个数的电路

■ 分类

- 二进制计数器、十进制计数器，任意进制计数器
- 加法计数器、减法计数器，加/减（可逆）计数器
- 同步计数器和异步计数器
- 移位寄存型计数器

■ 应用

- 计数
- 分频
- 定时
- 构成序列发生器（加组合逻辑译码）

时序逻辑电路

■ 6.4.1 计数器

➤ 同步计数器

- 同步二进制计数器
 - ❖ 同步二进制加法计数器
 - ❖ 同步二进制减法计数器
 - ❖ 同步二进制加/减（可逆）计数器
- 同步十进制计数器
 - ❖ 同步十进制加法计数器

➤ 异步计数器

参见：异步时序逻辑电路的设计

■ 6.4.2 任意进制计数器的构成方法

- 置零法、置数法，直接/同步置位操作；
- 多片组合；
- 整体置零/置数。

■ 移位寄存型计数器

- 环形
- 扭环形



6.4.1.1 同步二进制加法计数器

➤ 联想：

- T-触发器 (T'-触发器)
- Toggle —— 触发器的翻转特性 ~ 计数

➤ 二进制加法 与 各个二进制位翻转 (改变) 的关系

规则：

- ✓ 多位二进制数的末位加1时，最低位（末位）改变状态；
- ✓ 第 i 位以下 ($i-1, \dots, 0$)皆为1时，第 i 位改变状态。

$$\begin{array}{r} 1\ 00111 \\ + \quad \quad 1 \\ \hline 1\ 01000 \end{array}$$

时序逻辑电路

■ 构成方法：

1. 用T触发器构成

- 每次 CP （亦即计数脉冲）到达时，使该翻转的触发器控制端 $T=1$ ，不该翻转的 $T=0$ 。

2. 用T'触发器构成

- 每次计数脉冲到达时，只能馈入到那些该翻转的触发器的 CP 输入端上，不给不该翻转的触发器 CP 信号。

时序逻辑电路

■ T触发器构成的同步二进制计数器

➤ 驱动方程：

$$T_0 = 1$$

$$T_i = Q_{i-1} \cdot Q_{i-2} \cdot \dots \cdot Q_1 \cdot Q_0$$

❖ 电路实现——用JK触发器

$$J_0 = K_0 = 1,$$

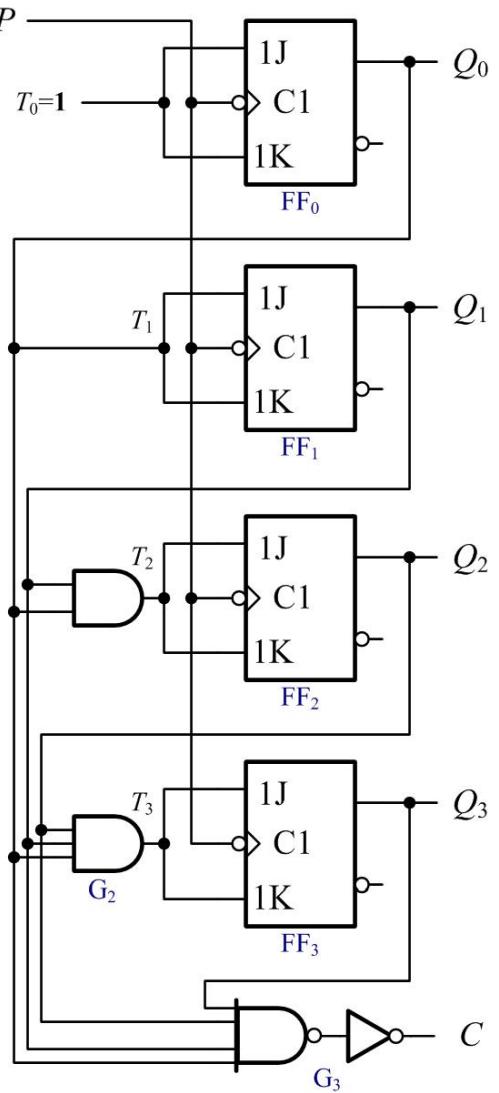
$$J_1 = K_1 = Q_0,$$

$$J_2 = K_2 = Q_0 Q_1,$$

$$J_3 = K_3 = Q_0 Q_1 Q_2$$

$$C = Q_0 Q_1 Q_2 Q_3$$

计数脉冲



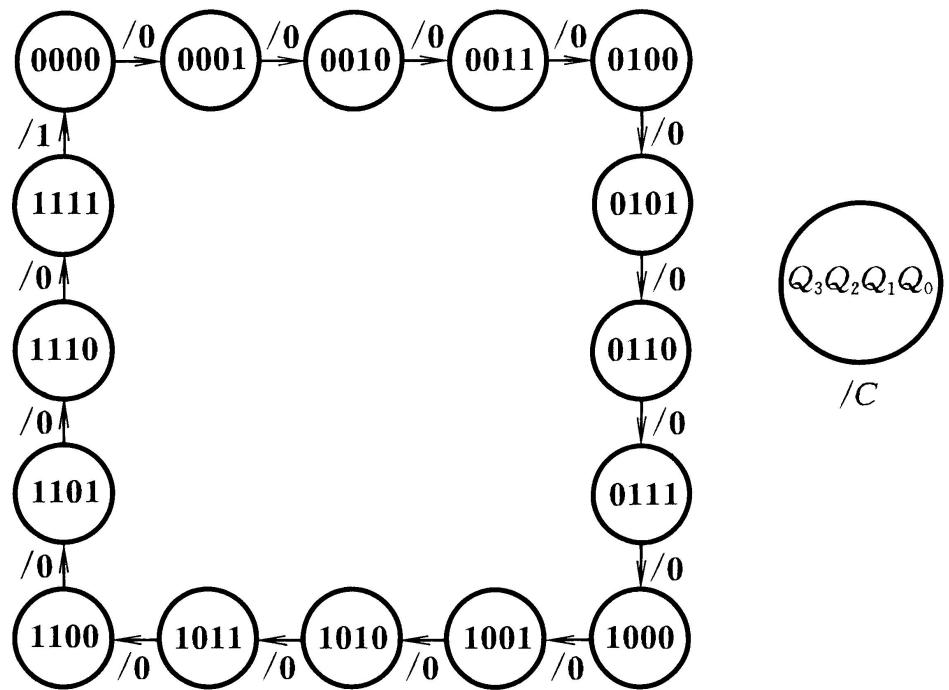
时序逻辑电路

✓ 状态转换表

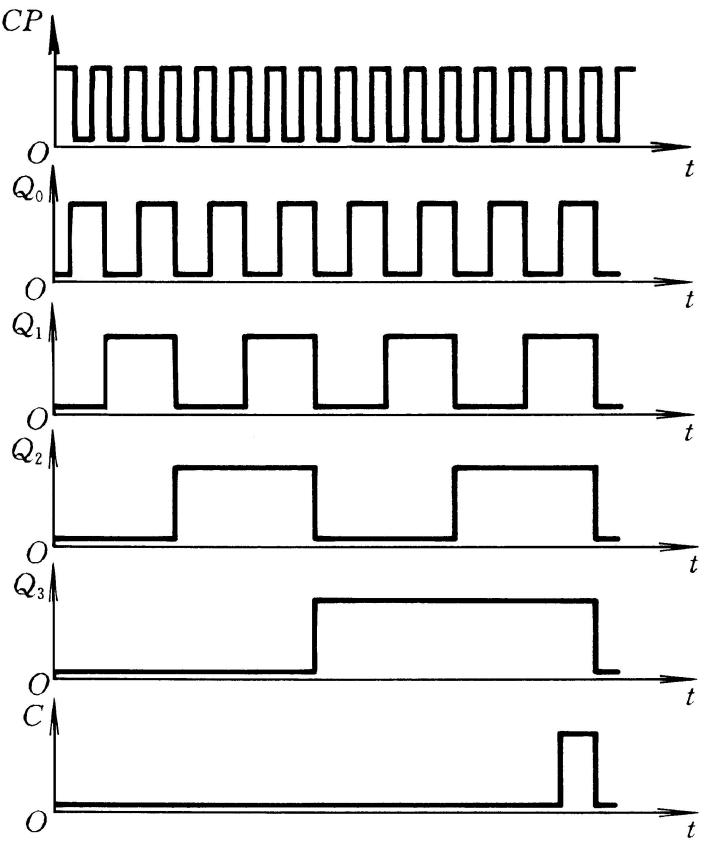
计数脉冲序号	电 路 状 态				等效十进制数
	Q_3	Q_2	Q_1	Q_0	
0	0	0	0	0	0
1	0	0	0	1	1
2	0	0	1	0	2
3	0	0	1	1	3
4	0	1	0	0	4
5	0	1	0	1	5
6	0	1	1	0	6
7	0	1	1	1	7
8	1	0	0	0	8
9	1	0	0	1	9
10	1	0	1	0	10
11	1	0	1	1	11
12	1	1	0	0	12
13	1	1	0	1	13
14	1	1	1	0	14
15	1	1	1	1	15
16	0	0	0	0	0

时序逻辑电路

✓ 状态转换图



✓ 时序图

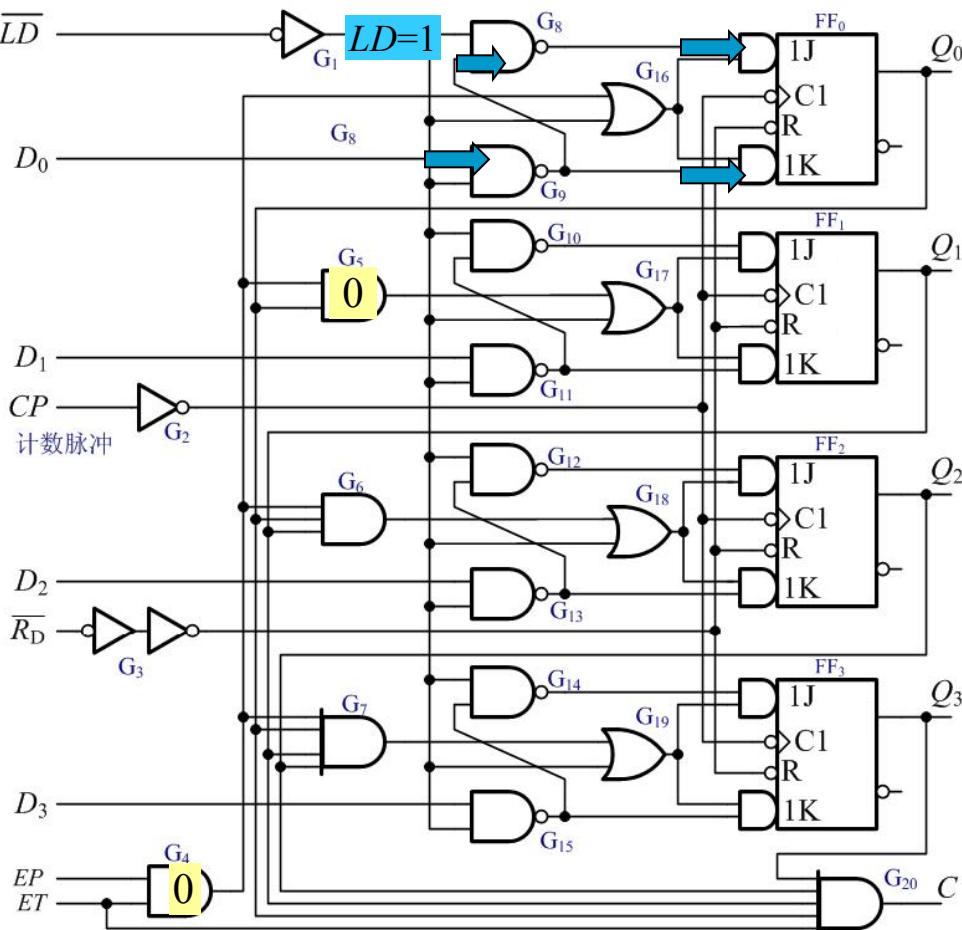


时序逻辑电路

■ 4位二进制同步加法计数器74161

- 加法计数
- 控制电路
- 同步预置数、保持、异步置零功能
- “封锁”与“打开”
 - 对于“与”输入端，控制信号为0时“封锁”，控制信号位1时“打开”。

观察：当EP=0是否影响同步置位



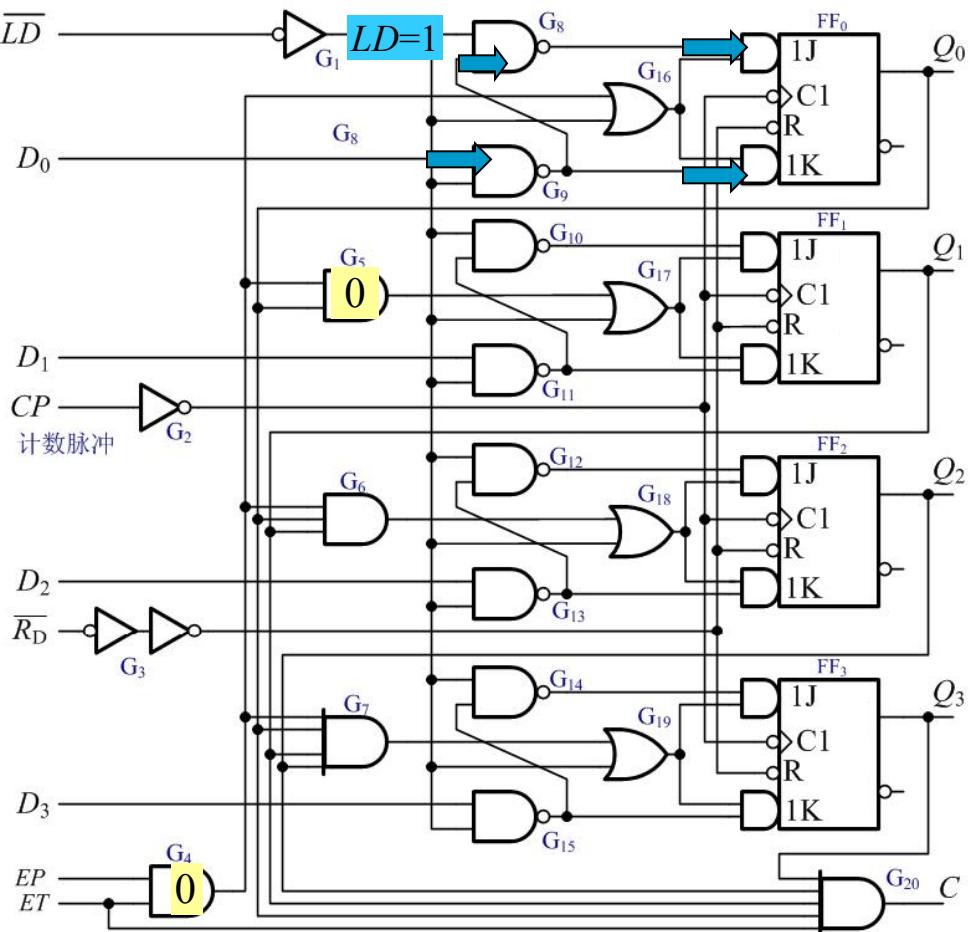
时序逻辑电路

✓ 功能表

清零	预置	使能		时钟	工作模式	
		$\overline{R_D}$	\overline{LD}	EP	ET	CP
0	×	×	×	×	×	异步清零
1	0	×	×	↑		同步置数
1	1	0	1	×		保持
1	1	×	0	×		保持 $C=0$
1	1	1	1	↑		加法计数

➤ “封锁”与“打开”

- 对于“与”输入端，控制信号为0时“封锁”，控制信号位1时“打开”

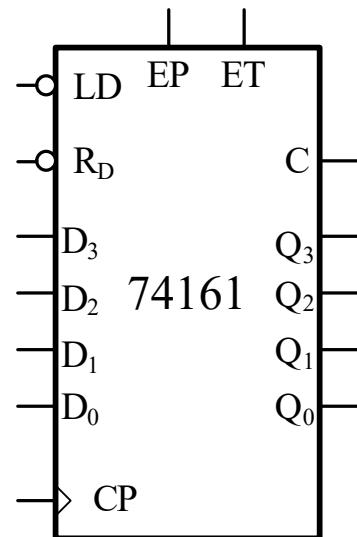


时序逻辑电路

■ 4位二进制同步加法计数器74161

✓ 功能表

清零	预置	使能		时钟	工作模式
		\overline{LD}	EP		
0	\times	\times	\times	\times	异步清零
1	0	\times	\times	\uparrow	同步置数
1	1	0	1	\times	保持
1	1	\times	0	\times	保持 $C=0$
1	1	1	1	\uparrow	加法计数

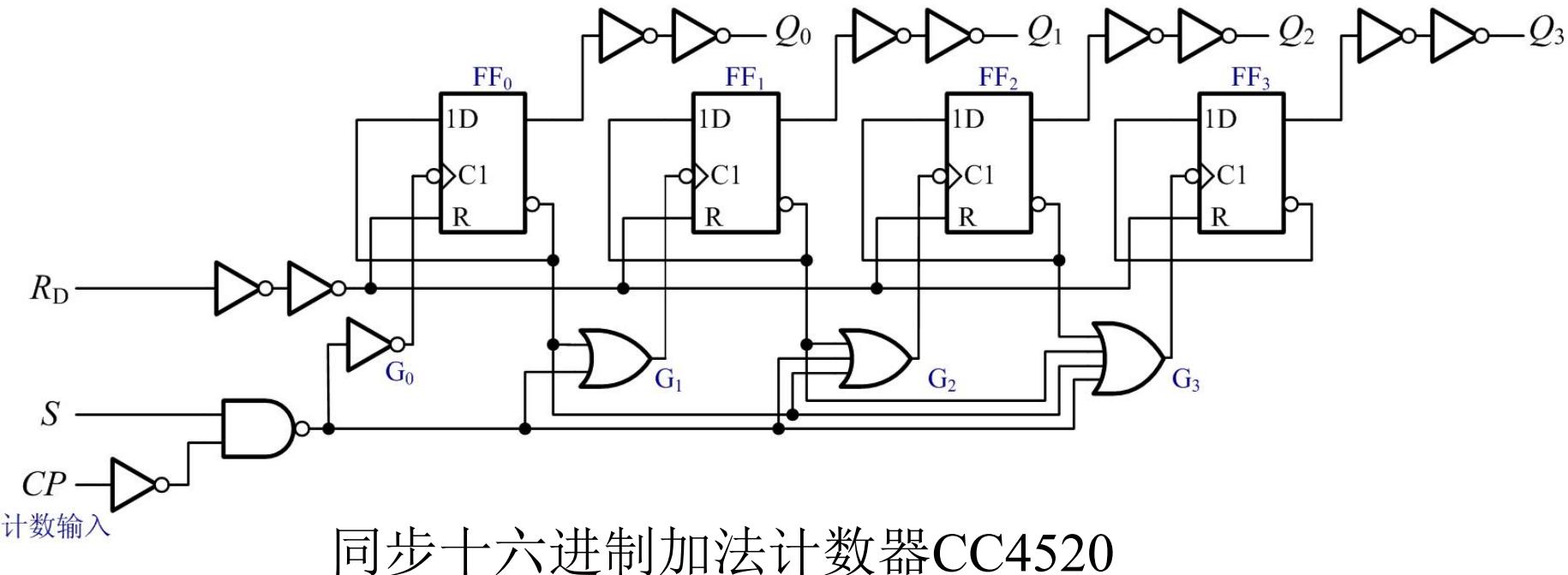


- 其它型号：4位二进制同步加法计数器
 - ❖ 74162, 74163 同步置零

时序逻辑电路

■ T'触发器构成的同步十六进制（4位二进制）加法计数器

➤ $CP_i = CP \cdot \prod_{j=0}^{i-1} Q_j \quad (i = 1, 2, \dots, n-1)$



同步十六进制加法计数器CC4520

同步二进制减法计数器

规则：

- ✓ 多位二进制数的末位减1时，最低位改变状态
- ✓ 第 i 位以下皆为0时，第 i 位改变状态
- ❖ 可用T触发器构成多位二进制减法器

■ 驱动方程：

$$\begin{aligned} T_0 &= 1 \\ T_i &= \overline{Q_{i-1}} \cdot \overline{Q_{i-2}} \cdot \dots \cdot \overline{Q_1} \cdot \overline{Q_0} = \prod_{j=0}^{i-1} \overline{Q_j} \end{aligned}$$

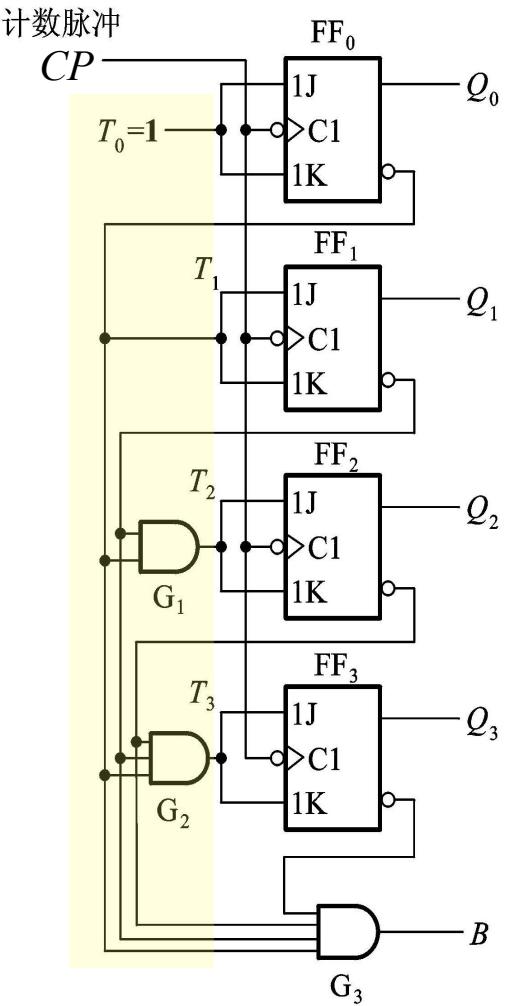
$$\begin{array}{r} 101000 \\ - 1 \\ \hline 100111 \end{array}$$

时序逻辑电路

■ JK触发器组成的4位同步二进制减法计数器

计数脉冲序号	电 路 状 态				等效十进制数
	Q_3	Q_2	Q_1	Q_0	
0	0	0	0	0	0
1	1	1	1	1	15
2	1	1	1	0	14
3	1	1	0	1	13
4	1	1	0	0	12
5	1	0	1	1	11
6	1	0	1	0	10
7	1	0	0	1	9
8	1	0	0	0	8
9	0	1	1	1	7
10	0	1	1	0	6
11	0	1	0	1	5
12	0	1	0	0	4
13	0	0	1	1	3
14	0	0	1	0	2
15	0	0	0	1	1
16	0	0	0	0	0

$$\begin{aligned}
 J_0 &= K_0 = 1 \\
 J_1 &= K_1 = \bar{Q}_0 \\
 J_2 &= K_2 = \bar{Q}_0 \bar{Q}_1 \\
 J_3 &= K_3 = \bar{Q}_0 \bar{Q}_1 \bar{Q}_2
 \end{aligned}$$



时序逻辑电路

■ 同步二进制可逆计数器

$$T_0 = 1$$

$$T_1 = \overline{U} / D Q_0 + \overline{U} / D \overline{Q}_0$$

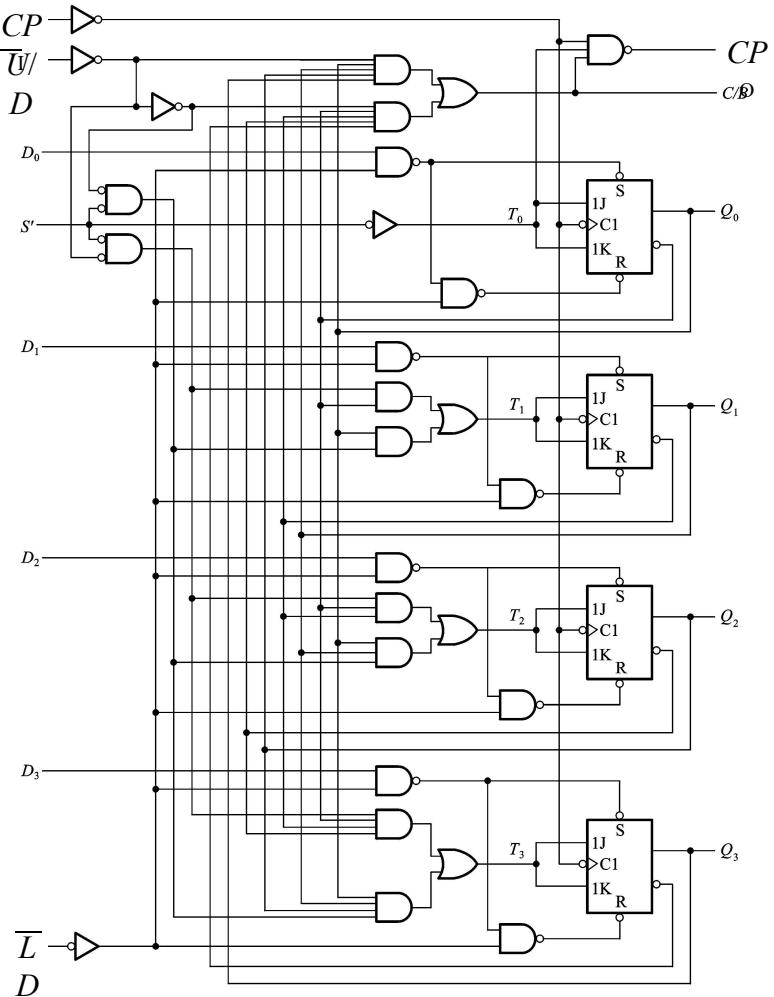
$$T_2 = \overline{U} / D (Q_0 Q_1) + \overline{U} / D (\overline{Q}_0 \overline{Q}_1)$$

$$T_3 = \overline{U} / D (Q_0 Q_1 Q_2) + \overline{U} / D (\overline{Q}_0 \overline{Q}_1 \overline{Q}_2)$$

$$C/B = \overline{D/U} \cdot Q_3 Q_2 Q_1 Q_0 + (D/U) \cdot \overline{Q_3 Q_2 Q_1 Q_0}$$

与或门，两个“与”输入受 U/D 控制

预置	使能	加/减控制	时钟	工作模式
LD	\bar{S}	\bar{U}/D	CP	
0	\times	\times	\times	异步置数
1	1	\times	\times	数据保持
1	0	0	\uparrow	加法计数
1	0	1	\uparrow	减法计数

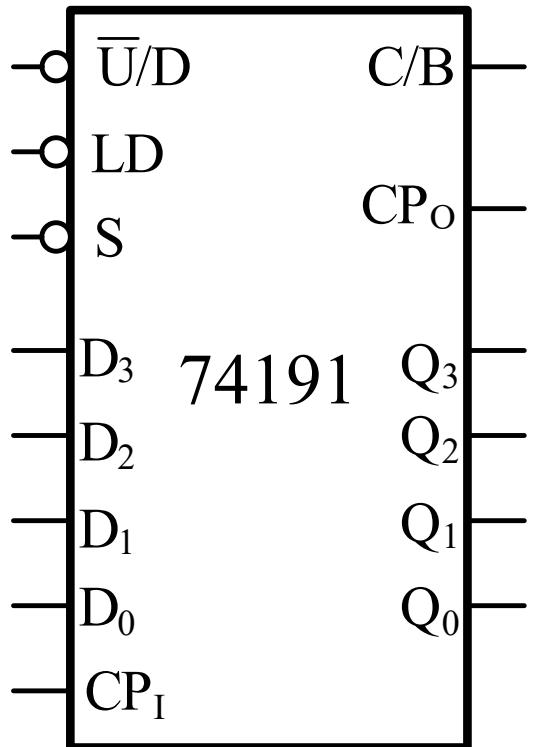


时序逻辑电路

■ 4位二进制同步可逆计数器

- 74191
- 功能表

预置	使能	加/减控制	时钟	工作模式
\overline{LD}	\overline{S}	\overline{U} / D	CP	
0	×	×	×	异步置数
1	1	×	×	数据保持
1	0	0	↑	加法计数
1	0	1	↑	减法计数



时序逻辑电路

➤ 4位二进制同步可逆计数器

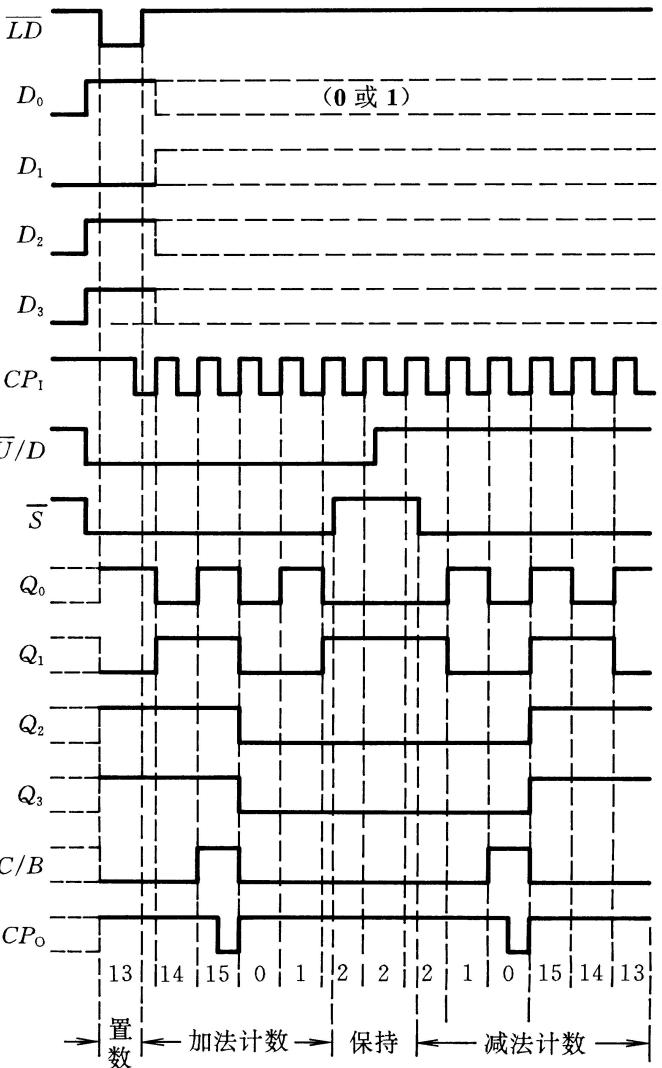
74191

- 时序图

$$C/B = \overline{D/\bar{U}} \cdot Q_3Q_2Q_1Q_0 + (D/\bar{U}) \cdot \overline{Q_3Q_2Q_1Q_0}$$

$$CP_O = \overline{S} \cdot \overline{CP_I} \cdot C/B \quad \text{串行时钟输出端}$$

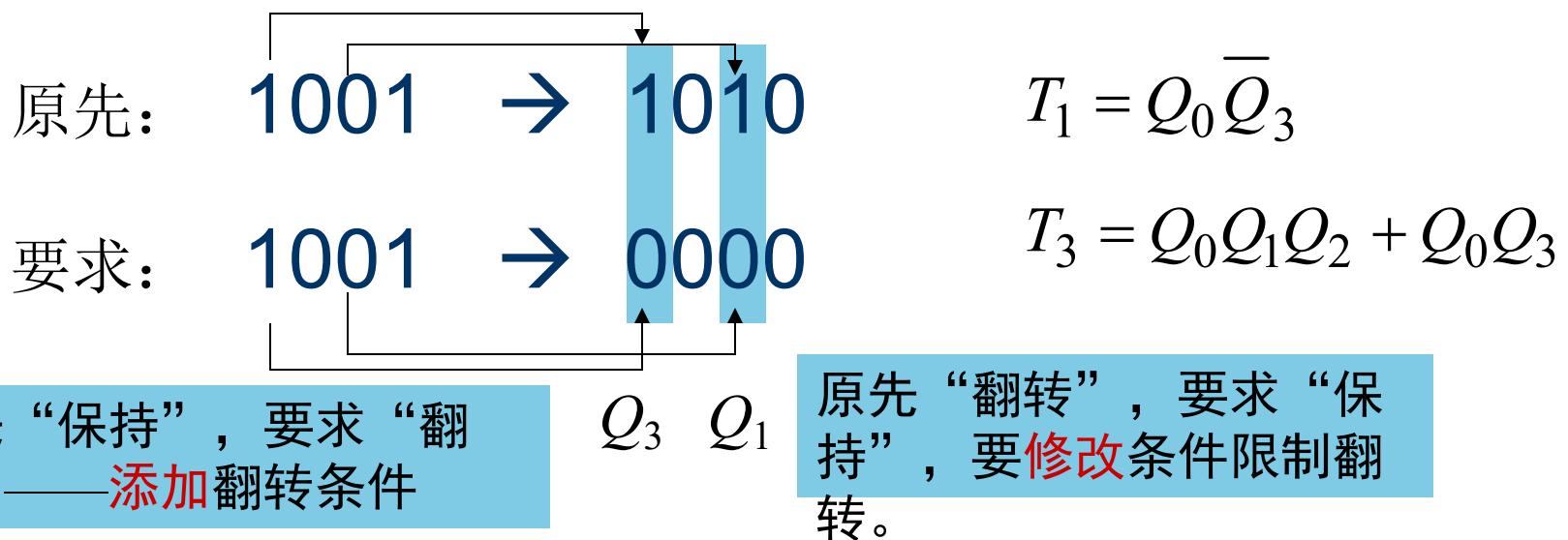
- ✓ 串行时钟输出端在计数周期循环结束时，提供一个上升沿信号。



时序逻辑电路

6.4.1.2 同步十进制加法计数器

- ✓ 二进制计数, $1001 \rightarrow 1010$
- ✓ 十进制计数, $1001 \rightarrow 0000$
- ✓ 0~9计数照旧



时序逻辑电路

■ 同步十进制加法计数器

- T触发器的驱动方程修改为：

$$T_0 = 1$$

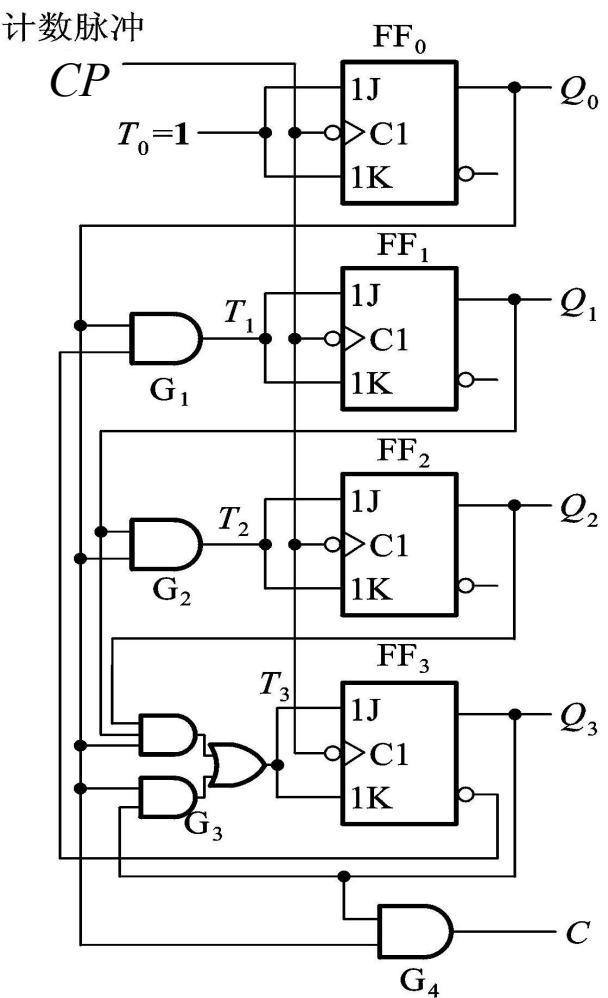
$$T_1 = Q_0 \bar{Q}_3$$

$$T_2 = Q_0 Q_1$$

$$T_3 = Q_0 Q_1 Q_2 + Q_0 Q_3$$

- 将驱动方程代入T触发器的特性方程——得到状态方程。
- 检查**自启动能力**：
 - 状态转换图；或者，
 - 无关状态带入状态方程。

灵活掌握
自启动检查

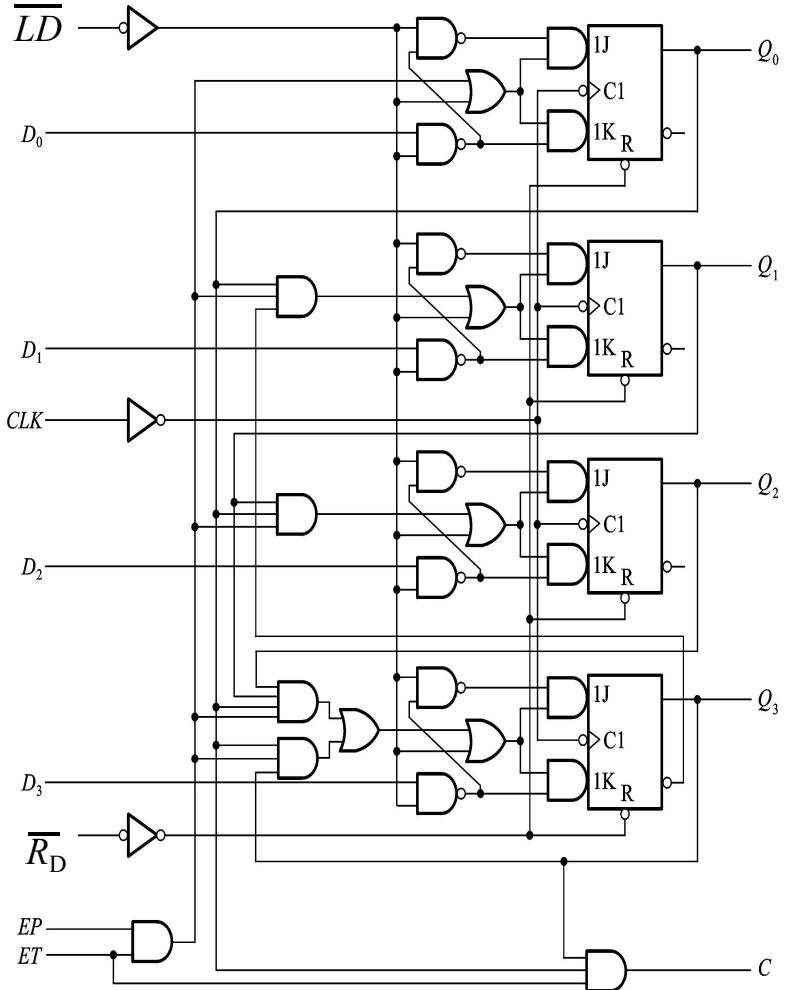


时序逻辑电路

■ 十进制同步加法计数器 74160

功能表

清零	预置	使能	时钟	工作模式
\bar{R}_D	\bar{LD}	EP	ET	
0	×	×	×	异步清零
1	0	×	×	同步置数
1	1	0	1	保持
1	1	×	0	保持 $C=0$
1	1	1	1	加法计数

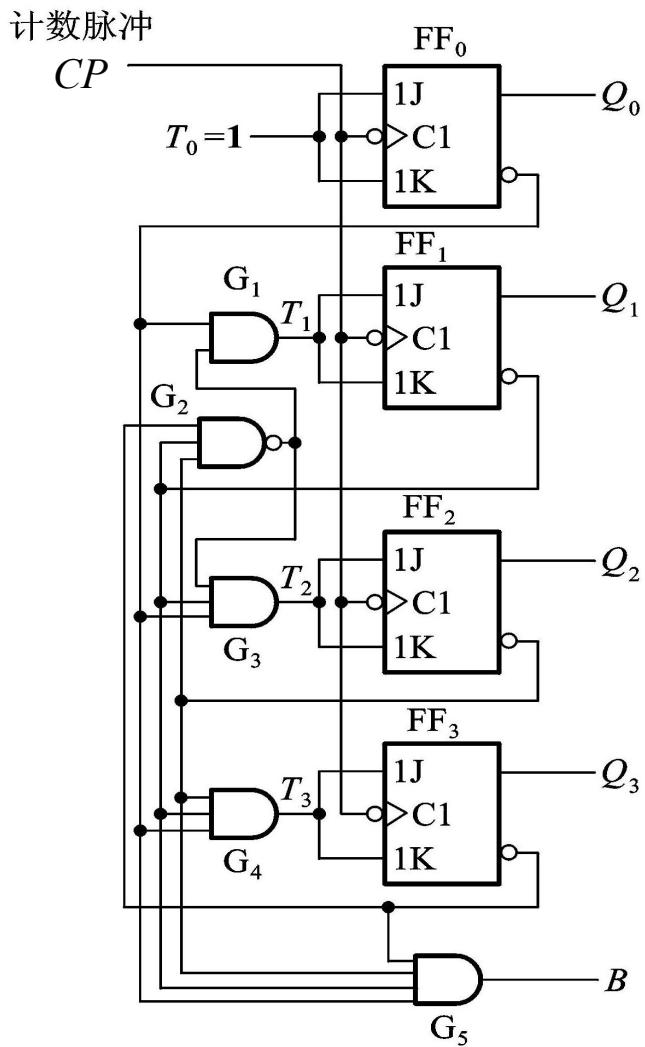


时序逻辑电路

- 减法，要求 $0000 \rightarrow 1001$
- 十进制同步可逆计数器
74190

功能表

预置	使能	加/减控制	时钟	工作模式
LD	\bar{S}	\bar{U} / D	CP	
0	\times	\times	\times	异步置数
1	1	\times	\times	数据保持
1	0	0	\uparrow	加法计数
1	0	1	\uparrow	减法计数

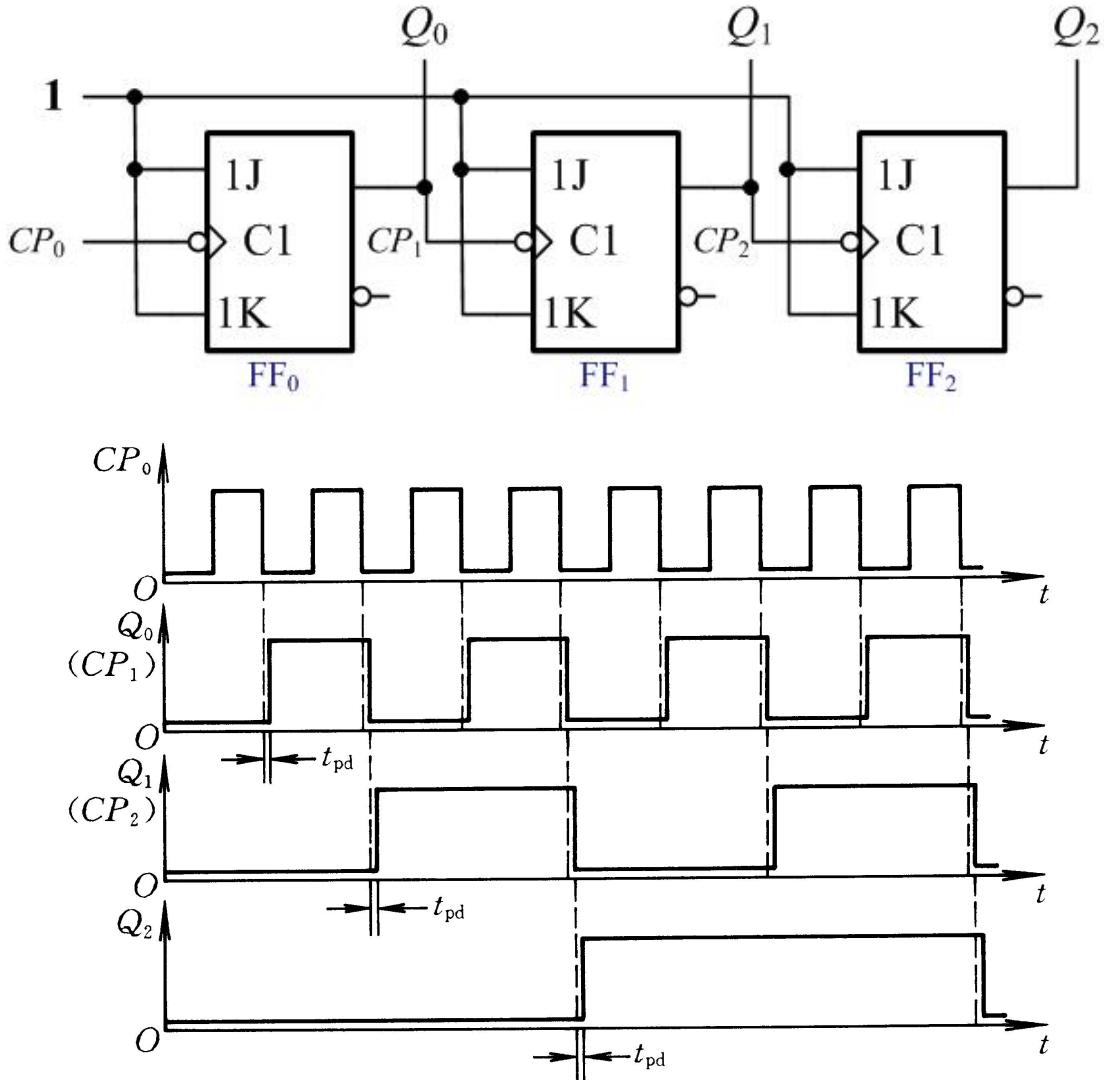


时序逻辑电路

6.4.1.3 异步计数器

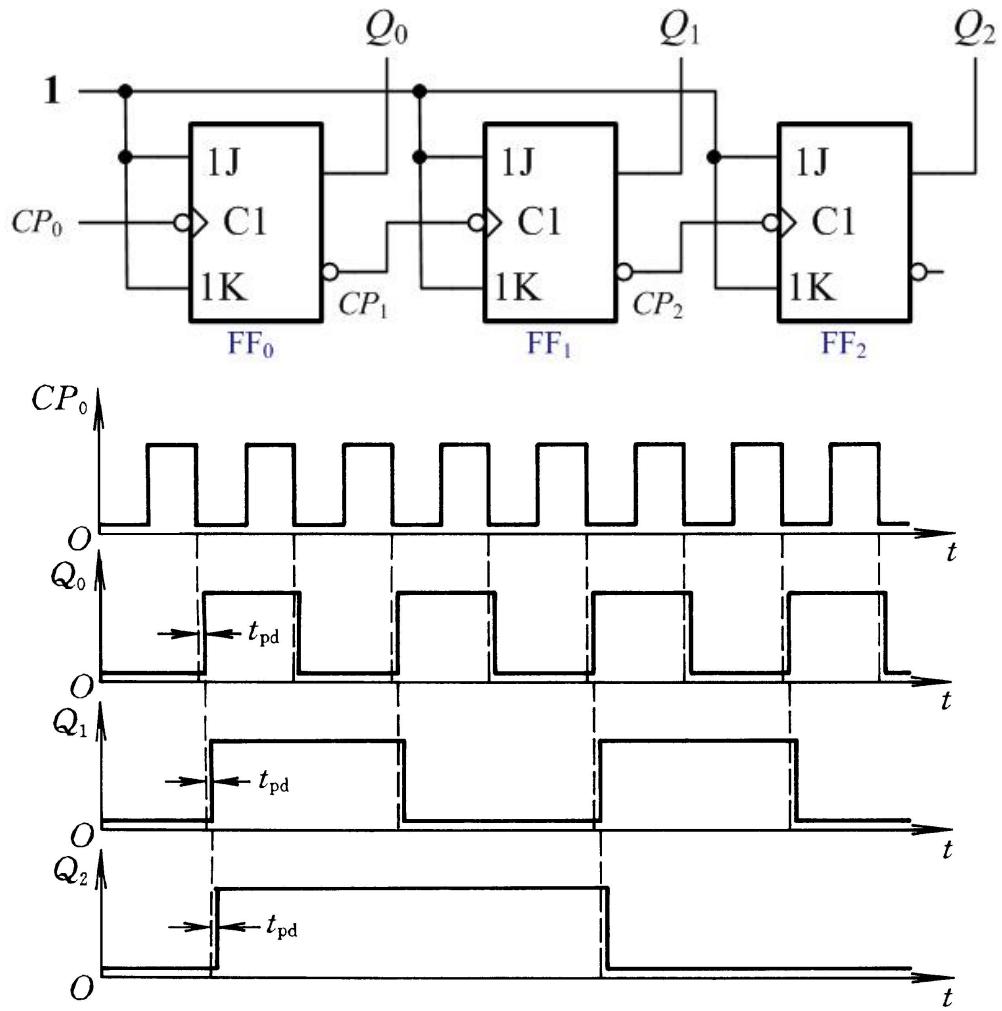
□ 异步二进制加法计数器

- ✓ 每位二进制数用一个 T' 触发器计数
- ✓ 低位的进位信号作为相邻高位的计数脉冲



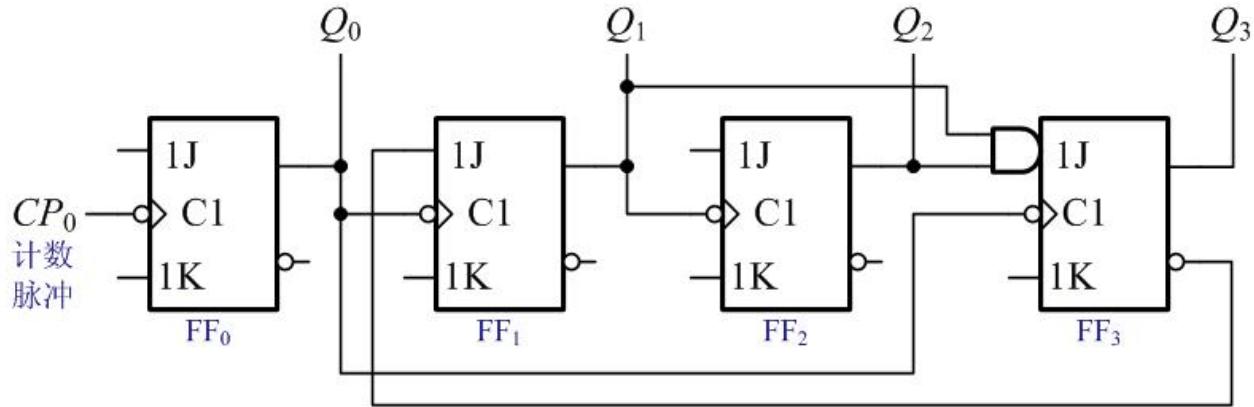
时序逻辑电路

■ 异步二进制减法计数器



时序逻辑电路

➤ 异步十进制加法计数器



✓ 时钟方程:

$$CP_0 = CP \text{ (下降沿)}$$

✓ 驱动方程:

$$J_0 = 1$$

$$K_0 = 1$$

✓ 状态方程:

$$Q_0^{n+1} = J_0 \overline{Q_0^n} + \overline{K_0} Q_0^n = \overline{Q_0^n}$$

$$CP_1 = Q_0 \text{ (由 } 1 \rightarrow 0 \text{ 时)}$$

$$J_1 = \overline{Q_3^n}$$

$$K_1 = 1$$

$$Q_1^{n+1} = J_1 \overline{Q_1^n} + \overline{K_1} Q_1^n = \overline{Q_3^n} \cdot \overline{Q_1^n}$$

$$CP_2 = Q_1 \text{ (由 } 1 \rightarrow 0 \text{ 时)}$$

$$J_2 = 1$$

$$K_2 = 1$$

$$Q_2^{n+1} = J_2 \overline{Q_2^n} + \overline{K_2} Q_2^n = \overline{Q_2^n}$$

$$CP_3 = Q_2 \text{ (由 } 1 \rightarrow 0 \text{ 时)}$$

$$J_3 = Q_2^n Q_1^n$$

$$K_3 = 1$$

$$Q_3^{n+1} = J_3 \overline{Q_3^n} + \overline{K_3} Q_3^n = Q_2^n Q_1^n \overline{Q_3^n}$$

时序逻辑电路

计数脉冲 序号	现 状				次 状				时钟脉冲			
	Q_3^n	Q_2^n	Q_1^n	Q_0^n	Q_3^{n+1}	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}	CP_3	CP_2	CP_1	CP_0
0	0	0	0	0	0	0	0	1	0	0	0	↓
1	0	0	0	1	0	0	1	0	↓	0	↓	↓
2	0	0	1	0	0	0	1	1	0	0	0	↓
3	0	0	1	1	0	1	0	0	↓	↓	↓	↓
4	0	1	0	0	0	1	0	1	0	0	0	↓
5	0	1	0	1	0	1	1	0	↓	0	↓	↓
6	0	1	1	0	0	1	1	1	0	0	0	↓
7	0	1	1	1	1	0	0	0	↓	↓	↓	↓
8	1	0	0	0	1	0	0	1	0	0	0	↓
9	1	0	0	1	0	0	0	0	↓	0	↓	↓

$CP_0=CP$ (下降沿)

$$J_0 = 1$$

$$K_0 = 1$$

$$Q_0^{n+1} = J_0 \overline{Q_0^n} + \overline{K_0} Q_0^n = \overline{Q_0^n}$$

$CP_1=Q_0$ (由1→0时)

$$J_1 = \overline{Q_3^n}$$

$$K_1 = 1$$

$$Q_1^{n+1} = J_1 \overline{Q_1^n} + \overline{K_1} Q_1^n = \overline{Q_3^n} Q_1^n$$

$CP_2=Q_1$ (由1→0时)

$$J_2 = 1$$

$$K_2 = 1$$

$$Q_2^{n+1} = J_2 \overline{Q_2^n} + \overline{K_2} Q_2^n = \overline{Q_2^n}$$

$CP_3=Q_0$ (由1→0时)

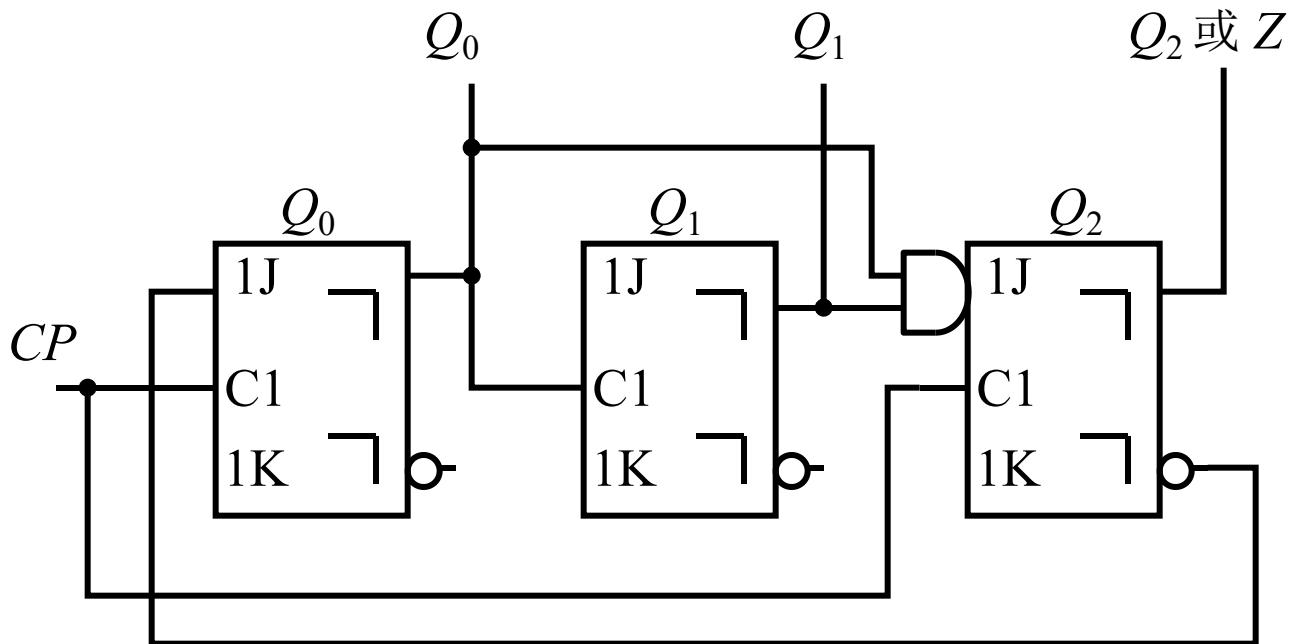
$$J_3 = Q_2^n Q_1^n$$

$$K_3 = 1$$

$$Q_3^{n+1} = J_3 \overline{Q_3^n} + \overline{K_3} Q_3^n = Q_2^n Q_1^n \overline{Q_3^n}$$

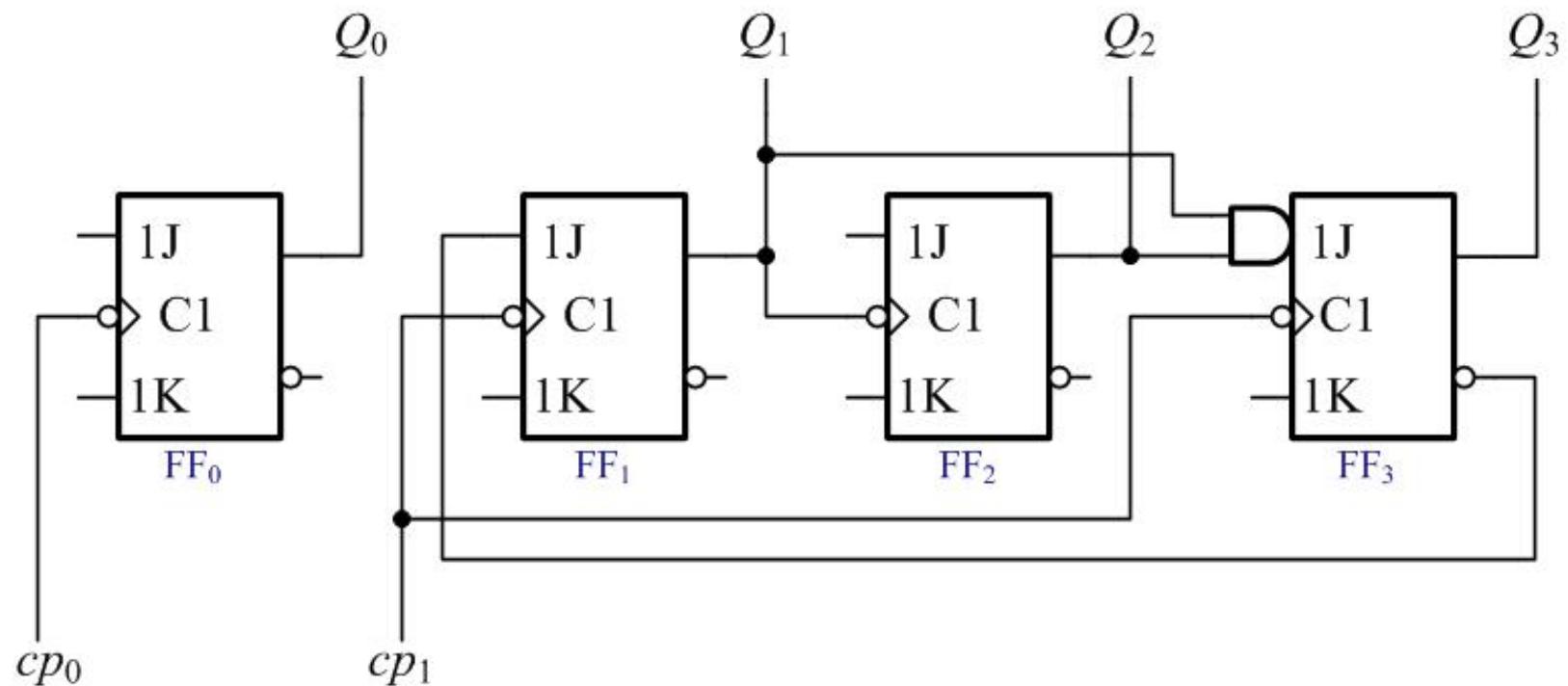
■ 课题：设计异步五进制计数器

➤ 参见 “异步时序逻辑设计”



时序逻辑电路

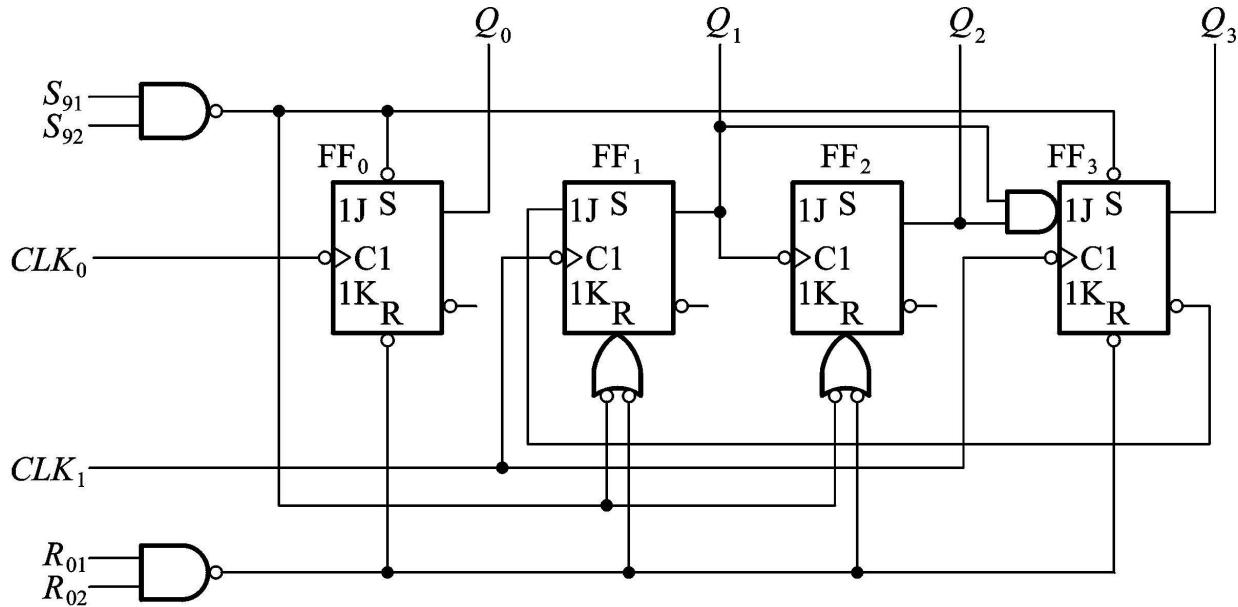
■ 异步二~五~十进制计数器



时序逻辑电路

■ 二~五~十进制异步计数器74LS290

- 用下降沿触发的边沿JK触发器代替主从JK



两个R输入端为置0输入端
 两个S输入端为置9输入端

时序逻辑电路

■ 异步计数器的特点

- 定义：当时钟脉冲输入的时候，触发器的翻转是有先后因果关系的，不是同时发生的。
- 优点
 - 结构简单
- 缺点
 - 各个触发器各级的信号驱动是串行连接的，在最不利的情况下，要经过各级触发器传输延迟之和后，新状态才能稳定的建立起来，故而工作频率低；
 - 电路状态的译码存在竞争冒险，可能会形成错误的毛刺触发脉冲。

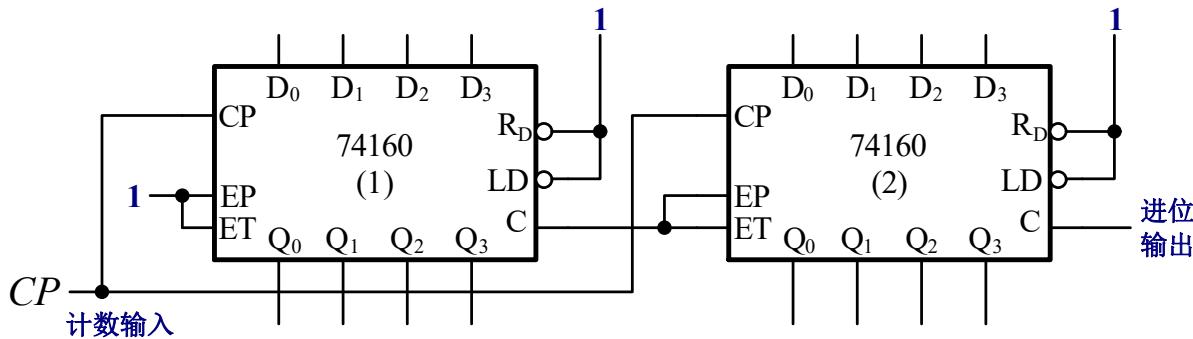
时序逻辑电路

6.4.2 任意进制计数器的构成方法

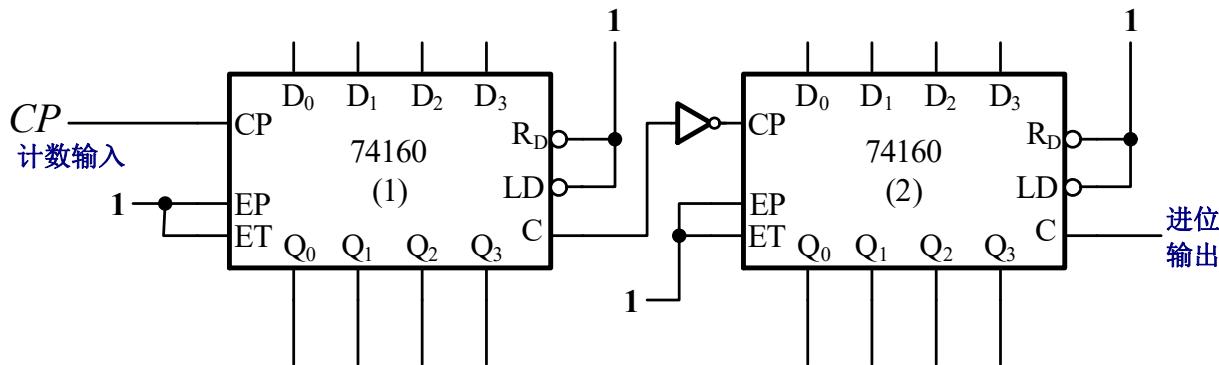
■ 计数器的级联

✓ 两个模 N 计数器级联，可实现 $N \times N$ 的计数器

✓ 并行进位法



✓ 串行进位法



■ 任意进制计数器的构成方法

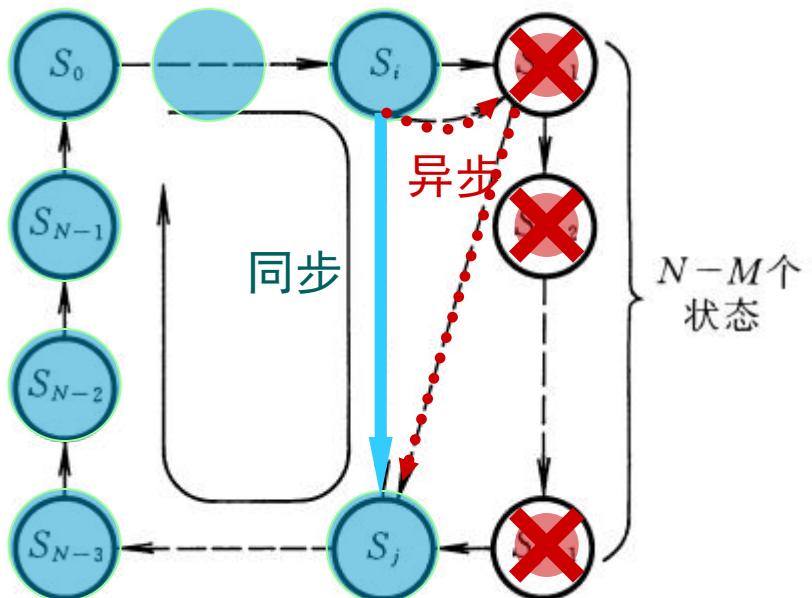
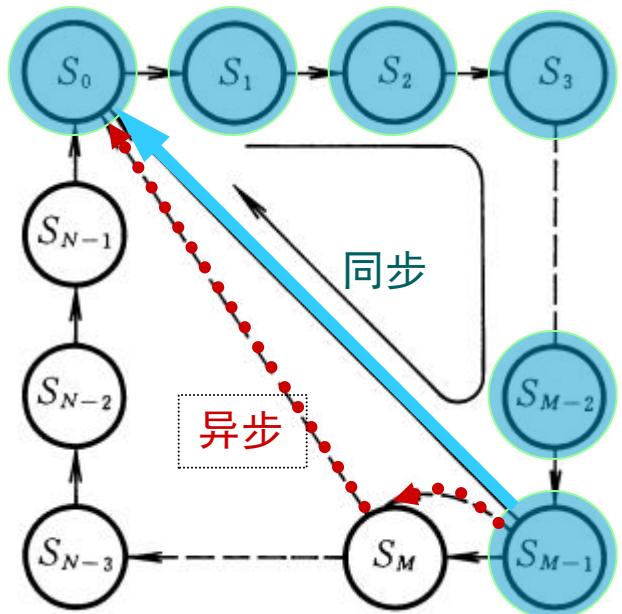
- 用已有计数器产品经过外电路连接，形成任意进制计数器。
- 假定已有 N 进制计数器，需要得到 M 进制计数器，分两种情况讨论：
 1. $M < N$ 的情况
 2. $M > N$ 的情况

时序逻辑电路

1. 当 $M < N$ 的情况

- 置零法 和 置数法

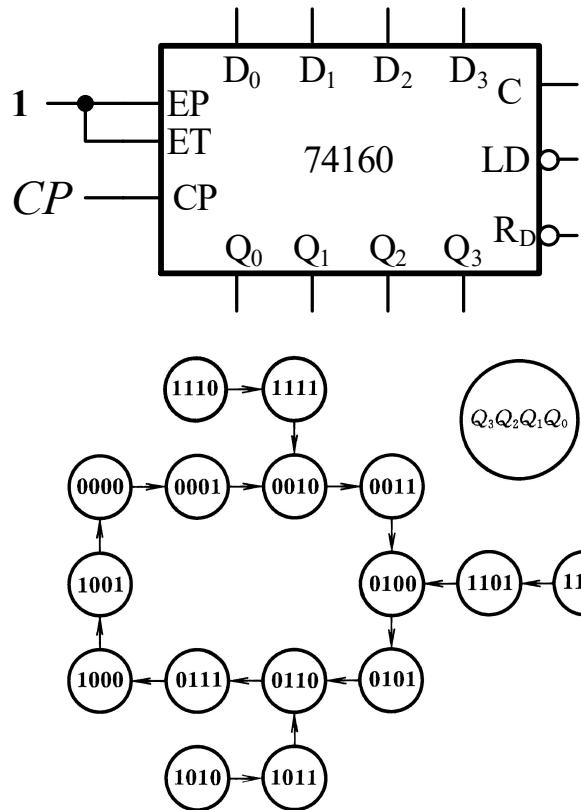
注意同步与异步！



时序逻辑电路

1. 当 $M < N$ 的情况

2. 例如：现有74160同步十进制加法计数器



$\overline{R_D}$	\overline{LD}	使能		CP	工作模式
		EP	ET		
0	\times	\times	\times	\times	异步清零
1	0	\times	\times	\uparrow	同步置数
1	1	0	1	\times	保持
1	1	\times	0	\times	保持 $C=0$
1	1	1	1	\uparrow	加法计数



异步置零法（清零法）

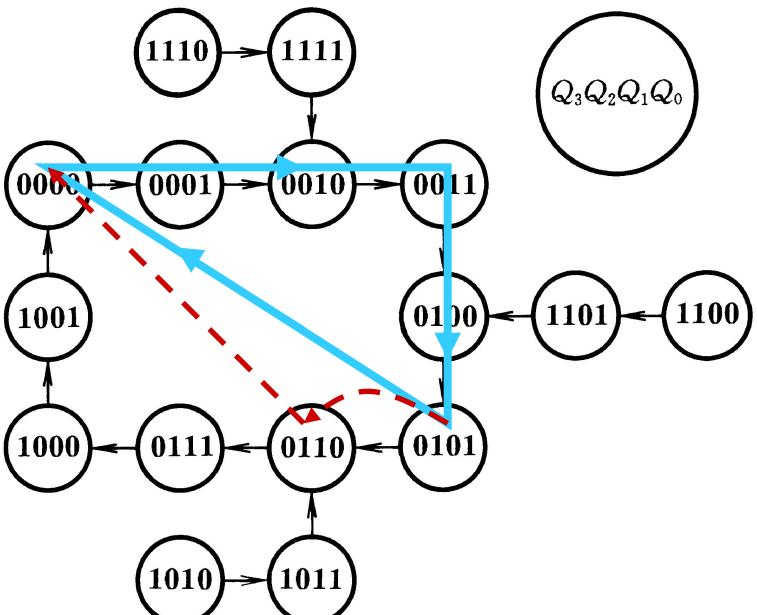
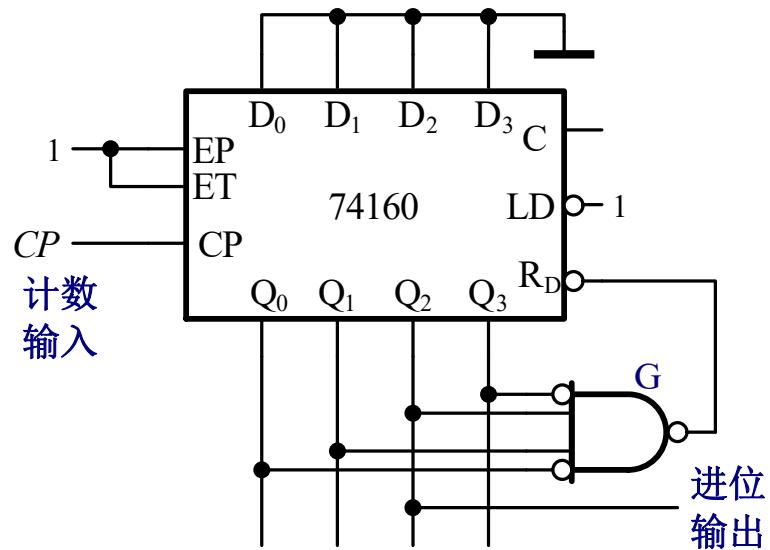
例8：用74160采用“置零法”（清零法）构成六进制计数器

74160加法计数器，异步清零端

- 从全0的 S_0 状态开始，计数并经过 M 个脉冲到 S_M ；
- S_M 的状态译码产生一个置零信号，加到计数器的异步置零输入端 $\overline{R_D}$ ；
- 计数器立即返回 S_0 状态；
- （跳过 $N-M$ 个状态；注意： S_M 是暂态。）
- 电路连接.....

时序逻辑电路

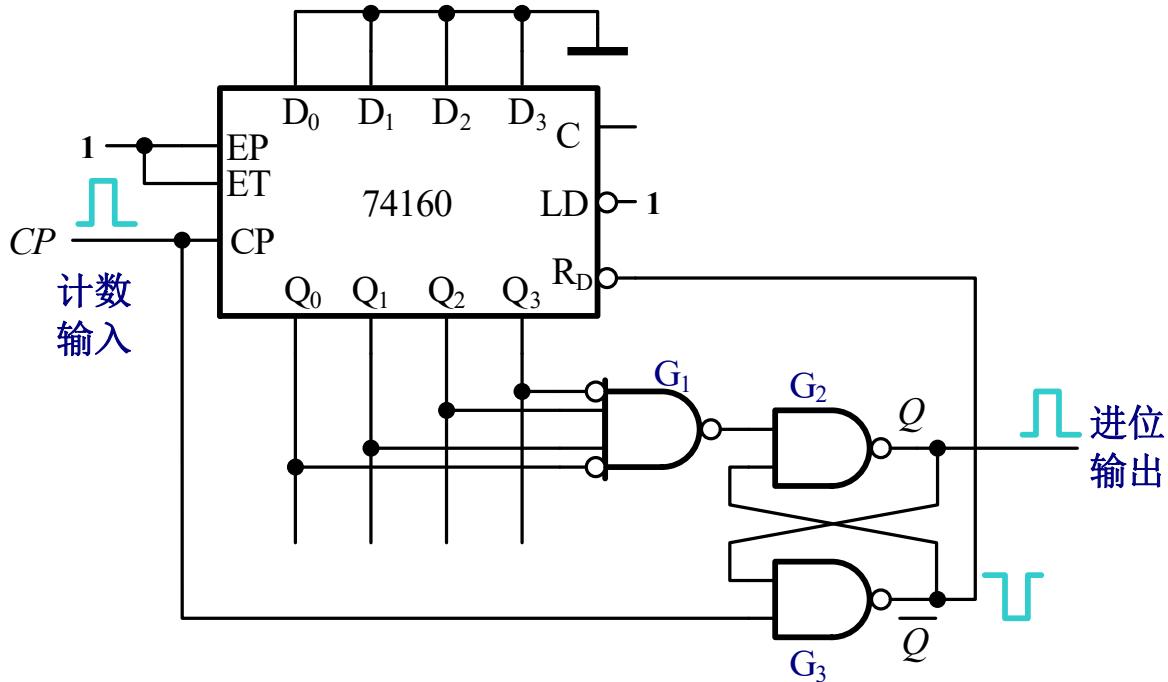
例8：



时序逻辑电路

例8：

改进清零信号宽度



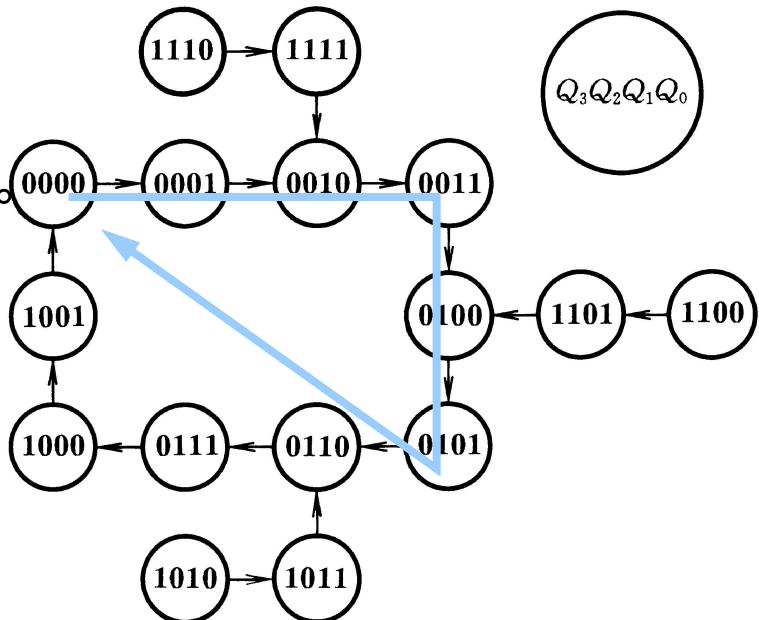
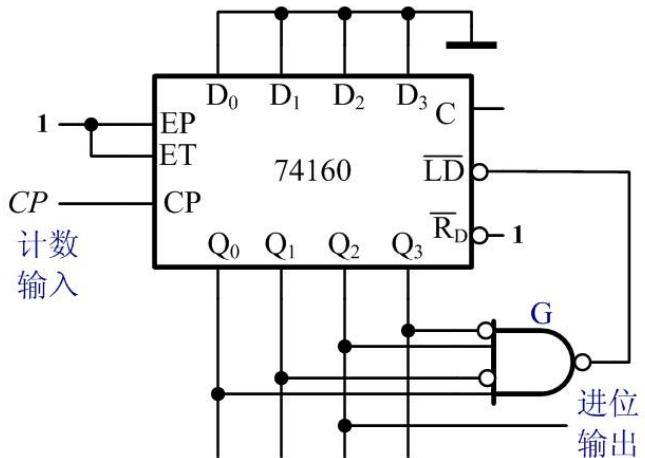
例9：用74160采用“置数法”构成六进制计数器

- ✓ 目的：在计数循环的任何一个状态置入适当的数值而跳过 $N-M$ 个状态

- 74160加法计数器，同步置数端

- 之一、同步置数法：**置入0000**

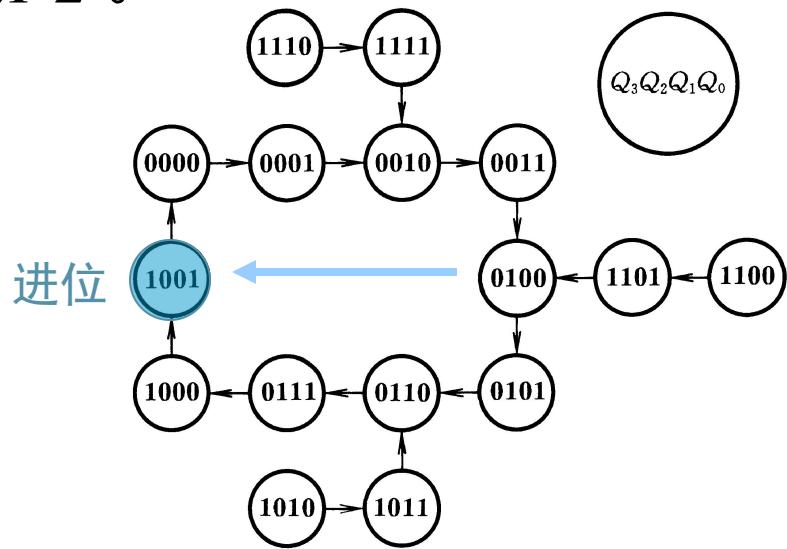
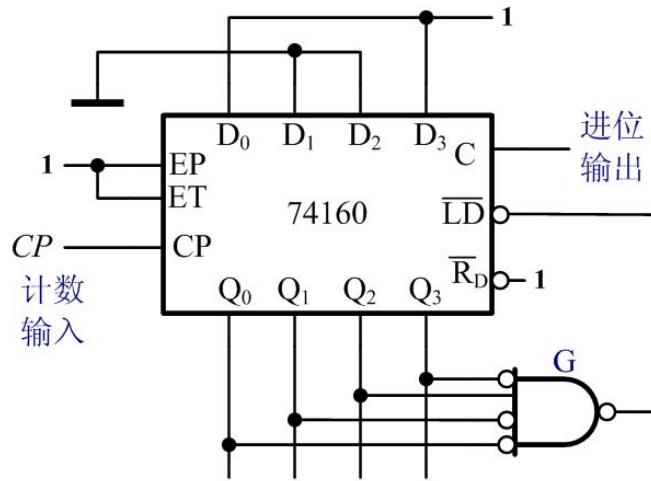
- 同步置0000，在 S_{M-1} 状态进行译码，下一个时钟脉冲到来时，置数。



时序逻辑电路

例9：

- 之二、同步置数法：如果要利用 S_{N-1} 状态的原有的进位信号。
 - 请思考：如果置入的数值就是 $N-1$, 那么产生译码的状态的编码是什么？
 - 共 M 个状态， $S_{N-1}, S_0 \sim S_{M-2}$ ；同步置数，故产生置位信号的状态是 $M-2$ 。



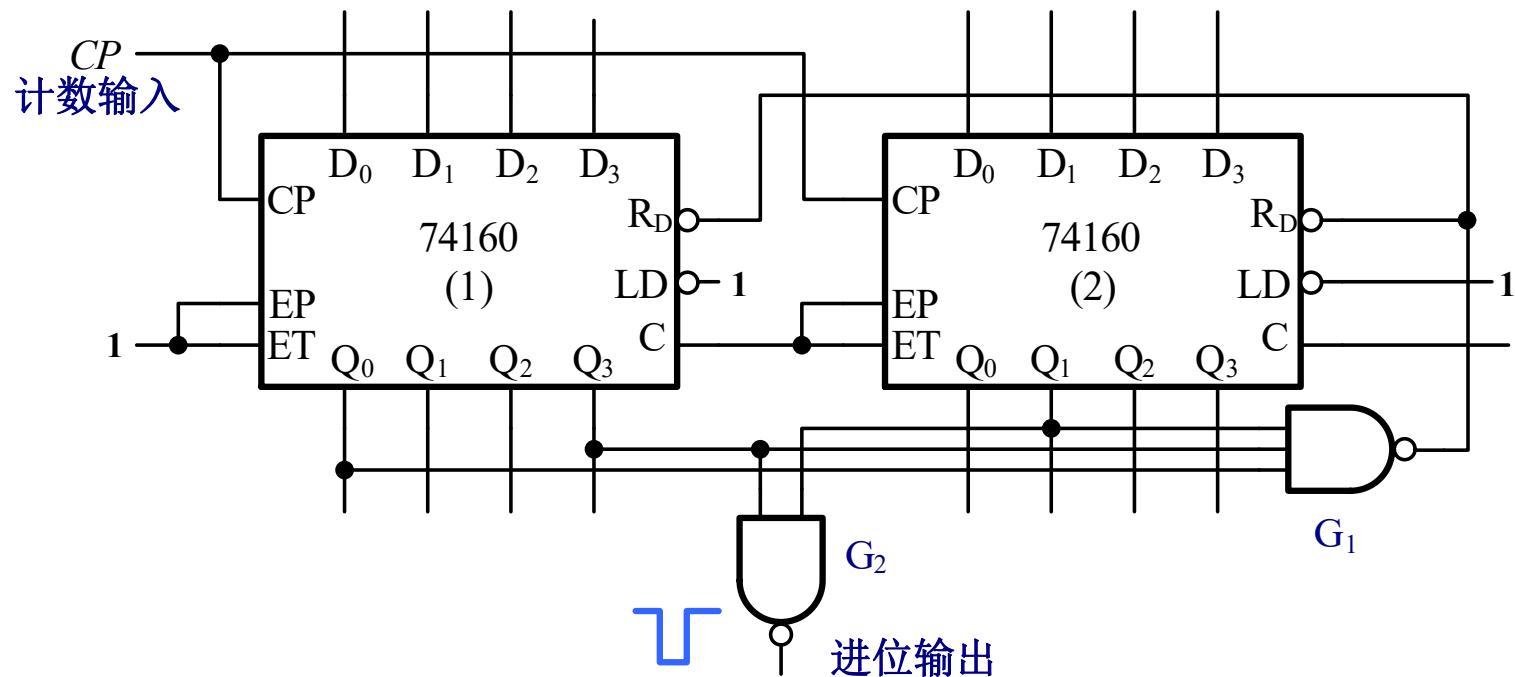
2. 当 $M > N$ 的情况

- 先将 M 因数分解为 $M = N_1 \cdot N_2 \cdot \dots$ 每个 $N_i \leq N$ ，
 - 当 $N_i = N$ ， OK；
 - 当 $N_i < N$ ， 按前面所述 **情况1** ($M < N$) 办理；
 - 考虑：采用 并行进位 还是 串行进位。
- 先利用 计数器级联；然后 整体置零 或 整体置数。
 - 一般用于 M 分解后得到的素数也大于 N 的情况。

时序逻辑电路

例10：用两片同步十进制计数器74160接成二十九进制计数器。

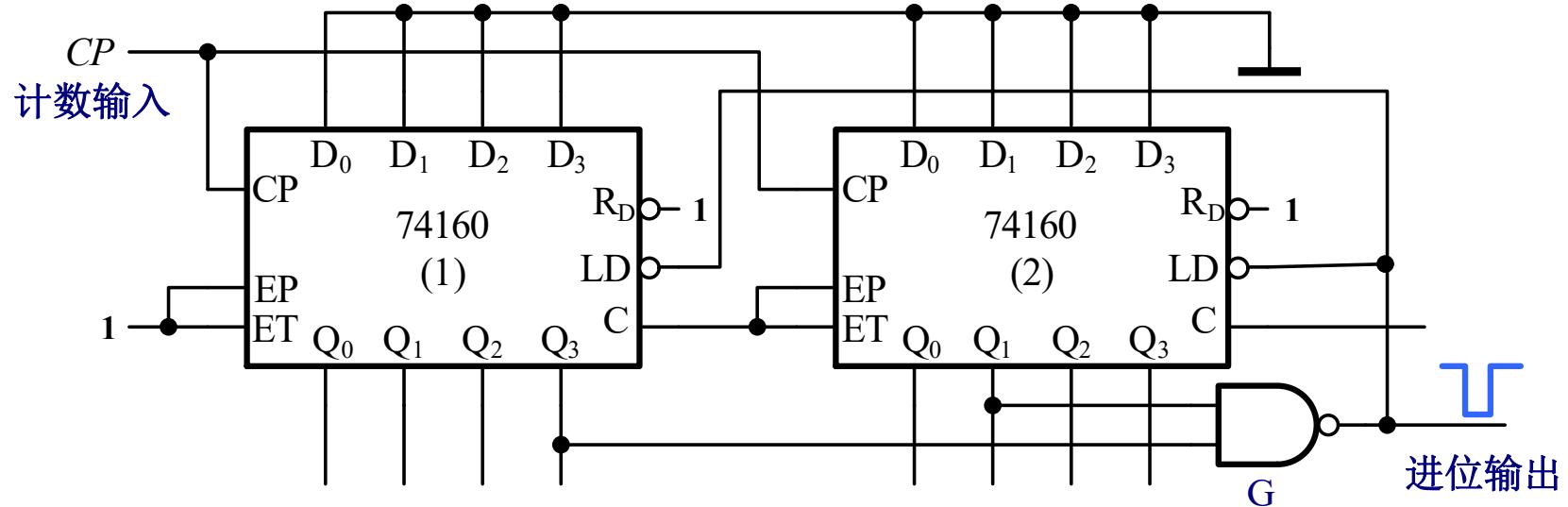
解法一：采用整体异步置零（清零）法



时序逻辑电路

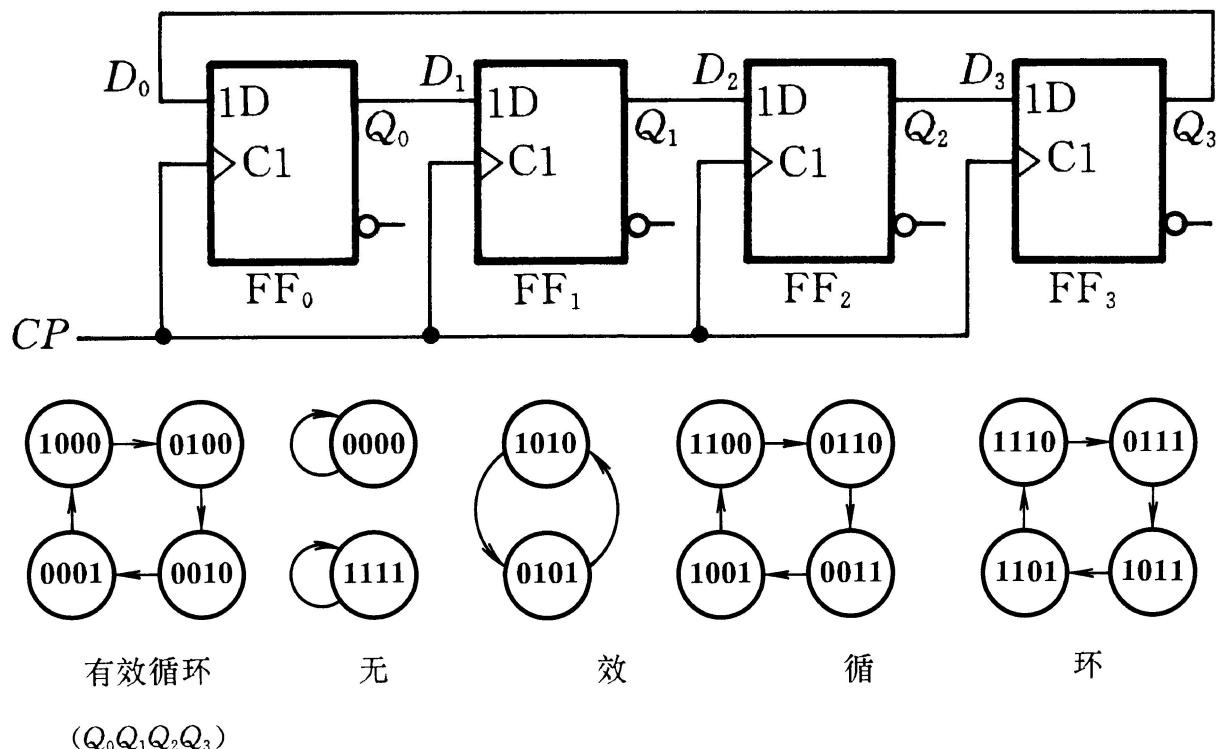
例10：用两片同步十进制计数器74160接成二十九进制计数器。

解法二：采用整体同步置数（置入0000）法



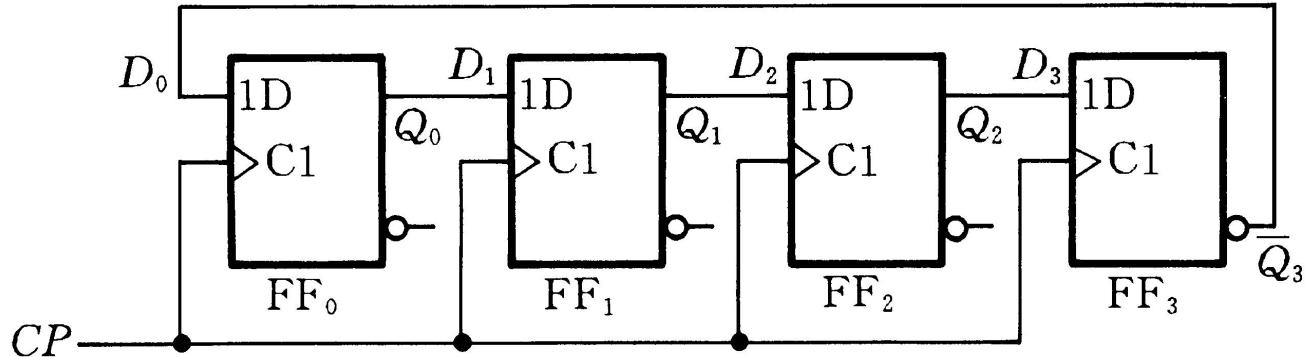
6.4.3 移位寄存型计数器（“环形计数器”）

■ 移位寄存器型计数器之 环形计数器

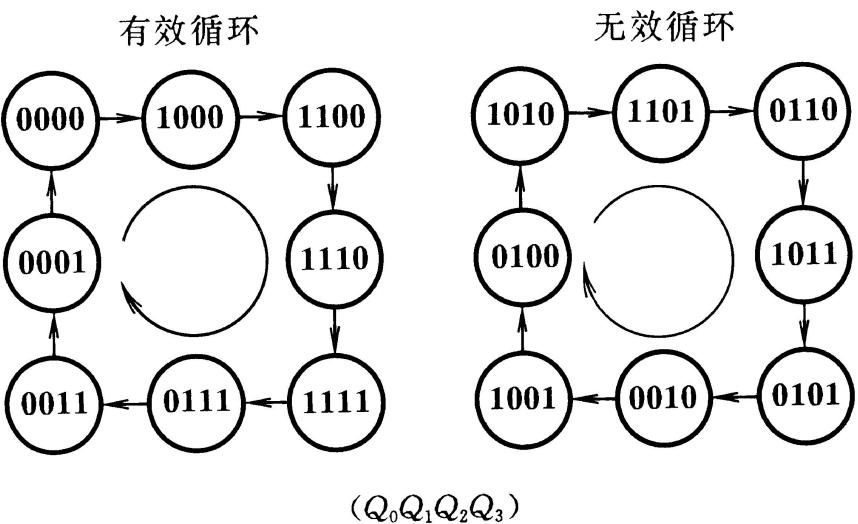
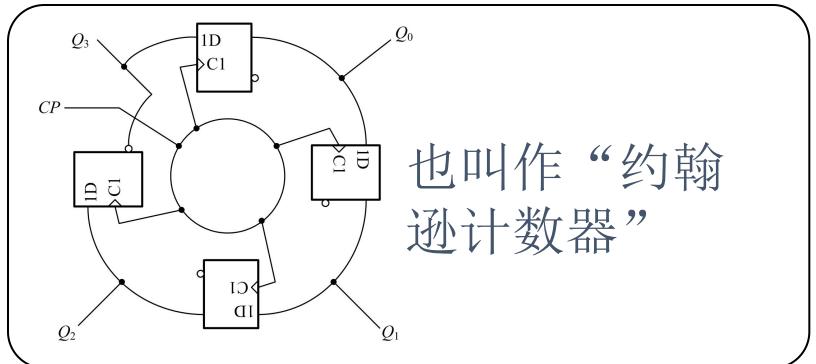


时序逻辑电路

■ 扭环形计数器



✓ 不能自启动

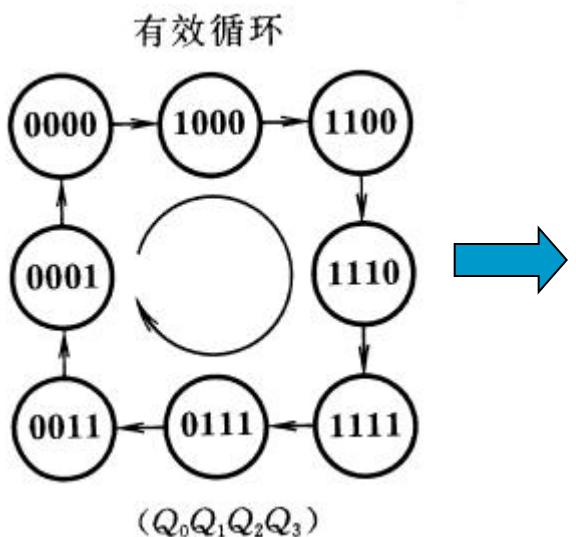


时序逻辑电路

■ 结论：

- 用 n 位移位寄存器构成 环形计数器 可以得到 n 个状态的有效循环；
- 用 n 位移位寄存器构成 扭环形计数器 可以得到 $2n$ 个状态的有效循环。

■ 扭环形特点



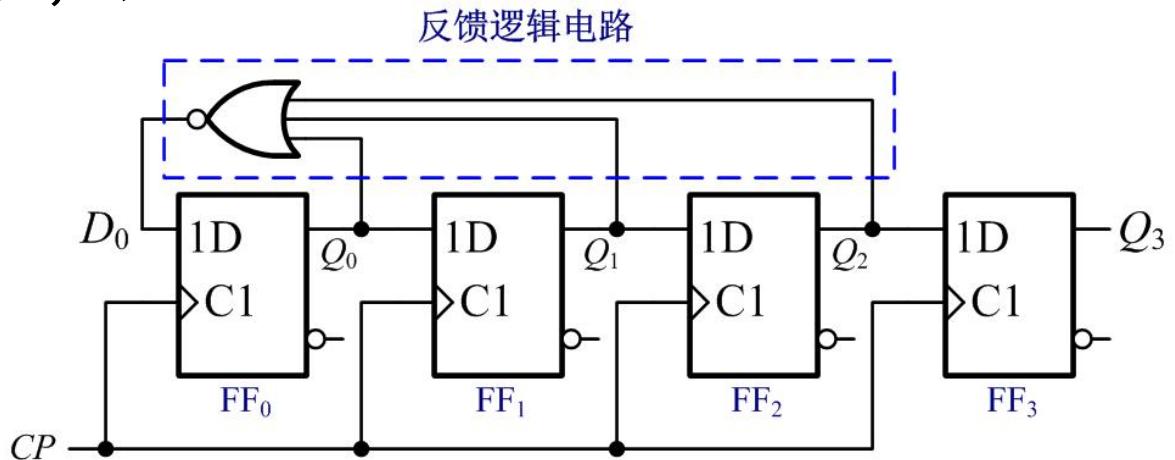
对于有效循环，电路在每次状态转换时只有一位触发器改变状态，对于电路状态的译码，不会产生“竞争——冒险”

时序逻辑电路

■ 环形计数器 和 扭环形计数器的自启动设计

- 改进反馈逻辑电路
- 简单的例子，如：

这是一个3-bit的环形计数器，
FF₃主要起缓冲作用。



- 方法：参见“移位寄存器型序列信号发生器”的分析与设计



6.4.4 寄存器

- ✓ **可寄存一组二进制数码的逻辑部件，叫寄存器，是由触发器构成的，只要有置位和复位功能，就可以做寄存器，如基本SR锁存器、D触发器、JK触发器等等。一个触发器可以存1位二进制代码，故N位二进制代码需要N个触发器。**
- ✓ 根据**存放数码的方式**不同分为并行和串行两种：并行方式就是将寄存的数码从各对应的输入端同时输入到寄存器中；串行方式是将数码从一个输入端逐位输入到寄存器中。根据**取出数码的方式**不同也可分为并行和串行两种：并行方式就是要取出的数码从对应的各个输出端上同时出现；串行方式是被取出的数码在一个输出端逐位输出；根据**有无移位功能**寄存器也常分为数码寄存器和移位寄存器。

时序逻辑电路

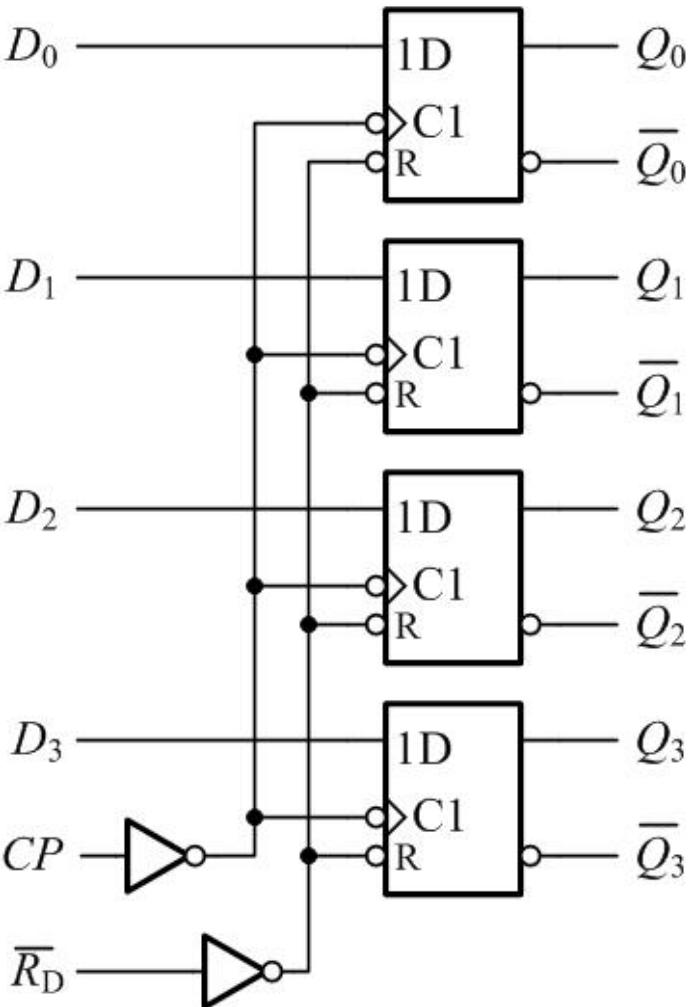
6.4.4 寄存器

➤ 数码寄存器

- ✓ 具有接收和寄存二进制数码的逻辑功能
- ✓ 用 n 个触发器就可以存储 n 位二进制数

✓ 功能表

清零	时钟	输入				输出			
R_D	CP	D_0	D_1	D_2	D_3	Q_0	Q_1	Q_2	Q_3
0	×	×	×	×	×	0	0	0	0
1	↓	D_0	D_1	D_2	D_3	D_0	D_1	D_2	D_3
1	1	×	×	×	×	保	持		
1	0	×	×	×	×	保	持		



时序逻辑电路

6.4.4 寄存器

74HC175为由CMOS边沿触发器构成的4位寄存器。

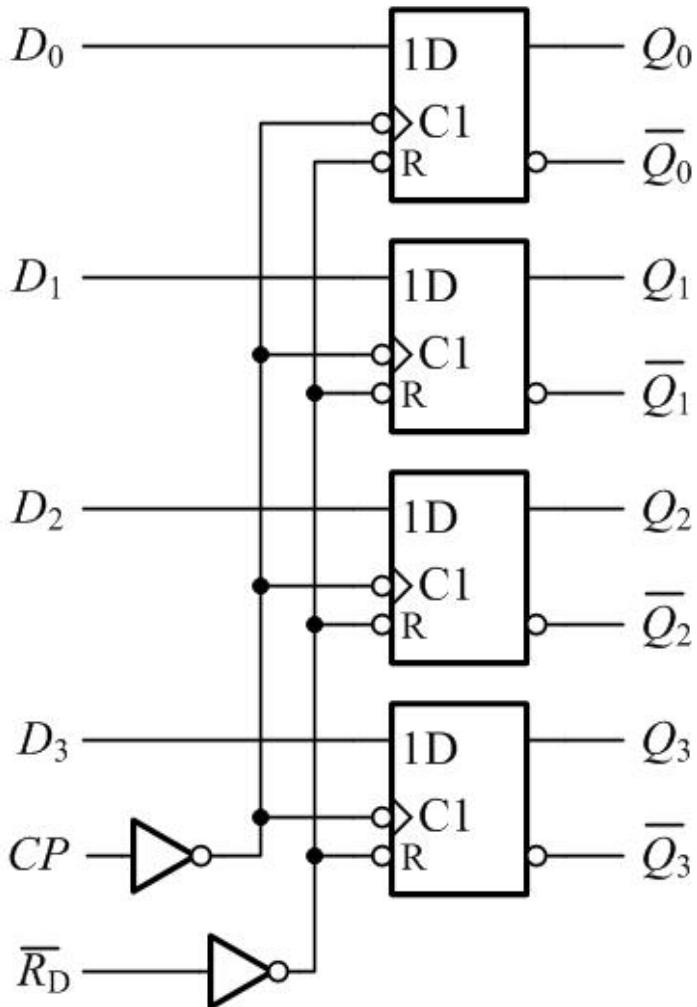
其中：

$D_0 \sim D_3$ 为并行数据输入端；

CLK 为寄存脉冲输入端

R' 为清零端

此寄存器为并行输入/并行输出方式。在 CLK ↑时，将 $D_0 \sim D_3$ 数据存入，与此前后的 D 状态无关，而且由异步置零（清零）功能。

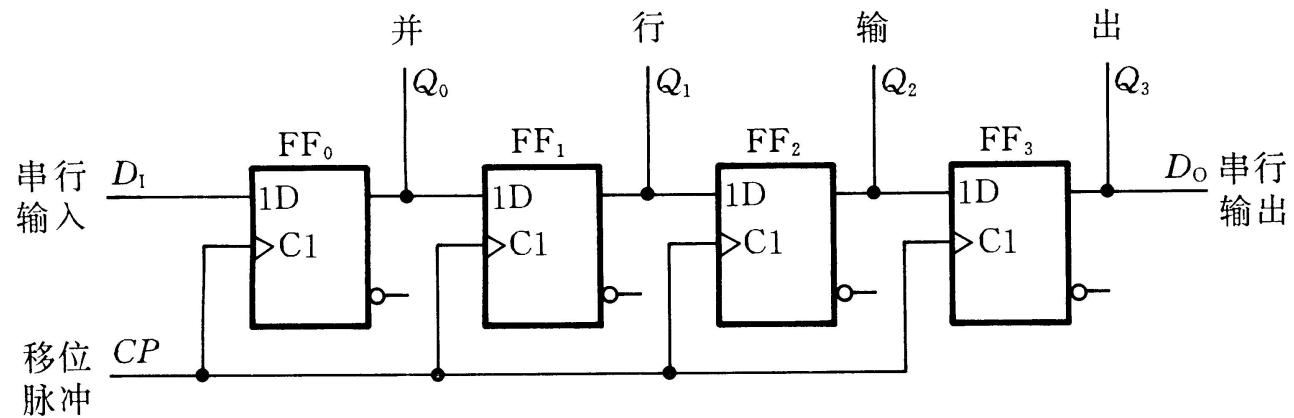


时序逻辑电路

➤ 移位寄存器

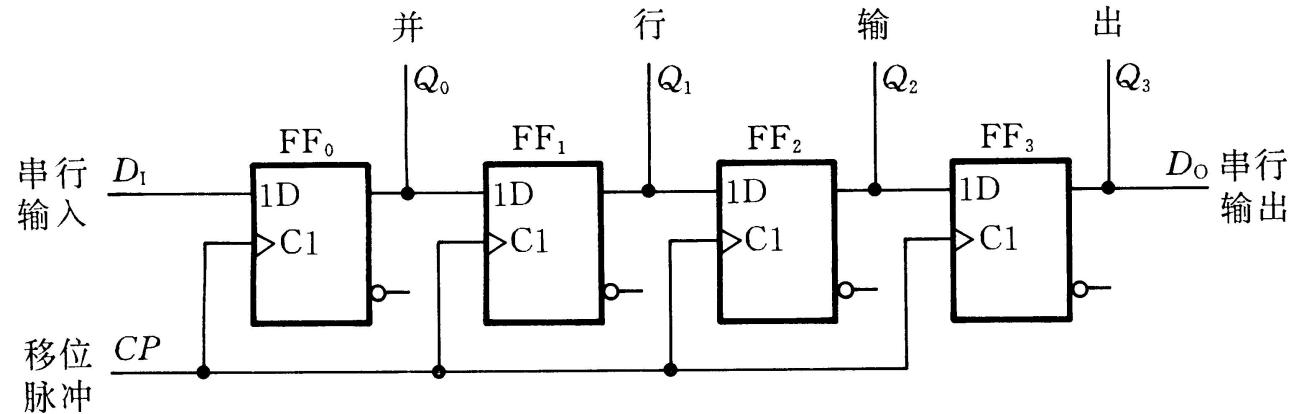
移位寄存器不仅具有数码存储功能，还具有移位的功能，即在移位脉冲的作用下，依次左移或右移。故移位寄存器除了寄存代码外，还可以实现数据的串行—并行转换、数值运算以及数据处理等。

✓ 单向移位寄存器



时序逻辑电路

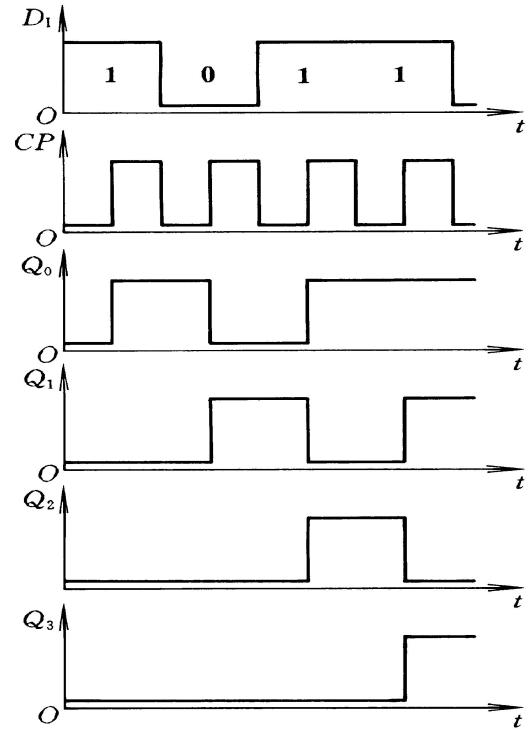
➤ 移位寄存器



✓ 单向移位寄存器

✓ 数码移动状况

CP 顺序	D_I	Q_0	Q_1	Q_2	Q_3
0	0	0	0	0	0
1	1	1	0	0	0
2	0	0	1	0	0
3	1	1	0	1	0
4	1	1	1	0	1



时序逻辑电路

➤ 移位寄存器

由JK触发器构成的移位寄存器，其分析原理同上，不同的是JK触发器的寄存是在移位脉冲的下降沿发生的。

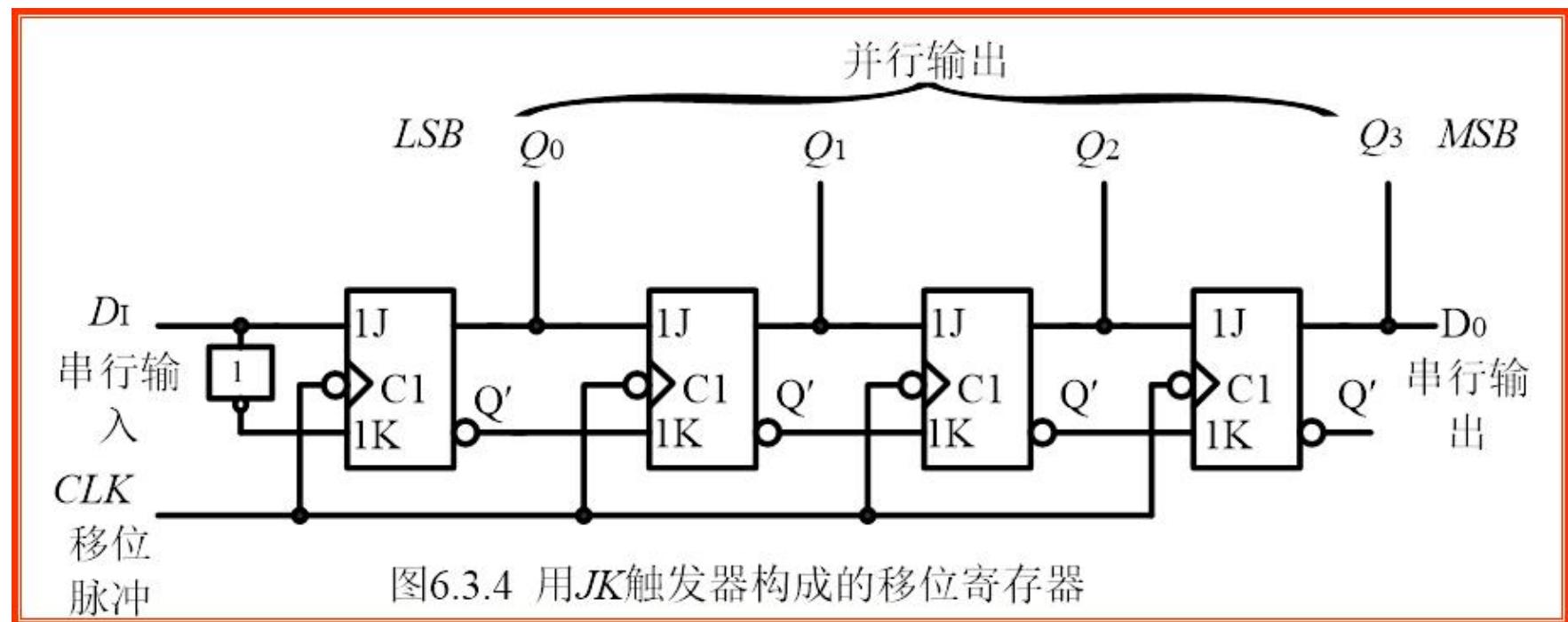
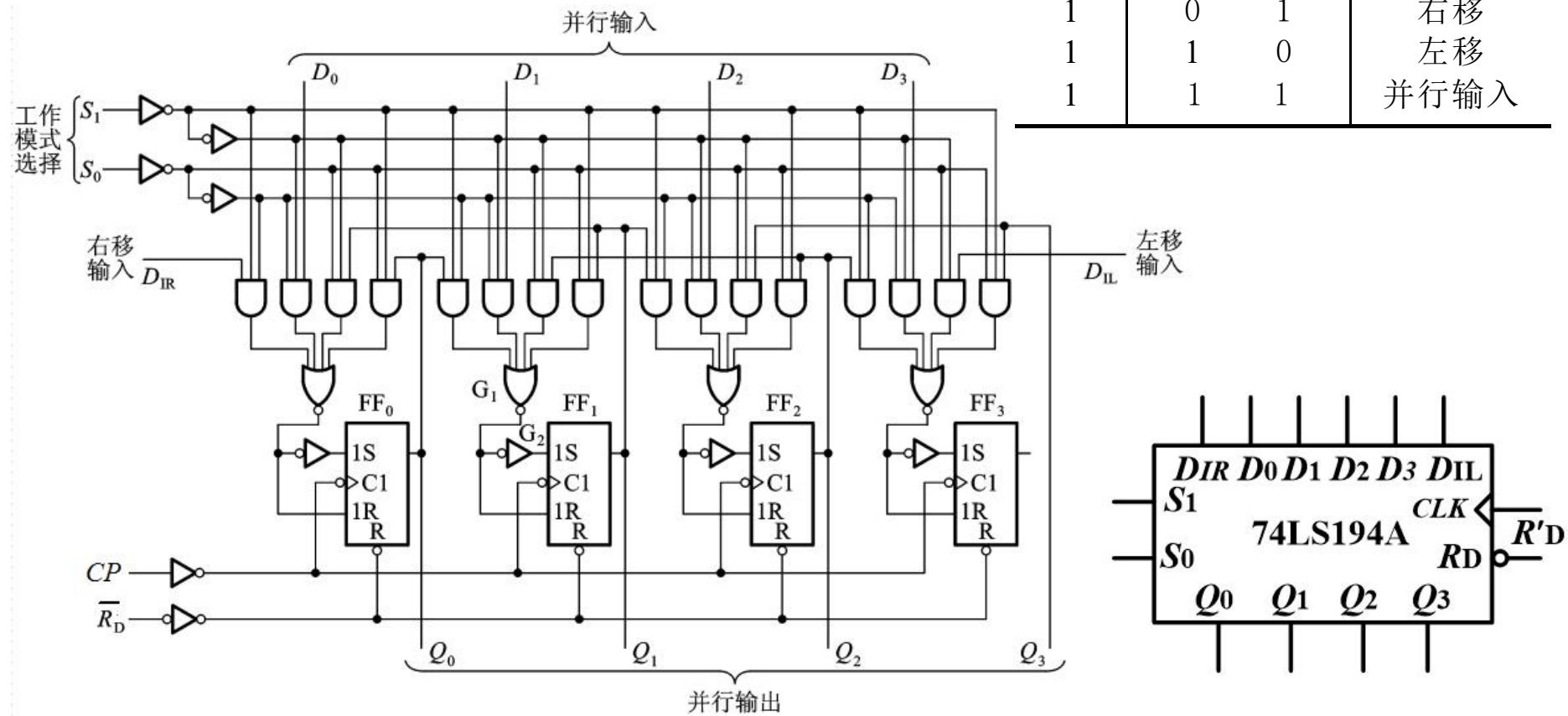


图6.3.4 用JK触发器构成的移位寄存器

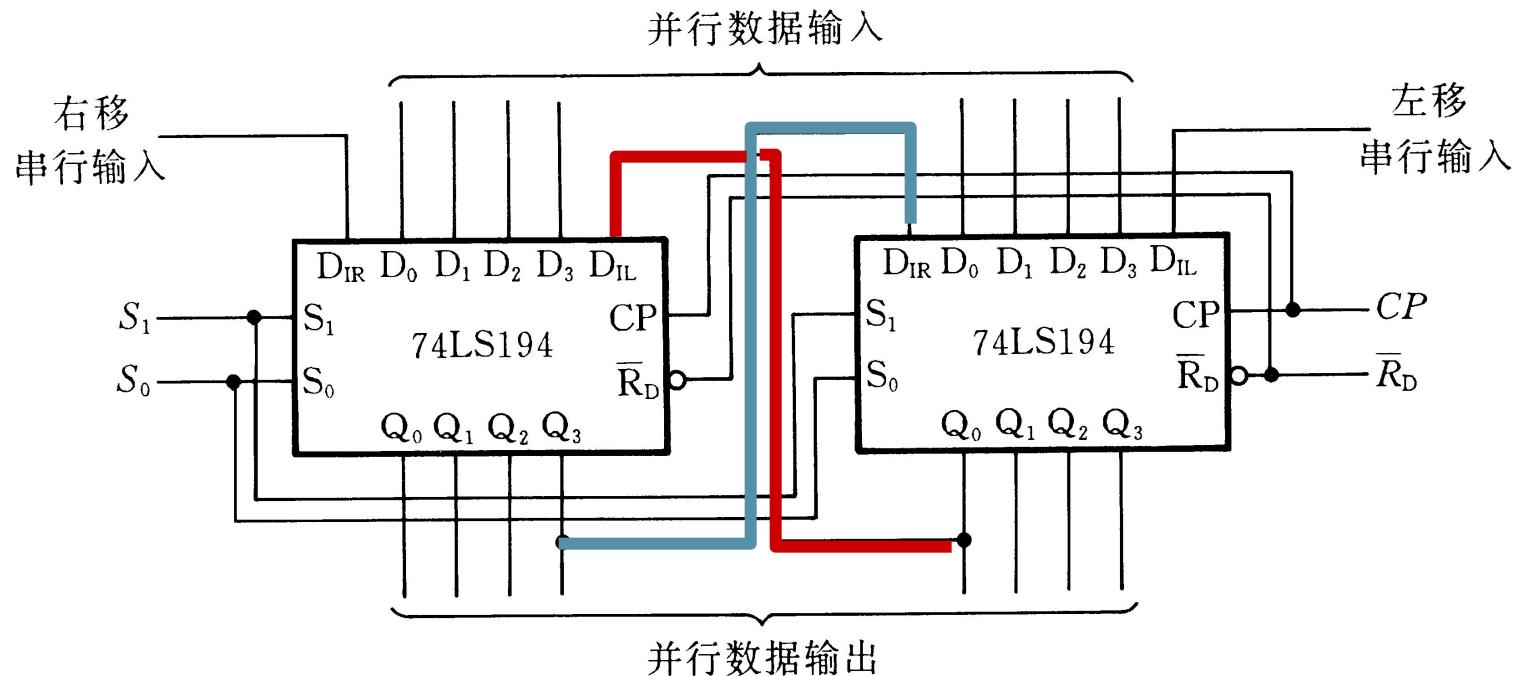
时序逻辑电路

➤ 双向移位寄存器74194



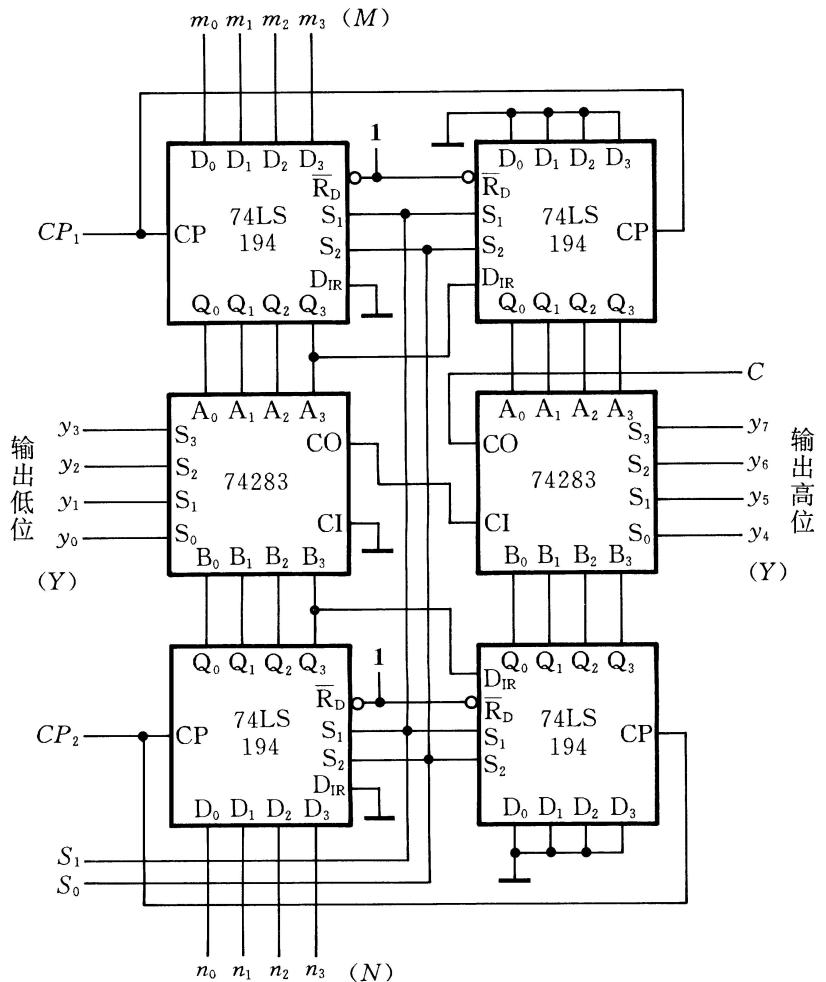
时序逻辑电路

➤ 移位寄存器扩展

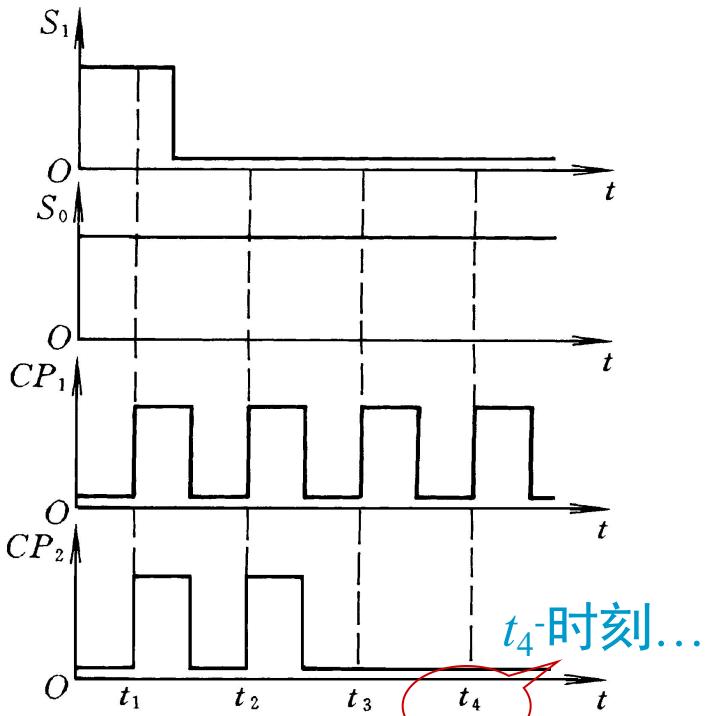


✓ 8位双向移位寄存器

时序逻辑电路



注：74283是并行加法器



✓ 对于给定的 CP_1, CP_2 ，

$$Y=8M+2N$$

注：第一个时钟脉冲时为并行输入状态



6.4.5 序列信号发生器

■ 序列信号

- 时钟脉冲作用下，一串特定的串行数字信号，

■ 用途

- 数字编码信号的传输、测试 和 编码/解码

■ 方法

1. 计数器+译码

- 译码的实现：门电路组合逻辑/译码器/数选/存储器

2. 移位寄存器+反馈逻辑

时序逻辑电路

■ 计数译码型

- 用计数器和数据选择器设计的序列信号发生器

例11：产生序列信号 { 0001 0111 }

解：

1. 确定方案：

- 八进制计数器，3位计数值译码

2. 选择计数器：

- 3位二进制计数器以上，
如：加法，自然二进制编码。

3. 选择译码器：

- 例如：本例，采用数据选择器
- 注意：本例中数选器输出为反逻辑

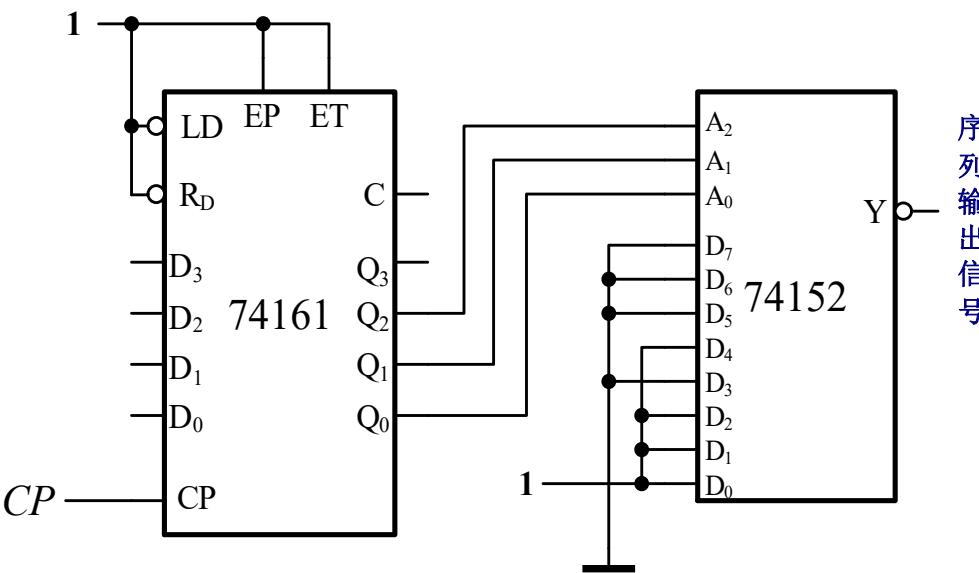
CP	A_2	A_1	A_0	\bar{Y}
0	0	0	0	0
1	0	0	1	0
2	0	1	0	0
3	0	1	1	1
4	1	0	0	0
5	1	0	1	1
6	1	1	0	1
7	1	1	1	1
8	0	0	0	0

时序逻辑电路

产生序列信号 0001 0111

CP	A_2	A_1	A_0	\bar{Y}
0	0	0	0	0
1	0	0	1	0
2	0	1	0	0
3	0	1	1	1
4	1	0	0	0
5	1	0	1	1
6	1	1	0	1
7	1	1	1	1
8	0	0	0	0

$$Y = \sum m(0,1,2,4)$$



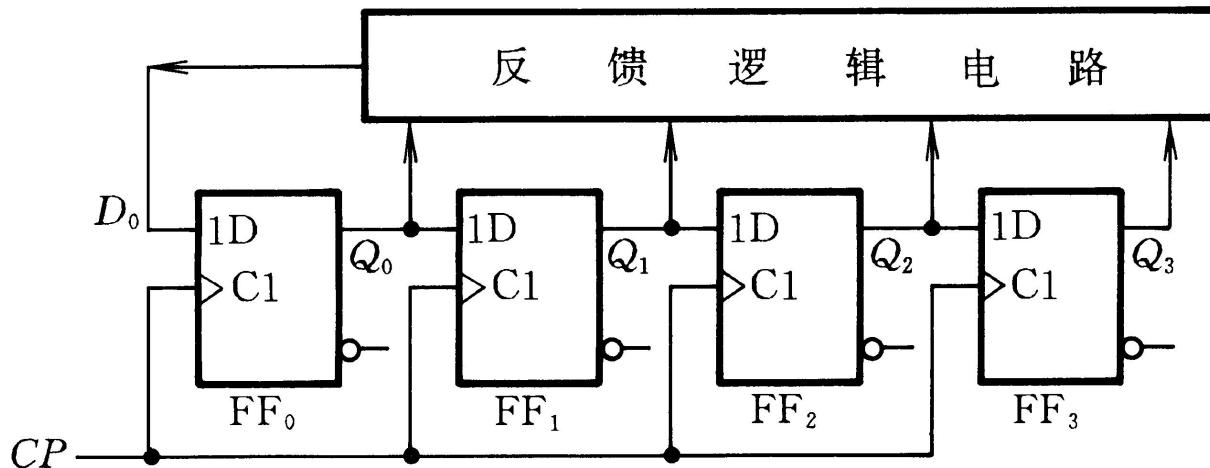
序列输出信号

时序逻辑电路

■ 反馈移位型

■ 所谓“一般结构的移位寄存器型计数器”

- 电路结构



驱动/状态方程:

$$Q_0^{n+1} = D_0 = F(Q_0, Q_1, \dots, Q_{n-1})$$

其它的驱动/状态方程都是:

$$Q_i^{n+1} = D_i = Q_{i-1} \quad i > 0, i \in N$$

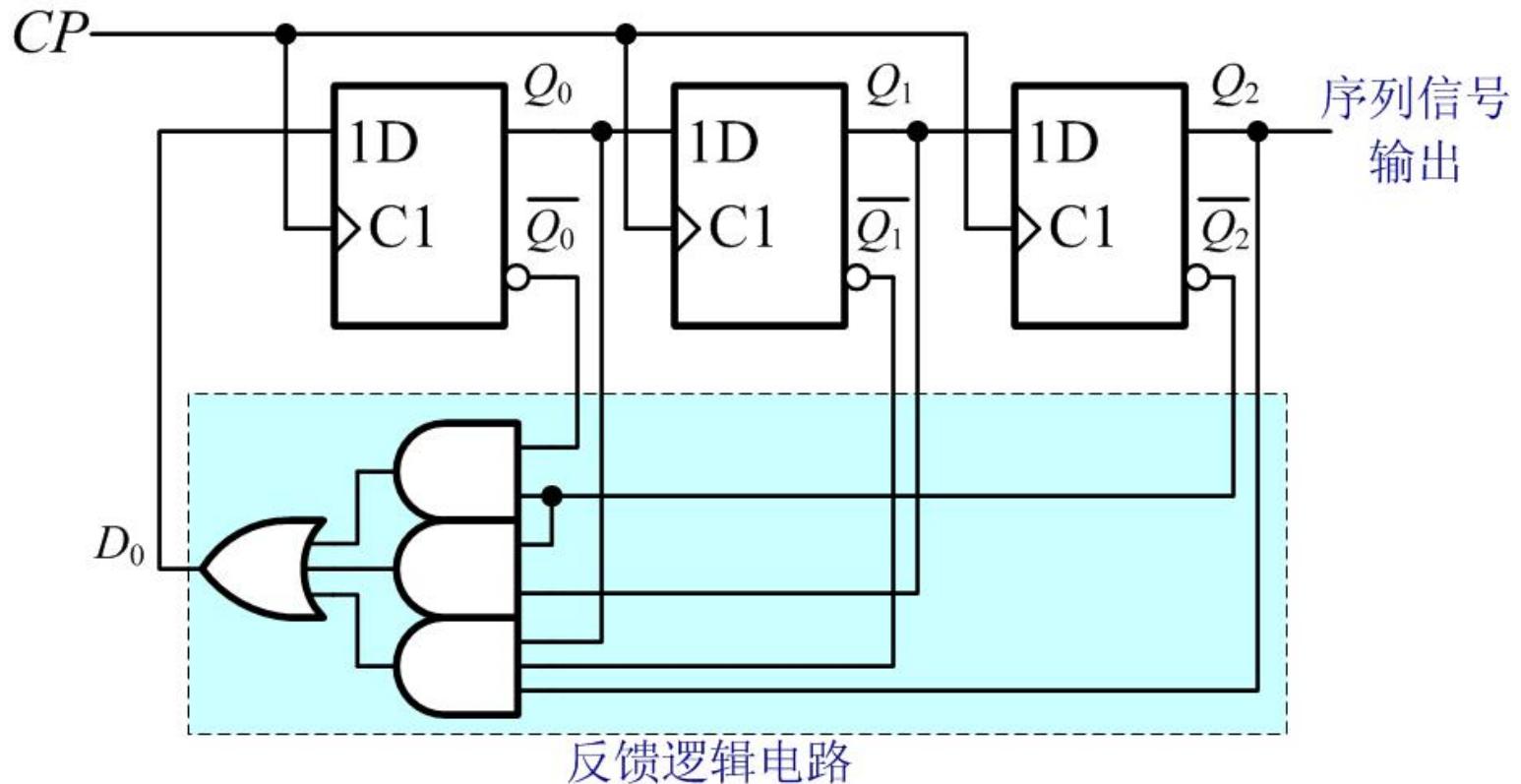
■ 反馈移位型序列信号发生器的分析

➤ 分析步骤

1. 根据反馈逻辑电路（组合逻辑）写出第0级D触发器的驱动方程（状态方程）；
2. 求出 Q_0 的次态 Q_0^{n+1} ；
3. 根据 Q_0^{n+1} ，确定当前状态 $\{Q_{n-1}, \dots, Q_2Q_1Q_0\}$ 的次态；
4. 画（列）出状态转换图（表）；
5. 判定电路功能。

时序逻辑电路

例12：分析下列反馈移位型序列信号发生器的功能



时序逻辑电路

例12：解：

$$\text{步骤1. } D_0 = Q_2 \cdot \overline{Q}_1 \cdot Q_0 + \overline{Q}_2 \cdot Q_1 + \overline{Q}_2 \cdot \overline{Q}_0$$

步骤2.

Q_2	Q_1	Q_0	Q_0^{n+1}
0	0	0	1
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	0
1	1	1	0

步骤3.

$$Q_2^{n+1}Q_1^{n+1}Q_0^{n+1}$$

$$\begin{matrix} 0 & 0 & 1 \\ 0 & 1 & 0 \end{matrix}$$

....

步骤4.

CP	Q_2	Q_1	Q_0	D_0
0	0	0	0	1
1	0	0	1	0
2	0	1	0	1
3	1	0	1	1
4	0	1	1	1
5	1	1	1	0
6	1	1	0	0
7	1	0	0	0

步骤5. 序列发生器，周期为8

提示，实际上根据步骤2、3直接画状态转换图更简易明了！（荐）

时序逻辑电路

例12：

解：

$$D_0 = Q_2 \cdot \bar{Q}_1 \cdot Q_0 + \bar{Q}_2 \cdot Q_1 + \bar{Q}_2 \cdot \bar{Q}_0$$

步骤1.

步骤2.

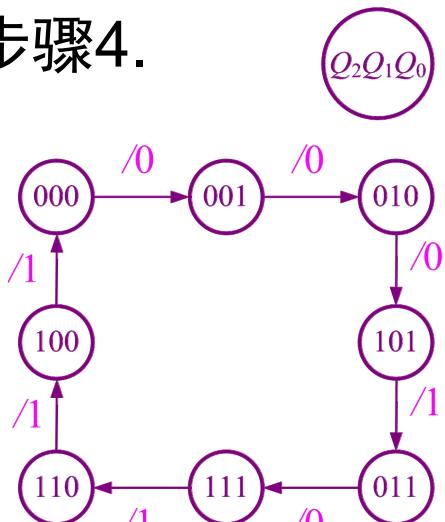
Q_2	Q_1	Q_0	Q_0^{n+1}
0	0	0	1
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	0
1	1	1	0

步骤3.

$$Q_2^{n+1} Q_1^{n+1} Q_0^{n+1}$$

0	0	1
0	1	0
...

步骤4.



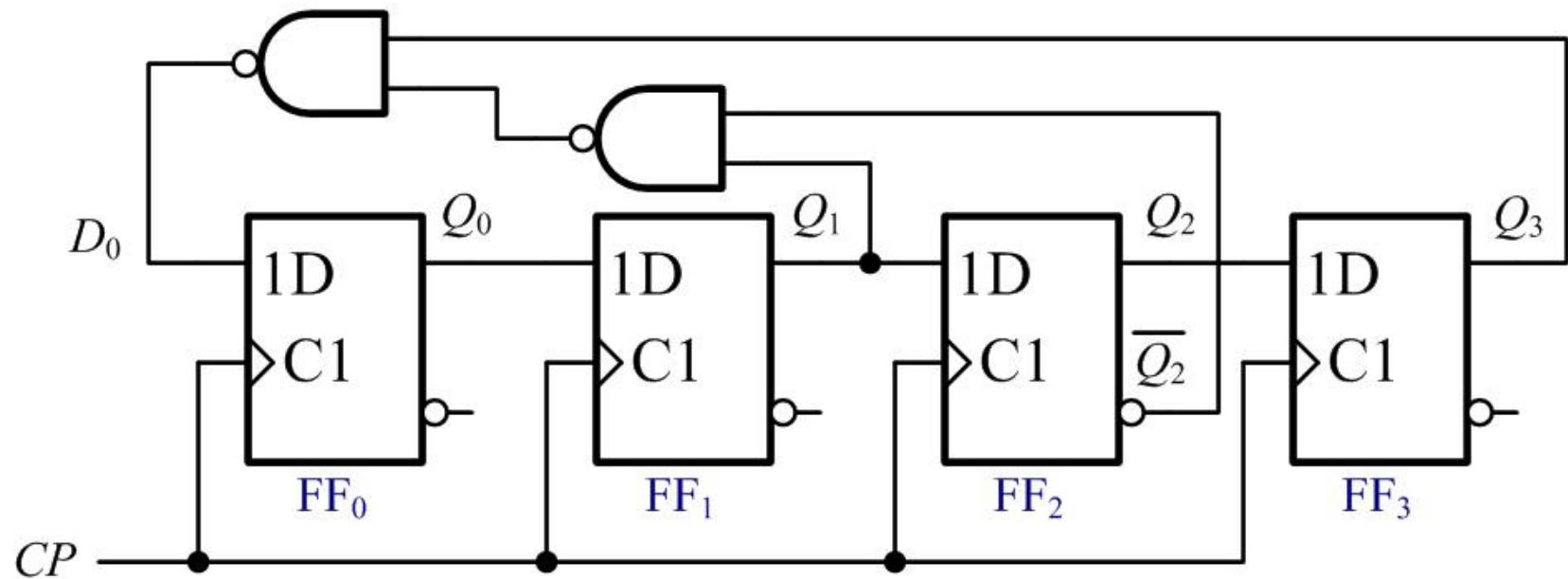
如果以 Q_2 作为输出

步骤5. 序列发生器，周期为8

输出序列 {0001 0111}

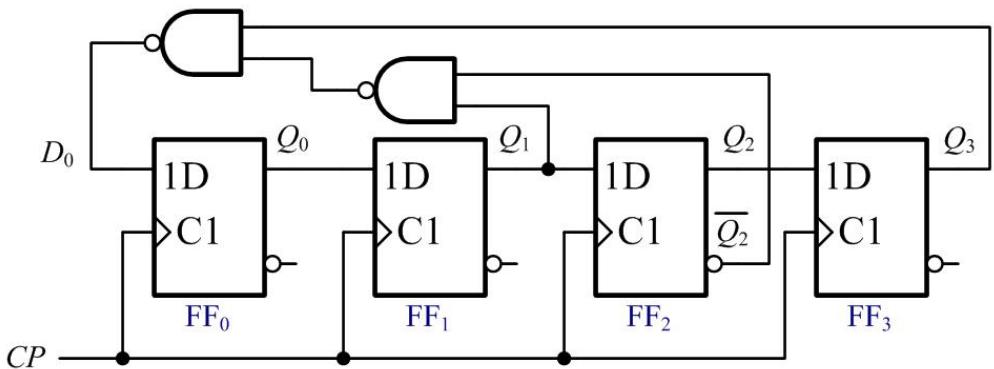
时序逻辑电路

例13：分析下列时序逻辑电路的功能

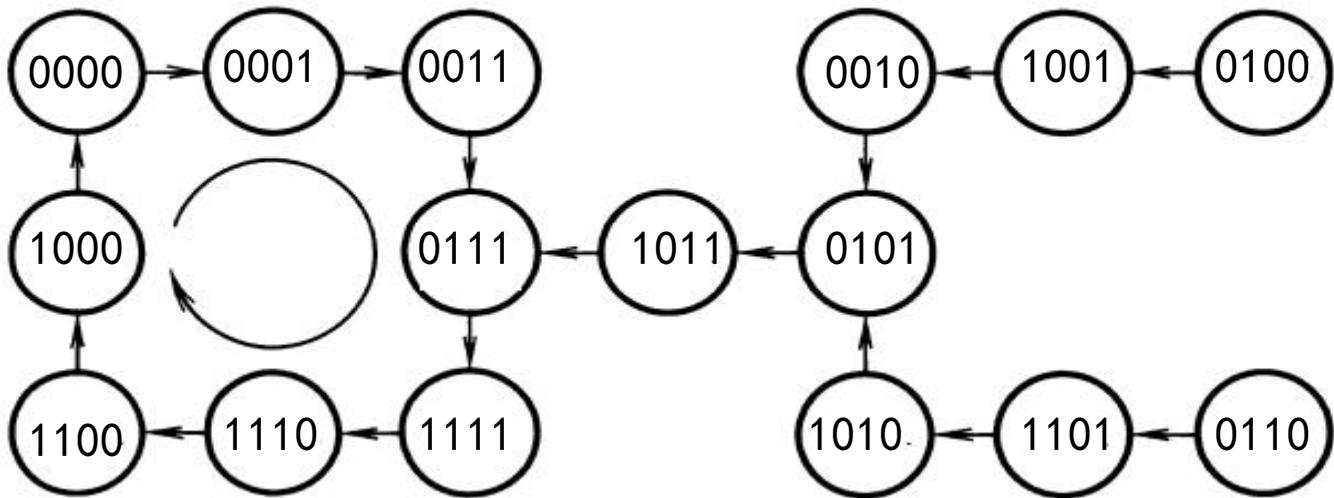


时序逻辑电路

■ 答案：



$$(Q_3 Q_2 Q_1 Q_0)$$



■ 反馈移位型序列信号发生器的设计

➤ 设计步骤：

1. 决定寄存器的**阶数**
2. 按照移位规则列出**状态转换表**，可以得出每个当前状态对应的反馈输入
3. 写出反馈方程并进行**逻辑化简**
4. 连接电路

时序逻辑电路

■ 反馈移位形序列信号发生器的设计

步骤1. 确定移位寄存器的阶数（D触发器的个数）

准则：序列长度为 n ，寄存器个数至少 $\log_2 n$

准则：仅以上面提到的寄存器个数，并不是所有的输出序列都可以用“反馈型”实现，要求——在一个周期内状态编码不能重复。

如：11001101；11100101（这两个，用3个不可以）



如：0001 0011 0101 111；

时序逻辑电路

■ 通过案例理解反馈移位型序列信号发生器的设计过程——

例14：设计一个序列信号发生器，在时钟脉冲作用下，可以串行地依次输出

{1111 0101 1001 000}

解：

步骤1：检查——可用4个寄存器构成；

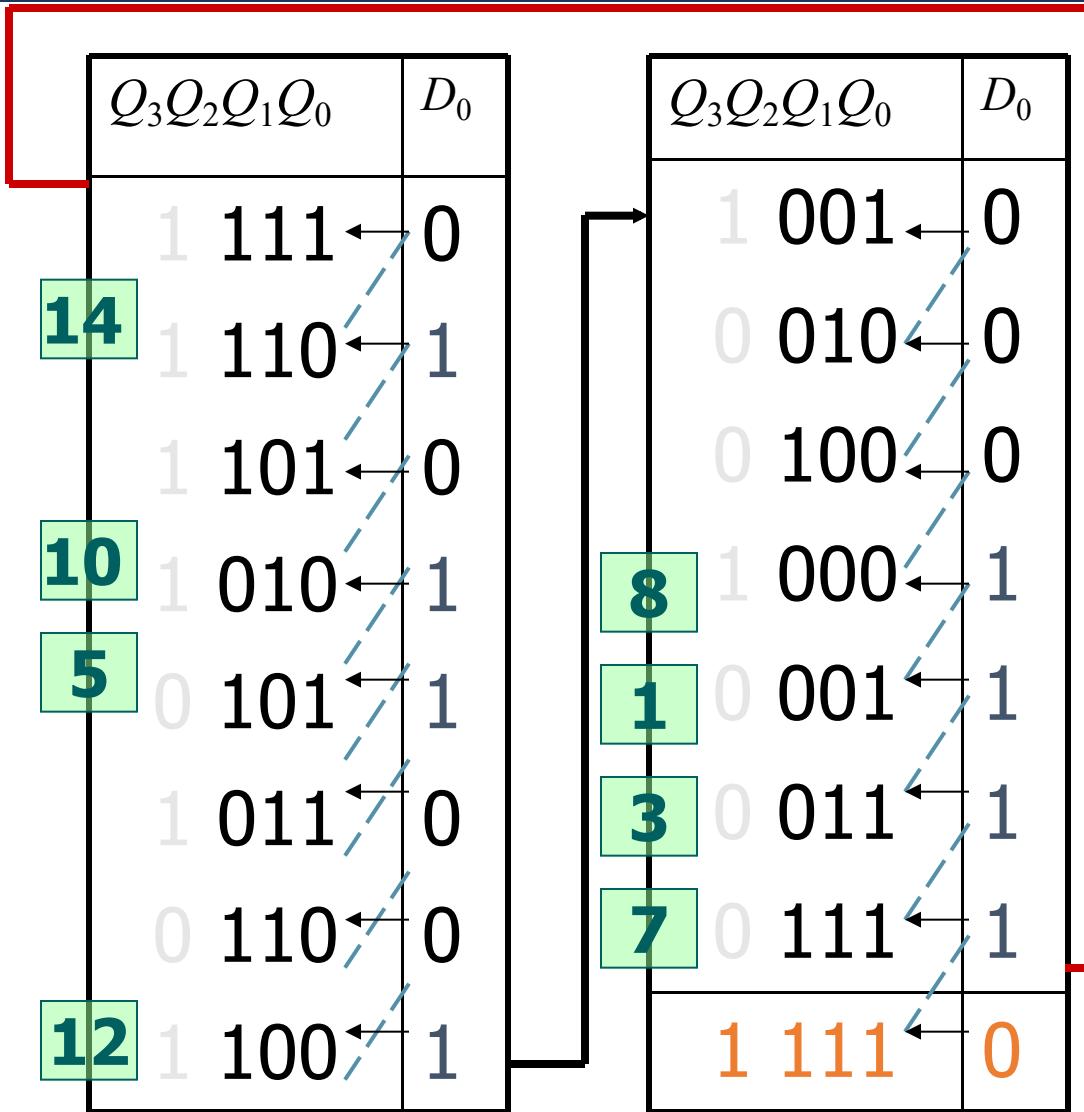
选定触发器—— $Q_3\ Q_2\ Q_1\ Q_0$

步骤2,3：

注意： $D_0=1$ 的时候所对应的最小项；这些最小项的和构成反馈方程。

时序逻辑电路

例14：
以
 $\{ 1111, 0101, 1001, 000 \}$ 为例



时序逻辑电路

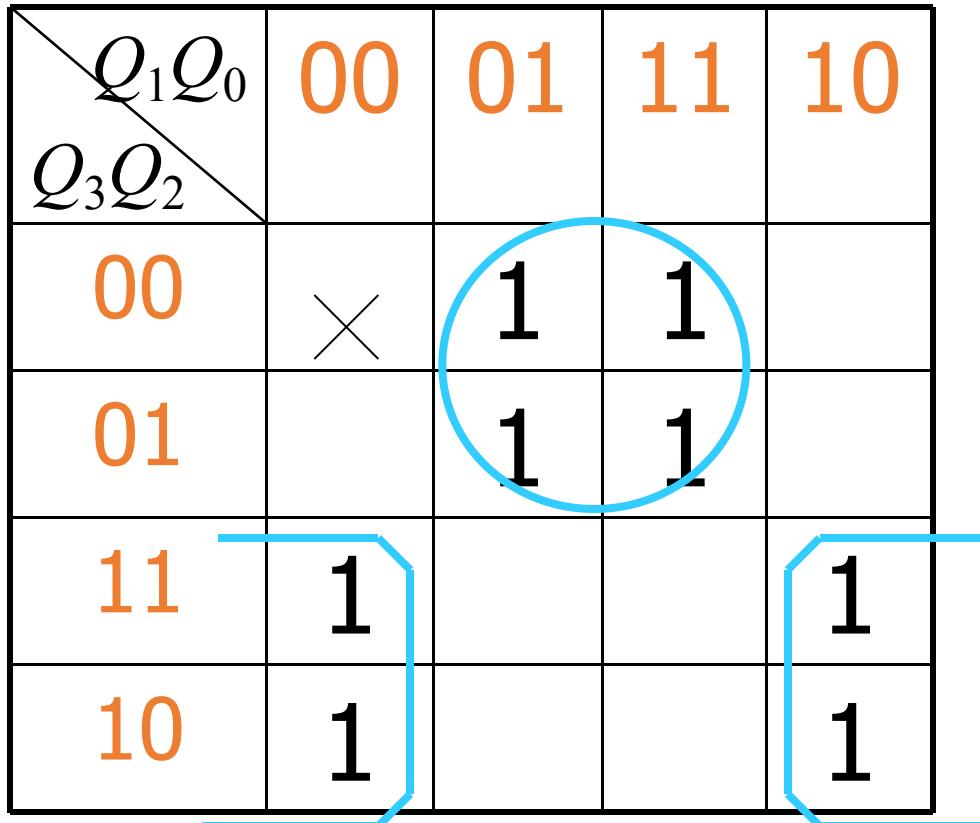
例14：

步骤3：反馈方程化简

步骤4：画电路图

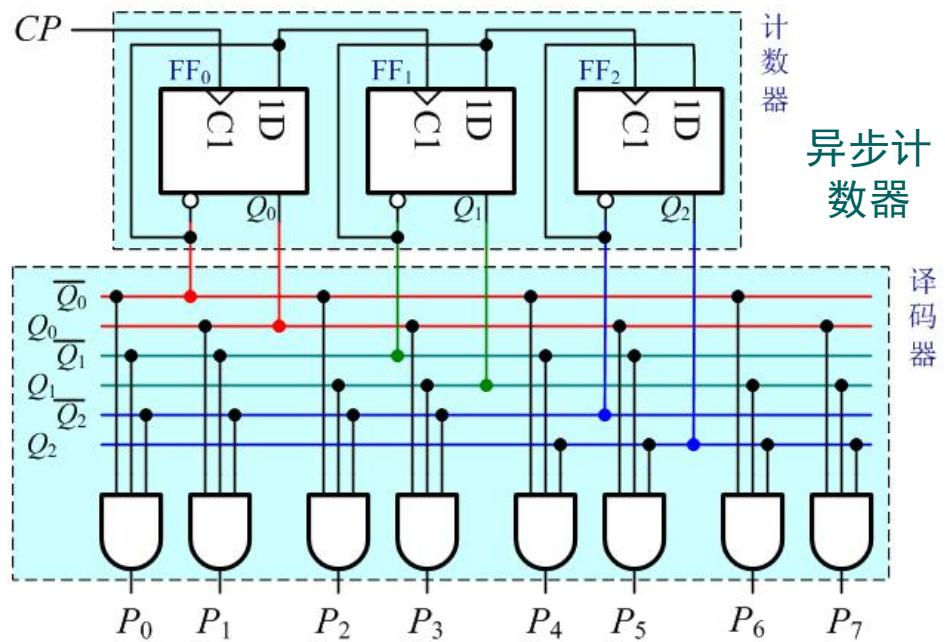
$$D_0 = Q_0 \overline{Q_3} + \overline{Q_0} Q_3$$

$\diagdown Q_1 Q_0$	00	01	11	10
$\diagup Q_3 Q_2$	00	01	11	10
00	\times	1	1	
01		1	1	
11	1			1
10	1			1

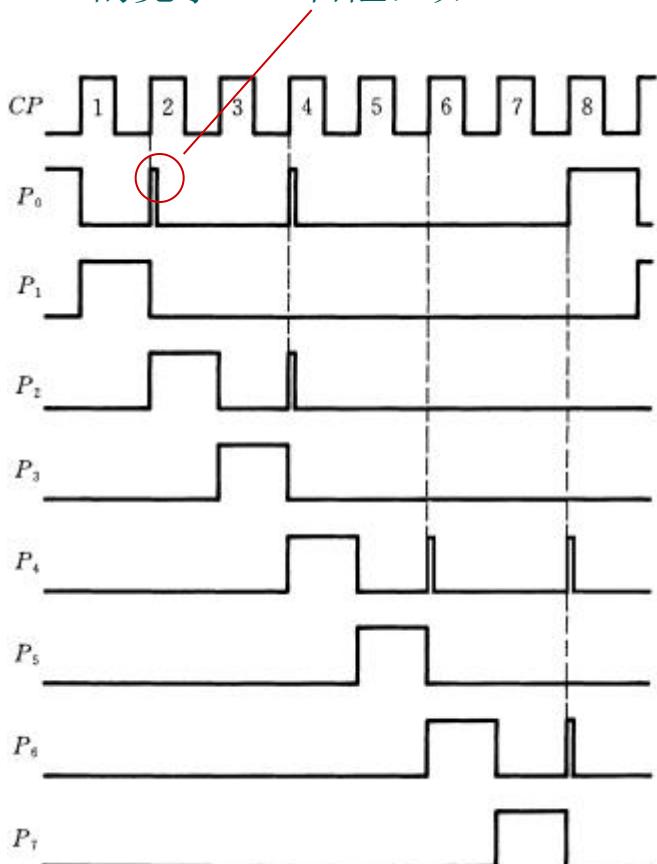


时序逻辑电路

■ 顺序脉冲发生器—实现1



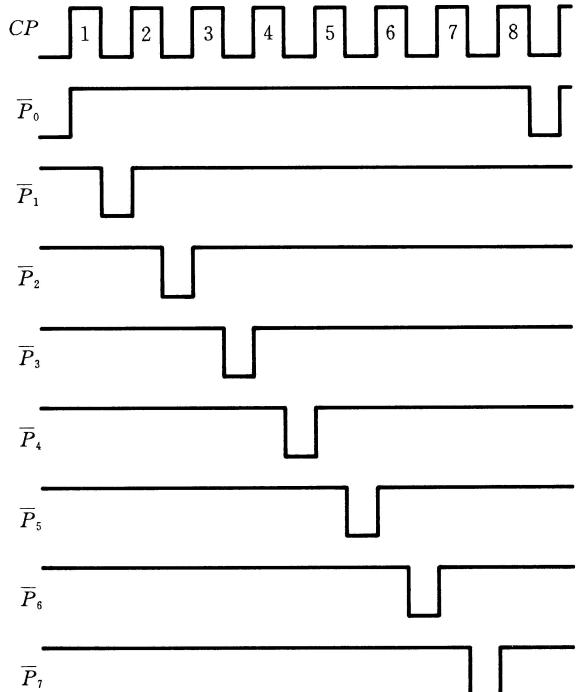
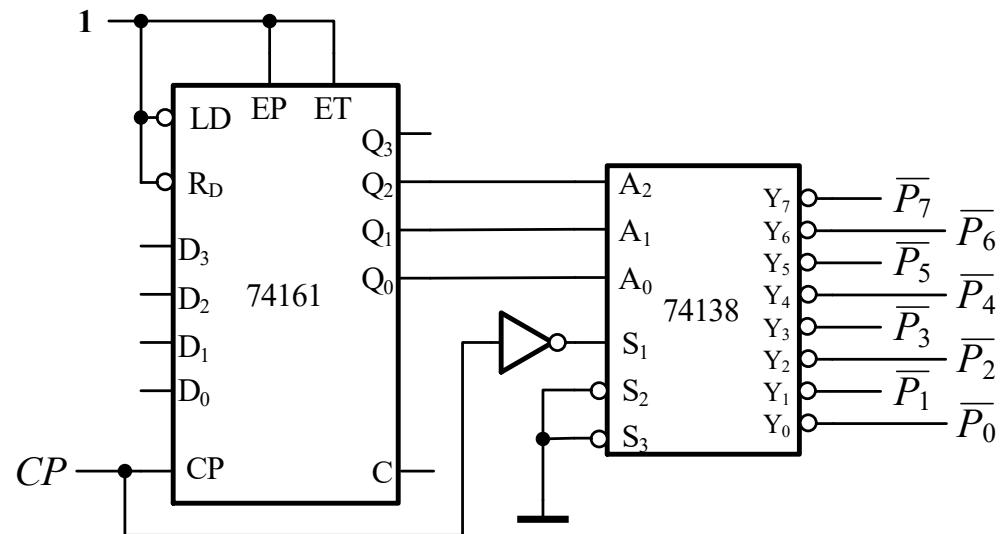
由于触发器反转有先后而产生的竞争——冒险，如 $001 \rightarrow 010$



思考：同步计数器会不会产生译码的竞争冒险？

时序逻辑电路

■ 顺序脉冲发生器——实现2

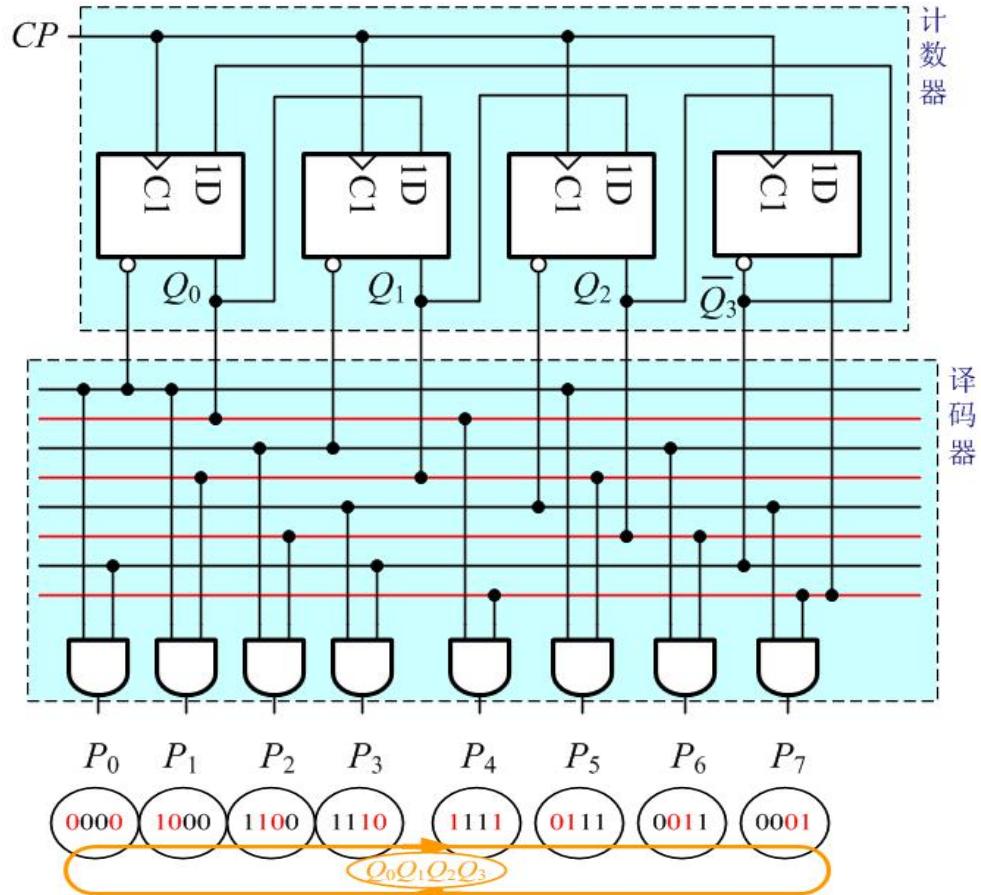


(b)

“It’s unfair!” — 实际上同步计数器中的触发器由于制造差异，翻转时刻也会有差别。...

时序逻辑电路

■ 顺序脉冲发生器——实现3



4位扭环
型计数器

请注意扭环计数器的输出序列

注意：译码也进行了逻辑化简

- 根据有效循环译码