



数字电路

第八章 可编程逻辑器件





概述

■ ASIC和半定制电路 (优缺点)

- ASIC (Application Specific Integrated Circuit)
- 半定制电路
- 可编程的ROM
- 大规模可编程逻辑芯片
- 现场可编程门阵列(FPGA, Field Programmable Gate Array), **当前主流**
- 优越性：
 - 现场可编程（如JTAG下载）或在系统可编程
 - 最后5分钟都可以更改设计



概述

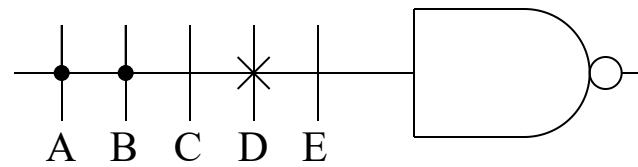
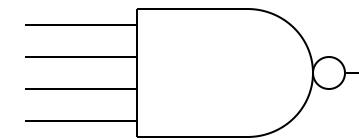
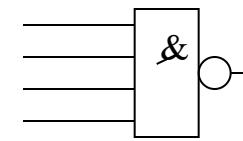
- 可编程逻辑器件的分类
 - ❖ 低密度PLD（可编程逻辑器件）
 - FPLA（现场可编程逻辑阵列）
 - PAL/GAL（通用阵列逻辑）
 - ❖ 高密度PLD
 - EPLD（可擦除的可编程逻辑器件）
 - **FPGA（现场可编程门阵列）当前主流**

PLD: Programmable Logic Device; PAL/GAL: Programmable/General Array Logic
FPLA: Field Programmable Logic Array; EPLD: Erasable PLD

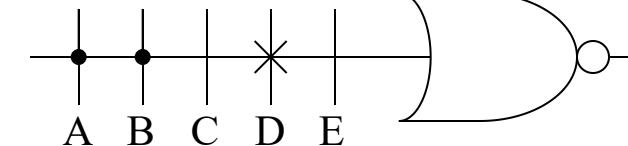
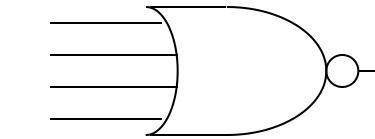
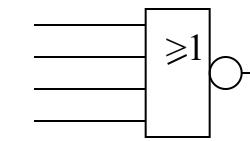
概述

■ PLD逻辑符号绘图

➤ 门电路扇入的惯用画法



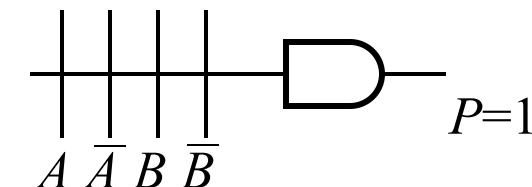
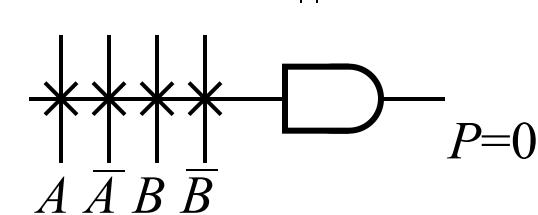
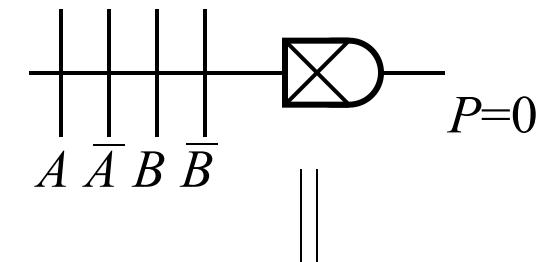
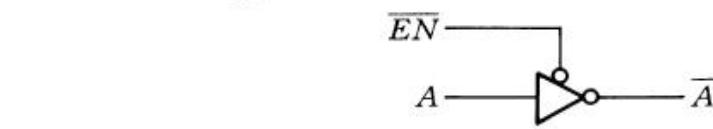
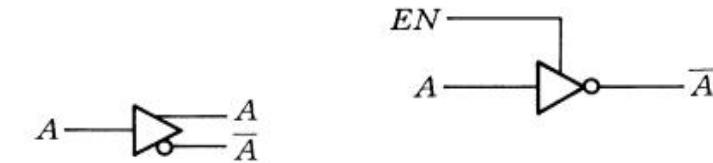
$$Y = A \cdot B \cdot D$$



$$Y = A + B + D$$

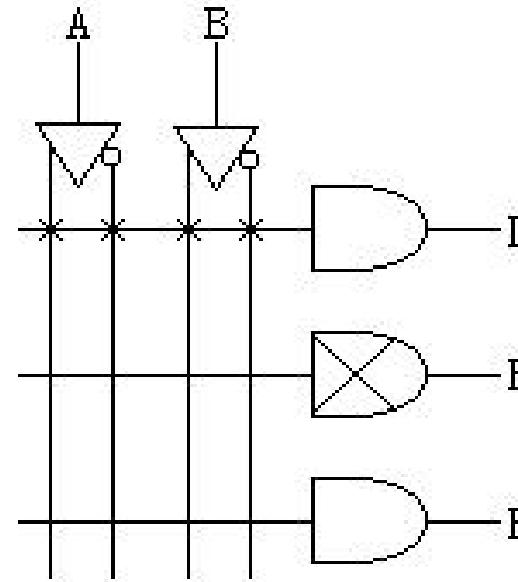
概述

- PLD逻辑符号绘图
- 输入输出表示方法
 - 互补输出的缓冲器和反相器
 - 三态输出的反相器
- 与门输出全为0的表示方法
- 与门输出全为1的表示方法



- ✓ 与门中画叉，输出为0
- ✓ 输入全编程，输出为0
- ✓ 输入信号没有接通，与门输出为1

例如：三种特殊表示



- ✓ 输入全编程，输出为0
- ✓ 与门中画叉， $E=0$
- ✓ 乘积项与输入信号没有接通，与门输出为1



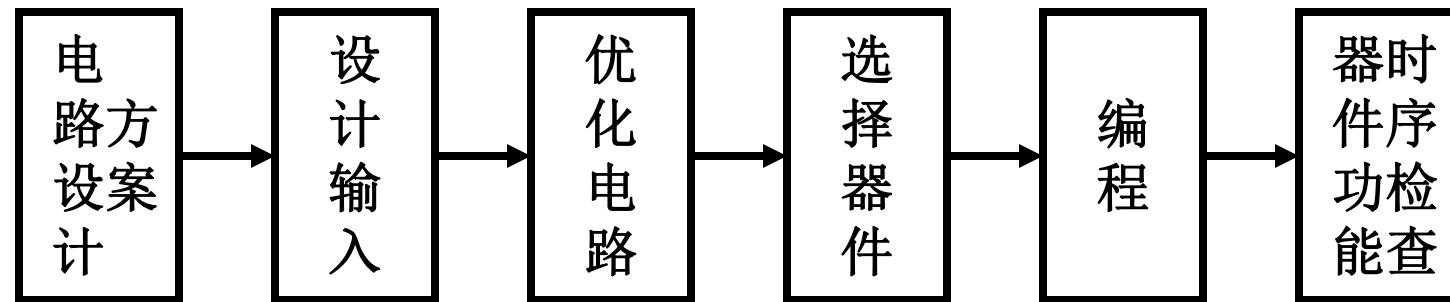
■ PLD的分类

- PLD基本结构大致相同，根据与或阵列是否可编程分为三类
- 与固定、或编程：ROM和PROM
- 与或全编程：PLA
- 与编程、或固定：PAL、GAL和PLD

类 型	阵 列		输出方式
	与	或	
PROM	固定	可编程	TS,OC
PLA	可编程	可编程	TS,OC,H,L
PAL	可编程	固定	TS,I/O,寄存器
GAL	可编程	固定	用户定义

■ 用PLD实现逻辑电路的方法与过程

- 用可编程逻辑器件来设计电路需要相应的**开发软件平台和编程器**，可编程逻辑器件开发软件和相应的编程器多种多样
- 对于一些较高级的软件平台，系统除了方案设计和输入电路外，其它功能都可用编程软件自动完成

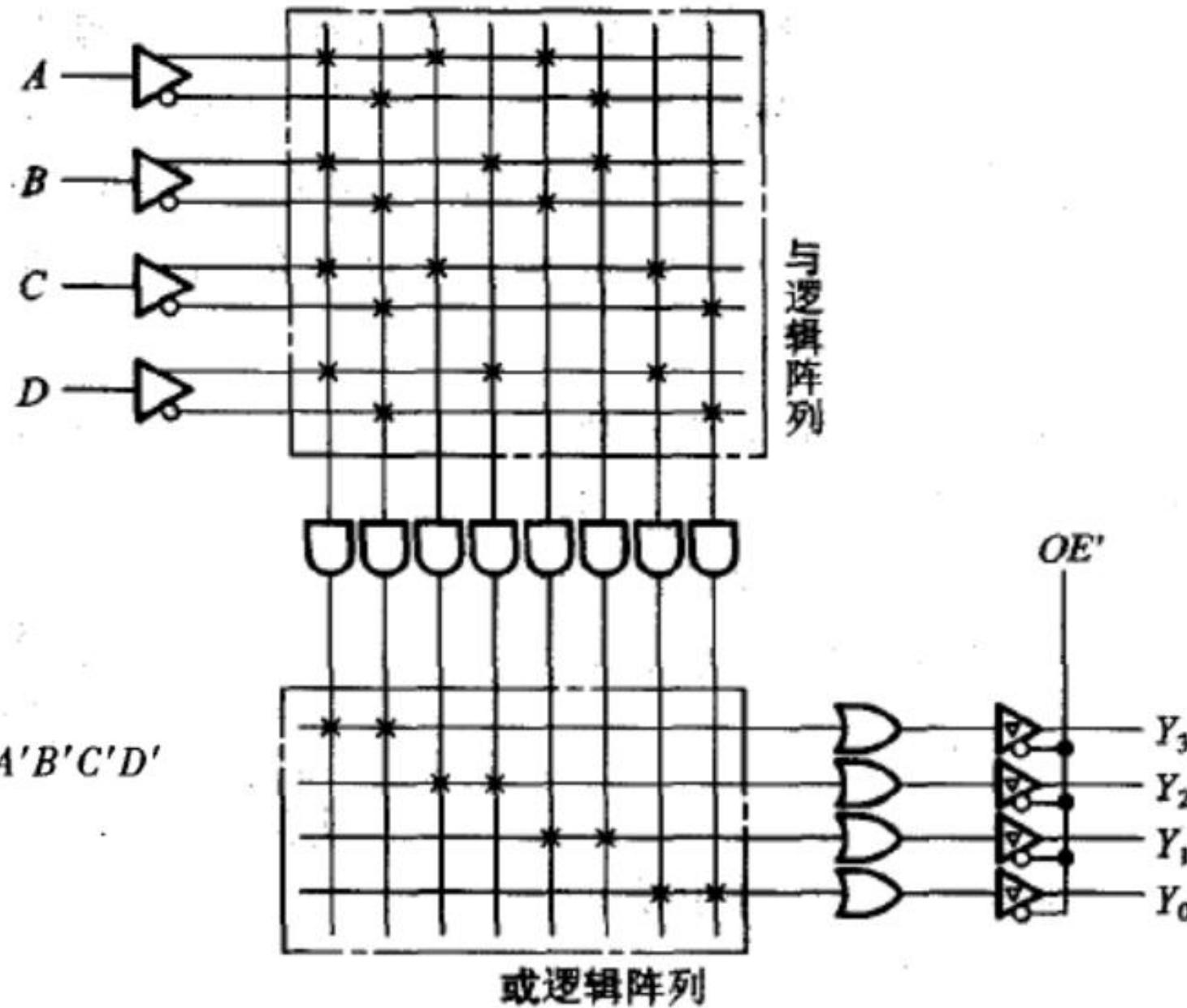




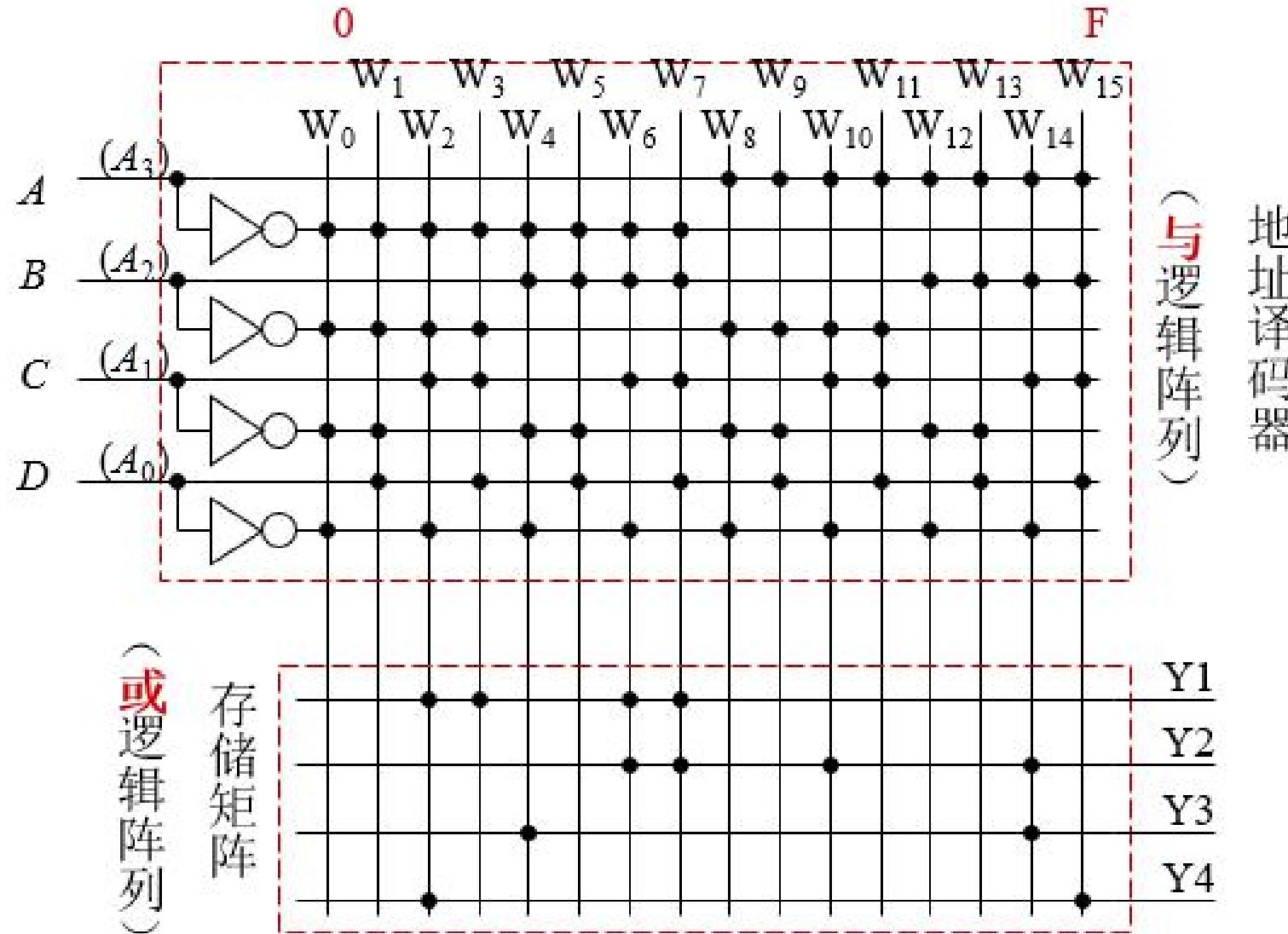
§ 8.2 现场可编程逻辑阵列 FPLA

■ 现场可编程逻辑阵列 FPLA

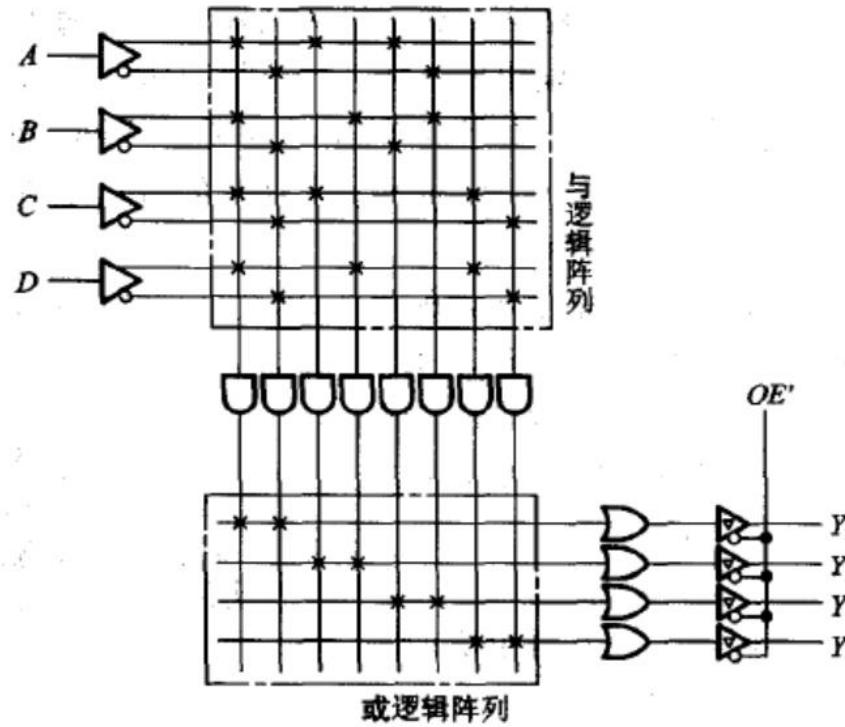
- 只能实现组合逻辑
- 结构：可编程的“与阵列”与可编程的“或阵列”和输出缓冲器组成



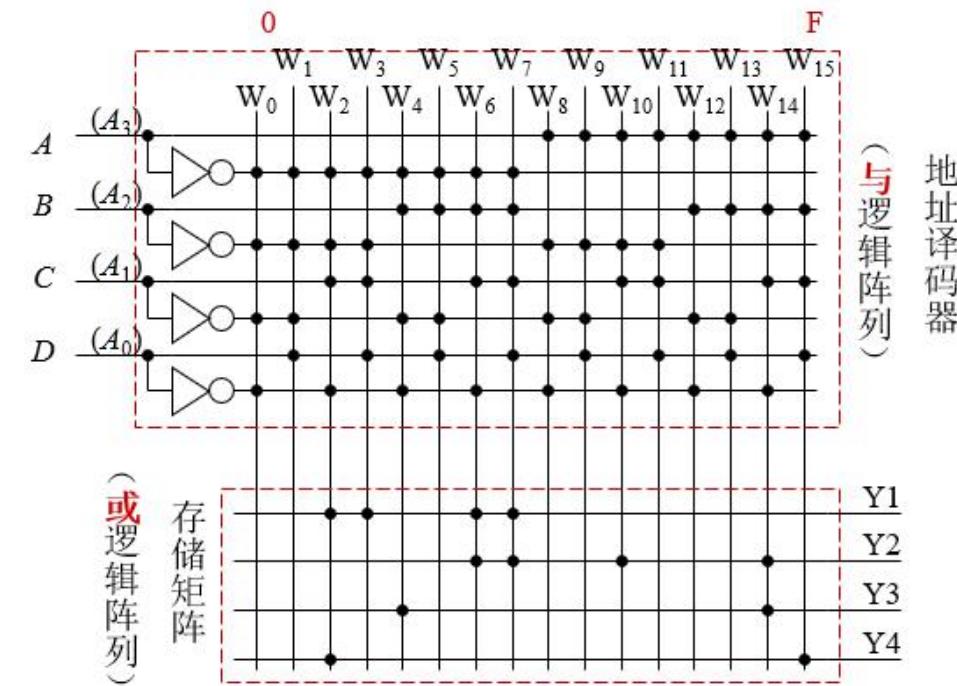
回顾用PROM实现组合逻辑



FPLA VS PROM 实现组合逻辑



与逻辑阵列以及或逻辑阵列均可编程



与逻辑阵列不可编程，或逻辑阵列可编程



§ 8.2 现场可编程逻辑阵列 FPLA

- ❖ 由可编程的与逻辑，或逻辑和输出缓冲器组成
- ❖ 与PROM的区别
 - PROM与阵列产生全部最小项
 - FPLA可编程的与阵列只有部分
 - 使用PROM产生组合逻辑函数时，往往只用与逻辑阵列输出的最小项的一部分，而且有时这些最小项还可以合并，因此器件内部资源利用率不高。
- ❖ 用FPLA设计实现
 - 化简（最简）与或表达式以得到最高的资源利用率



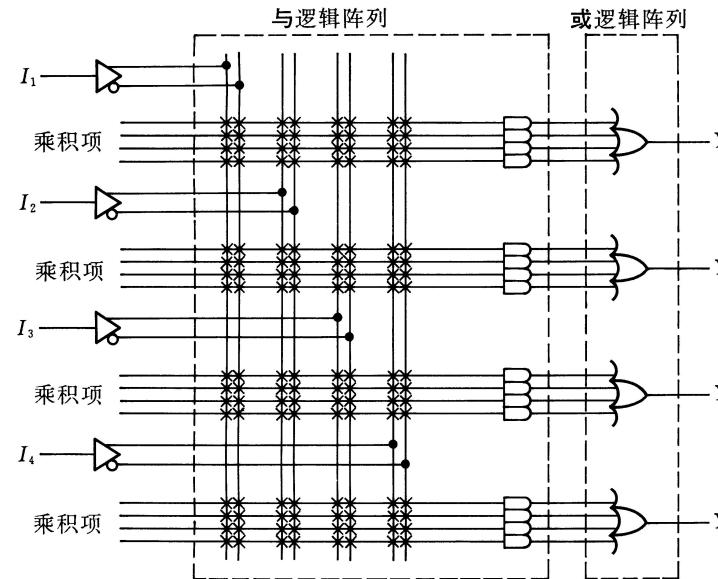
用IC实现组合逻辑的几种方法比较

	特点	变量个数	函数个数
$m-n$ 线译码器	相当于ROM中的地址译码部分；要附加门电路（缺点）	m	多个
n 选1数据选择器	由逻辑函数式 不用附加门电路	$\log_2 n + 1$	1
$n \times k$ PROM	以地址线作为逻辑变量输入端 (全译) 数据线作函数输出	$\log_2 n$	k
FPLA	内部的字线比同样规模的PROM能够少一些	输入端数	输出端数

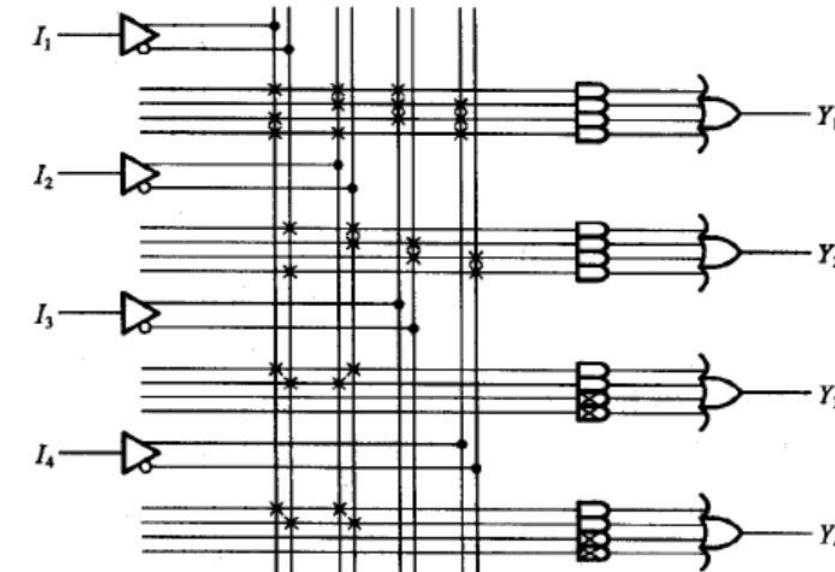
§ 8.3 可编程阵列逻辑 PAL

PAL的基本结构

- PAL由可编程的与阵列分组成，**双极型工艺**，
- PAL器件的输入、输出成电路制造商确定的，**有多种型号**



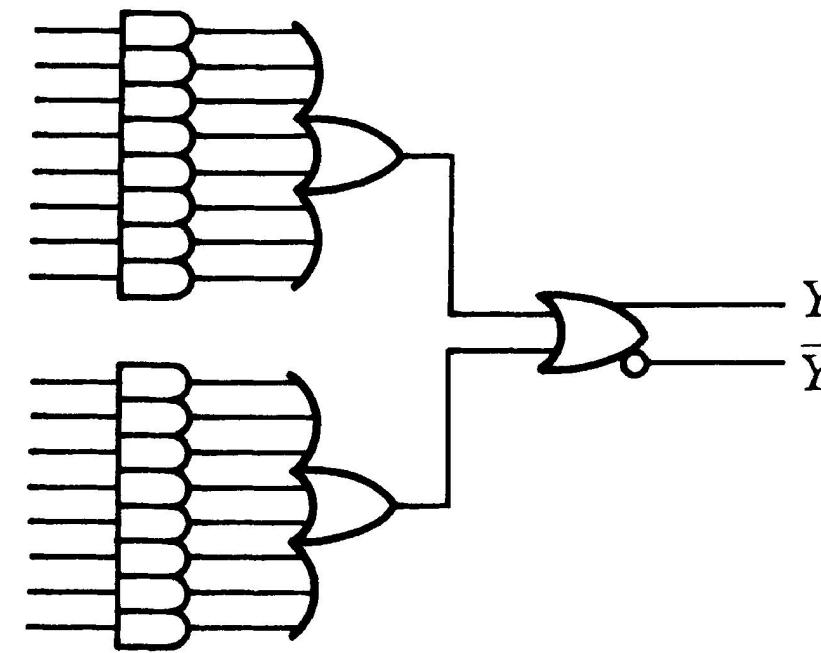
$$\begin{cases} Y_1 = I_1 I_2 I_3 + I_2 I_3 I_4 + I_1 I_3 I_4 + I_1 I_2 I_4 \\ Y_2 = I'_1 I'_2 + I'_2 I'_3 + I'_3 I'_4 + I'_4 I'_1 \\ Y_3 = I_1 I'_2 + I'_1 I_2 \\ Y_4 = I_1 I_2 + I'_1 I'_2 \end{cases}$$



§ 8.3 可编程阵列逻辑 PAL

■ 输出结构（多种）

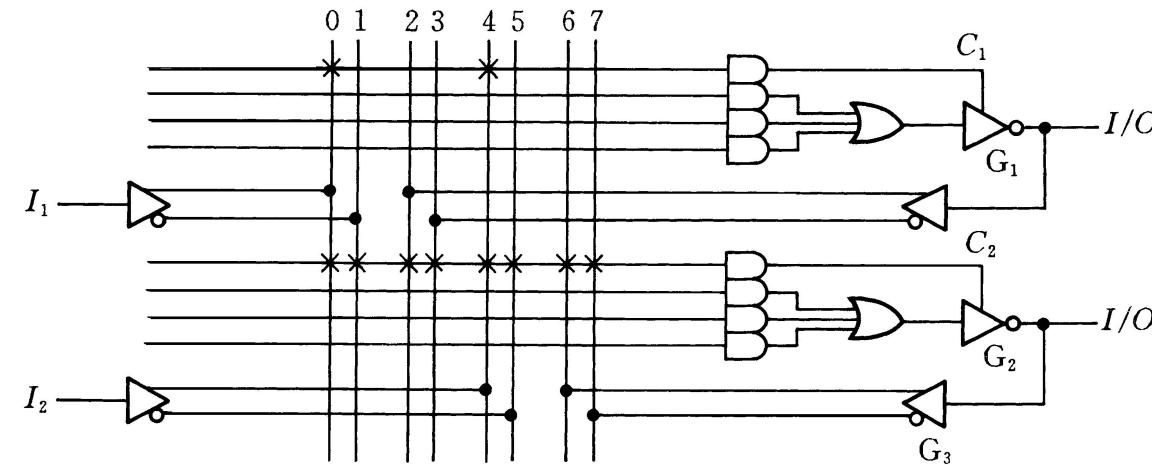
- 专用输出结构



§ 8.3 可编程阵列逻辑 PAL

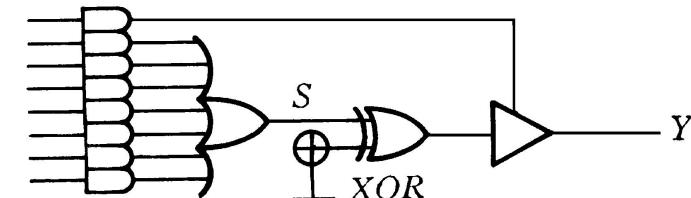
■ 输出结构

- 可编程I/O输出结构
 - 输出结构中有反馈线



当 $I_1=I_2=1$ 时， $C_1=1$, G_1 的I/O处于导通状态；而 G_2 的 C_2 恒等于0，因此 G_2 的I/O可以用来做输入端使用。此时通过 G_3 接到6,7这条线上。

又如：带异或门输出结构
 $XOR=0$, Y 和 S 同相
 $XOR=1$, Y 对 S 求反



§ 8.3 可编程阵列逻辑 PAL

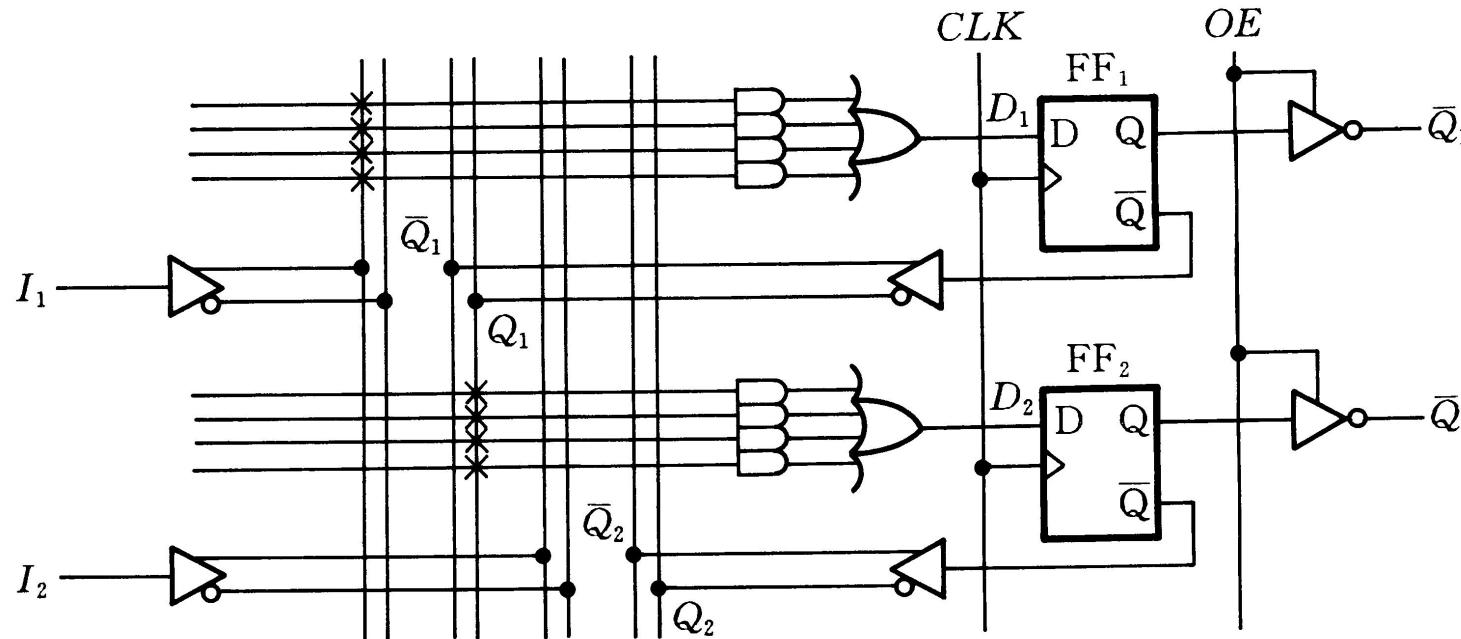
■ 输出结构

$$D_1 = I_1, D_2 = Q_1$$

■ 寄存器型输出结构

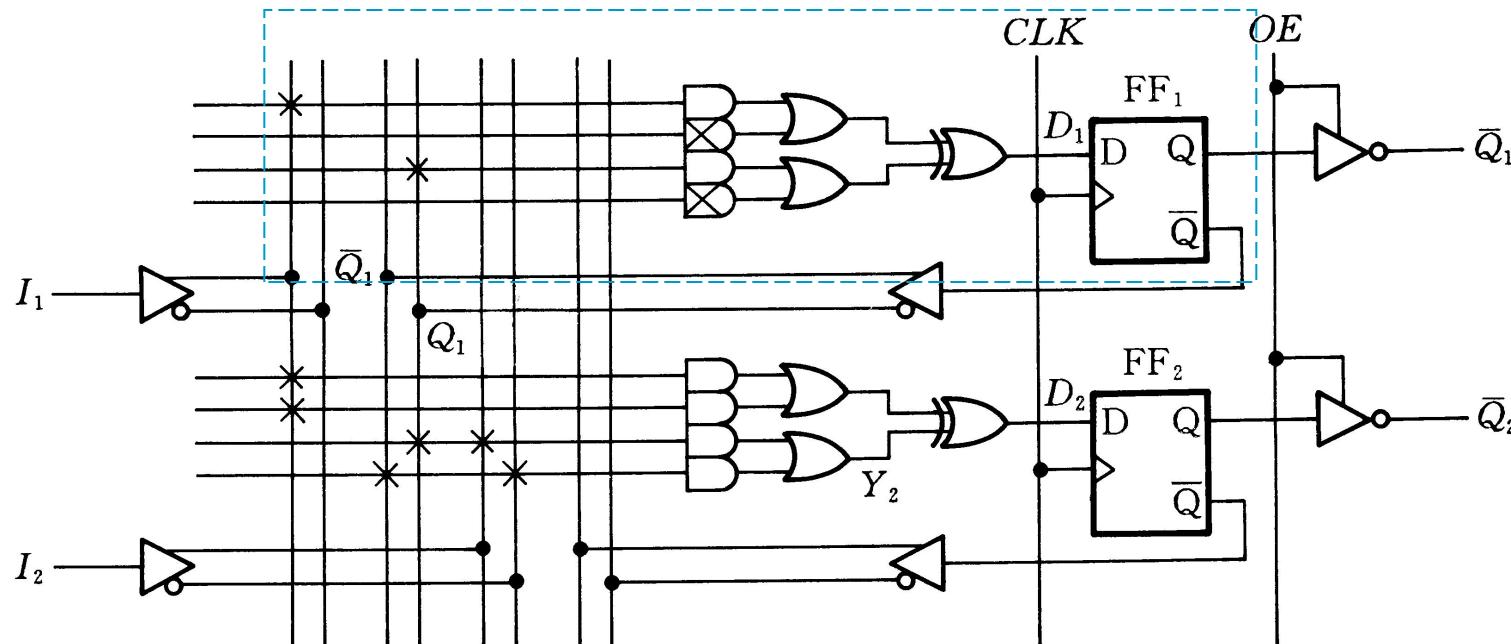
移位寄存器

- 输出电路中设置有触发器和从触发器到与逻辑阵列的反馈线，可以方便实现时序逻辑



§ 8.3 可编程阵列逻辑 PAL

- 带异或门的寄存器型输出结构（求反/保持）



当 $I_1=0$ 时， $D_1=Q_1$, $Q_1^*=Q_1$, 保持状态不变

$I_1=1$ 时， $D_1=Q_1\bar{}$, $Q_1^*=Q_1\bar{}$

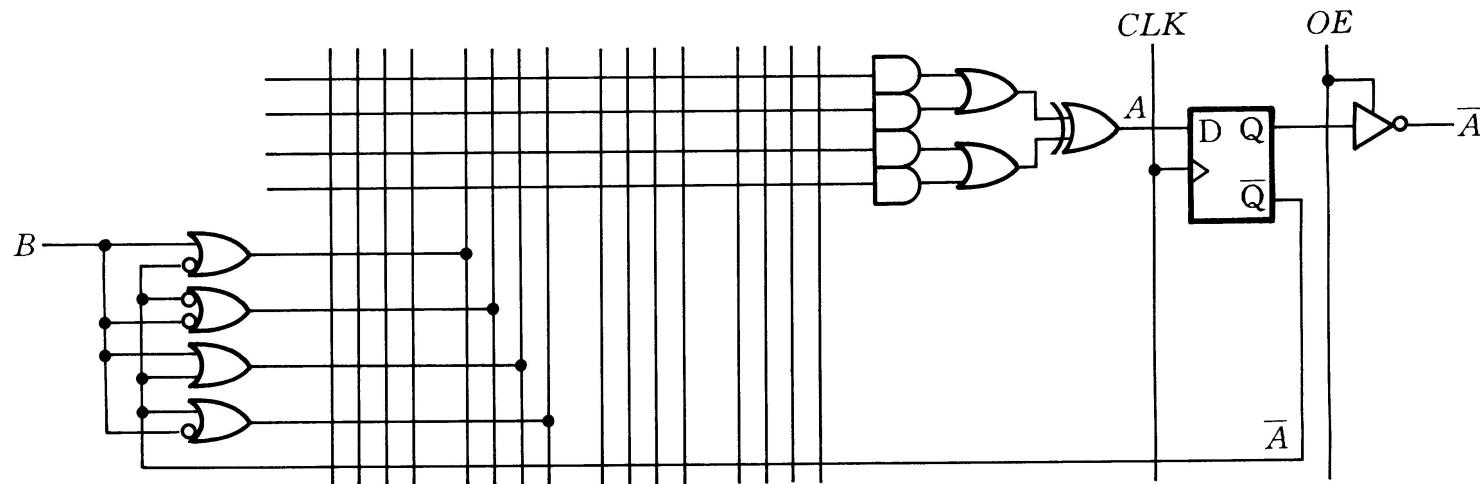
对于下面的触发器

当 $I_1=0$ 时， $D_2=Y_2=Q_1I_2+Q_1\bar{I}2\bar{}$

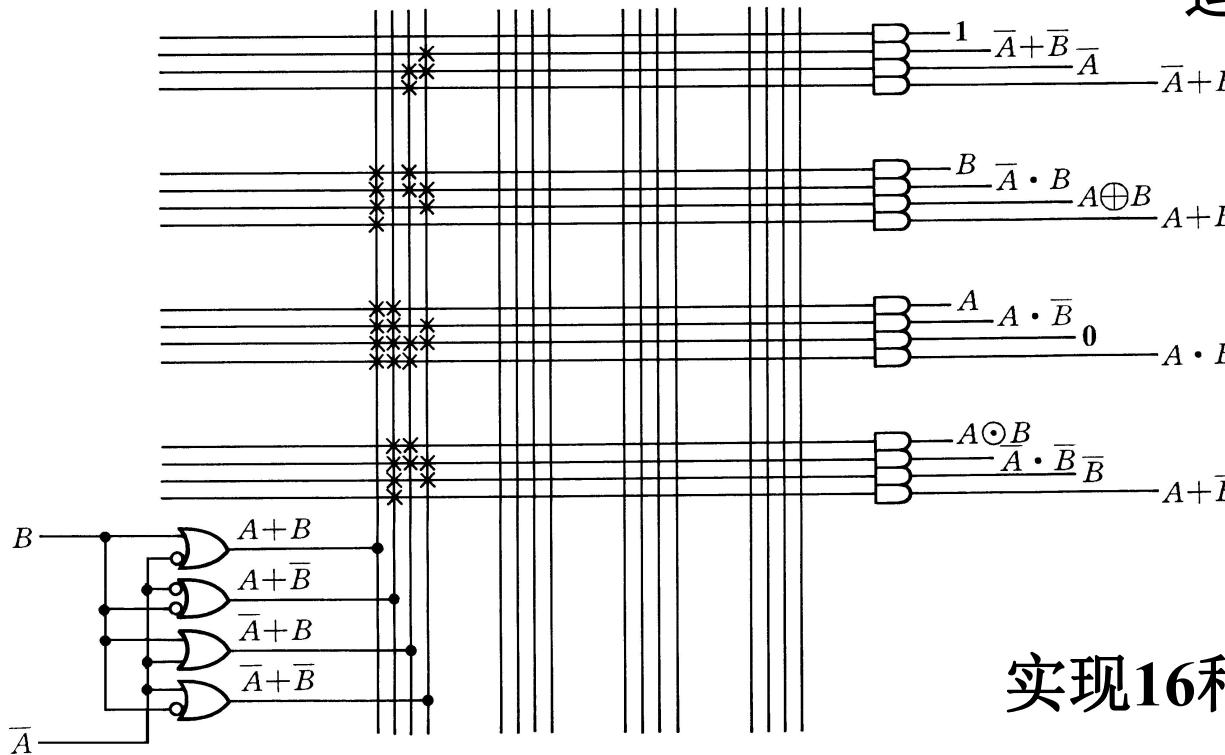
$I_1=1$ 时， $D_2=Y_2\bar{}=Q_1I_2+Q_1\bar{I}2\bar{}$ 的反函数

§ 8.3

◆ 输出结构



■ 运算选通反馈结构



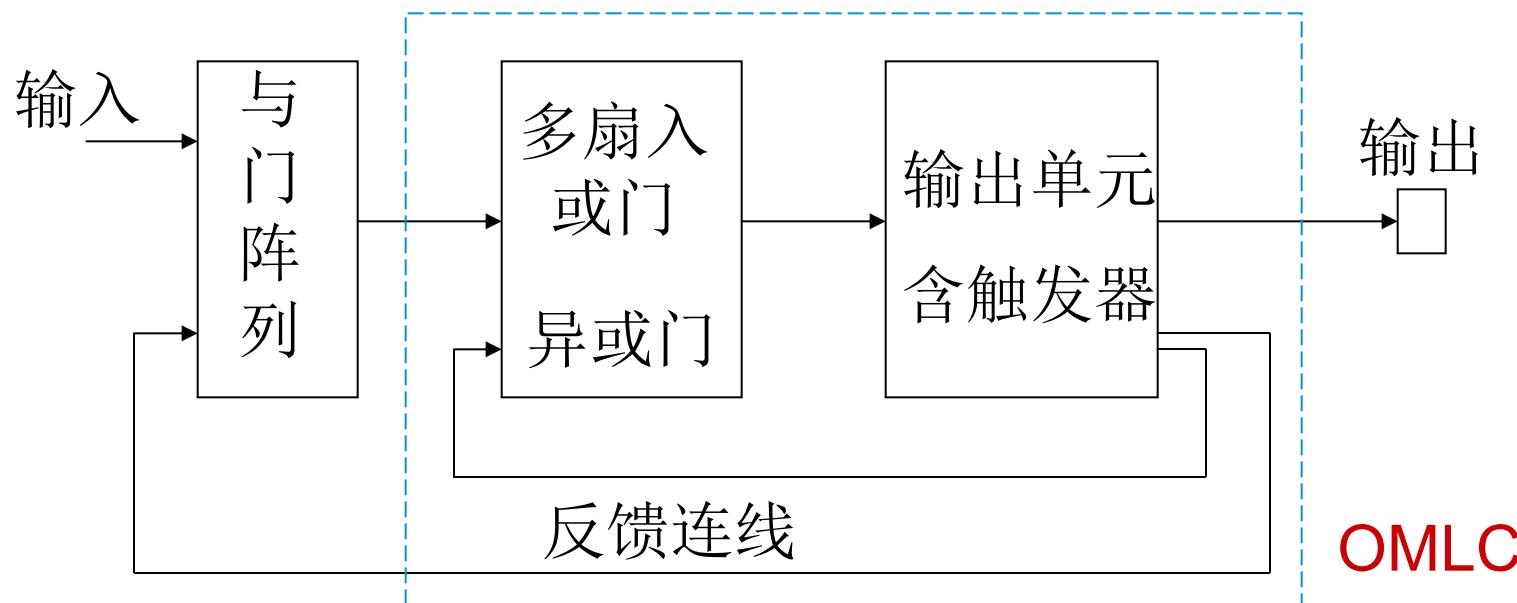
实现16种逻辑?

§ 8.4 通用阵列逻辑 GAL (了解就行)

■ GAL的结构框图

➤ 参考教材

GAL电路结构详解

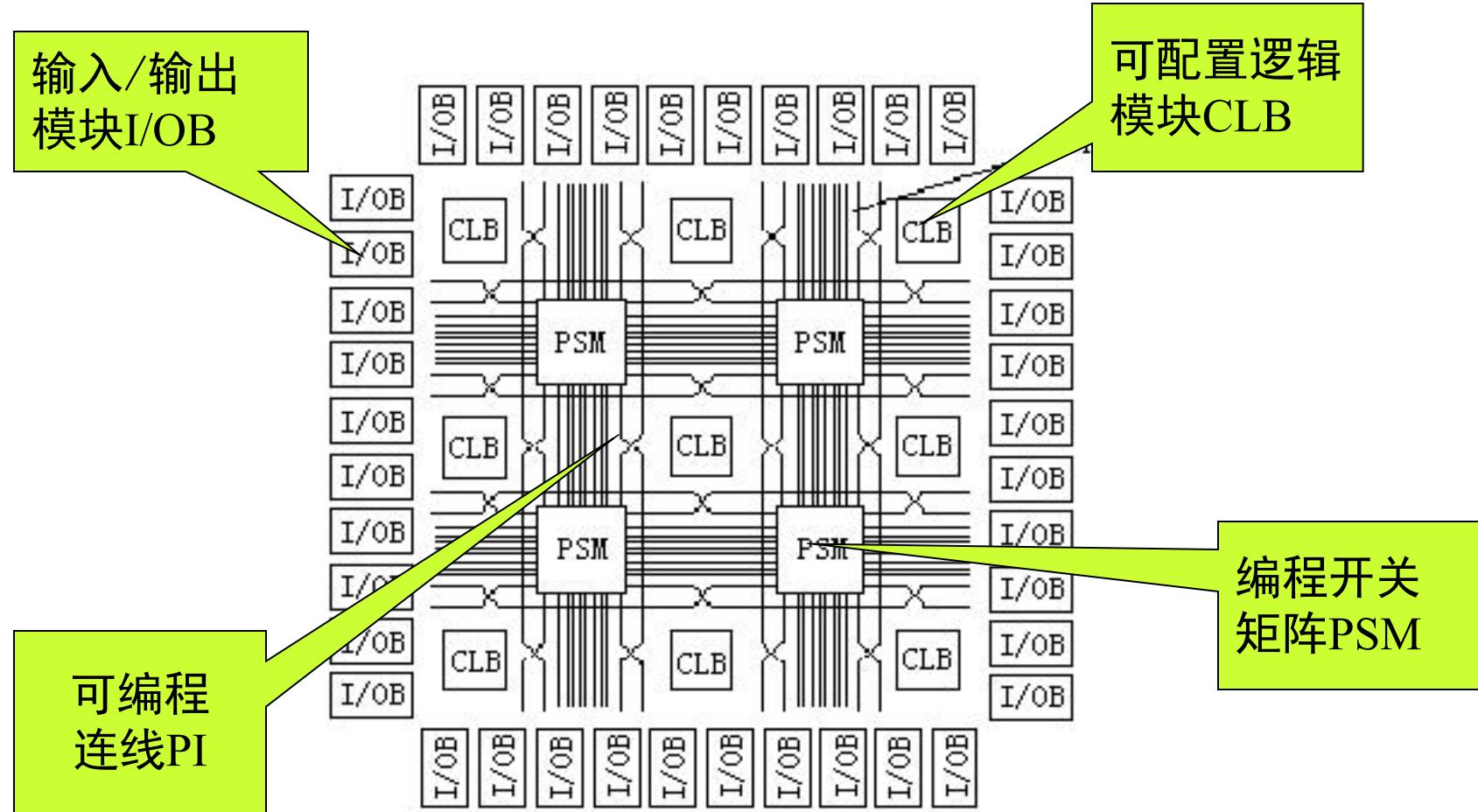




§ 8.5 现场可编程门阵列 FPGA

- ✓ 前面讨论的可编程逻辑器件基本组成部分是与阵列、或阵列和输出电路，再加上触发器实现时序电路；
- ✓ FPGA（Field Programmable Gate Array）不像PLD那样受结构的限制，它可以靠门与门的连接来实现任何复杂的逻辑电路，更适合实现多级逻辑功能；
- ✓ 陆续推出新型的现场可编程门阵列FPGA，具有基本逻辑门电路、传输外部信号的输入/输出电路和可编程内连资源，还具有很高的密度。

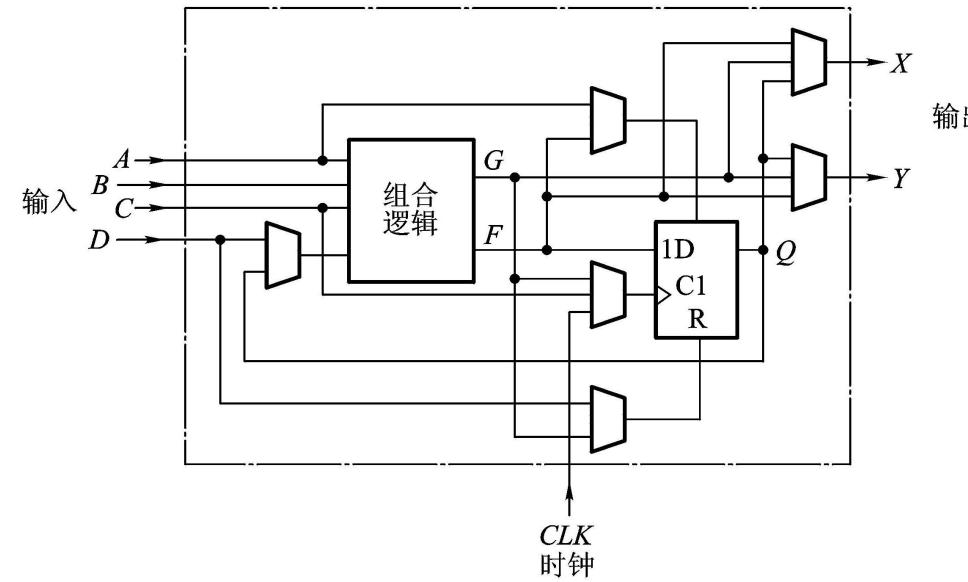
§ 8.5 现场可编程门阵列 FPGA



§ 8.5 现场可编程门阵列 FPGA

■ CLB——configurable logic blocks

- 本身包含了组合电路和触发器，可构成“小规模”的时序/组合电路
- 将许多CLB组合起来，可形成大系统



§ 8.5 现场可编程门阵列 FPGA

FPGA中的互连资源

➤ 金属线

- 水平通用连线
- 垂直通用连线
- 水平长线
- 垂直长线

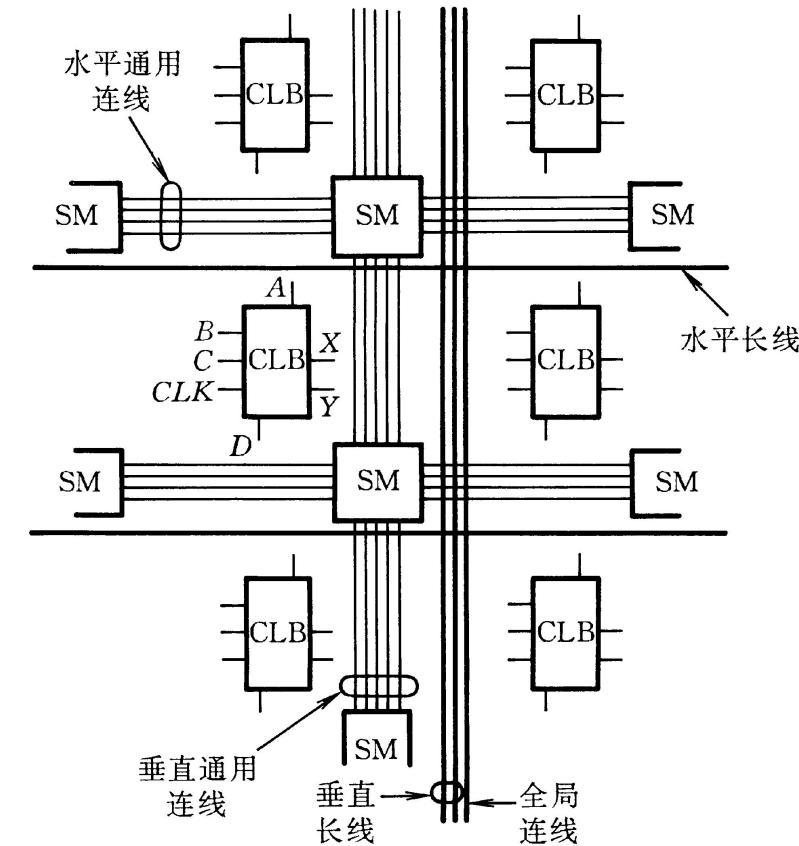
➤ 开关矩阵 (SM)

多根导线转接

➤ 可编程连接点 (PIP)

➤ 直接连线

- 相邻CLB之间



§ 8.5 现场可编程门阵列 FPGA

FPGA中的互连资源

➤ 金属线

- 水平通用连线
- 垂直通用连线
- 水平长线
- 垂直长线

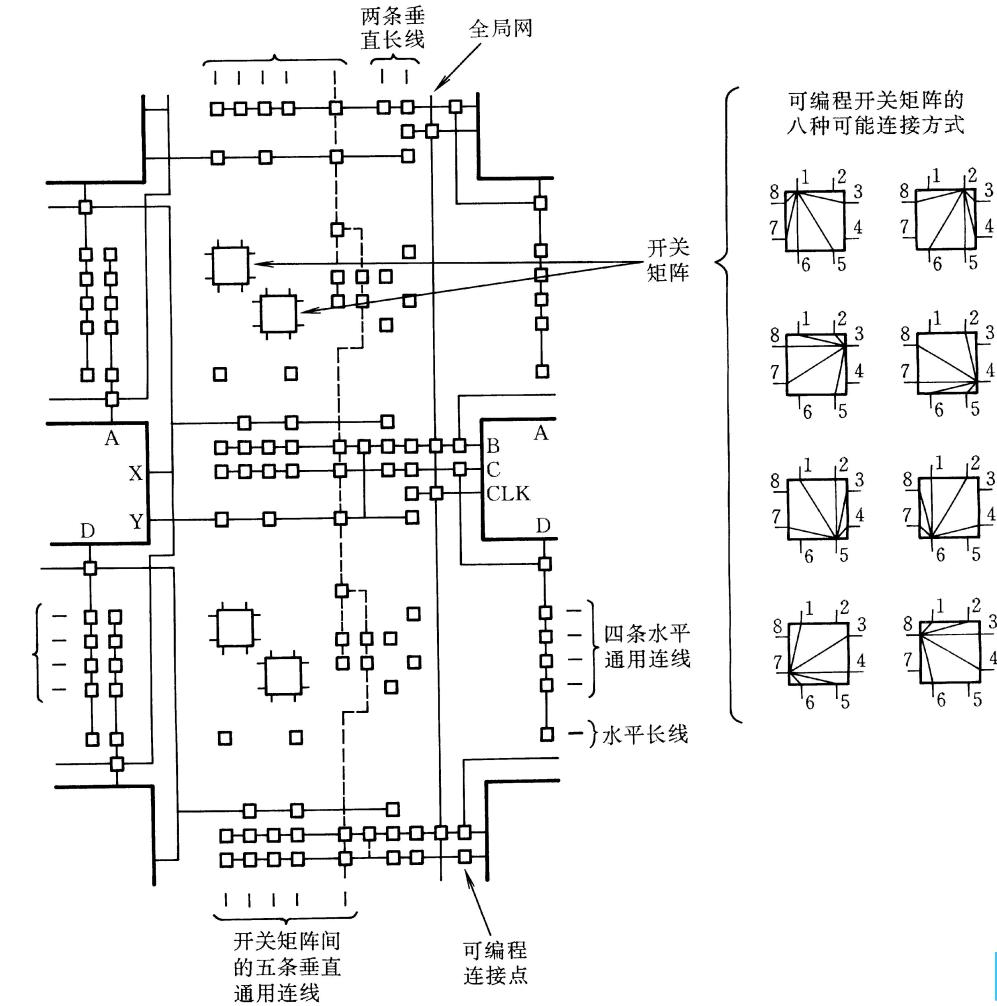
➤ 开关矩阵 (SM)

多根导线转接

➤ 可编程连接点 (PIP)

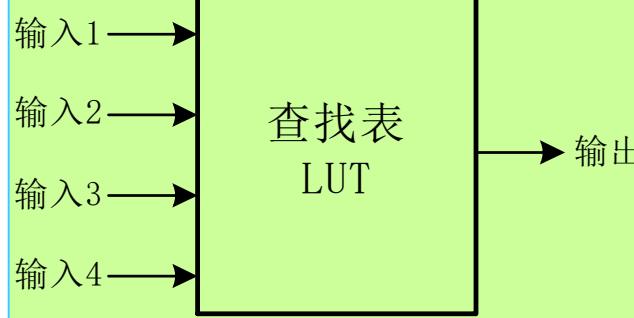
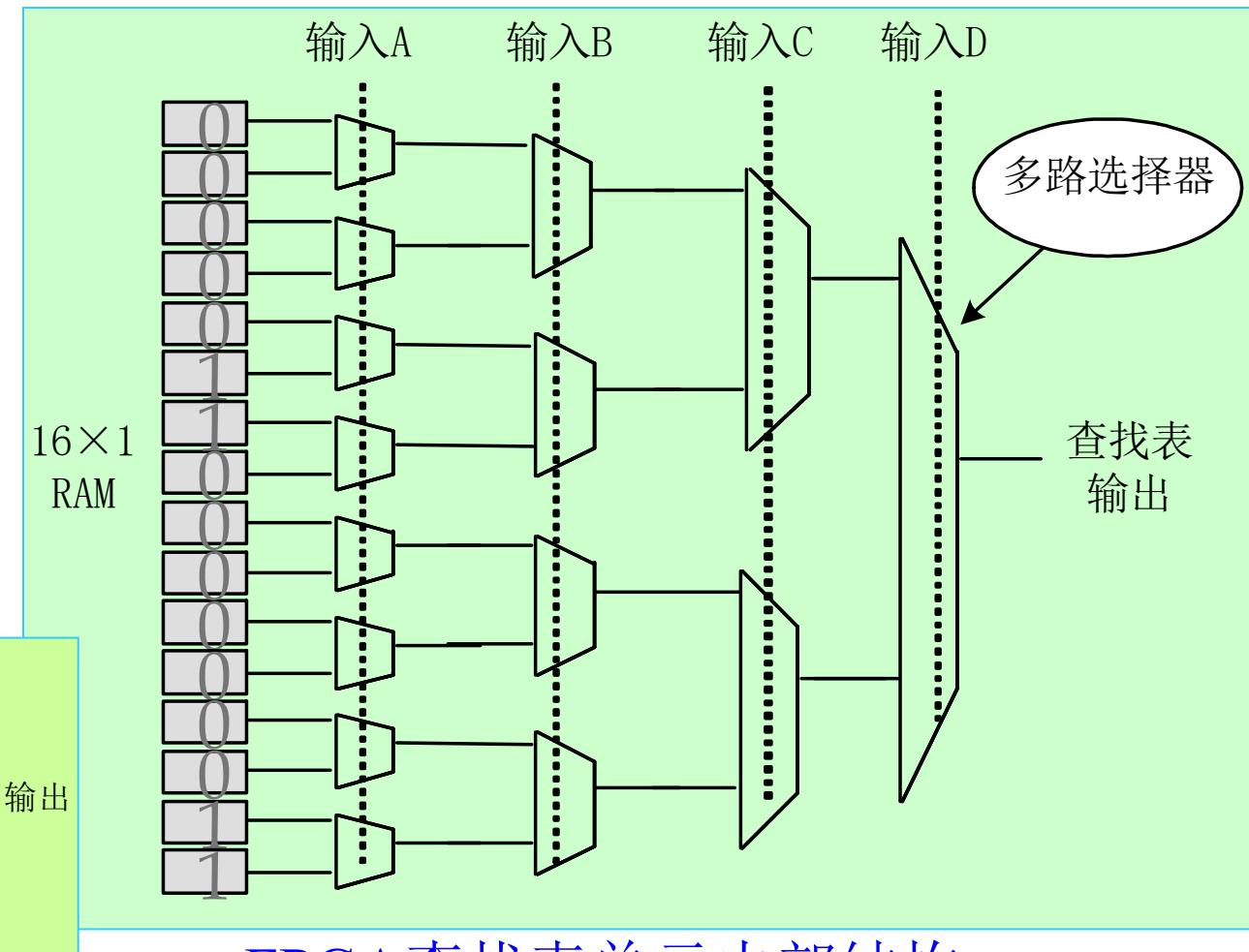
➤ 直接连线

- 相邻CLB之间



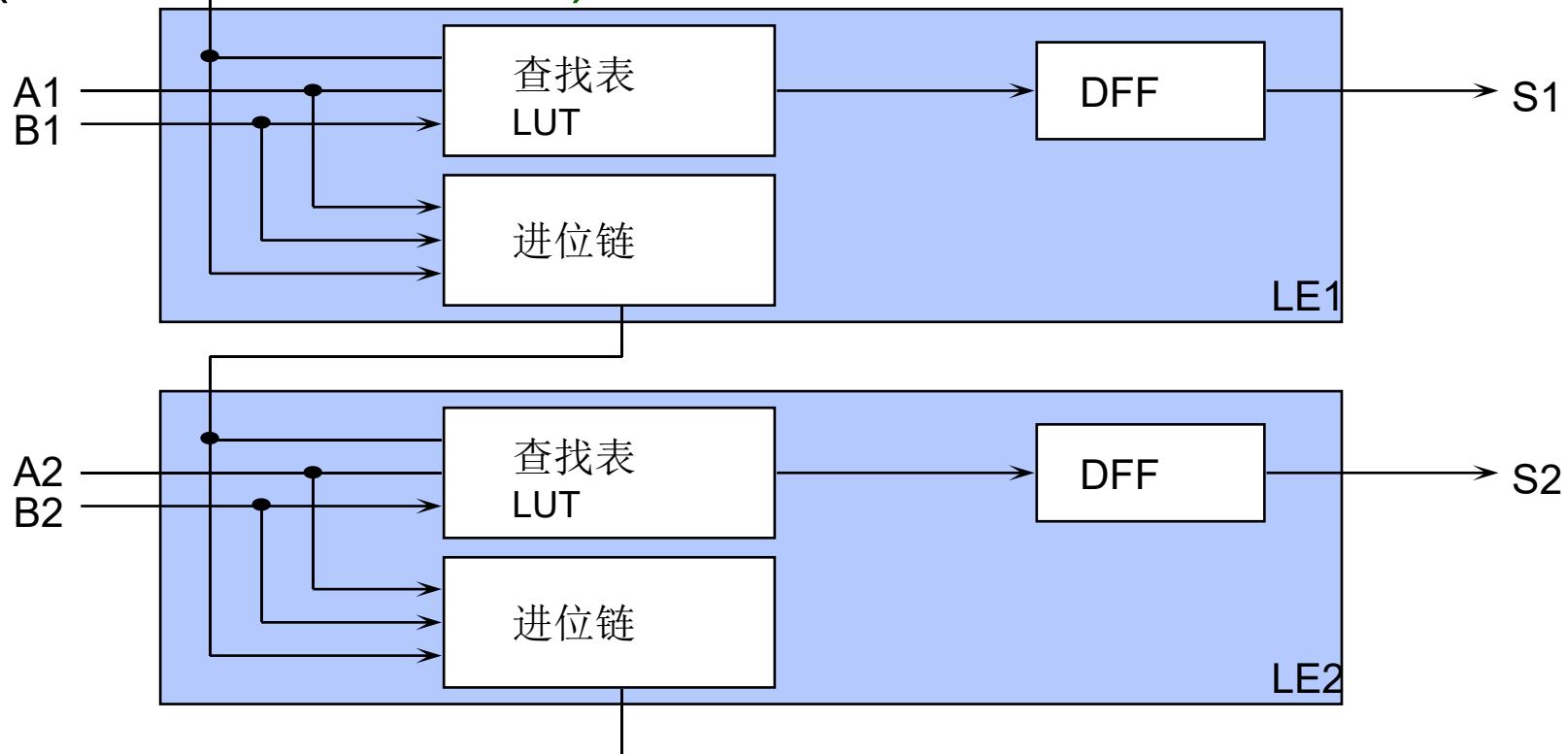
§ 8.5 现场可编程门阵列 FPGA

FPGA配置逻辑



§ 8.5 现场可编程门阵列 FPGA

进位输入
(来自上一个逻辑单元)



进位输出
(到 LAB 中的下一个逻辑单元)



FPGA的分类

1、按可编程逻辑模块大小分：

- 细粒度型（fine-grain）：内部可编程模块较小的FPGA
- 粗粒度型（coarse-grain）：内部可编程模块较大的FPGA

2、按可编程逻辑模块结构分：

- 多路开关型FPGA：可编程逻辑模块实现组合逻辑是用多路开关实现的。
- 查找表型FPGA：可编程逻辑模块实现组合逻辑是用RAM查找表实现的。

3、按可编程单元分：

- 基于RAM的FPGA

这种类型的FPGA一般采用RAM查找表实现逻辑功能，而采用RAM单元控制的电子开关作为编程单元，由于FPGA的功能取决于RAM中的内容，所以改变RAM中的内容就可改变FPGA的电路功能，这种类型的FPGA可实现系统内可重复编程（In-system reprogrammability）



● 逆熔丝型的FPGA

这种类型的FPGA的编程单元采用逆熔丝，由于逆熔丝体积非常小，所以这种类型的FPGA保密性非常好。

● FLASH型FPGA

这种类型的FPGA的编程单元采用FLASH存储器作为电子开关的控制单元，所以采用这种编程单元的FPGA既具有系统内可重复编程性，又具有非易失性（Non-volatility）。

4、按可重复编程性分：

- 一次性编程的FPGA：这种FPGA只能编程一次，如逆熔丝型FPGA就是一次性编程的FPGA。
- 可重复编程的FPGA：这种FPGA可以反复编程，如基于RAM的FPGA和FLASH型FPGA都可反复编程。



§ 8.5 现场可编程门阵列 FPGA

FPGA厂商

- ❖ **ALTERA**——基于**RAM**工艺的通用**FPGA**
- ❖ **XILINX** ——基于**RAM**工艺的通用**FPGA**
- ❖ **ACTEL** ——基于反熔丝工艺和**FLASH**工艺非易失性的**FPGA**
- ❖ **LATTICE**——具有混合工艺的特色**FPGA**

<https://www.icourse163.org/course/UESTC-1002525007>



§ 8.5 FPGA实战



数字设计FPGA应用

<https://www.icourse163.org/course/UESTC-1002525007>

课程大纲

01 FPGA基础及电路设计 (第1周)

打下FPGA基础，7系列FPGA基本原理 注意下载安装VIVADO

课时

- 1.1 FPGA基础及7系列FPGA基本原理
- 1.2 FPGA电路设计

02 Verilog HDL语言与VIVADO

学习Verilog HDL语言，学习VIVADO

课时

- 2.1 Verilog HDL基本结构
- 2.2 数据类型及变量、常量
- 2.3 运算符
- 2.4 语句
- 2.5 VIVADO初步

03 组合逻辑电路与VIVADO进阶

巩固数电知识，使用HDL实现组合逻辑电路，熟练使用VIVADO，提高工程设计能力

课时

- 3.1 我的第一个工程——多数表决器
- 3.2 3-8译码器设计和IP核
- 3.3 调用IP核实现多数表决器
- 3.4 课堂-实现138译码器及演示

04 时序逻辑电路FPGA实现

巩固数电知识，使用HDL实现时序逻辑电路，熟练使用VIVADO，提高工程设计能力

课时

- 4.1 时钟同步状态机的设计
- 4.2 同步计数器74x163的实现
- 4.3 移位寄存器的实现和应用

05 FPGA实践

逐步提高工程实践能力，熟练应用HDL解决基本工程问题

课时

- 5.1 流水灯实践
- 5.2 数码管动态显示实践
- 5.3 VGA显示实践
- 5.4 行列键盘实践
- 5.5 串行通信实践
- 5.6 DAC实践
- 5.7 蜂鸣器实践



第八章 习题

- 8.2
- 8.5



附录8-1 通用阵列逻辑GAL的OLMC结构

■ PAL器件的不足：

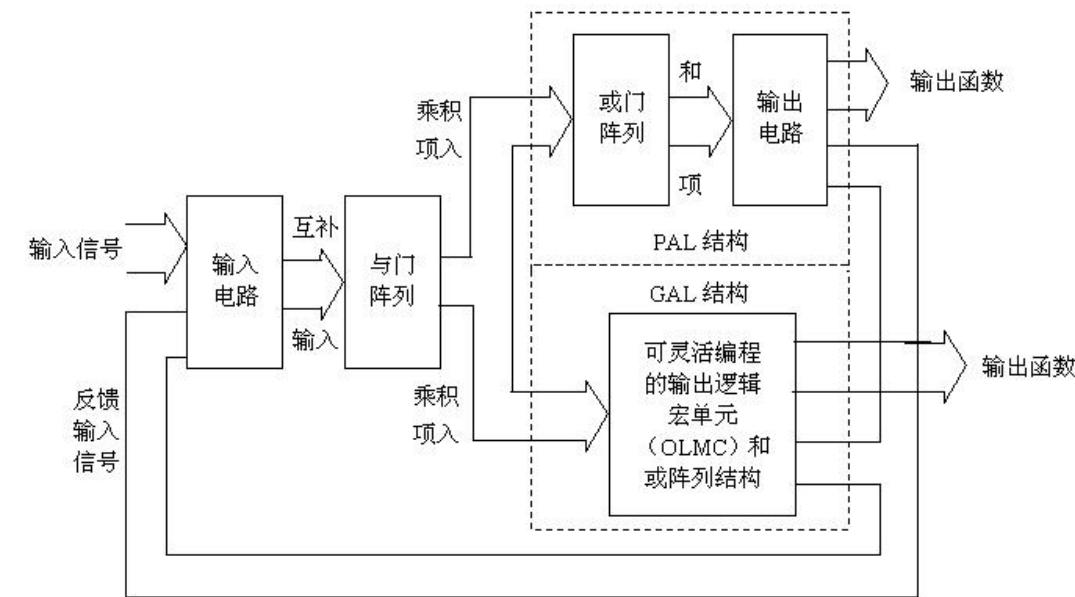
- 采用一次性熔丝连接工艺，一旦编程便不能改写
- 不同输出结构的PAL对应不同型号的PAL器件，不便于用户灵活地选择输出方式

■ GAL器件的特点：

- 与一或阵列结构
- 利用灵活的输出逻辑宏单元**OLMC**结构来增强输出功能
- 采用宏单元结构字
- 采用E²COMS工艺
- **OLMC —— Output Logic Macro Cells**

附录8-1 GAL的OLMC结构

- 与PAL相比，GAL的输出结构配置了可以任意组态的输出逻辑宏单元OLMC
- GAL器件型号定义和PAL一样根据输入输出的数量来确定，GAL16V8中的16表示阵列的输入端数量，8表示输出端数量，V则表示输出形式可以改变的普通型



➤ GAL16V8的电路结构图

可编程与门阵列（由 8×8 个与门构成，形成64个乘积项，每个与门有32个输入端）

8个输出逻辑宏单元（OLMC12~19，或门阵列包含在其中）

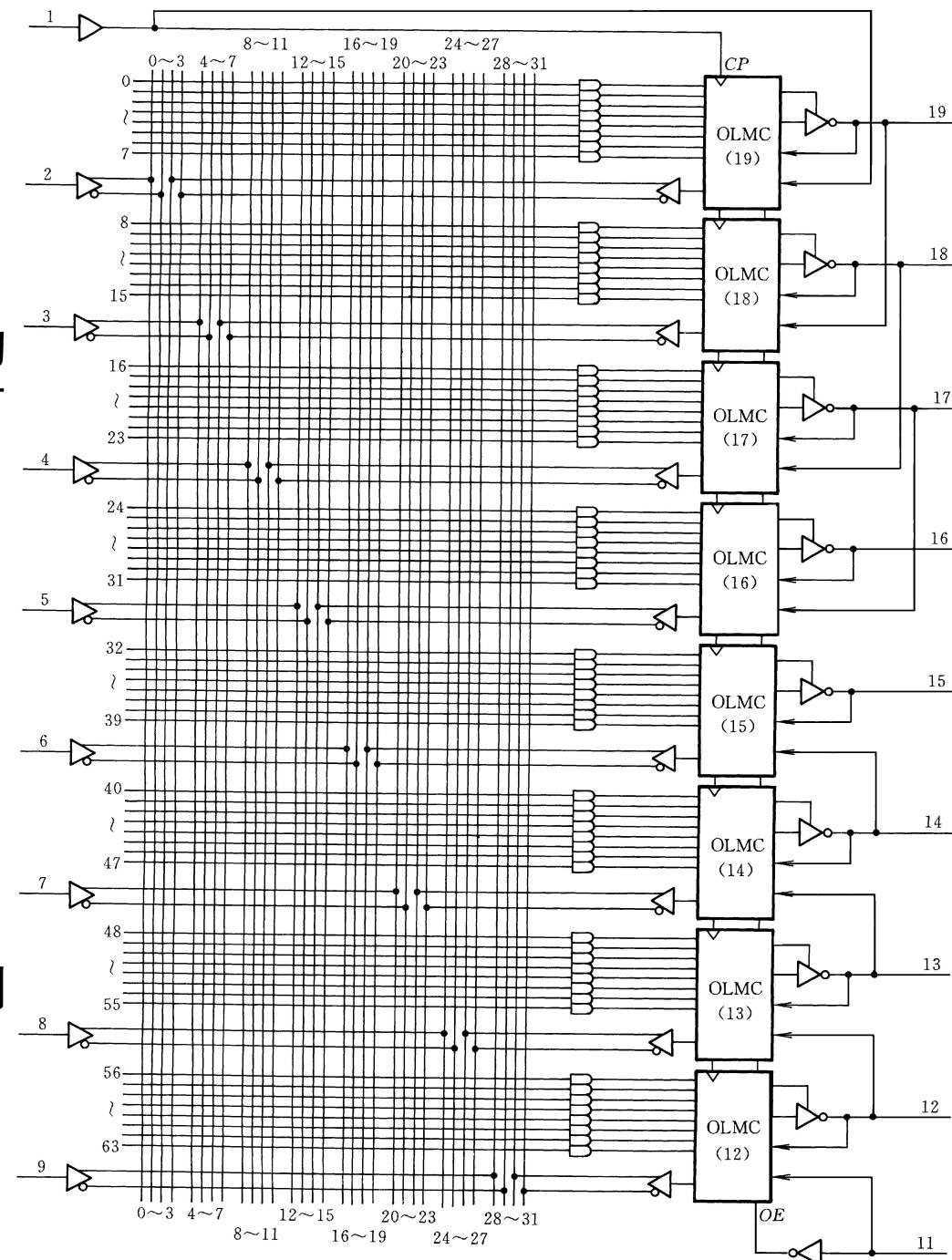
8个输入缓冲器（引脚2~9作固定输入）

8个输出缓冲器（引脚12~19作为输出缓冲器的输出）

8个反馈/输入缓冲器（即中间一列8个缓冲器）

输出三态控制端OE（引脚11）

系统时钟CP的输入端（引脚1）



➤ GAL16V8编程单元与结构控制字

- GAL的工作方式是由结构控制字来控制的
- 同步位SYN

用以确定GAL器件具有组合型输出还是寄存器型输出

- 结构控制位AC0

这1位对于8个OLMC是公共的，它与各个OLMC (n) 各自的 $AC1(n)$ 配合，控制OLMC (n) 中的各个多路开关

- 结构控制位AC1

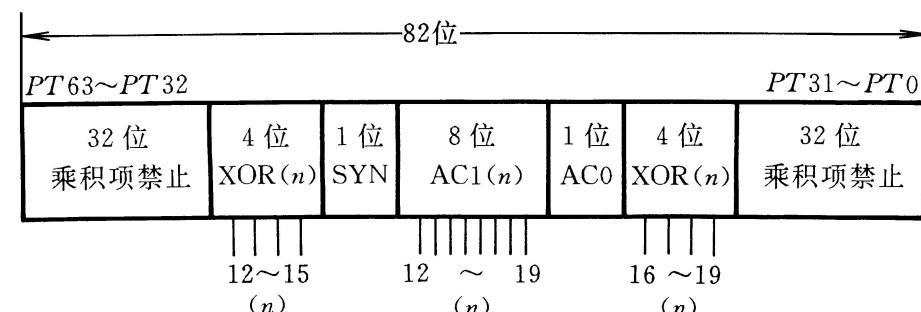
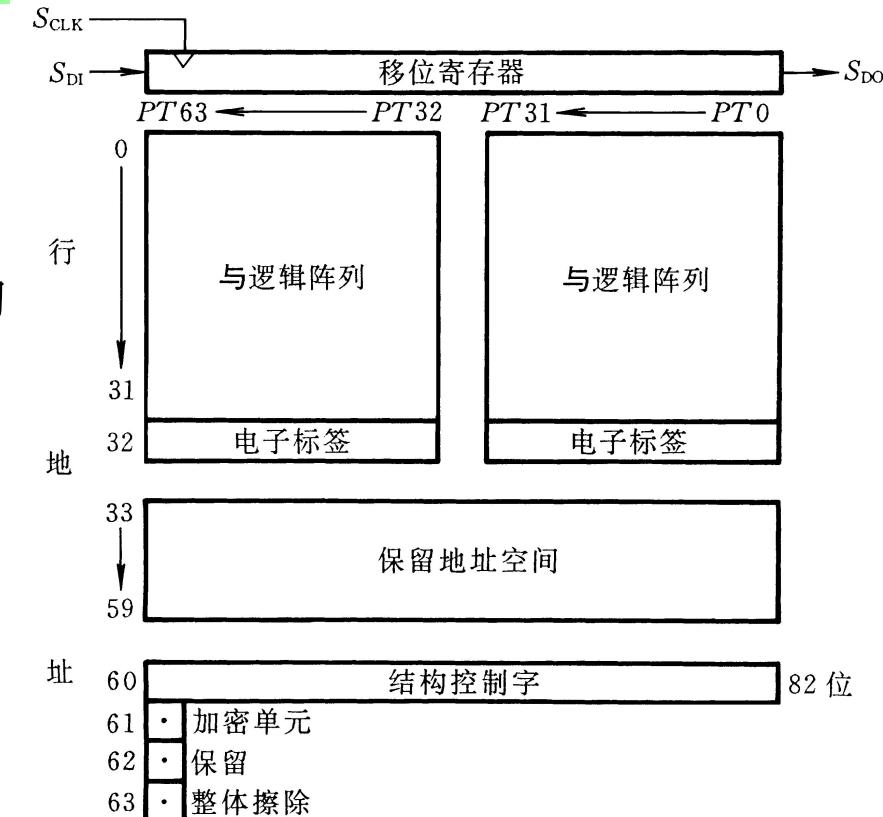
共有8位。每个OLMC (n) 有单独的 $AC1(n)$

- 极性控制位 $XOR(n)$

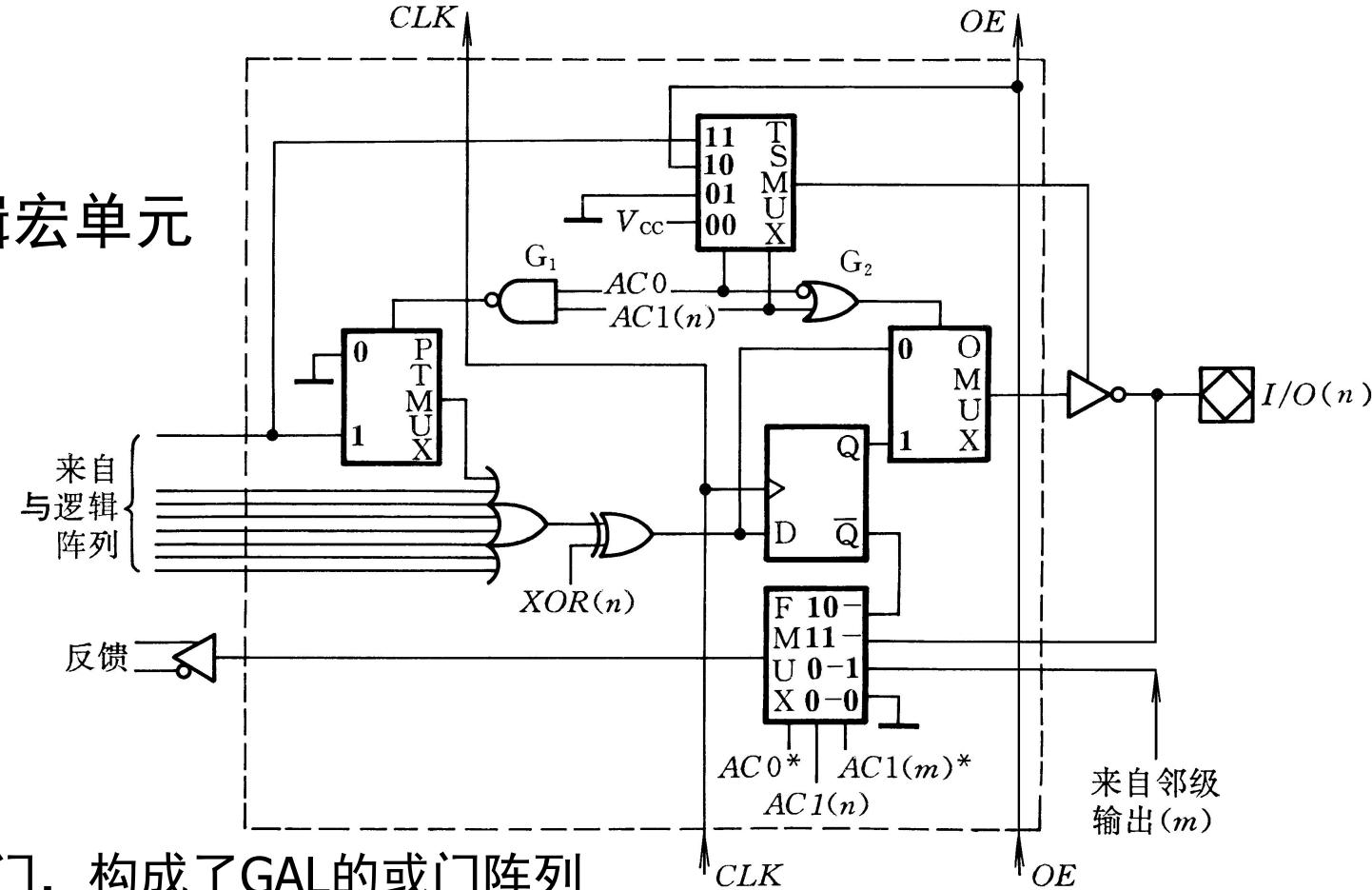
控制逻辑操作结果的输出极性

- 乘积项 (PT) 禁止位

控制与门阵列的64个乘积项 ($PT0 \sim PT63$)，以便屏蔽某些不用的乘积项



➤ GAL输出逻辑宏单元 OLMC的组成



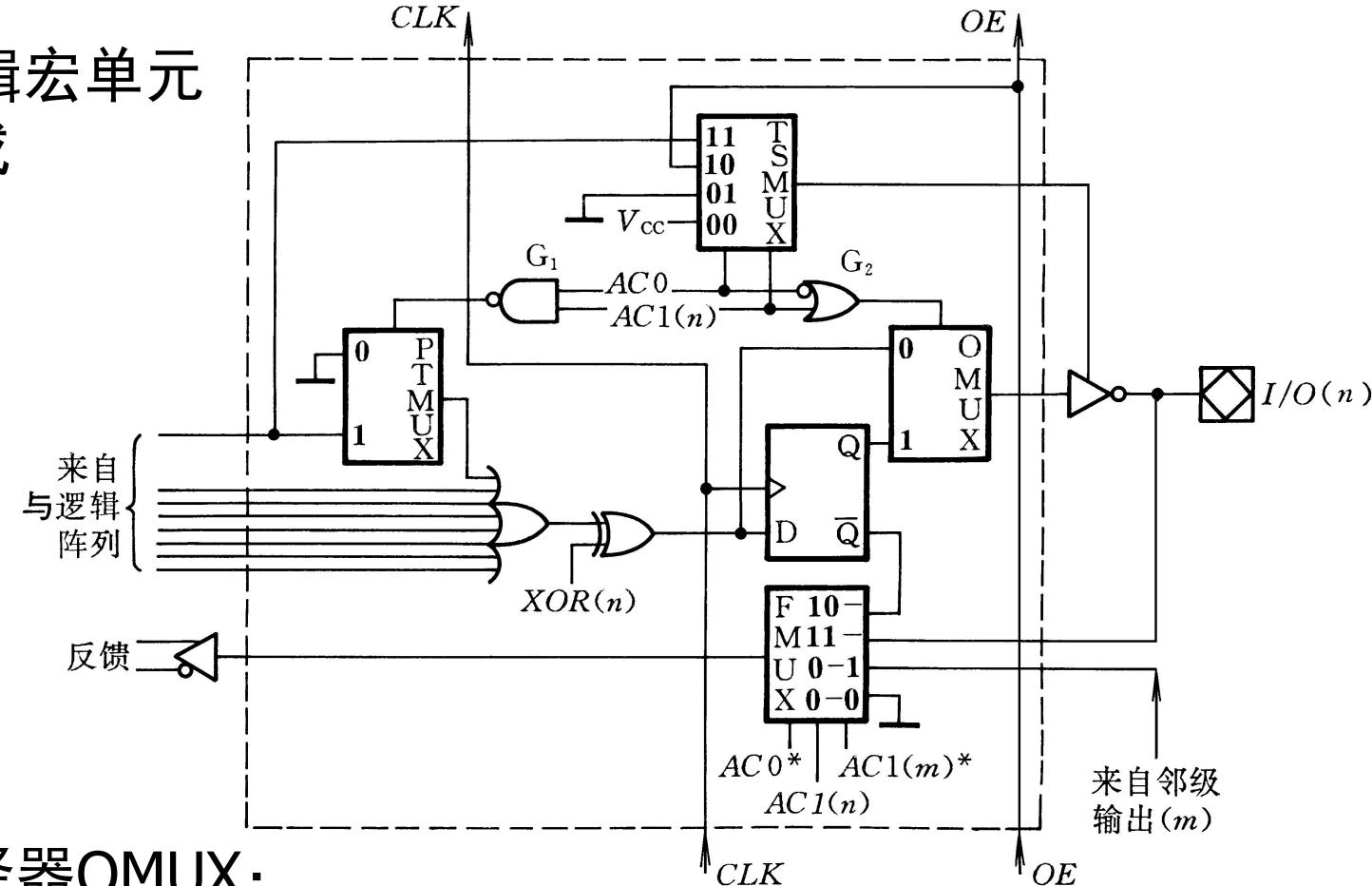
或门：8输入或门，构成了GAL的或门阵列

异或门： 异或门用于控制输出信号的极性

D触发器： 锁存或门的输出状态，使GAL适用于时序逻辑电路

4个数据多路开关（数据选择器MUX）

➤ GAL输出逻辑宏单元 OLMC的组成



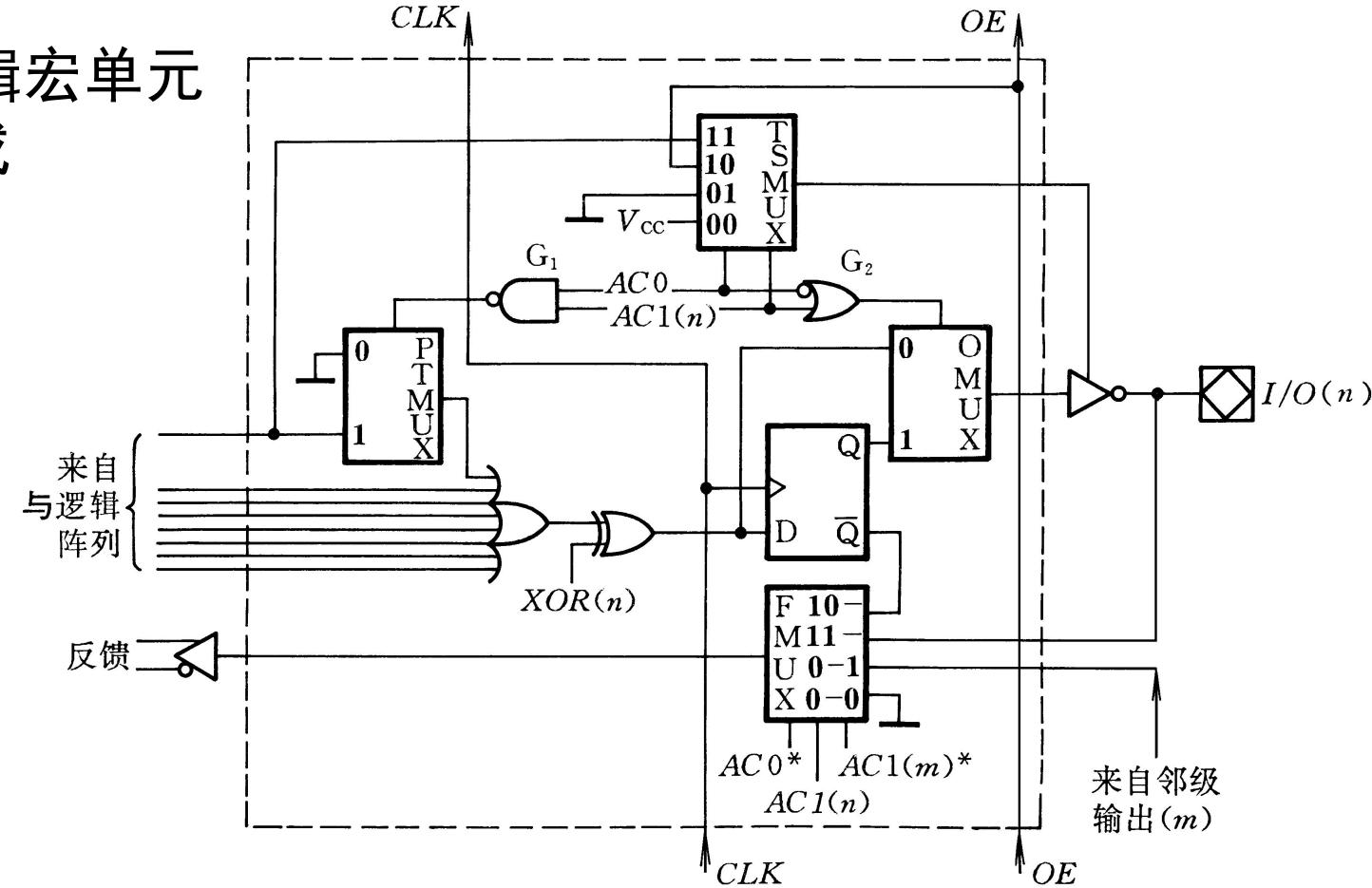
输出数据选择器OMUX:

控制OLMC工作在组合输出模式或寄存器输出模式

乘积项数据选择器PTMUX:

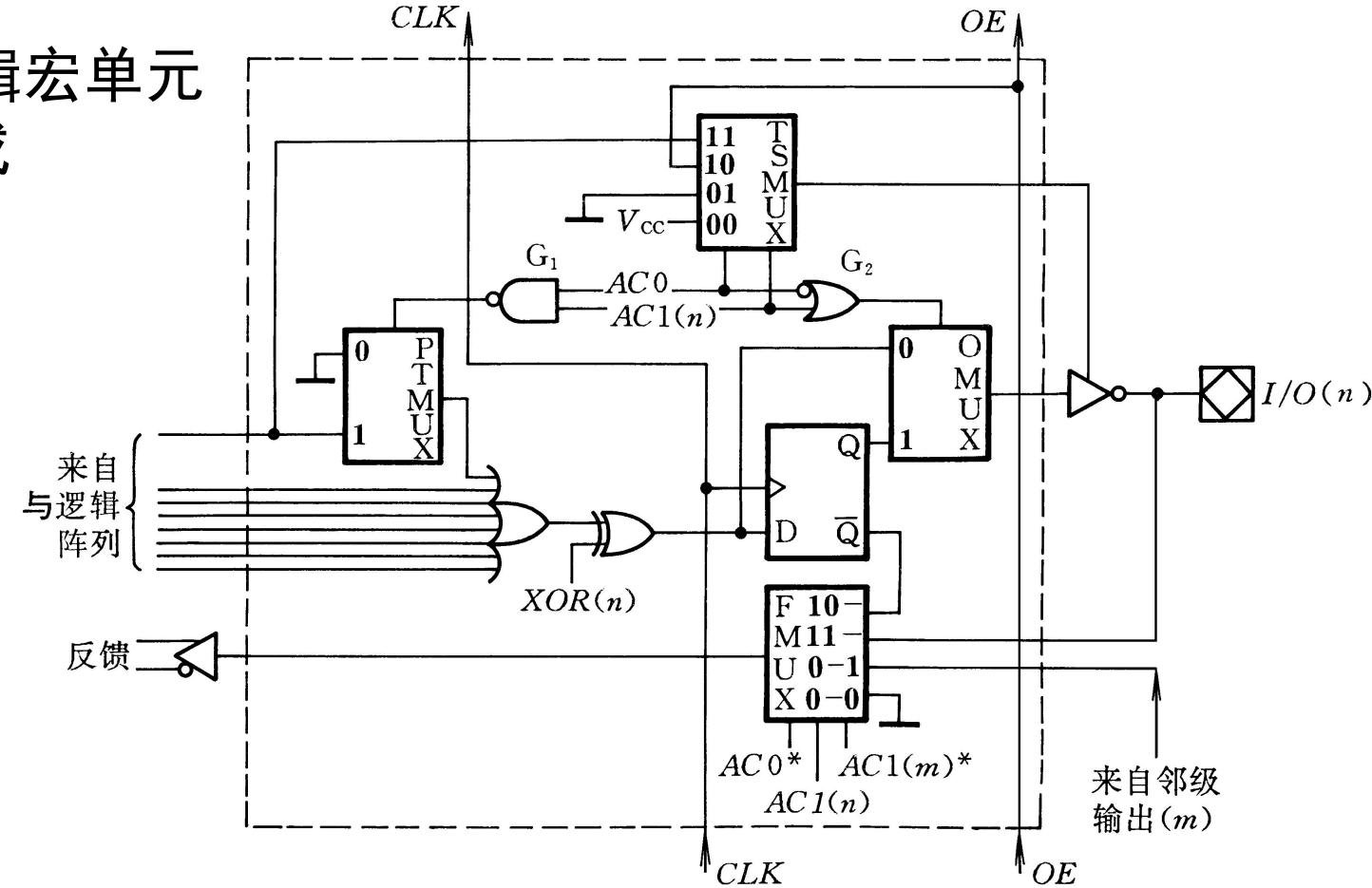
用于控制来自与阵列的第一乘积项是否作为或门的一个输入

➤ GAL输出逻辑宏单元 OLMC的组成



三态数据选择器TSMUX：用于选择输出三态缓冲器的选通信号

➤ GAL输出逻辑宏单元 OLMC的组成



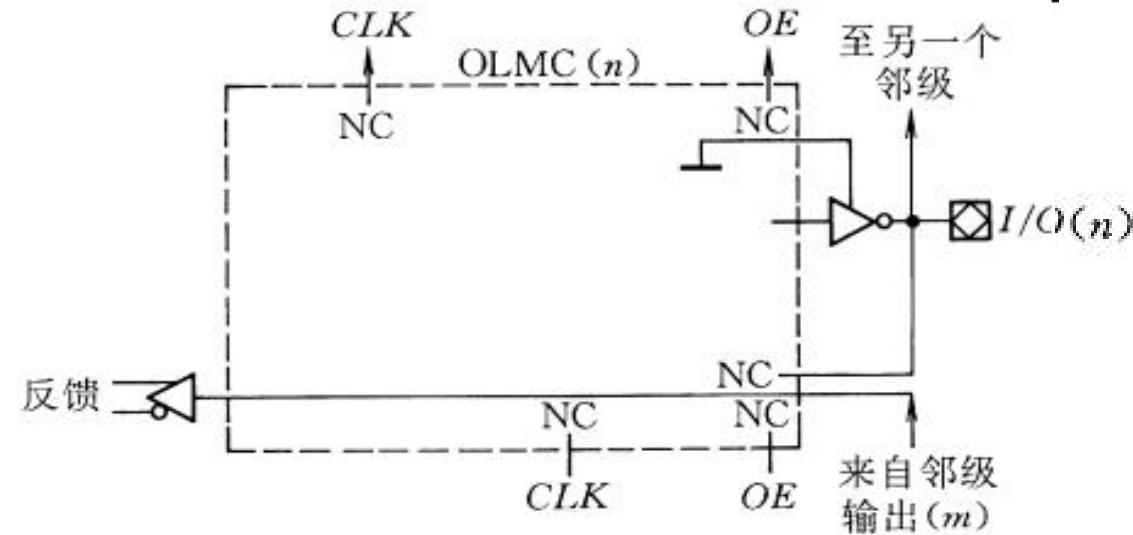
反馈数据选择器FMUX: 根据控制信号 AC_0 、 $AC_1(n)$ 和 $AC_1(m)$ 的值，分别选择4路不同的信号（低电平、相邻OLMC的输出、本级OLMC输出和本级D触发器的输出 Q ）反馈到与阵列的输入端。



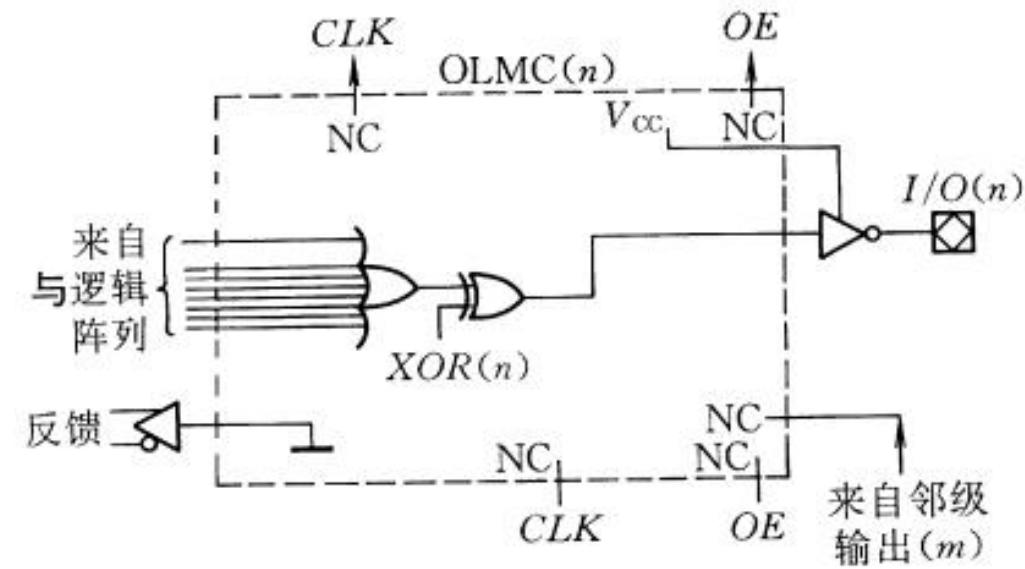
➤ 输出逻辑宏单元OLMC的工作模式

功 能	<i>SYN</i>	<i>AC0</i>	<i>AC1 (n)</i>	<i>XOR(n)</i>	输出极性	备注
专用输入	1	0	1	—	—	1和11脚为数据输入，三态门不通
专用组合型输出	1	0	0	0	低电平有效	1和11脚为数据输入，所有输出是组合的，三态门总是选通
				1	高电平有效	
反馈组合型输出	1	1	1	0	低电平有效	1和11脚为数据输入，所有输出是组合的，但三态门由第一乘积项选通
				1	高电平有效	
时序电路中的组合型输出	0	1	1	0	低电平有效	1脚接 <i>CK</i> , 11脚接 <i>OE</i> ,这个宏单元输出是组合的，但其余宏单元至少有一个输出是寄存的
				1	高电平有效	
寄存器型输出	0	1	0	0	低电平有效	1脚接 <i>CK</i> , 11脚接 <i>OE</i>
				1	高电平有效	

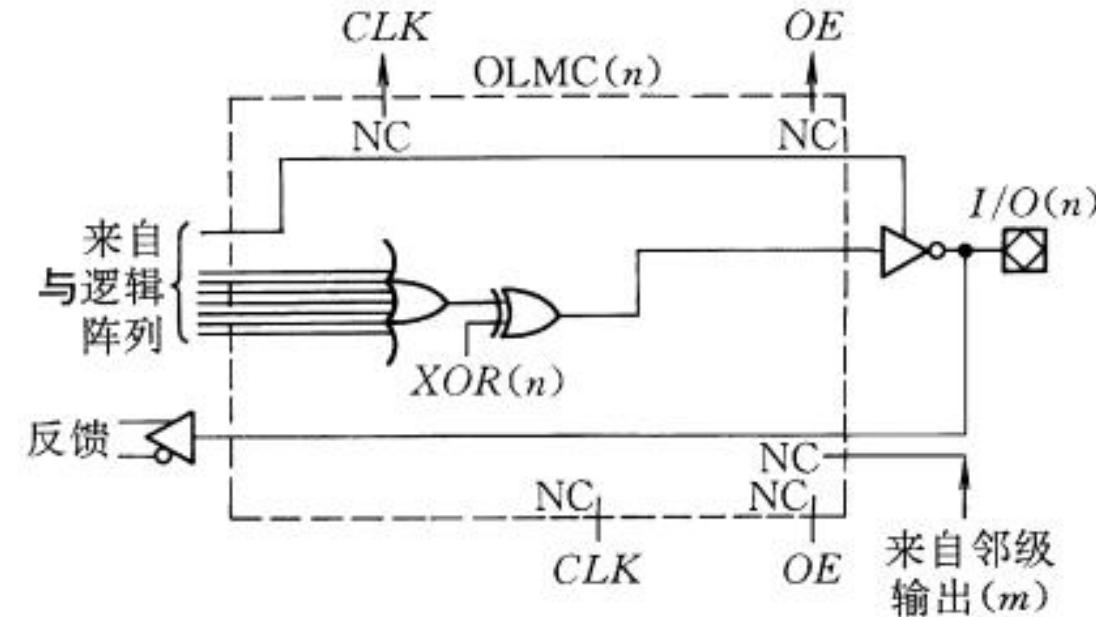
■ 专用输入模式



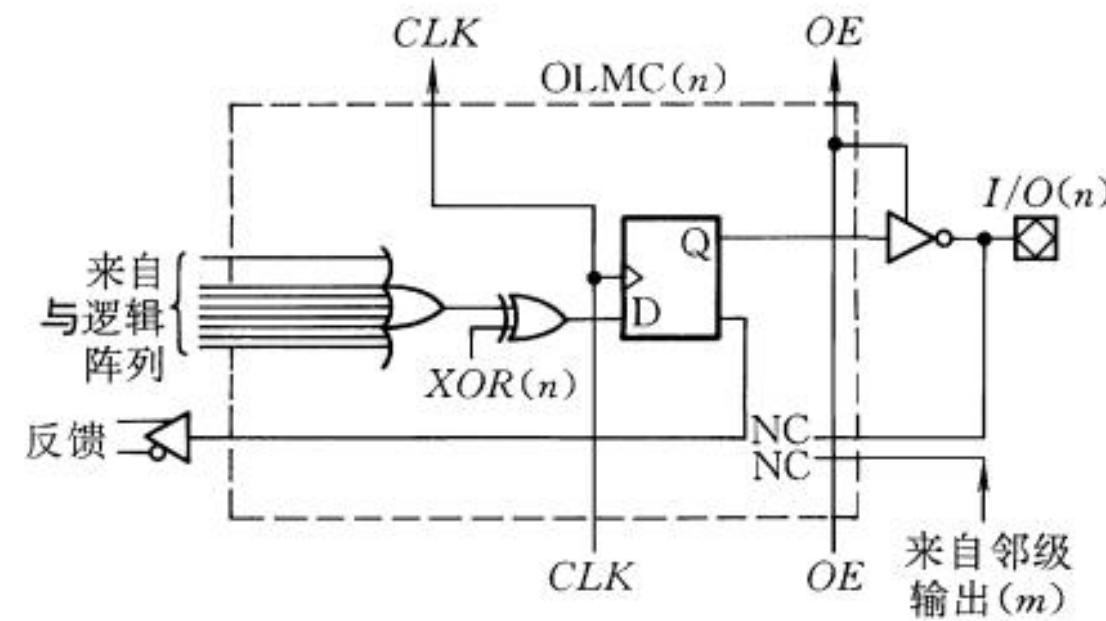
■ 专用组合输出模式



■ 反馈组合输出模式



■ 寄存器输出模式





■ GAL器件的编程

- 对GAL编程是设计电路的最后一个环节
- 除了对与阵列编程之外，还要对逻辑宏单元进行编程，以达到预定的输出逻辑功能
- GAL编程的开发系统：软件开发平台和硬件编程设备



升级→可擦除的可编程逻辑器件EPLD

■ (Erasable Programmable Logic Device)

- EPLD采用CMOS工艺，属高密度可编程逻辑器件HDPLD（集成度大于1000门/片）
 - 芯片规模已达上万等效逻辑门
- 速度高(2ns)、功耗低（电流在数十毫安以下），抗干扰能力强
- 与GAL相比，从结构上增加了：
 - 异步时钟、异步清除功能。可实现异步时序电路
 - 乘积项共享功能,每个宏单元可多达32个乘积项
 - 输出级多种使能控制，而且三态输出使能控制比GAL要丰富