

数字电路与系统

第五章、触发器



第五章 触发器

§ 5.1 基本触发器

§ 5.2 电平触发器

§ 5.3 脉冲触发的主从触发器

§ 5.4 边沿触发器

§ 5.5 触发器特性及功能转换



§ 5.4 边沿触发器

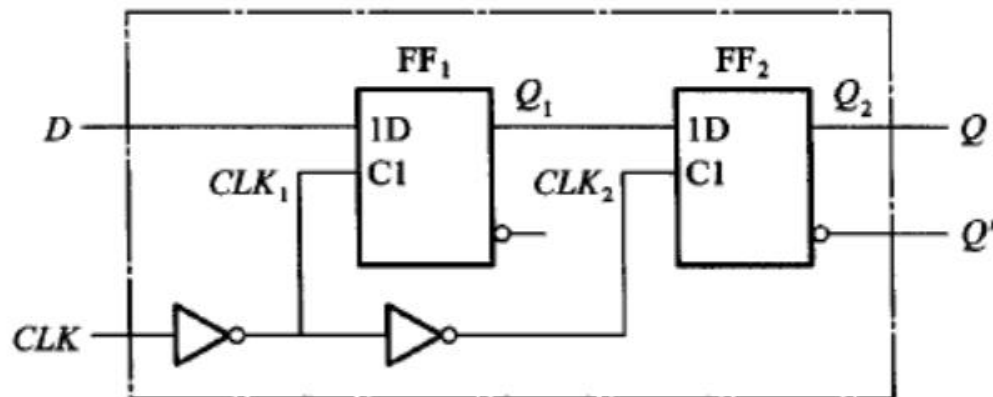
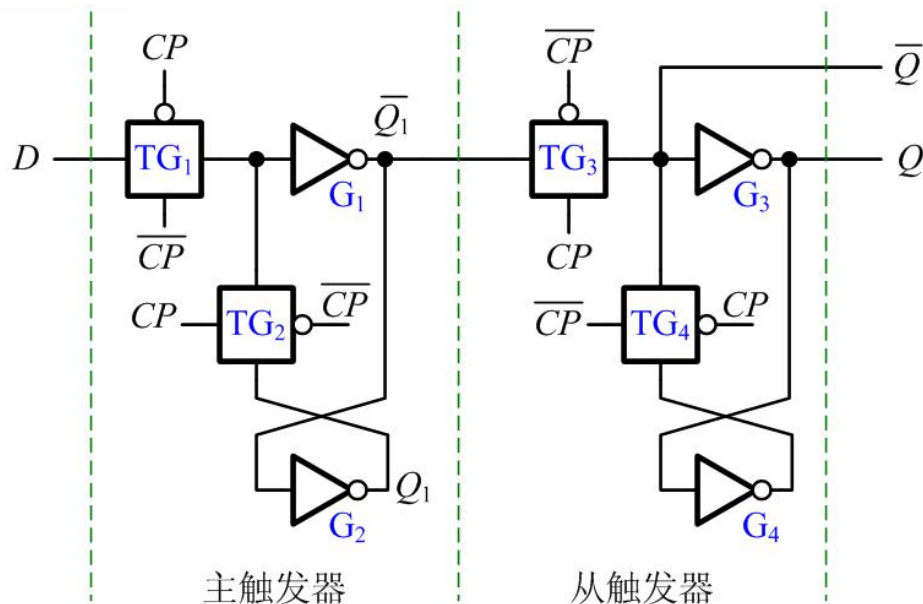
- 为了提高触发器的抗干扰能力，希望触发器的次态仅仅取决于时钟信号的边沿（**上升沿和下降沿**）到达时刻的输入信号的状态，而**在此之前和之后输入状态的变化对次态没有影响**。
- CMOS主从结构边沿触发器
- 维持-阻塞边沿D触发器



§ 5.4.1 CMOS主从结构边沿D触发器

■ 电路结构

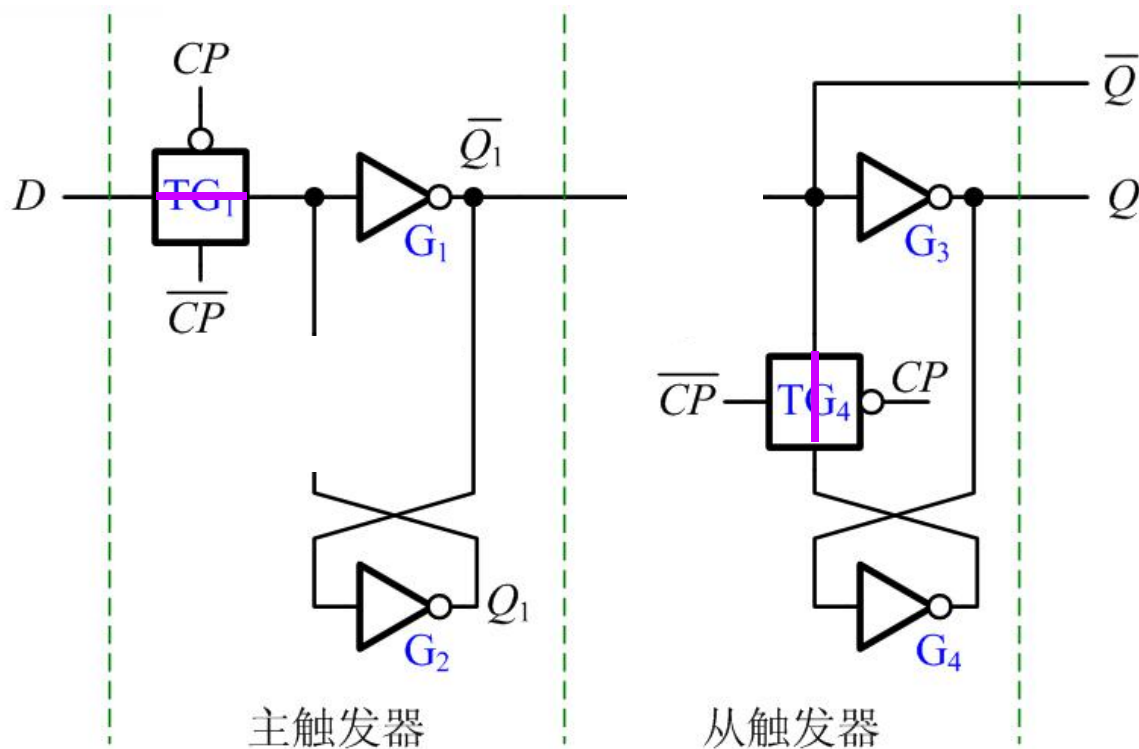
- 两级：主触发器和从触发器；
- 每一级：由“门闩”和输入线、反馈线上的传输门构成；
- CP 电平作为传输门的控制信号...



§ 5.4.1 CMOS主从结构边沿触发器

■ 工作原理

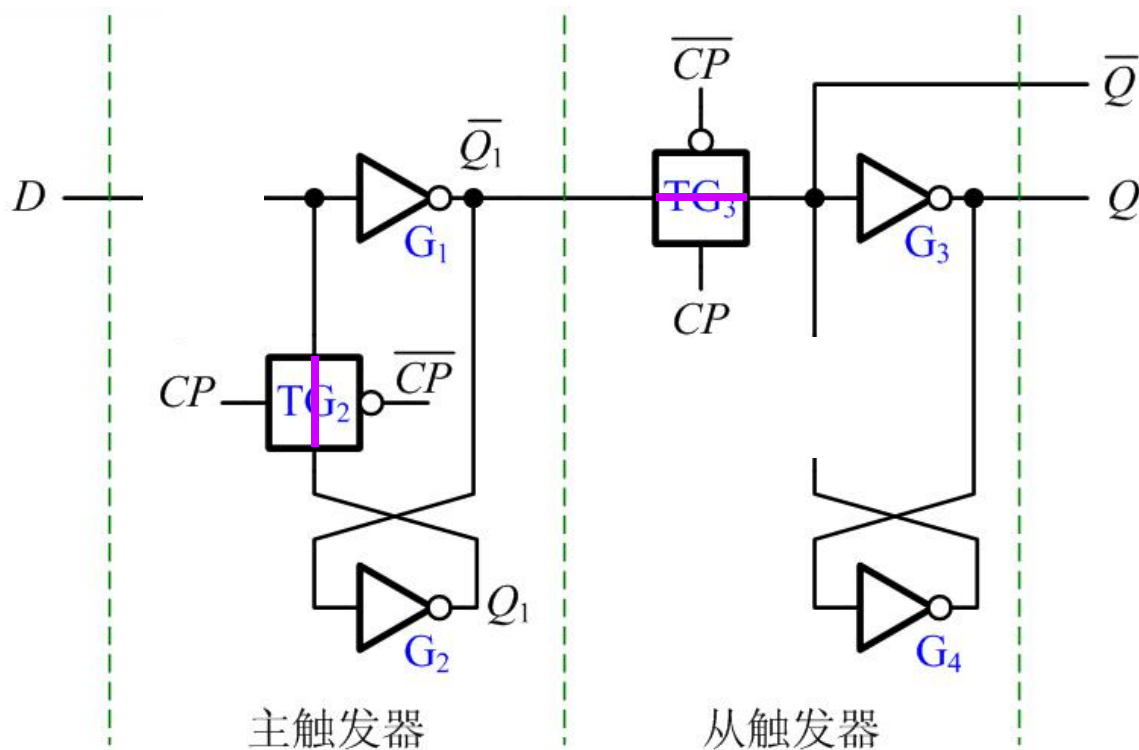
- ✓ $CP=0$ 时, TG1接通, TG2关闭, 主触发器“直通”输入信号, $Q_1=D$;
- ✓ $CP=0$ 时, TG4接通, TG3关闭, 输出维持不变(从)。
- ✓ 当 CP 从0变成1, 上升沿.....



§ 5.4.1 CMOS主从结构边沿触发器

■ 工作原理（全）

- ✓ $CP=0$ 时，TG1接通，TG2关闭，主触发器接收输入信号， $Q_1=D$ ；
- ✓ $CP=0$ 时，TG4接通，TG3关闭，输出维持不变（从）。
- ✓ CP 由0变1时，TG1关闭，TG2接通，切断前 Q_1 的状态被主触发器锁存——即： Q_1 保持 CP 上升沿到达前瞬间的输入端 D 的状态，并送到从触发器
- ✓ $CP=1$ ，TG3接通，TG4关闭，输出维持不变（主）。
- ✓ 上升沿触发，发生“输入到输出的**复合**”；
- ✓ 输出**转换**也发生在上升沿。



- ✓ 改变 CP 控制端的极性，可构成下降沿触发。



§ 5.4.1 CMOS主从结构边沿触发器

表 5.5.1 图 5.5.1 边沿触发器的特性表

CLK	D	Q	Q^*
\times	\times	\times	Q
\uparrow	0	0	0
\uparrow	0	1	0
\uparrow	1	0	1
\uparrow	1	1	1

§ 5.4.1 边沿D触发器——D-FF的特性

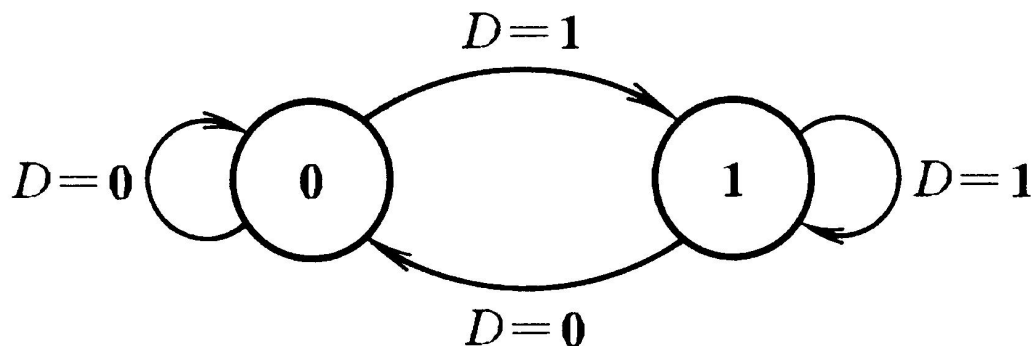
■ 特性方程（状态方程）与状态表

$$Q^{n+1} = D$$

状态表 $CP \uparrow$

D	Q^{n+1}
0	0
1	1

■ 状态转移图与激励表



激励表

Q^n	Q^{n+1}	D
0	0	0
0	1	1
1	0	0
1	1	1

§ 5.4.1 带异步置位、复位的边沿D触发器

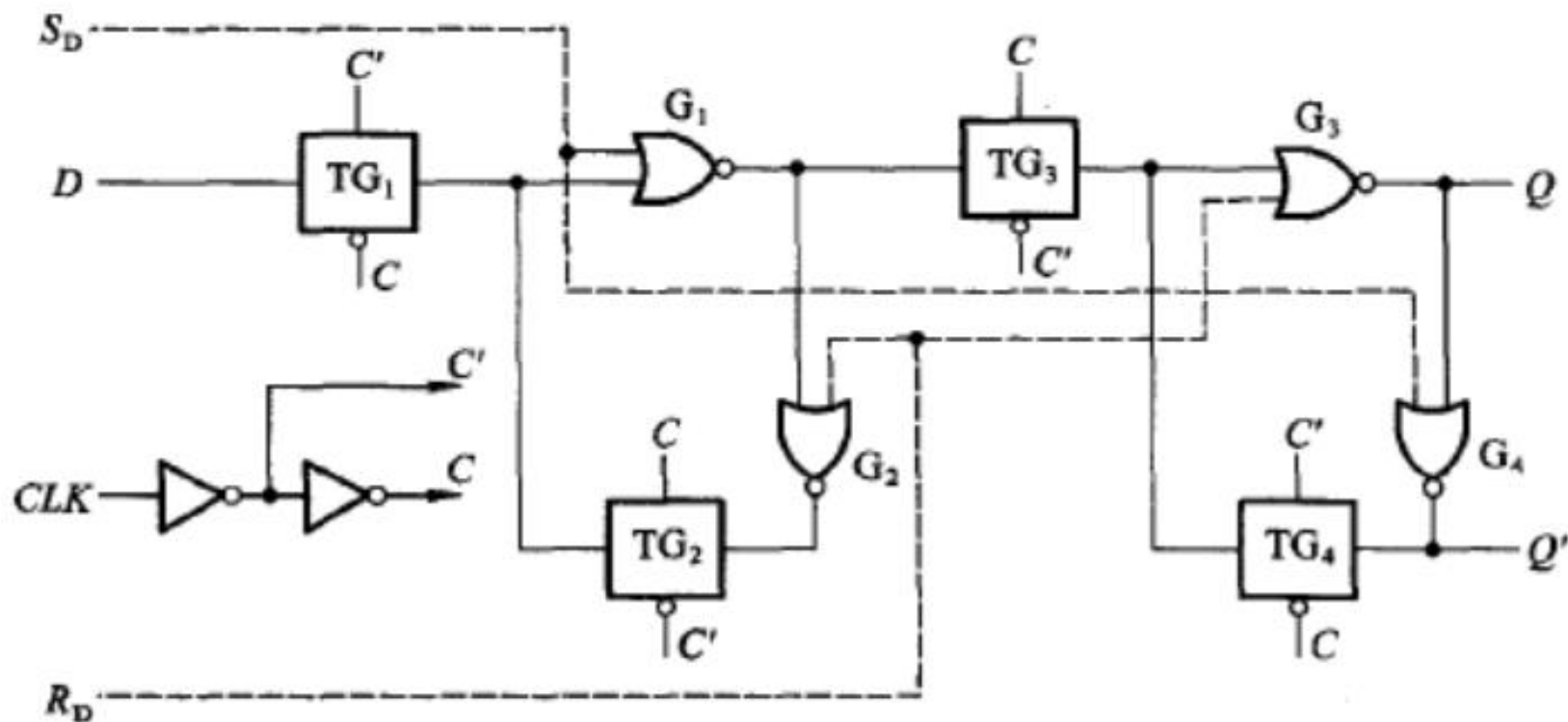


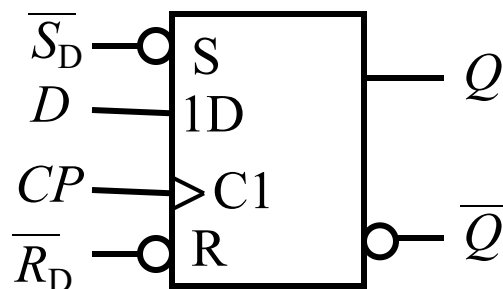
图 5.5.2 带有异步置位、复位端的 CMOS 边沿触发 D 触发器

通过 S_D 与 R_D 实现输出复位, 把4个非门换成或非门

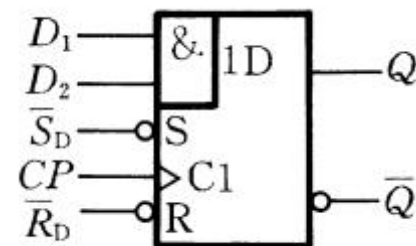


§ 5.4.1 边沿D触发器——电路图符号

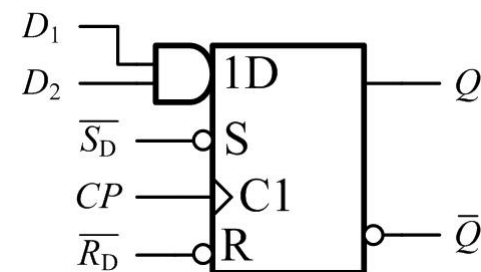
■ 电路图符号



国标（美标）符号



国标符号

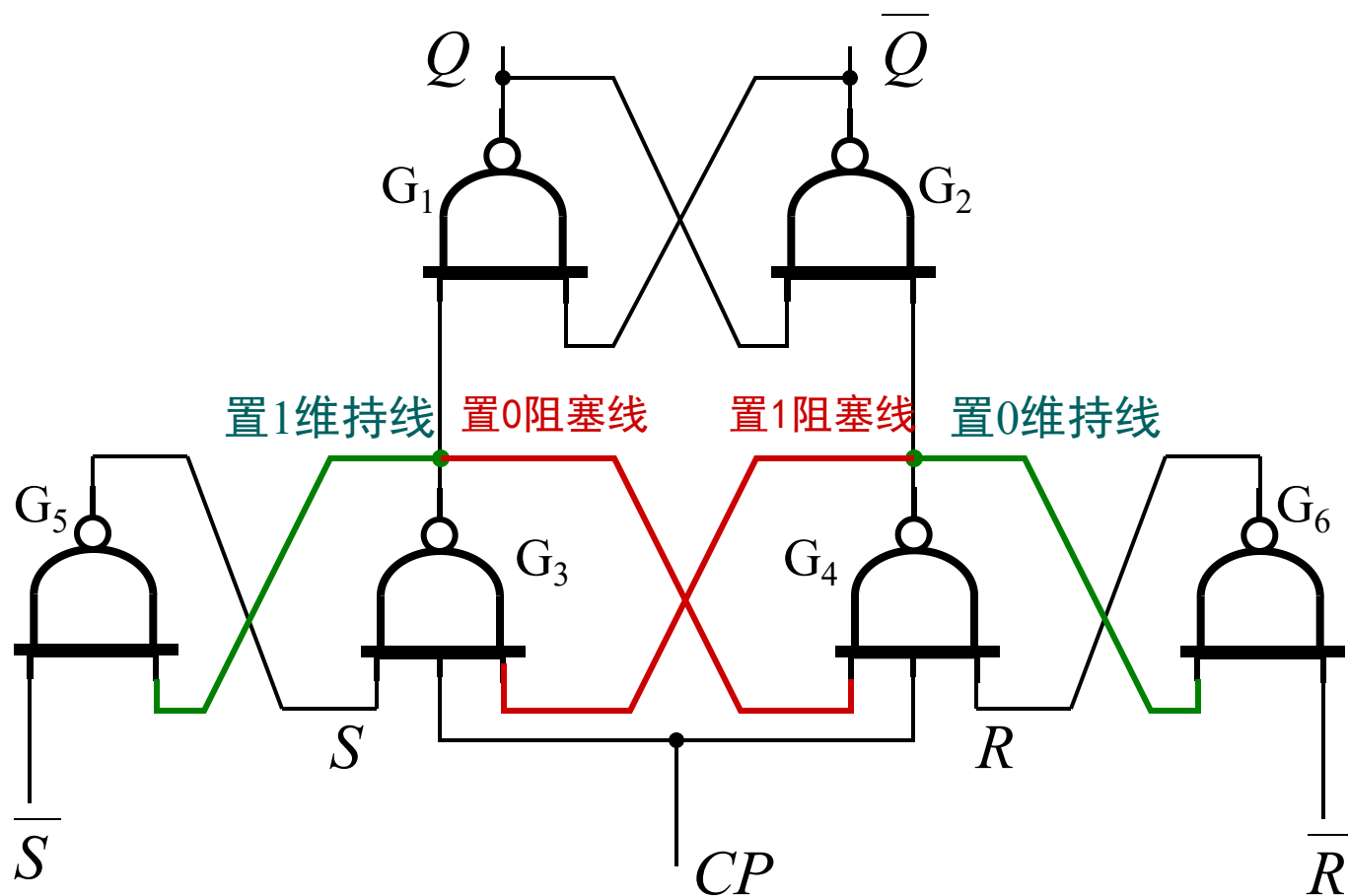


美标符号

“>”表示边沿触发动作



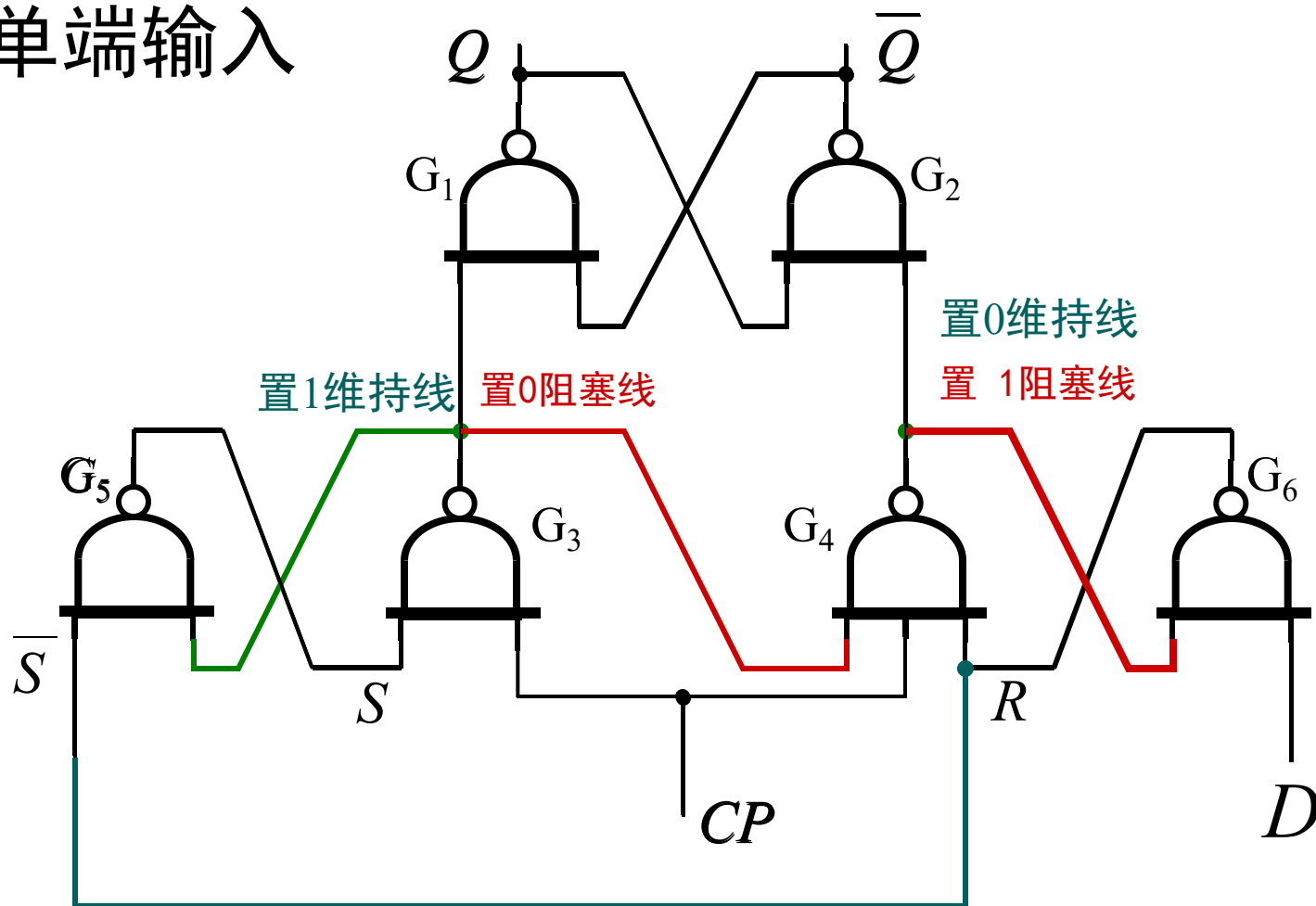
§ 5.4.2 维持—阻塞边沿触发器





§ 5.4.2 维持—阻塞边沿触发器

■ 单端输入



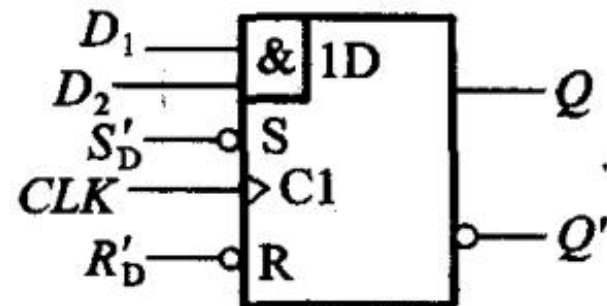
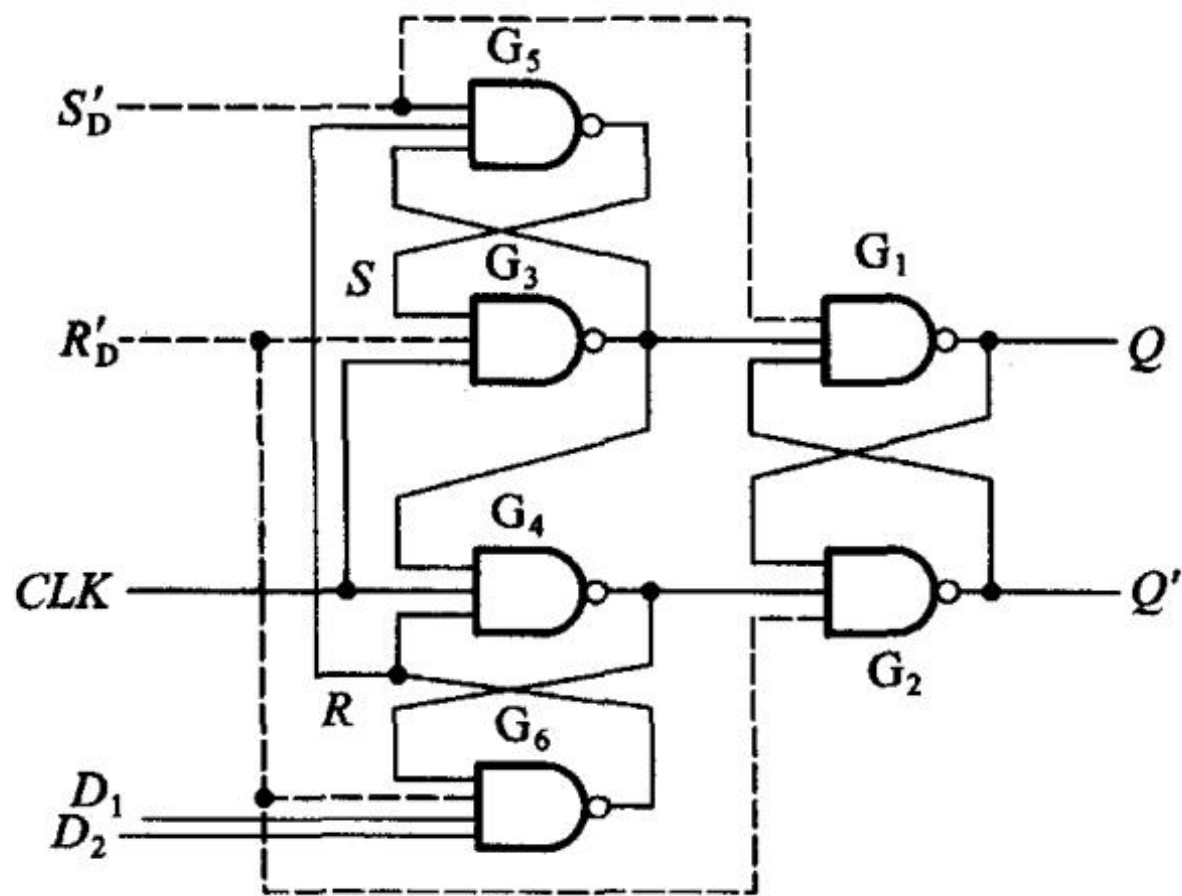


§ 5.4.2 维持—阻塞边沿触发器

工作原理



§ 5.4.2 维持—阻塞边沿触发器（带异步置位、复位、多输入）





§ 5.4.2 维持—阻塞边沿D触发器

■ 动态特性

➤ 建立时间 t_{setup}

- 定义：输入信号应至少先于CP信号到达的时间。

- t_{set}

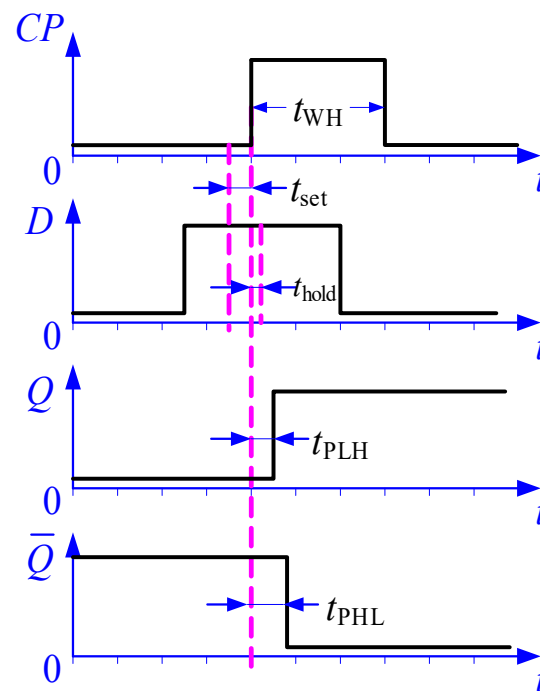
➤ 保持时间 t_{holdup}

- 定义：为了保证触发器可靠翻转，输入信号需要持续的一段时间。

- t_{hold}

➤ 传输延迟时间

$$t_{\text{PLH}} = 2t_{\text{pd}}, \quad t_{\text{PHL}} = 3t_{\text{pd}}$$



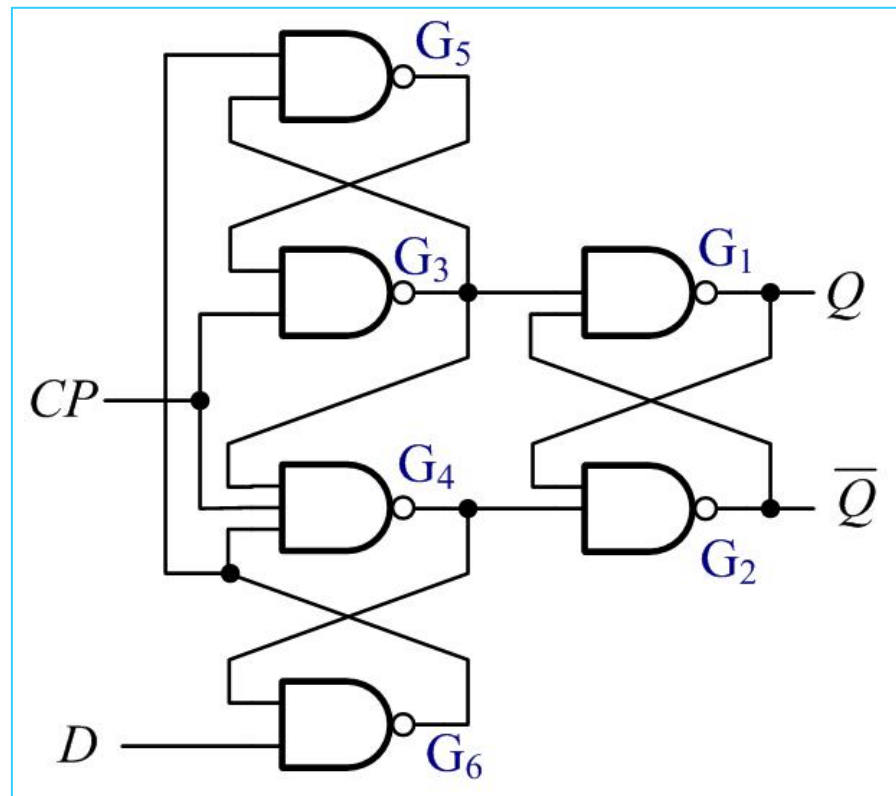
§ 5.4.2 维持—阻塞边沿D触发器

■ 动态特性

➤ 建立时间

- 电路特点： CP 是加在 $G3$ 和 $G4$ 上的；
- $CP \uparrow$ 到达前， $G5$ 和 $G6$ 的输出必须稳定地建立；
- D 端的输入信号必须先于 CP 的上升沿到达；

$$t_{\text{set}} \geq 2t_{\text{pd}}$$

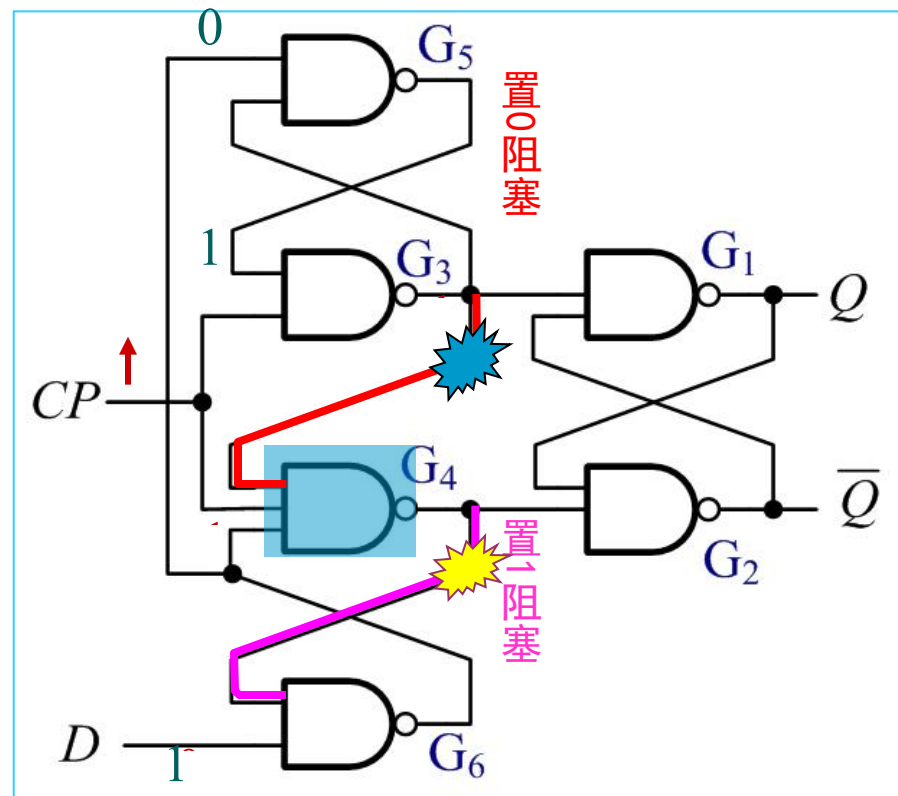


§ 5.4.2 维持—阻塞边沿D触发器

■ 动态特性

➤ 保持时间

- 为了实现边沿触发，应保证 $CP=1$ 期间 $G6$ 的输出始终不变；或者使 $G6$ 的变化受到输入控制门的封锁；
- 考虑阻塞线。



- $D=0 \quad t_{\text{hold,L}} \geq t_{\text{pd}} \quad (\text{封锁} G_6)$
- $D=1 \quad t_{\text{hold,H}} = 0 \quad (\text{封锁} G_4)$



讨论

电平触发 v.s. 脉冲主从SR v.s. 脉冲主从JK v.s. 边沿触发

➤ 电平触发

- 多次翻转；

➤ 主从SR触发

- 从触发器的状态不会多次翻转，输出状态在一个时钟周期（相位从下降沿开始）内稳定不变；主触发器仍可能多次翻转；

➤ 主从JK触发

- 一次性改变：一个CP内主触发器可以改变一次，也只能改变一次；

➤ 边沿触发

- 为了提高触发器的可靠性，增强抗干扰能力，希望触发器的次态仅仅取决于CP信号下降沿（或上升沿）到达时刻输入信号的状态；
- 在此之前和之后，输入信号的变化对触发器的次态没有影响。



回顾：SR锁存器（基本SR）的动态特性

■ 动态特性

➤ 输入信号宽度

- 为保证触发器可靠地翻转，必须等到状态反馈到置位（或 复位）门的输入之后。

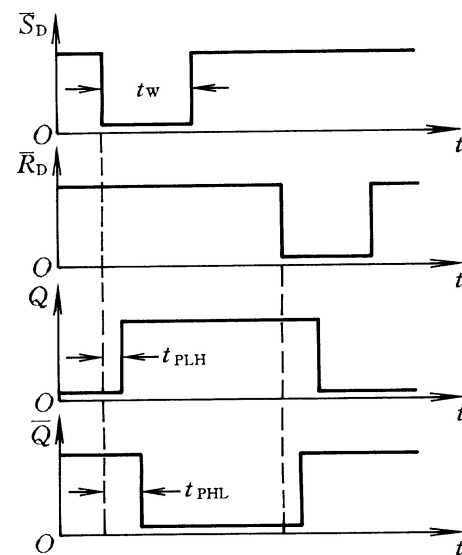
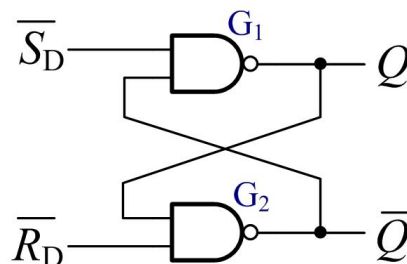
- $t_W \geq 2t_{pd}$

➤ 传输延迟时间

- 定义：从输入信号到达，到触发器输出端新的稳定状态建立起来为止的时间。

- t_{PLH} 和 t_{PHL}

$$t_{PLH} = t_{pd} \quad t_{PHL} = 2t_{pd}$$



注： t_{pd} —— 逻辑门的平均传输延迟

回顾：电平触发同步SR 动态特性

■ 动态特性

➤ 输入信号宽度

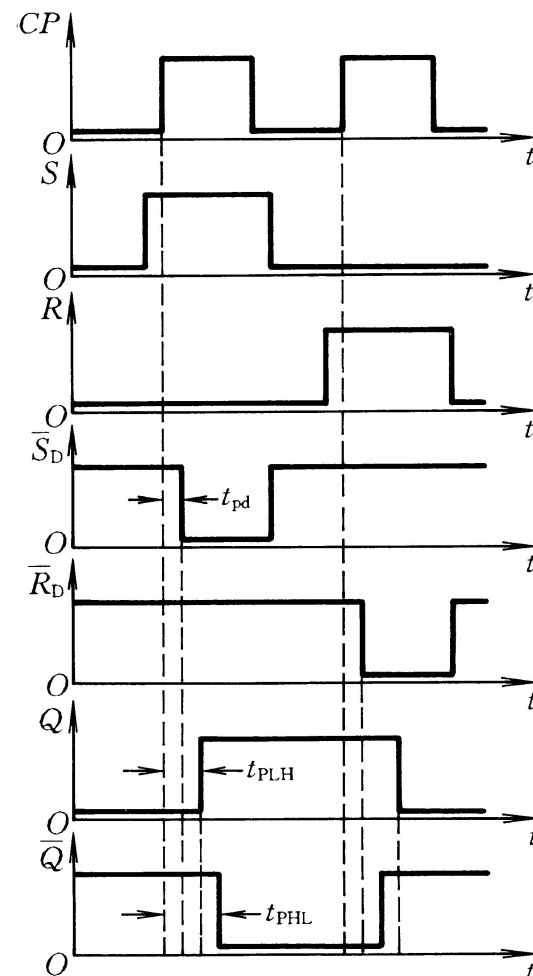
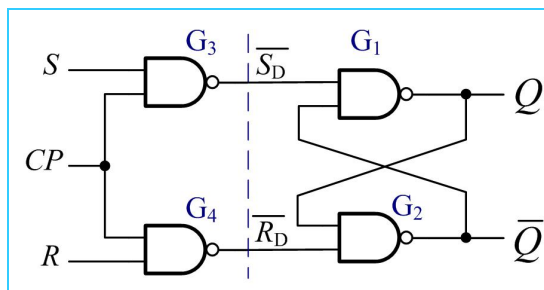
- 基本SR可靠地翻转
- $t_{W(S \cdot CP)} \geq 2t_{pd}$

➤ 传输延迟时间

- 从CP和S (R) 都有效起，到 Q 稳定建立状态止。
- 基本SR + 1级门延迟
- t_{PLH} 和 t_{PHL}

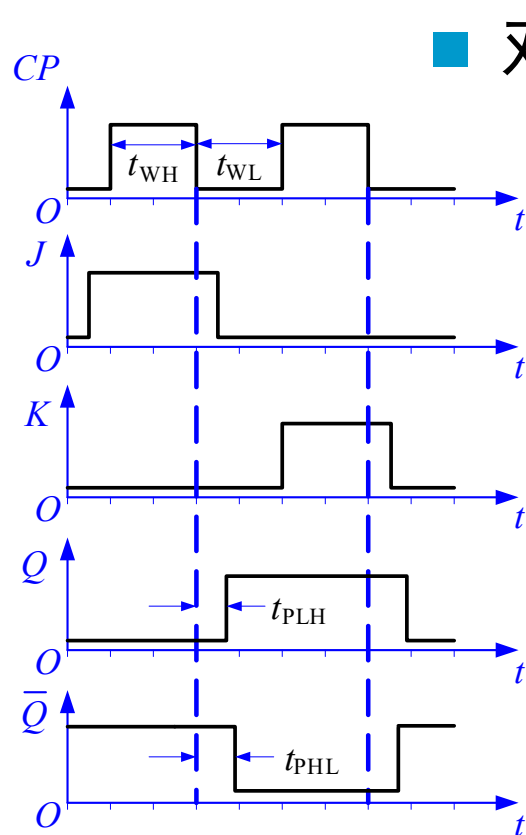
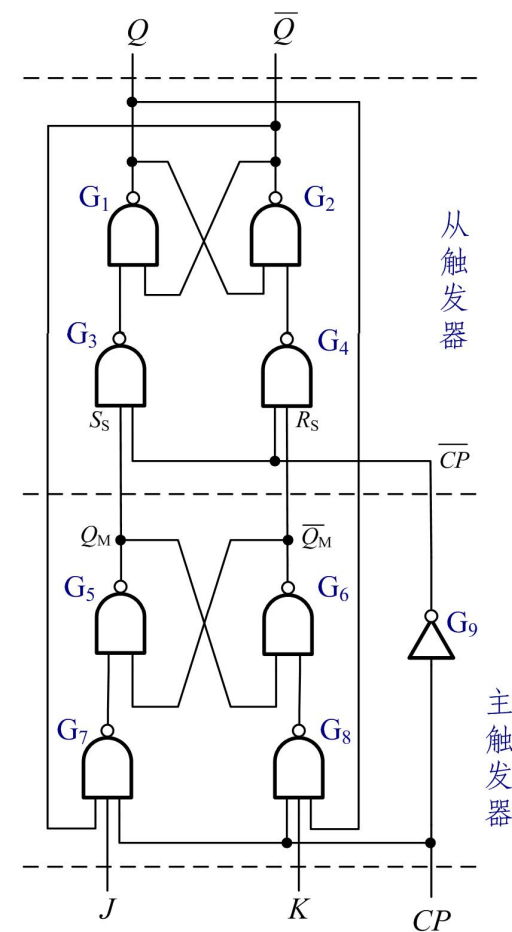
$$t_{PLH} = 2t_{pd}$$

$$t_{PHL} = 3t_{pd}$$





回顾 脉冲 主从JK触发器 的动态特性



■ 对于主从JK触发器

➤ 根据电路结构，考虑——主、从的同步SR动态特性

➤ 建立时间

- J 、 K 信号至少应在 CP 下降沿前 $2t_{pd}$ 时间已稳定建立

➤ 保持时间

- t_{hold} 要的大于 CP 的下降时间 t_f

➤ 传输延迟时间

$$t_{set} \geq 2t_{pd}$$

$$t_{PLH} = 3t_{pd}$$

$$t_{PHL} = 4t_{pd}$$

回顾：维持—阻塞边沿D触发器 的动态特性

■ 动态特性

➤ 建立时间

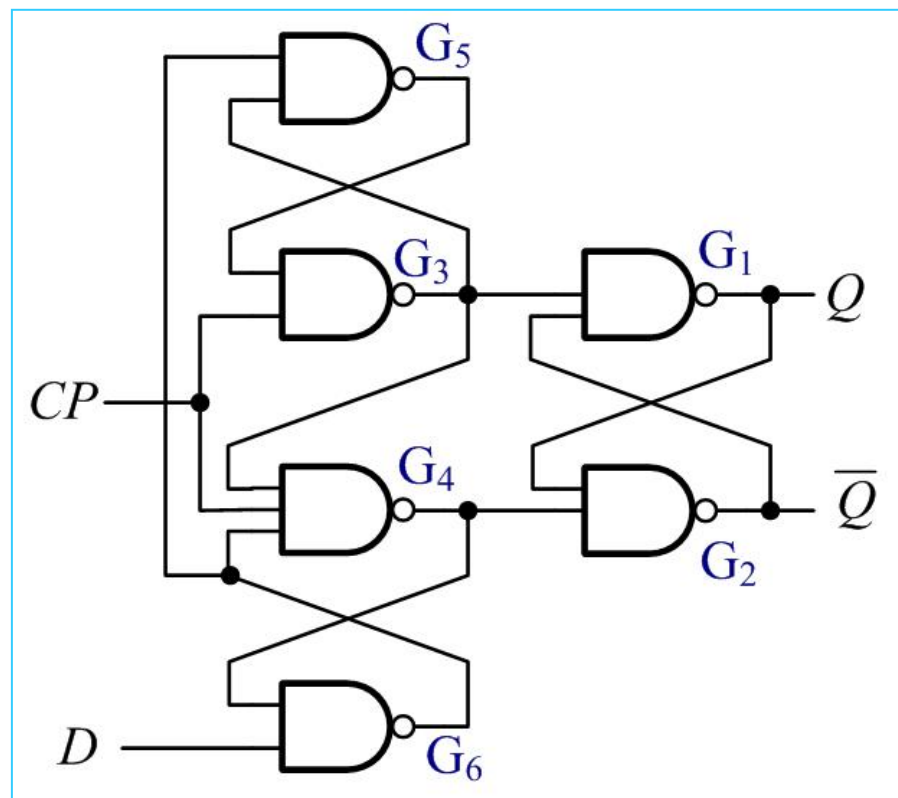
- 电路特点： CP 是加在 $G3$ 和 $G4$ 上的；
- $CP \uparrow$ 到达前， $G5$ 和 $G6$ 的输出必须稳定地建立；
- D 端的输入信号必须先于 CP 的上升沿到达；

●

$$t_{\text{set}} \geq 2t_{\text{pd}}$$

$$t_{\text{PHL}} = 3t_{\text{pd}}$$

$$t_{\text{PLH}} = 2t_{\text{pd}}$$





第五章 触发器

§ 5.1 基本触发器

§ 5.2 同步触发器

- SR锁存器
- 电平触发的SR触发器

§ 5.3 脉冲触发的主从触发器

- 脉冲触发的触发器

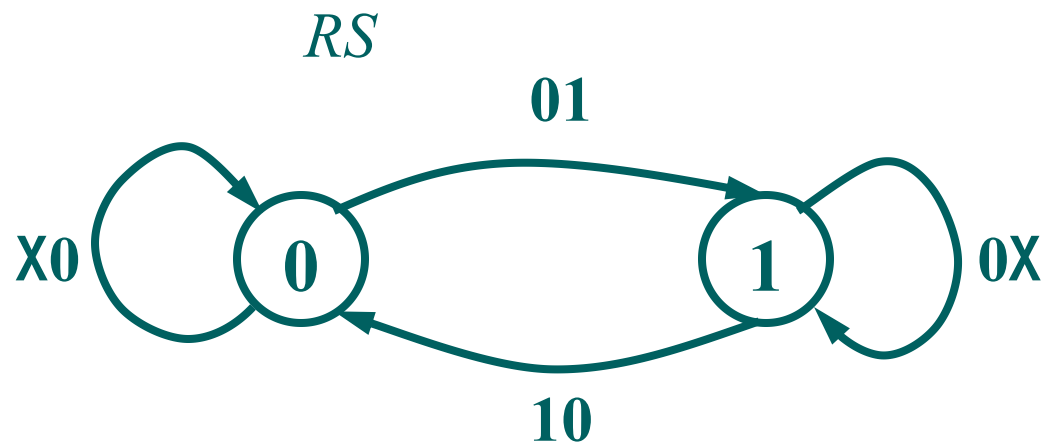
§ 5.4 边沿触发器

§ 5.5 触发器特性及功能转换

§ 5.5 触发器的功能及其转换

■ RS触发器

$$\begin{cases} Q^{n+1} = S + \bar{R} \cdot Q^n \\ RS \equiv 0 \end{cases}$$



状态表

S	R	Q^{n+1}
0	0	Q^n
1	0	1
0	1	0
1	1	X

激励表

Q^n	Q^{n+1}	S	R
0	0	0	×
0	1	1	0
1	0	0	1
1	1	×	0

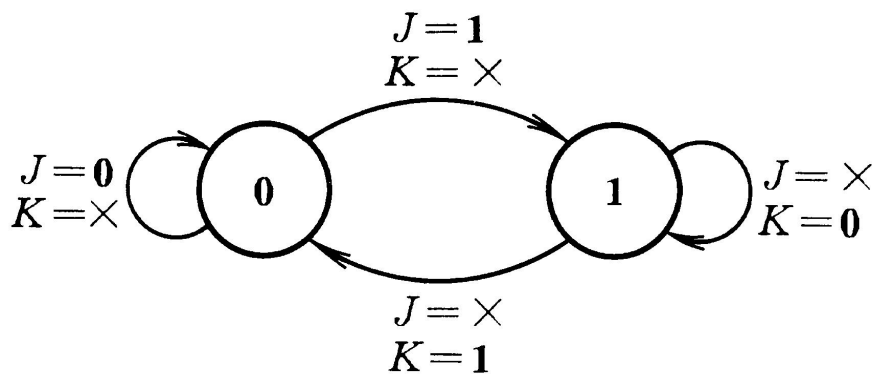
§ 5.5 触发器的功能及其转换

■ JK触发器

$$Q^{n+1} = J\overline{Q}^n + \overline{K}Q^n$$

状态表

J	K	Q^{n+1}
0	0	Q^n
1	0	1
0	1	0
1	1	\overline{Q}^n



激励表

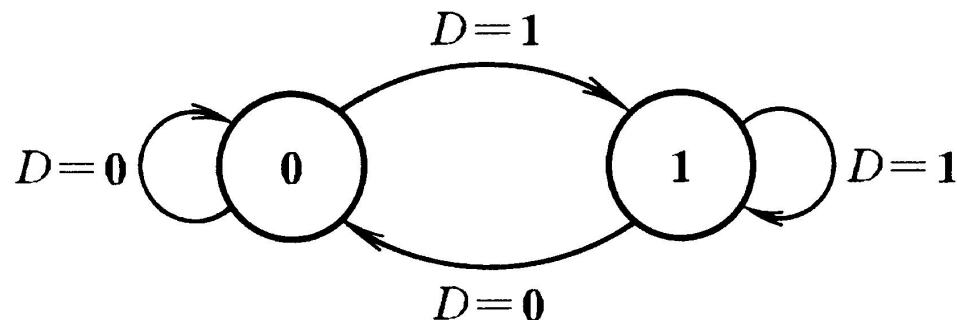
Q^n	Q^{n+1}	J	K
0	0	0	\times
0	1	1	\times
1	0	\times	1
1	1	\times	0



§ 5.5 触发器的功能及其转换

■ D触发器

$$Q^{n+1} = D$$



状态表

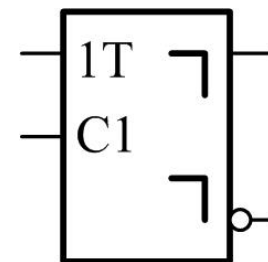
D	Q^{n+1}
0	0
1	1

激励表

Q^n	Q^{n+1}	D
0	0	0
0	1	1
1	0	0
1	1	1



§ 5.5 触发器的功能及其转换



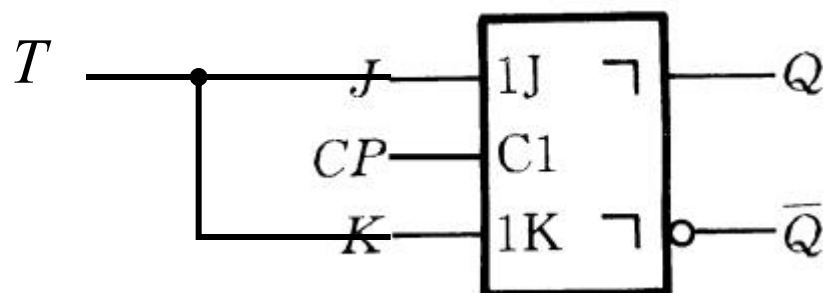
■ T触发器

- T——toggle; $T=1$, 每一个时钟都翻转; $T=0$, 保持
- 可控的计数触发器

表 5.6.3 T 触发器的特性表

T	Q	Q^*
0	0	0
0	1	1
1	0	1
1	1	0

$$Q^{n+1} = T \cdot \overline{Q^n} + \overline{T} \cdot Q^n$$



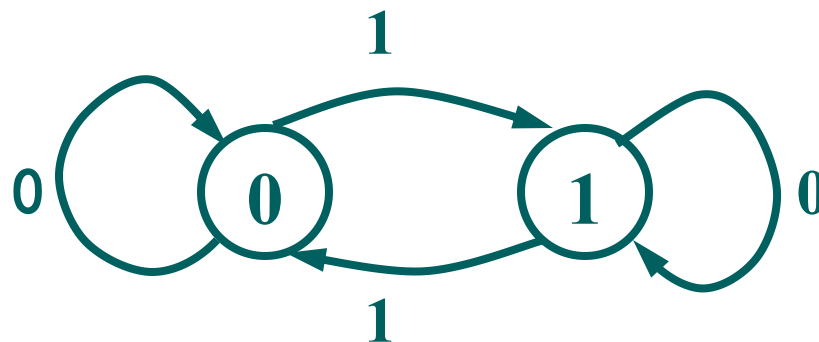
用我们学过的哪种触发器可以实现T触发器？



§ 5.5 触发器的功能及其转换

■ T触发器

$$Q^{n+1} = T \cdot \overline{Q^n} + \overline{T} \cdot Q^n$$



状态表

T	Q^{n+1}
0	Q^n
1	$\overline{Q^n}$

激励表

Q^n	Q^{n+1}	T
0	0	0
0	1	1
1	0	1
1	1	0



§ 5.5 触发器的功能及其转换

■ T'触发器

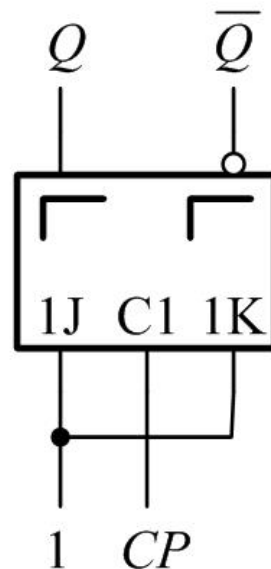
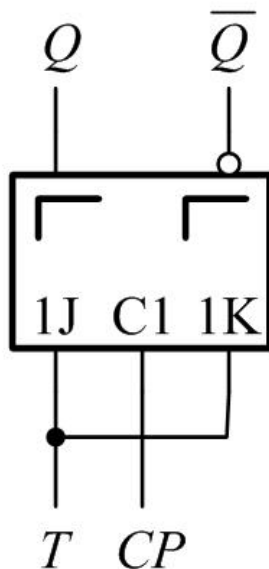
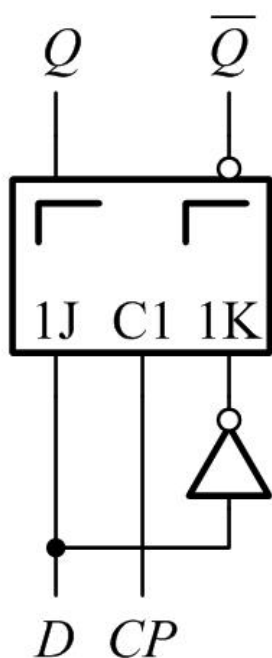
➤ 相当于 $T=1$

➤ $Q^{n+1} = \overline{Q^n}$

§ 5.5 触发器的功能及其转换

➤ JK触发器转换为其它触发器,如D触发器? $Q^{n+1} = D$

$$Q^{n+1} = J\overline{Q}^n + \overline{K}Q^n \quad \begin{array}{l} \nearrow \\ \rightarrow \\ \searrow \end{array} \quad \begin{array}{l} Q^{n+1} = T \cdot \overline{Q}^n + \overline{T} \cdot Q^n \\ Q^{n+1} = \overline{Q}^n \end{array}$$

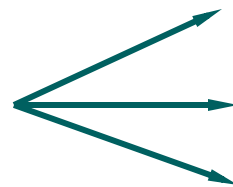


通过状态方程
来进行转换

§ 5.5 触发器的功能及其转换

■ D触发器转换为其它触发器

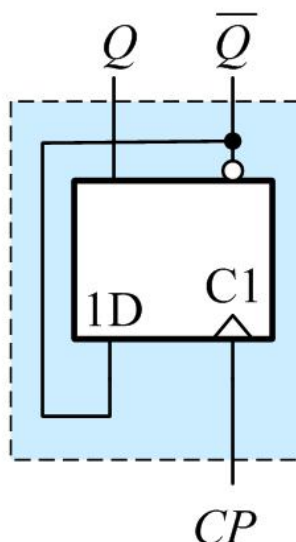
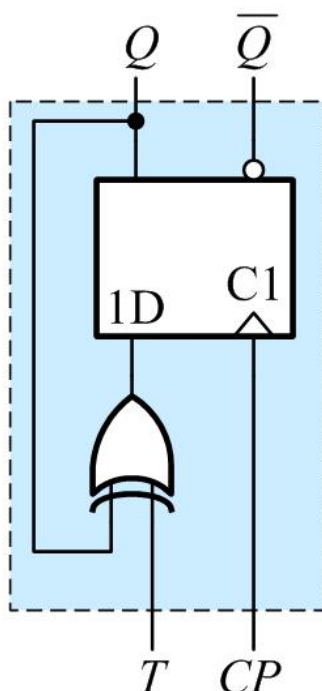
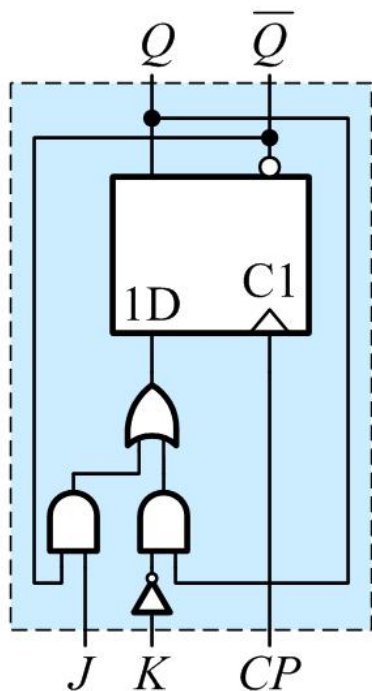
$$Q^{n+1} = D$$



$$Q^{n+1} = J\overline{Q}^n + \overline{K}Q^n$$

$$Q^{n+1} = T \cdot \overline{Q}^n + \overline{T} \cdot Q^n$$

$$Q^{n+1} = \overline{Q}^n$$

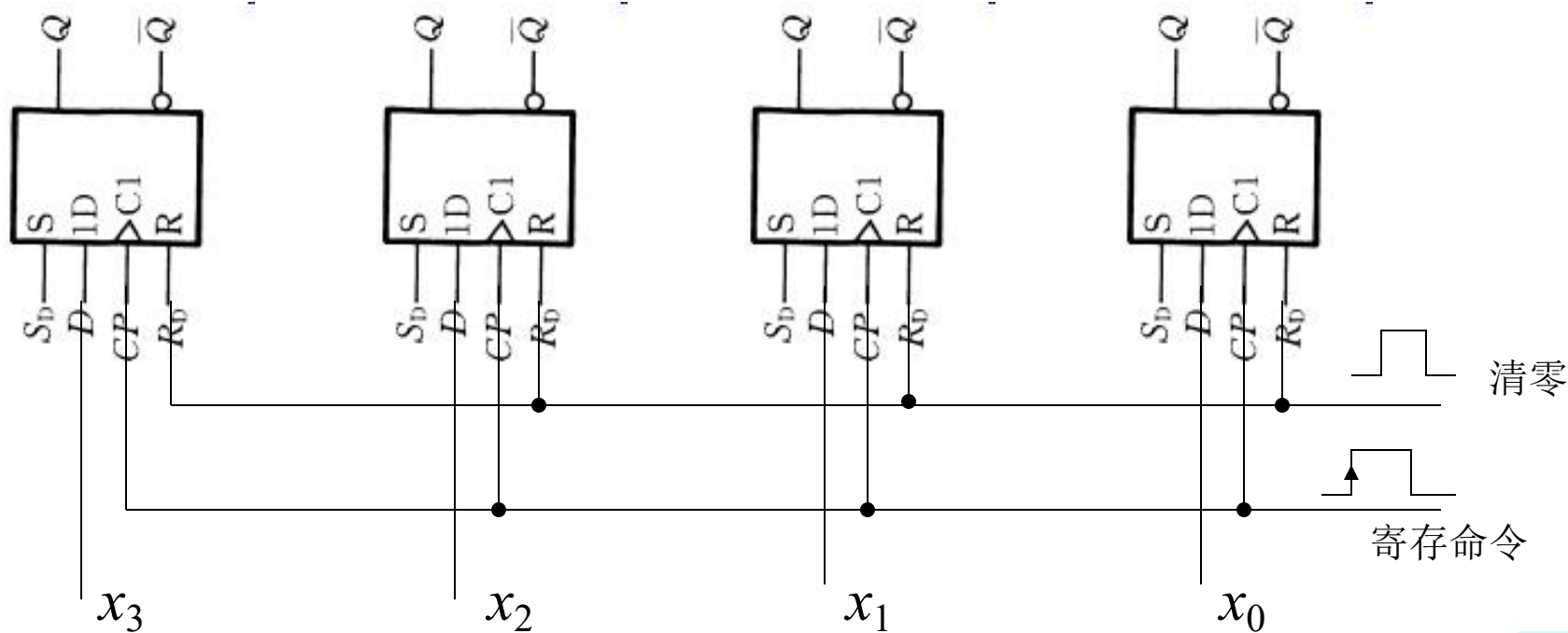




触发器的简单应用

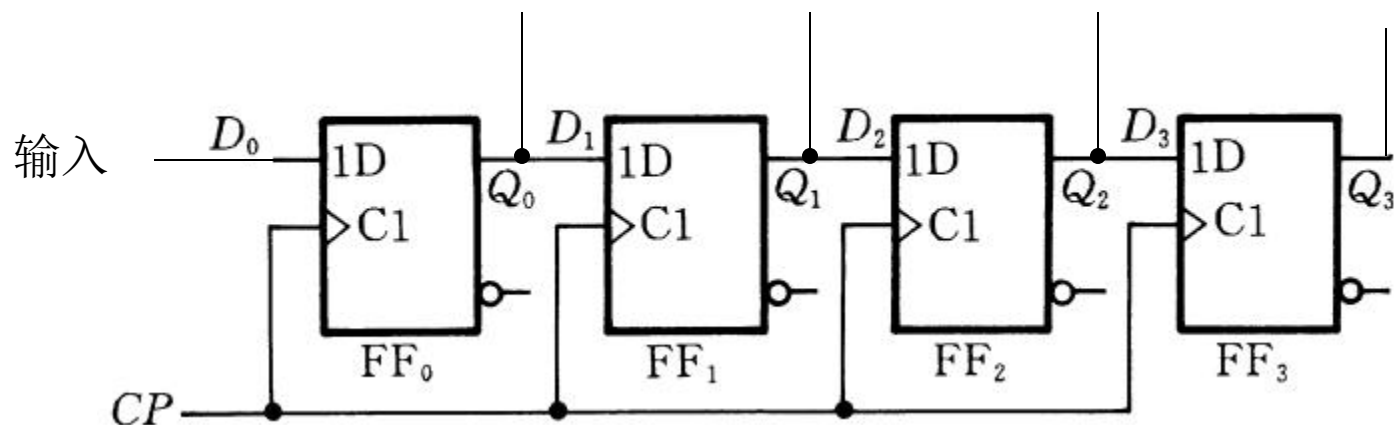
■ 代码寄存器 (register)

- 一个触发器可以寄存1-bit二进制代码



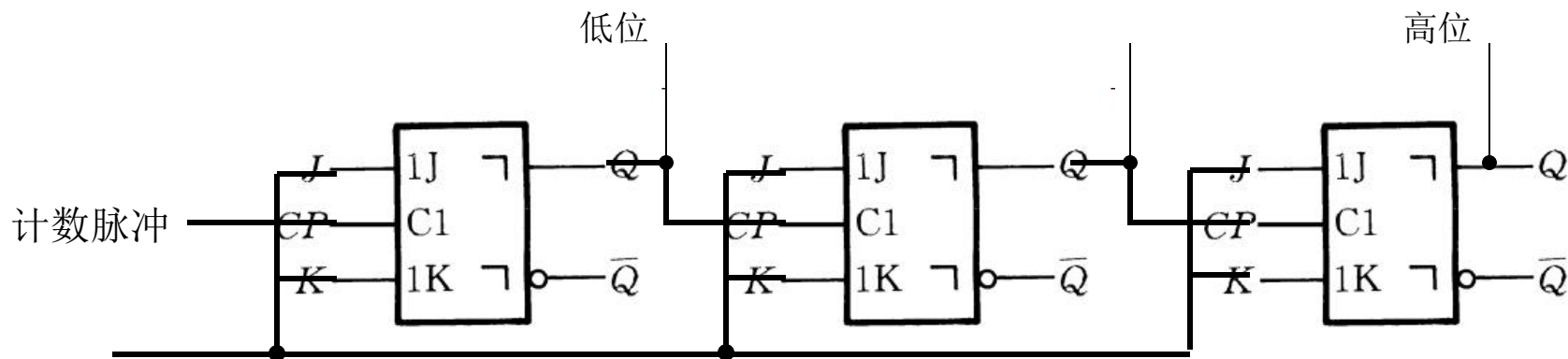
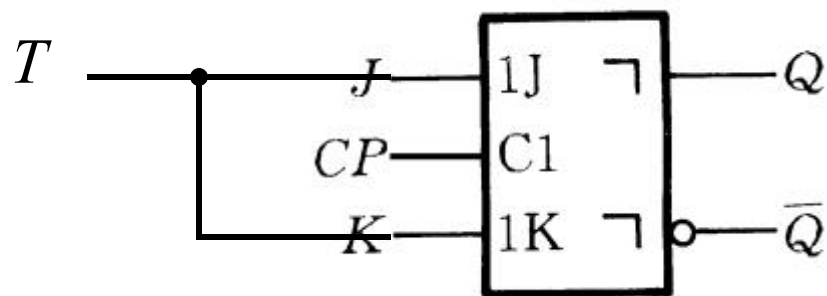
触发器的简单应用

■ 移位寄存器



触发器的简单应用

■ 计数器（异步）





触发器的常规应用

- 时序逻辑电路
 - 结构上有反馈
 - 功能上有记忆



小结——本章的基本知识

- 触发器特点：置数、保持
- 描述触发器逻辑功能的方法：特性表（状态表、激励表）、特性方程、状态转换图和波形图
- 按照结构不同，触发器可分为基本RS触发器（直接触发）、同步触发器（电平触发）、主从触发器（主从触发）、边沿触发器（边沿触发）
- 根据逻辑功能的不同，触发器可分为RS触发器、JK触发器、D触发器、T触发器和T'触发器
- 利用特性方程可实现不同功能触发器间逻辑功能的相互转换
- 触发器动态特性影响触发器速度



第五章习题

阎石 老师 第五版

■ 5.14, 5.15, 5.16, 5.26