

数字电路高层次综合设计 第三周作业

范云潜 18373486

微电子学院 184111 班

日期：2020 年 9 月 29 日

1 加法器

系统输入：两个加数，一个进位；系统输出：一个与加数同样位宽的和，一个进位；系统功能：对两个加数和进位进行加和，将产生的和的主体与进位输出。

对于 16 位加法器的两个加数和一个进位通过 `assign` 完成数据加法，输出到 `cout,sum`

对于 32 位的加法器，需要由 16 位的加法器进行串联，第一级的进位为第二级的输入，进行模块调用即可。

需要注意的是，测试本模块时，需要在 `test.py` 与 `test.v` 的文件头部设定位数。