

数字电路高层次综合设计 第十四周作业

范云潜 18373486

微电子学院 184111 班

日期：2020 年 12 月 10 日

目录

| | |
|----------------------|----------|
| 1 设计分析 | 1 |
| 2 模块设计 | 2 |
| 2.1 主控制模块 | 2 |
| 2.2 时钟模块 | 3 |
| 2.3 闹钟模块 | 3 |
| 2.4 秒表模块 | 4 |
| 2.5 时间显示模块 | 5 |
| 2.6 闹钟显示模块 | 5 |
| 2.7 显示选择器 | 5 |
| 3 综合结果 | 5 |

1 设计分析

首先根据功能，分析所需要的功能模块：

- 时钟模块 `clock_hms`，需要可以在特定情况下设置时间
- 闹钟模块 `alarm`，需要在时钟模块运行到特定时间时，出现特定的显示，持续到用户按键停止
- 秒表模块 `timer`，进行计时，需要有开始，暂停，归位的功能

为了实现这些功能模块的对外输出，需要的伺服模块有：

- 分频器 `tiks`
- 基于模式选择的多路选择器 `display_choose`，用于将不同模块的信号输入到显示模块中，
- 显示模块 `display_time`，将之前的七段管显示 `hex` 与 BCD 编码 `bcd` 合并在一起，对输入的时间进行显示

此外需要核心的控制模块设计 `ctrl`。

2 模块设计

为了降低模块的复杂度，将所有的设置的控制部分转移到控制模块，各个功能模块仅采用控制模块给出的数值即可。各个功能模块中进行设置之前需要进行使能。整体模块的调用如图 1。接下来的叙述中，只有功能与控制模块给出了端口定义。

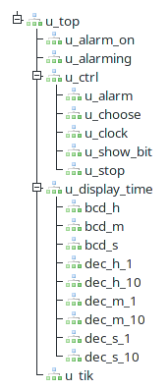


图 1: 模块层次图

2.1 主控制模块

主控制模块的主要功能是对外部输出一个电子时钟应该输出的所有信号：时间信息、闹钟开始，以及接收必要的控制信号：模式控制、位选择、加减调节、关闭闹钟。

其内部实例化了三个主要的功能模块，并根据目前电子时钟工作的状态对各个模块的输出进行选择，最终输出整体的信号。为了控制这些功能模块，还需要将外部的控制信号进行逻辑设计，以期合理控制各个功能的正常转换与运行。

Listing 1: 主控制模块端口定义

```
module ctrl #(
    parameter integer max_h = 12,
    parameter integer max_m = 23,
    parameter integer max_s = 41
)
(
    clk,
    reset,
    en,
    alarm_on,
    alarming,
    mod_choose,
    bit_choose,
    val_add,
    val_sub,
    val_set,
    clear,
    out_h,
```

```

        out_m,
        out_s,
        led
    );

```

2.2 时钟模块

在除去复位（reset）以及置位（set）外，本模块需要一直进行计时，这样的目的是为闹钟提供参考时间，并且符合电子表的使用常识。

状态机仅有**工作**与**设置**两个状态，在设置时，时间直接转到控制模块给出的需要设定的时间。

Listing 2: 时钟模块端口定义

```

module clock_hms #(
    parameter integer max_h = 12,
    parameter integer max_m = 23,
    parameter integer max_s = 41
)
(
    clk,
    reset,
    en,
    set,
    set_h,
    set_m,
    set_s,
    out_h,
    out_m,
    out_s,
);

input clk, reset, en, set;
input [5:0] set_h, set_m, set_s;
output reg [5:0] out_h, out_m, out_s;

```

2.3 闹钟模块

状态机有**工作**与**设置**两个状态，在设置时，时间直接转到控制模块给出的需要设定的时间。

在**工作**状态时，闹钟比对当前时钟与设定时间，将输出的控制信号设定为**响铃**，直到外部按下关闭闹铃键。并且我们合理的设置，可以关闭闹钟功能，此时闹钟在到达预订时间时不会“响”起。

Listing 3: 闹钟模块端口定义

```

module alarm (

```

```

    clk,
    reset,
    set,
    en,
    alarming,
    clear,
    set_h,
    set_m,
    set_s,
    hms_h,
    hms_m,
    hms_s,
    saved_h,
    saved_m,
    saved_s
);

input clk, reset, set, en, clear;
input [5:0] hms_h, hms_m, hms_s;
input [5:0] set_h, set_m, set_s;
output alarm_on;
output reg alarming;
output reg [5:0] saved_h, saved_m, saved_s;

```

2.4 秒表模块

状态机只有**暂停**与**工作**两个状态，但是秒表需要工作在后台，并且有**归零**、**暂停/继续**两个按键，就如同每一块电子表一样。

Listing 4: 闹钟模块端口定义

```

module stopwatch #(
    parameter integer max_h = 12,
    parameter integer max_m = 23,
    parameter integer max_s = 41
)
(
    clk,
    reset,
    en,
    set,
    pause_resume,
    out_h,
    out_m,
    out_s
);

```

2.5 时间显示模块

将 BCD 编码与七段管显示合并在一起，显示只需要给出时分秒各位数据即可。

2.6 闹钟显示模块

闹钟响铃以一位的数码管显示，响铃时产生动态效果。

2.7 显示选择器

用于选择各个功能模块的显示输出以及设置时的临时显示。这样一来，显示部分就不会影响各个模块的输出逻辑。

3 综合结果

综合结果如 **图 2**。

| | |
|------------------------------------|---|
| Fitter Status | Successful - Thu Dec 10 21:22:57 2020 |
| Quartus Prime Version | 20.1.0 Build 711 06/05/2020 SJ Lite Edition |
| Revision Name | top |
| Top-level Entity Name | top |
| Family | Cyclone IV E |
| Device | EP4CE115F29C7 |
| Timing Models | Final |
| Total logic elements | 388 / 114,480 (< 1 %) |
| Total registers | 148 |
| Total pins | 101 / 529 (19 %) |
| Total virtual pins | 0 |
| Total memory bits | 0 / 3,981,312 (0 %) |
| Embedded Multiplier 9-bit elements | 0 / 532 (0 %) |
| Total PLLs | 0 / 4 (0 %) |

图 2: 综合报告