

数字电路高层次综合设计 第三周作业

范云潜 18373486

微电子学院 184111 班

日期：2020 年 9 月 28 日

1 向量逆序输出

系统输入：一个 32 bit 或 4 byte 的数据；系统输出：一个 32 bit 或 4 byte 的数据；系统功能：对 byte 顺序进行倒置，如 {b1, b2, b3, b4} 会引起 {b4, b3, b2, b1} 的输出（每一个 b* 都代表一个 8 bit 数据）。

通过 Verilog 的位选语法进行分组与重组。