

课程号: B3I493310

开课学期:2020-2021学年秋季



# 数字系统设计

北京航空航天大学  
微电子学院  
贾小涛





# 第一章 概述

- 一、数字系统概述
- 二、数字系统设计方法学
- 三、数字系统设计自动化



# 第一章 概述

- 一、数字系统概述
- 二、数字系统设计方法学
- 三、数字系统设计自动化

# 数字系统概述

微处  
理器

## ■ 数字系统涉及生活的方方面面

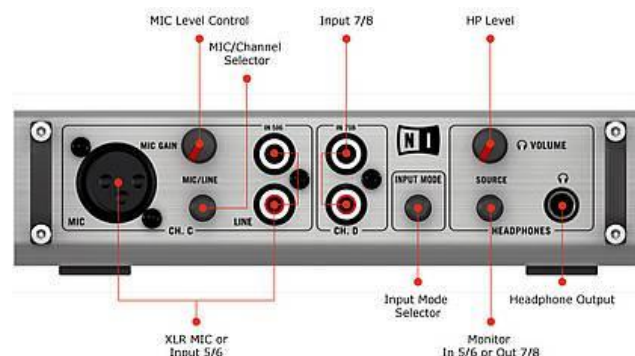
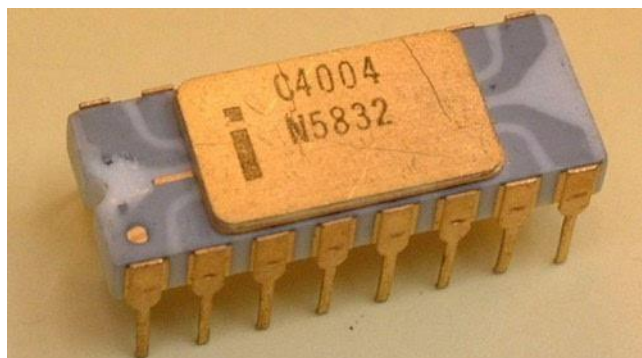


- 处理器
  - CPU, DSP, Controllers
- 存储芯片
  - RAM, ROM, EEPROM
- 模拟芯片
  - Mobile communication, audio/video processing
- 可编程器件
  - PLA, FPGA
- 嵌入式系统
  - Used in cars, factories
  - Network cards
- **System-on-chip (SoC)**

# 数字系统概述

## ■ 数字系统的基本组成

数字  
系统



数字系统可以看做是一个微处理器外加交互接口



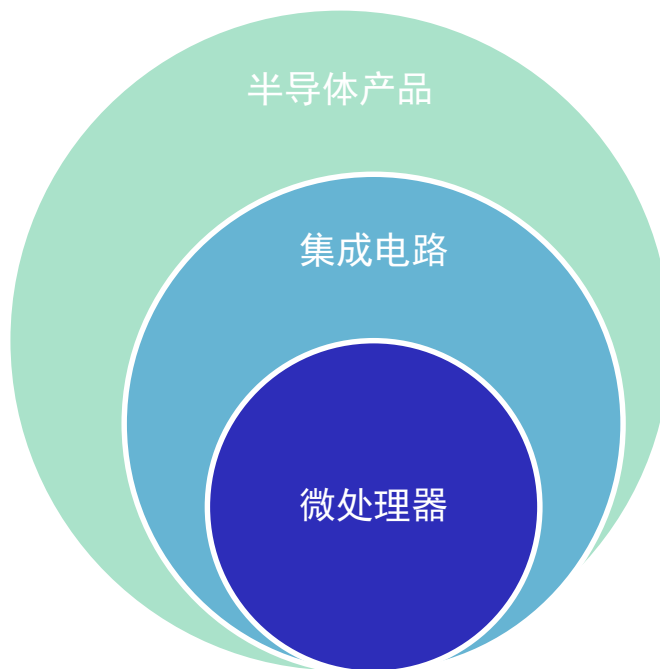
算术逻辑单元  
存储单元  
控制单元

硅集成 → 集成电路  
Integrated Circuit

# 数字系统概述

## ■ 微处理器

微处  
理器

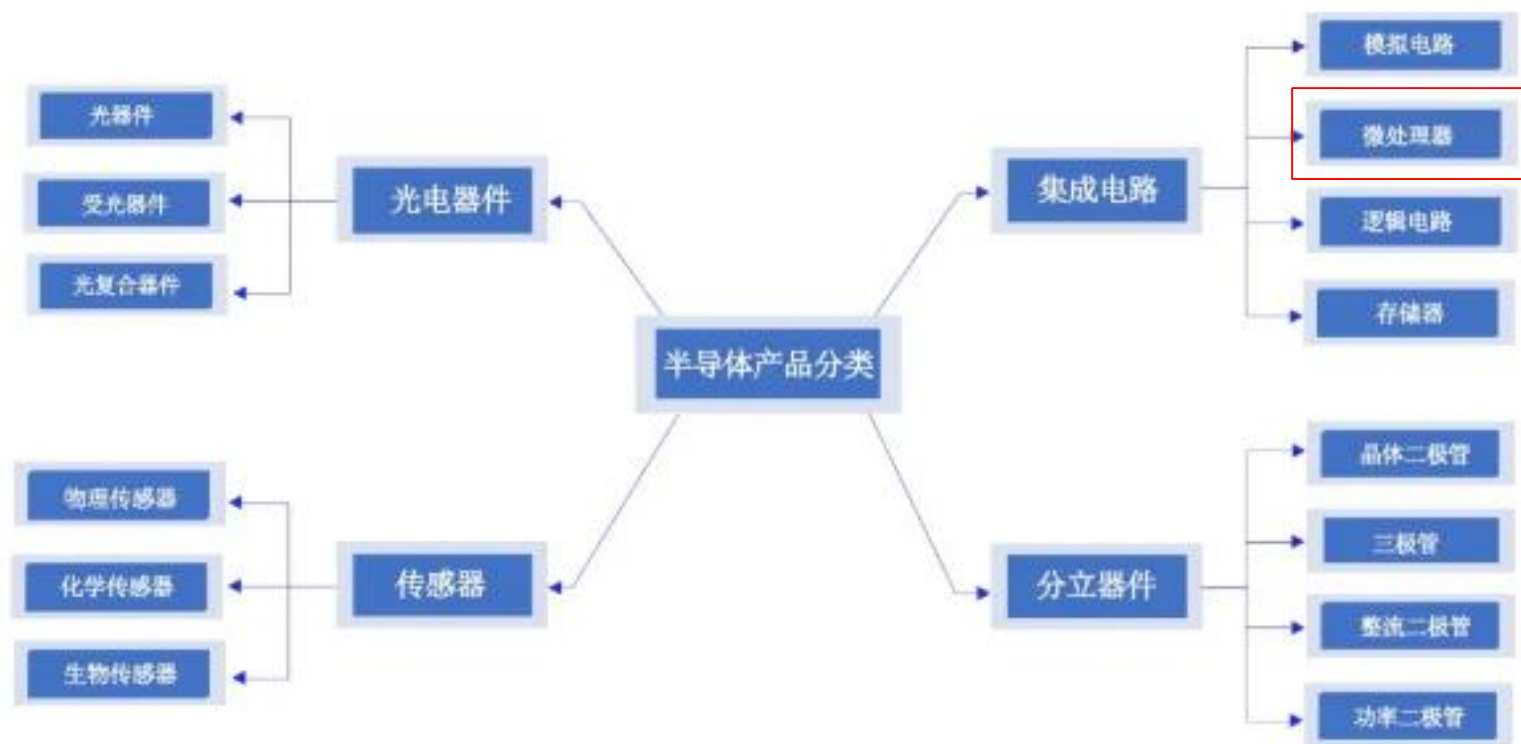


# 数字系统概述



微处  
理器

## ■ 微处理器





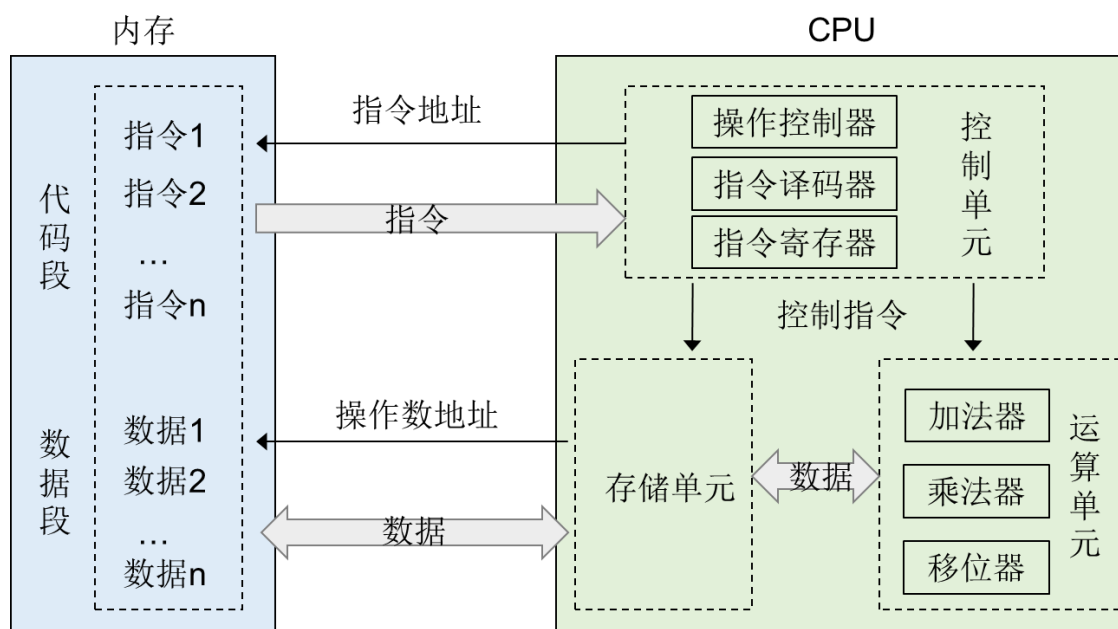


# 数字系统概述

微处理器

## ■ 常见微处理器

— 中央处理器（Central Processing Unit, CPU）



CPU架构与工作原理



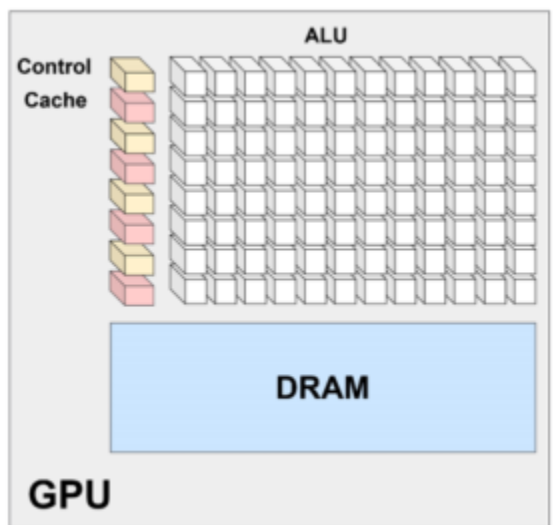
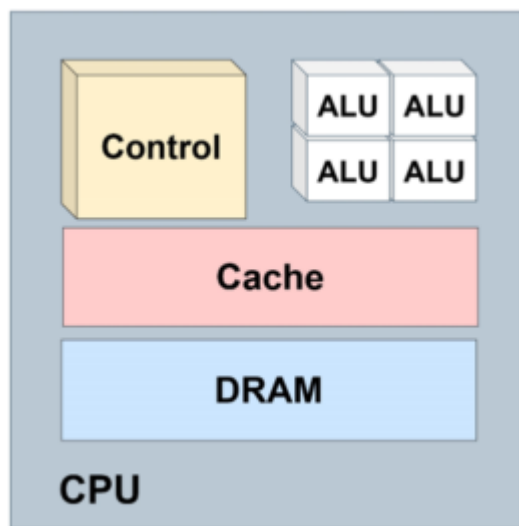


# 数字系统概述

微处理器

## ■ 常见微处理器

— 图形处理器（Graphics Processing Unit, GPU）



CPU和GPU的构成区别

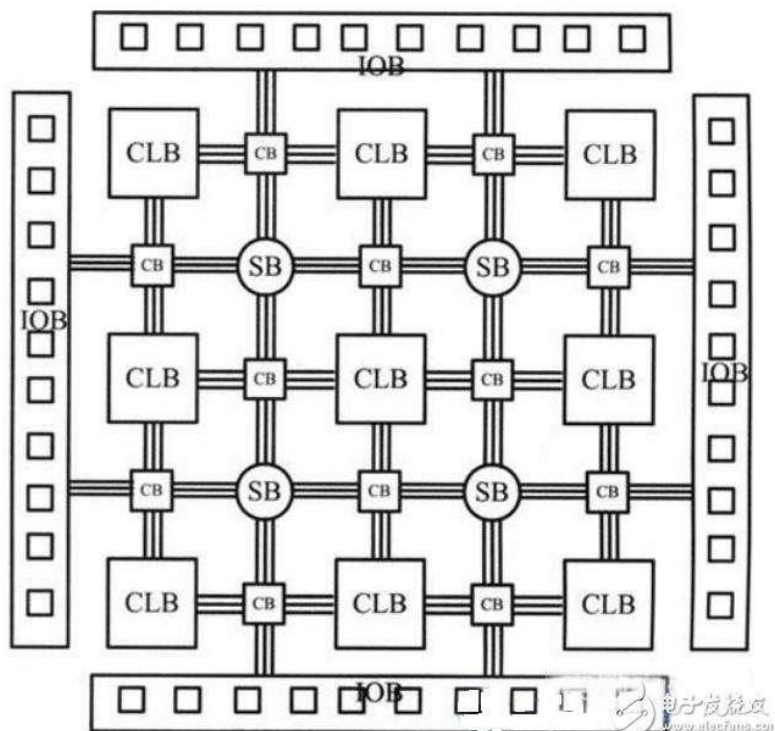




# 数字系统概述

## ■ 常见微处理器

- 现场可编程逻辑门阵列（Field Programmable Gate Array，FPGA）



now part of Intel



复旦微电子集团

# 数字系统概述

微处理器

## ■ 常见微处理器

— 专用处理器（Application Specific Integrated Circuit, ASIC）

➤ 应特定用户要求和特定电子系统的需要而设计、制造的集成电路

射频芯片



矿机芯片



BITMAIN

人工智能芯片

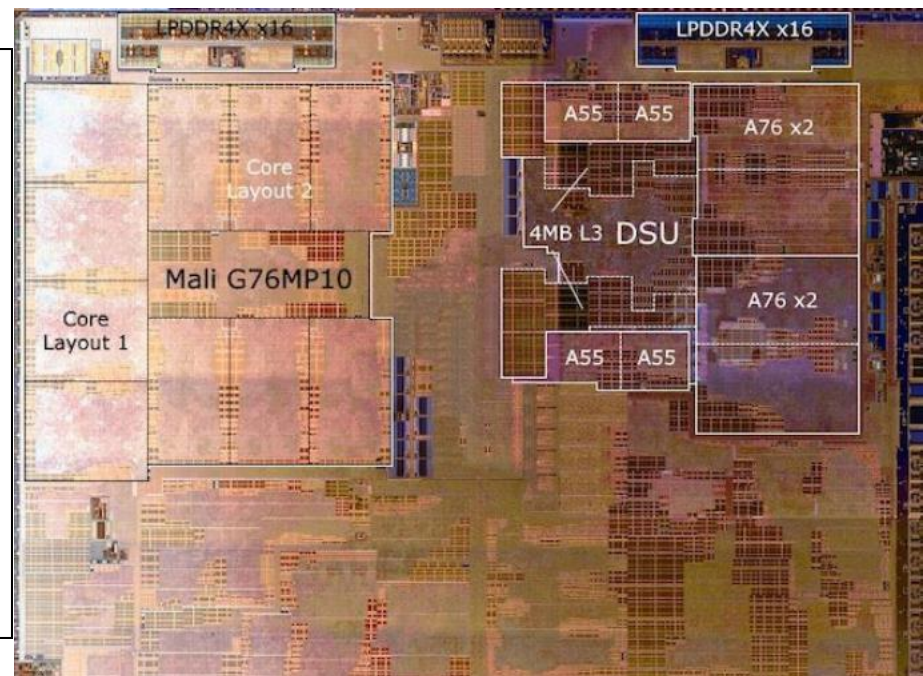
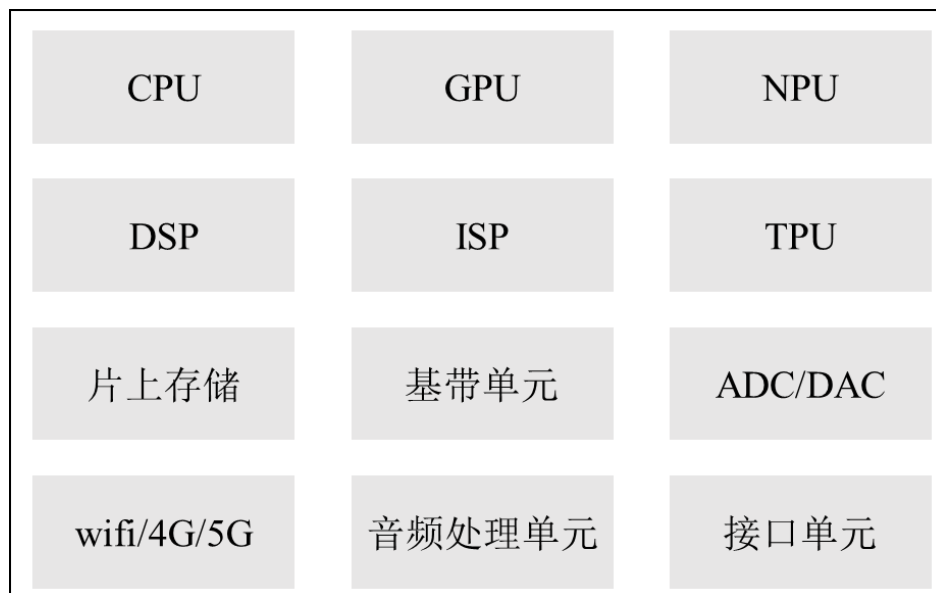




# 数字系统概述

## ■ 其他微处理器

- DSP 数字信号处理器
- ISP 图像信号处理器
- MCU 微控制器
- SoC 系统级芯片/片上系统





# 数字系统概述

## ■ 数字逻辑电路

- 是微处理器实现数字信号逻辑运算的电路

**与**  
AND

| A | B | Q |
|---|---|---|
| 0 | 0 | 0 |
| 0 | 1 | 0 |
| 1 | 0 | 0 |
| 1 | 1 | 1 |

**或**  
OR

| A | B | Q |
|---|---|---|
| 0 | 0 | 0 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 1 |

**非**  
NOT

| A | Q |
|---|---|
| 0 | 1 |
| 1 | 0 |

- 处理与传递离散信号（数字信号）
- 组合逻辑电路
- 时序逻辑电路

# 数字系统概述

## ■ 组合逻辑电路

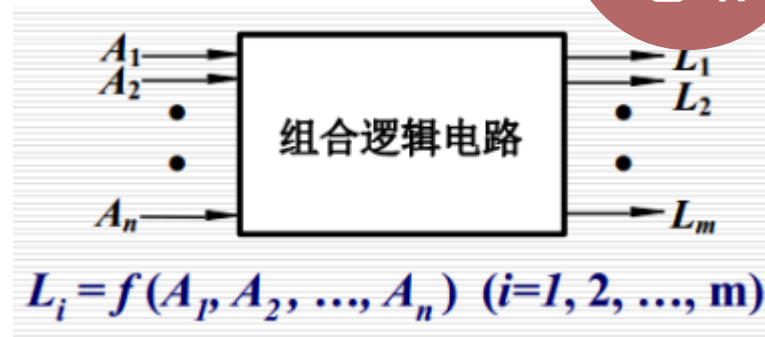
### 结构特征：

1. 输入输出之间没有反馈延迟通路
2. 不含存储单元

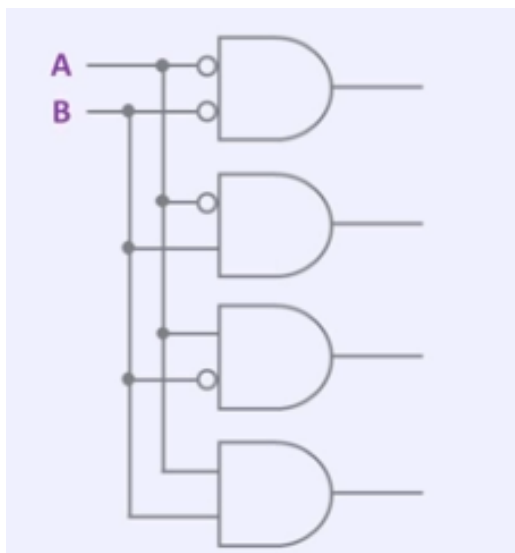
### 工作特征：

任意时刻的输出只取决于该时刻的输入，与电路原有的状态无关

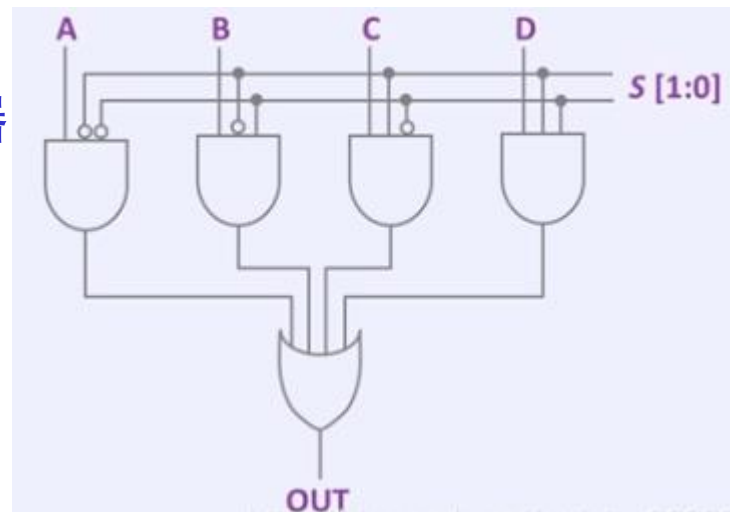
逻辑  
电路



2-4译码器



多路  
选择器







# 数字系统概述

逻辑  
门

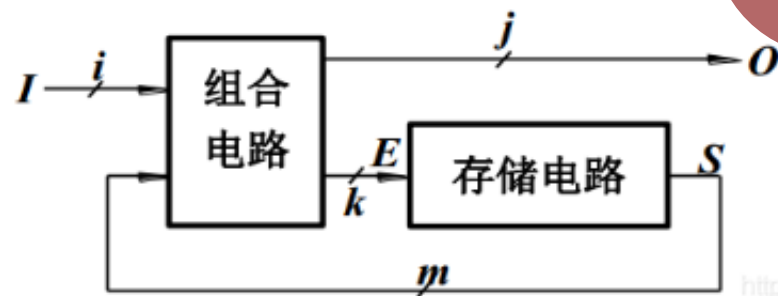
## ■ 时序逻辑电路

### 结构特征：

1. 电路由组合电路和存储电路组成
2. 存在反馈电路

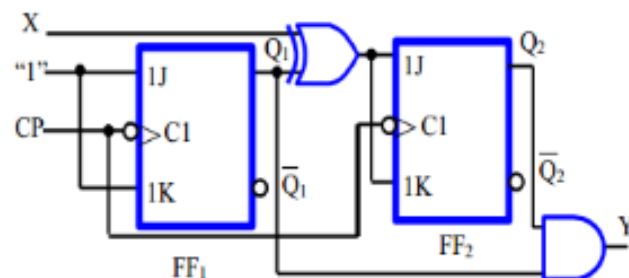
### 工作特征：

电路输出即与该时刻的输入有关，也与电路原有的状态有关



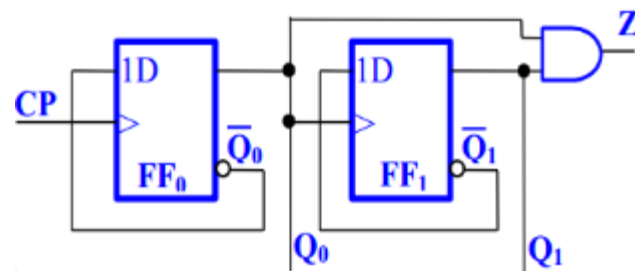
### 同步时序电路：

存储电路里所有触发器有一个统一的时钟源，它们的状态在同一时刻更新



### 异步时序电路：

没有统一的时钟脉冲，电路的状态更新不在同一时刻发生







# 数字系统概述

## ■ 逻辑门电路

- 数字逻辑电路的基本单元。执行“或”、“与”、“非”、“或非”、“与非”等逻辑运算的电路
- 任何复杂的逻辑电路都可由基本逻辑门组成

**与**  
AND

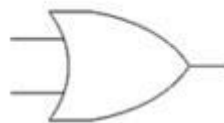
| A | B | Q |
|---|---|---|
| 0 | 0 | 0 |
| 0 | 1 | 0 |
| 1 | 0 | 0 |
| 1 | 1 | 1 |



AND

**或**  
OR

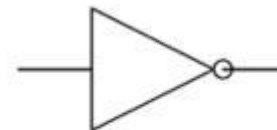
| A | B | Q |
|---|---|---|
| 0 | 0 | 0 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 1 |



OR

**非**  
NOT

| A | Q |
|---|---|
| 0 | 1 |
| 1 | 0 |



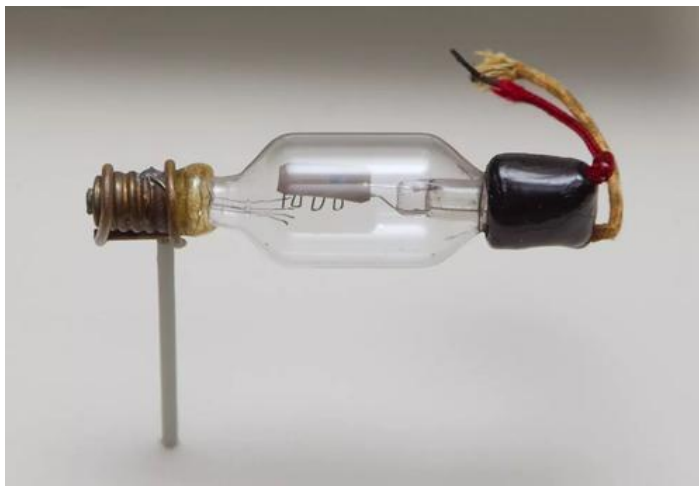
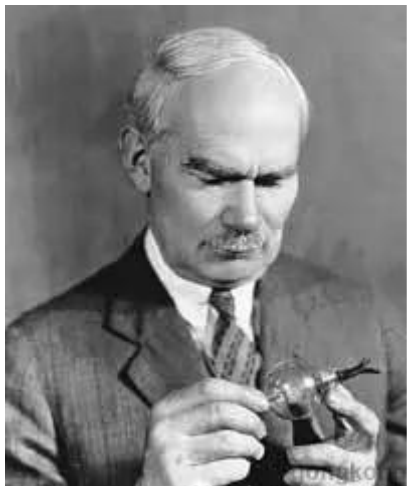
NOT

# 数字系统概述

## ■ 逻辑器件

逻辑  
器件

真空  
电子  
管



德福雷斯特在对二极管的研究基础上，发明了真空三极管。  
耗电量巨大  
寿命短

晶体  
管

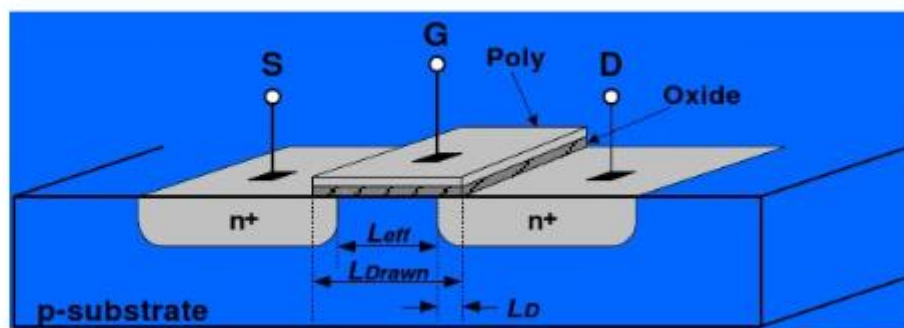
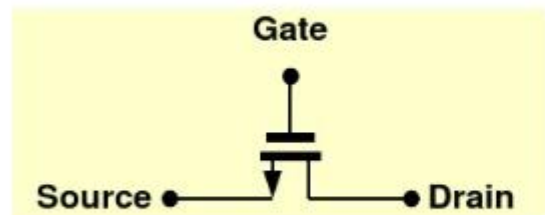


相较于真空三极管，晶体管在体积、寿命、制作工艺上都有极大的优势

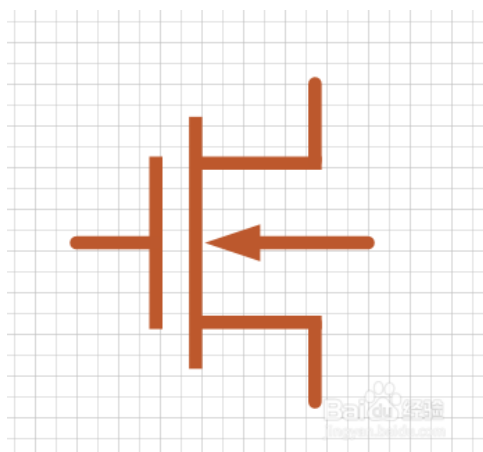
# 数字电路概述

逻辑  
器件

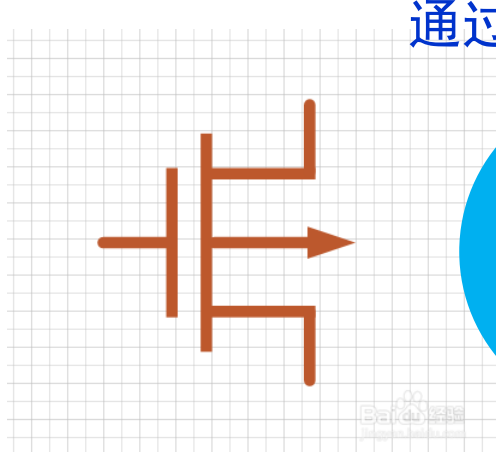
- 金属氧化物半导体场效应管 (Metal Oxide Semiconductor Field Effect Transistor, MOSFET)



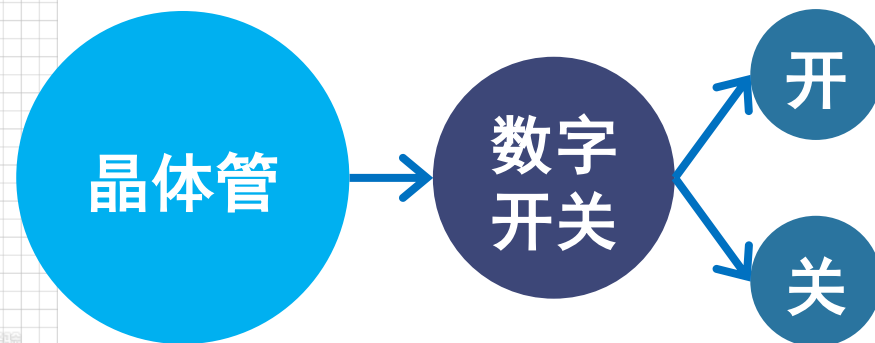
PMOS



NMOS



通过调节栅极电压，控制晶体管的开关





乔治 布尔

逻辑不仅是哲学，还是数学

任何事情都能用数学形式表达其处理过程

可以用0和1表达逻辑

可以用0和1表征各种不同任务

# 数字电路概述

## ■ 逻辑

逻辑



香农

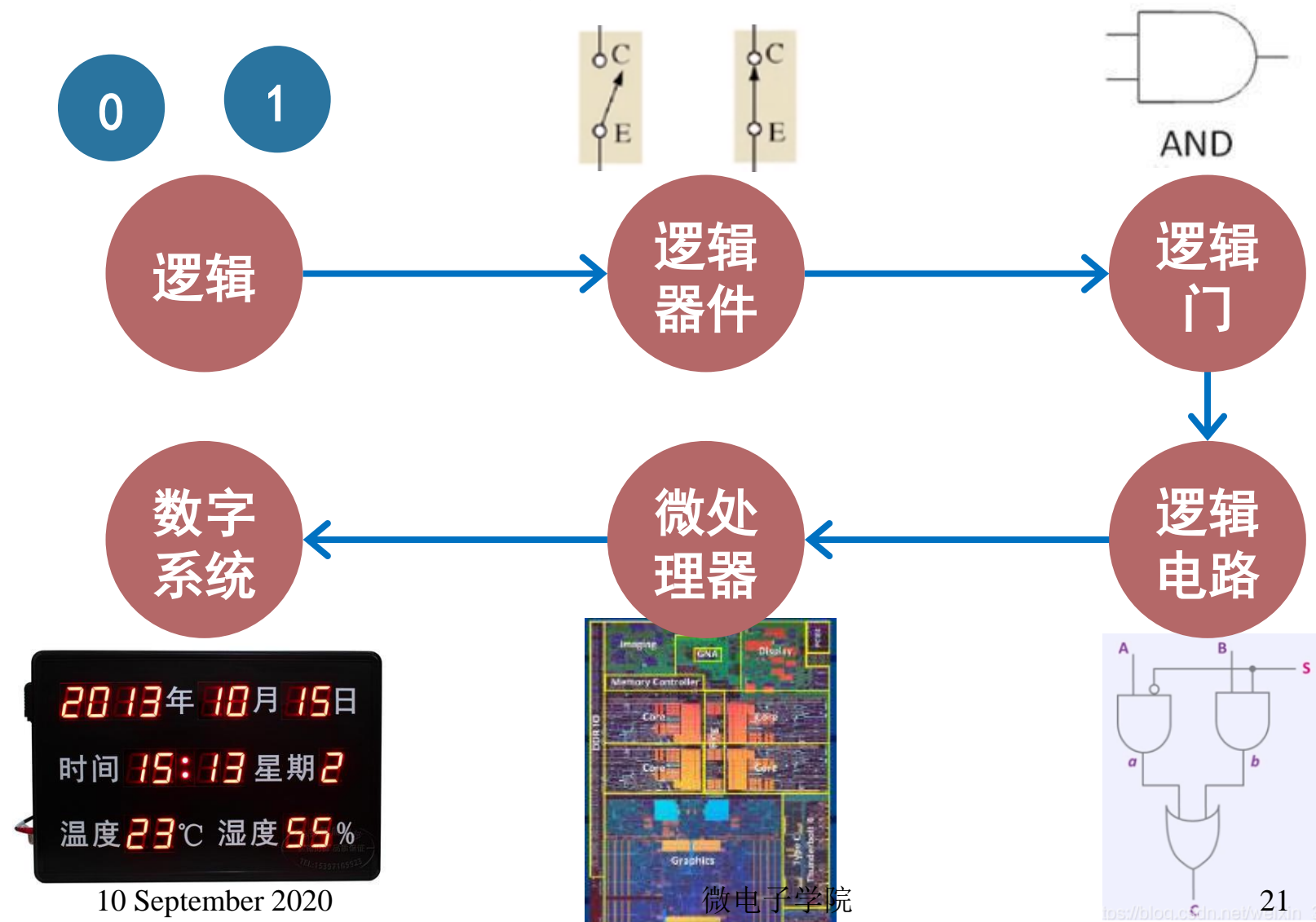
逻辑可以用逻辑电路来实现，  
也就是用电子管来实现

用电子管的开关实现0和1



# 数字系统概述

## ■ 从晶体管到数字系统





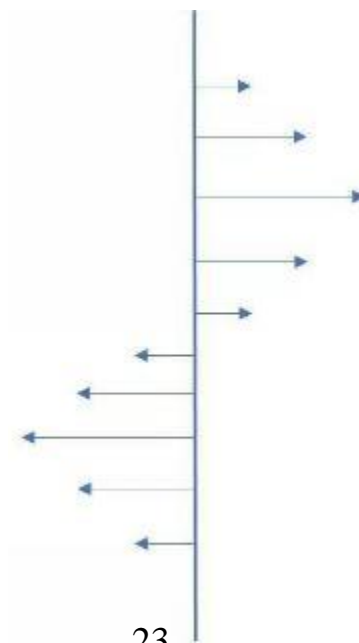
# 数字系统概述

## ■ 数字信号

- 什么是数字信号
- 为什么使用用数字信号
- 如何获得数字信号



# 数字系统概述



# 数字系统概述

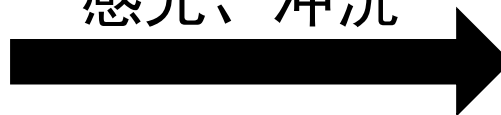
## ■ 数字信号与模拟信号的区别

### — 图像

胶片相机



感光、冲洗



数码相机



像素点GRB采样





# 数字系统概述

## ■ 数字信号与模拟信号的区别

- 时间



时间不确定、可取连续时间



时间确定、时间精度有限

# 数字系统概述



## ■ 数字信号与模拟信号的区别

### — 电视





# 数字系统概述

## ■ 数字信号与模拟信号的区别





# 数字系统概述

## ■ 数字信号与模拟信号的区别

模拟信号具有连续性：

1. 时域连续
2. 取值连续

实数

数字信号具有离散型：

1. 时域为离散的
2. 值域为一个有限集合

整数

**自然界中绝大部分信号都是模拟信号**



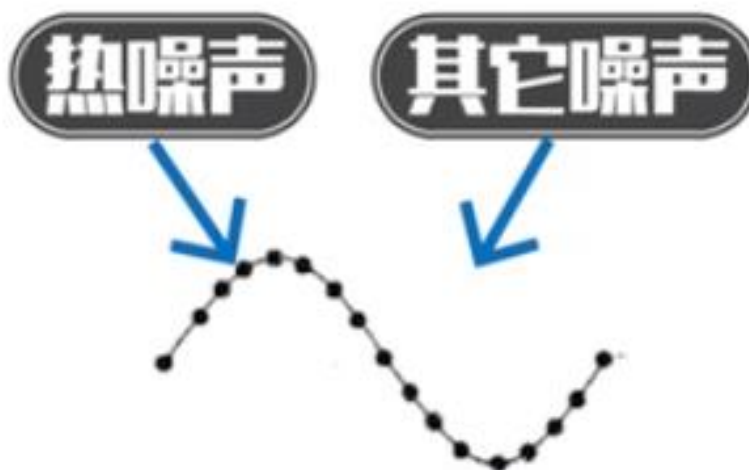
# 数字系统概述

## ■ 为什么要采用数字信号

**噪声多**

**噪声难消除**

**噪声积累**







# 数字系统概述

## ■ 为什么要采用数字信号

噪声多

噪声难消除

噪声积累





# 数字系统概述

## ■ 为什么要采用数字信号

噪声多

噪声难消除

噪声积累





## 模拟信号

- 来自于物理世界
- 热波动噪声
- 噪声易累积

## 数字信号

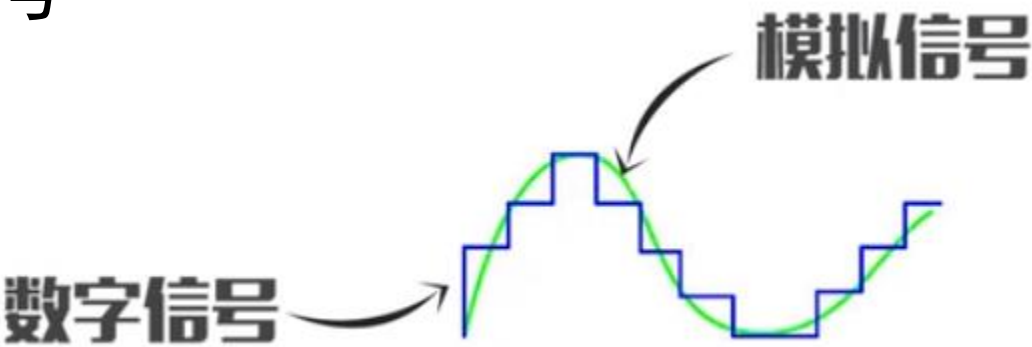
- 基于布尔方程
- 采样误差噪声
- 噪声不会累积



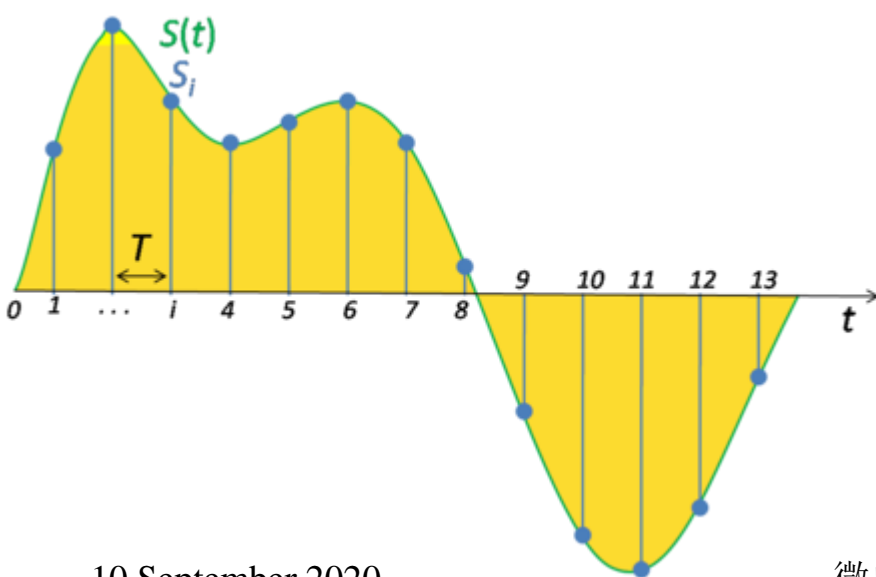
# 数字系统概述

## ■ 如何获取数字信号

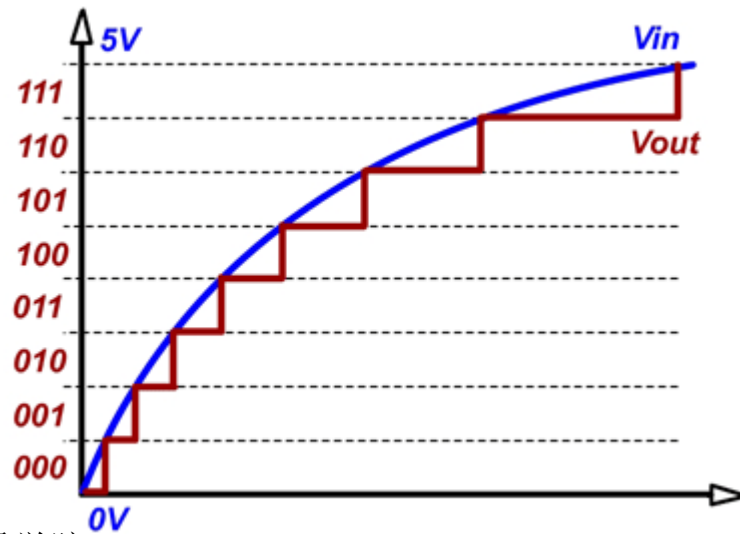
采样



采样频率



采样精度





# 第一章 概述

- 一、数字系统概述
- 二、数字系统设计方法学
- 三、数字系统设计自动化

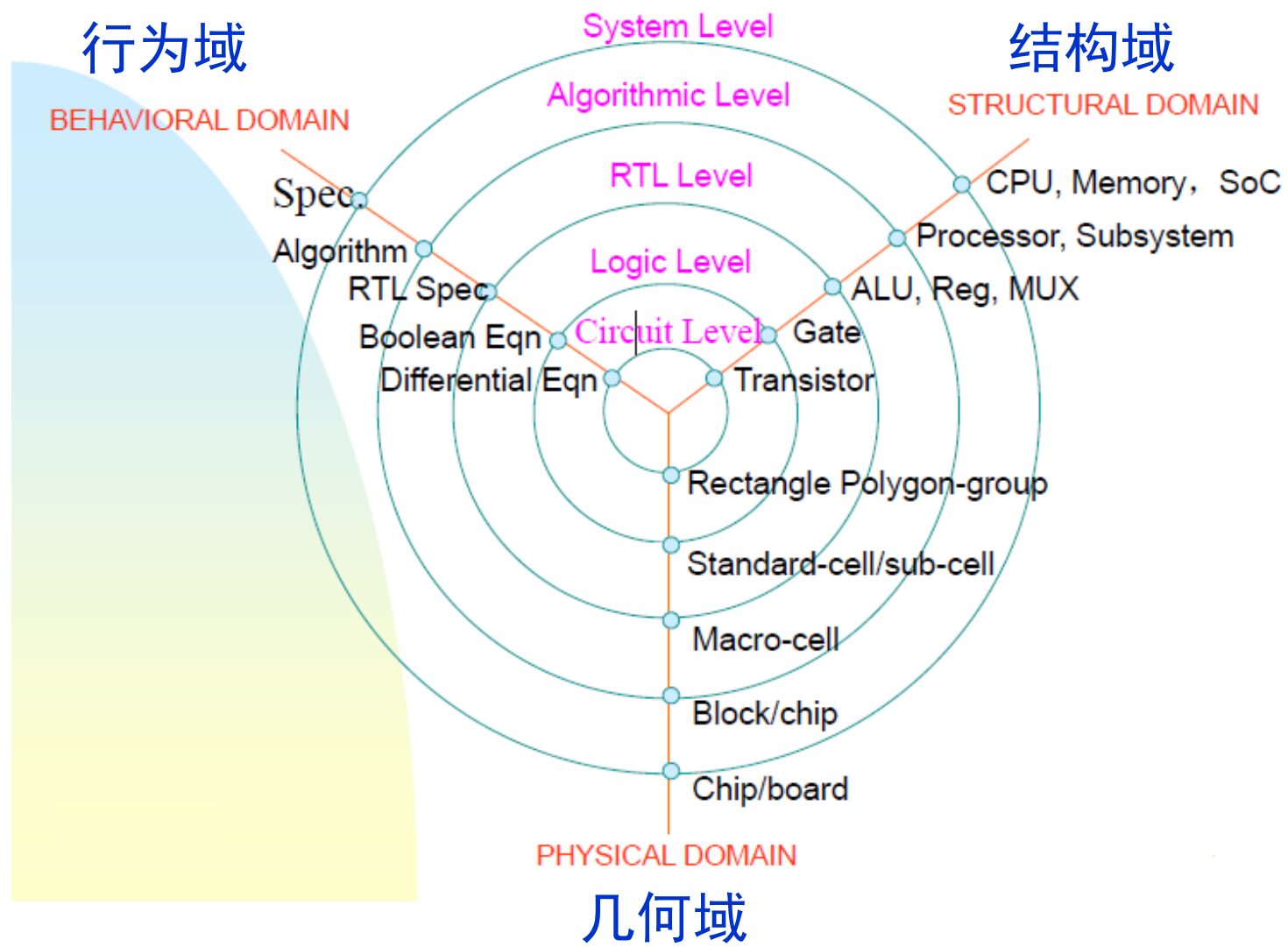


# 数字电路设计方法学

- 数字电路设计的三个域
  - 行为域、结构域、几何域
- 数字电路的层次化设计
  - 自顶向下
  - 自底向上
- 数字电路的实现技术
  - 全定制
  - 半定制
  - 可编程器件



# 数字电路设计方法学



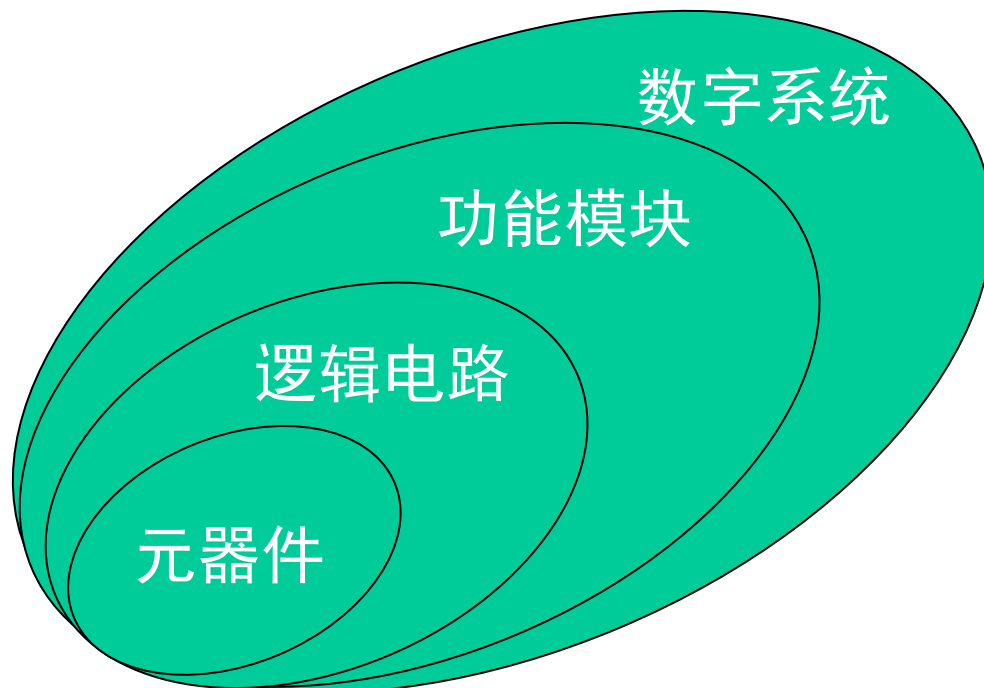




# 数字电路设计方法学

## ■ 层次化设计

- 自底向上（Bottom-Up设计）



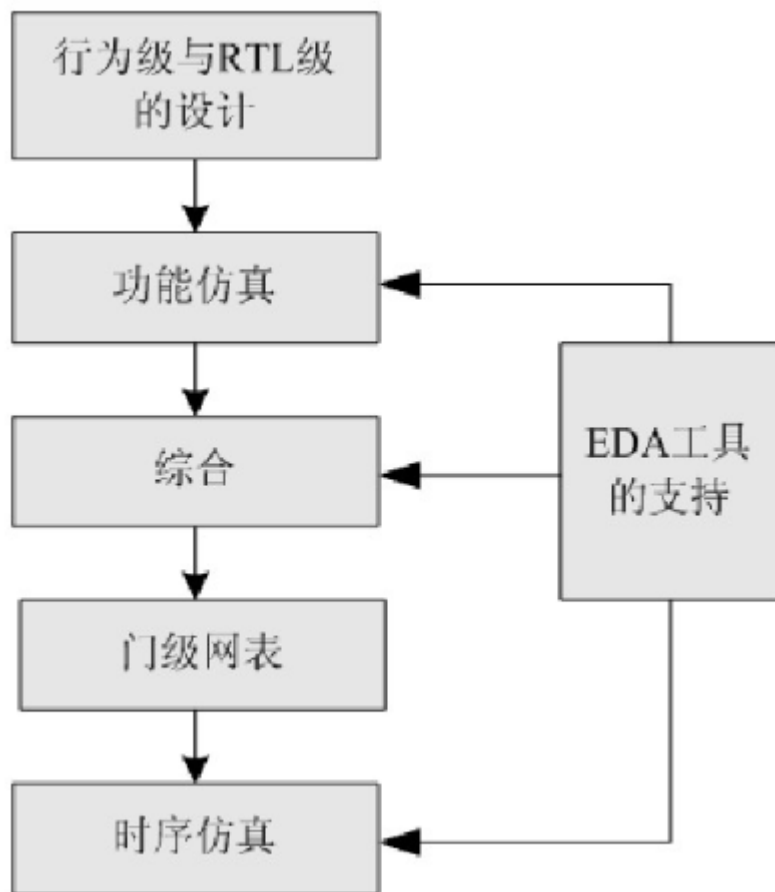
- 缺点：缺乏全局规划、迭代优化难度大



# 数字电路设计方法学

## ■ 层次式设计

### — 自顶向下（Top-Down设计）

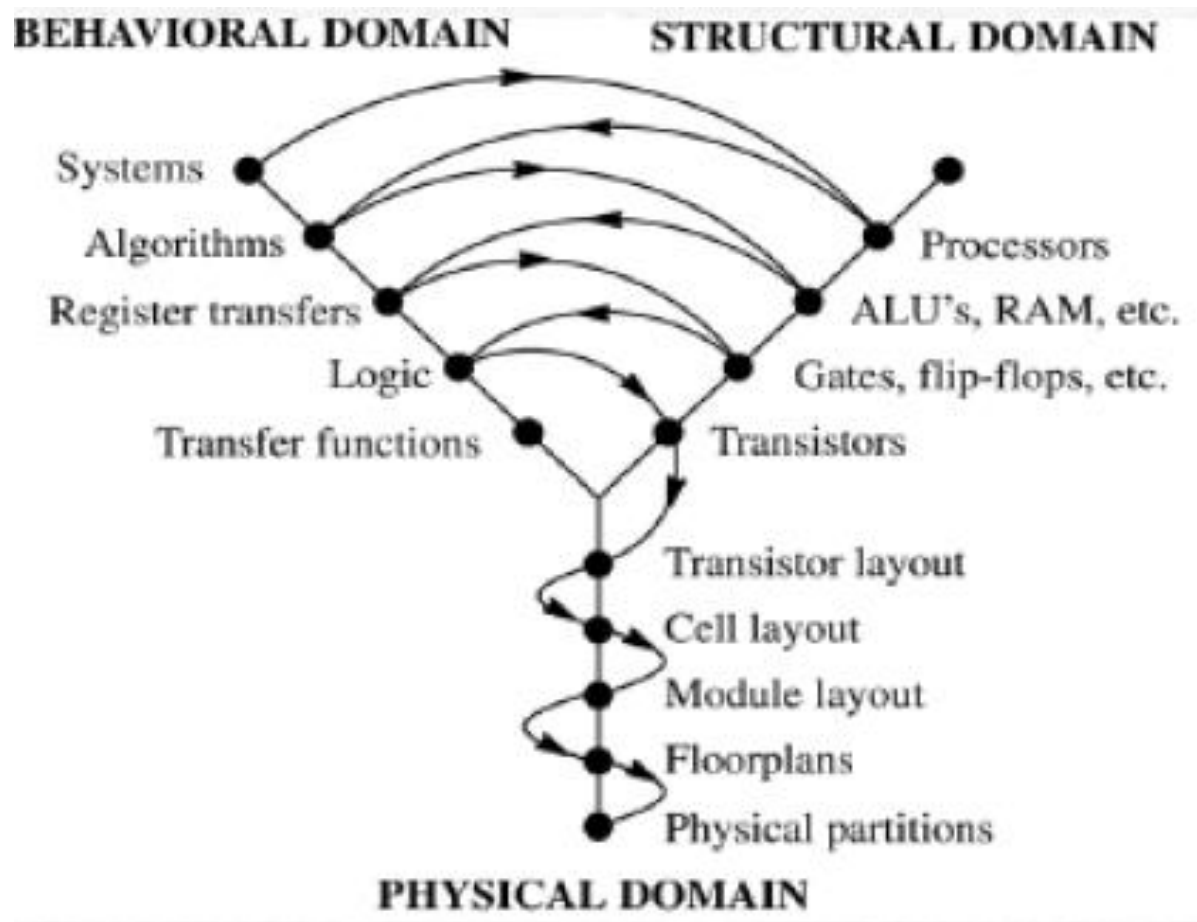


自顶向下方法的设计通常需要经过“设计—验证—修改设计—再验证”的过程，通过不断的迭代优化与验证，获得满足性能与功能要求的结果



# 数字系统设计方法学

## ■ 混合设计模式



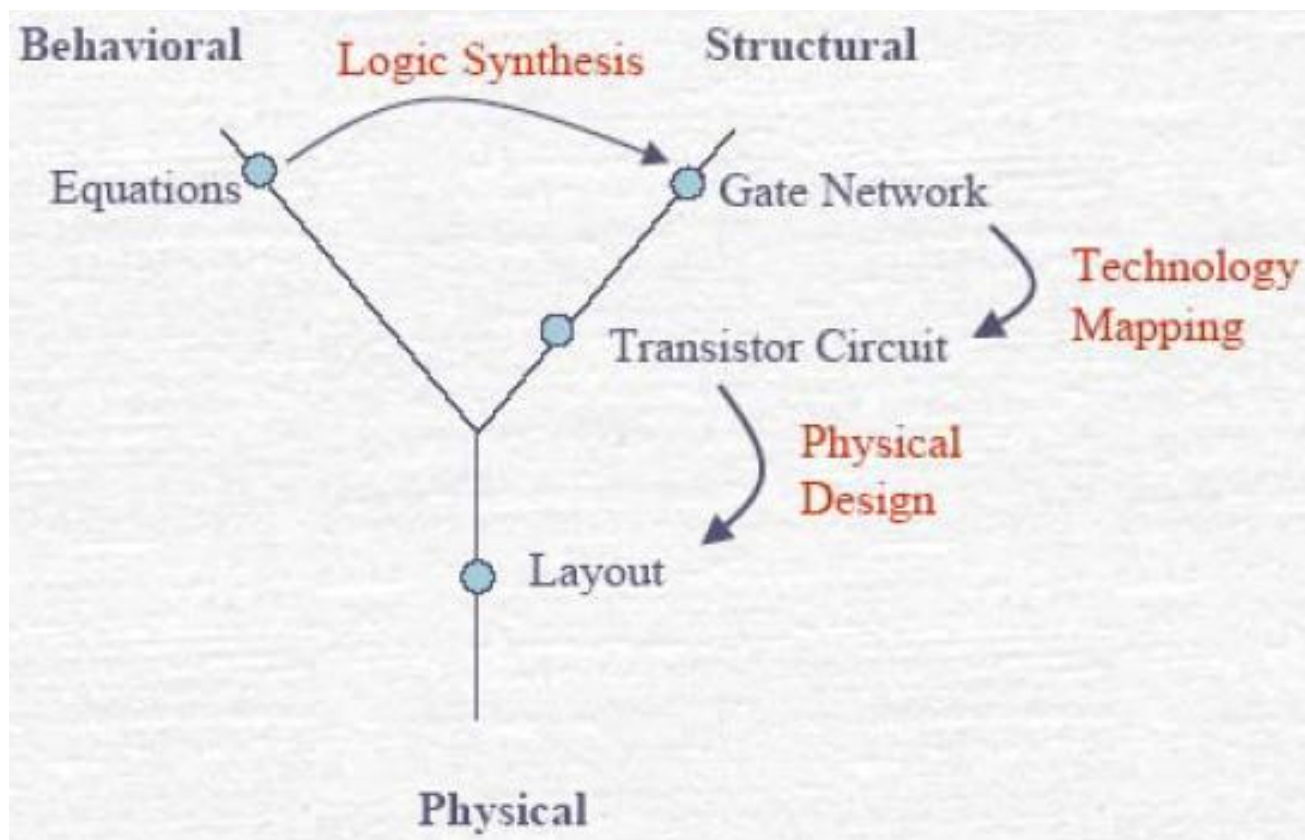
Top-Down  
Structural design

Bottom-Up  
realization



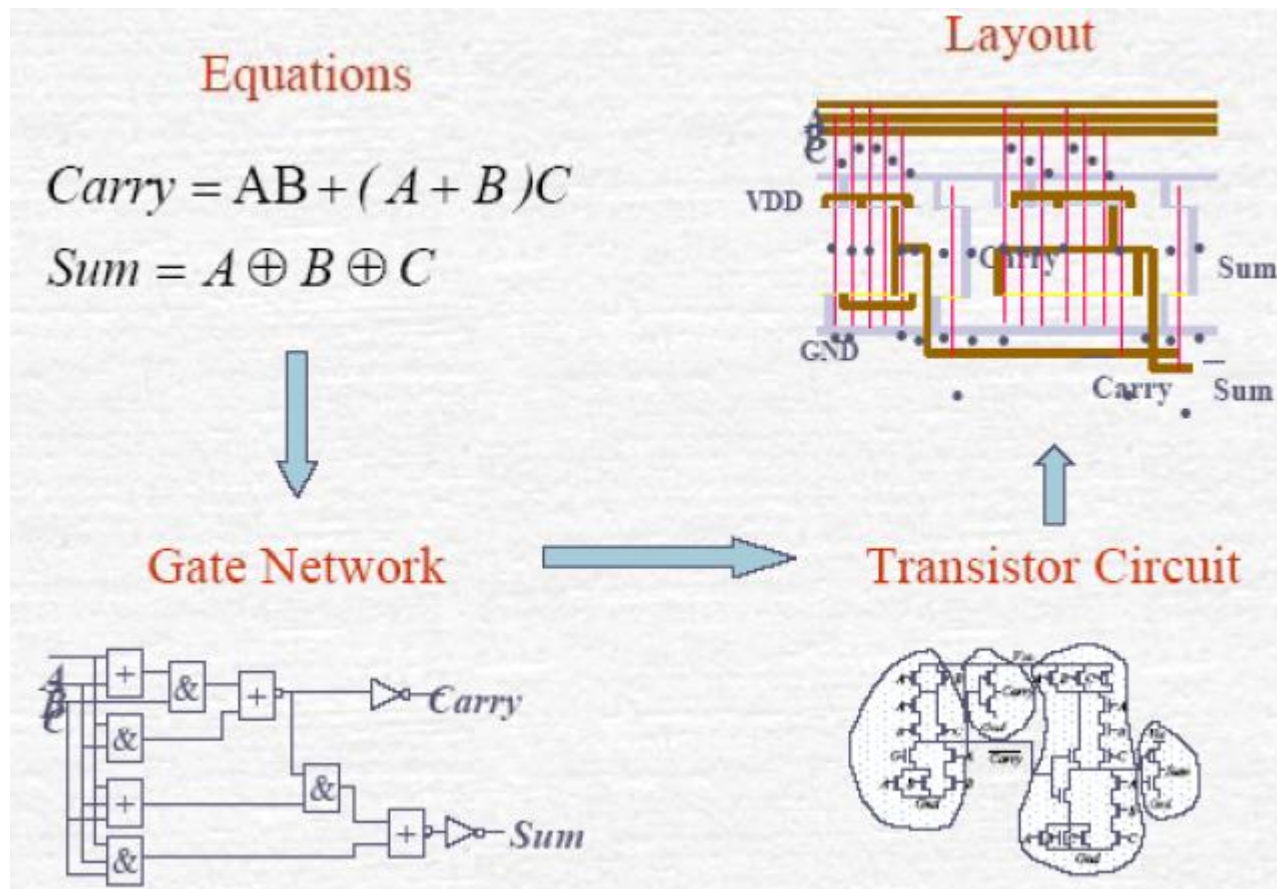
# 数字系统设计方法学

## ■ 以全加器为例



# 数字系统设计方法学

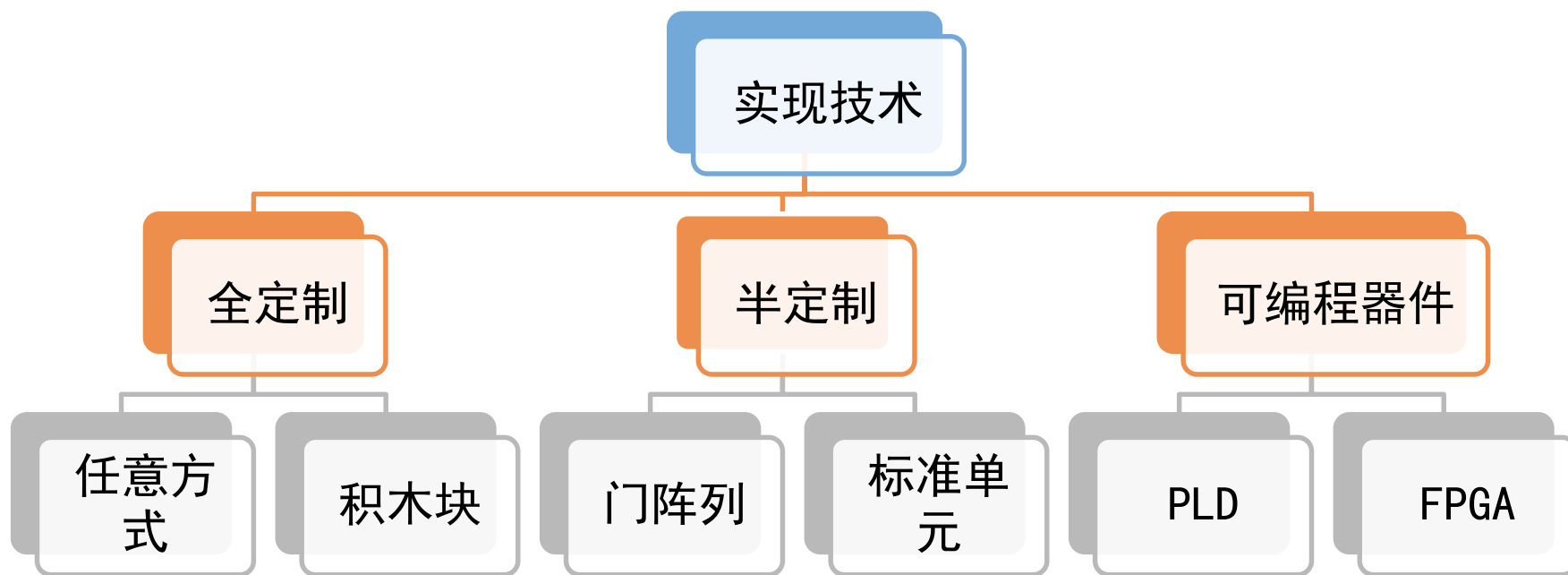
## ■ 以全加器为例





# 数字系统设计方法学

## ■ 数字系统的实现技术





# 数字系统设计方法

## ■ 全定制

### — “搭积木” 式

- 标准逻辑器件+外围电路
- 性能高
- 设计成本高
- 几乎没有灵活性
- 设计复杂度高



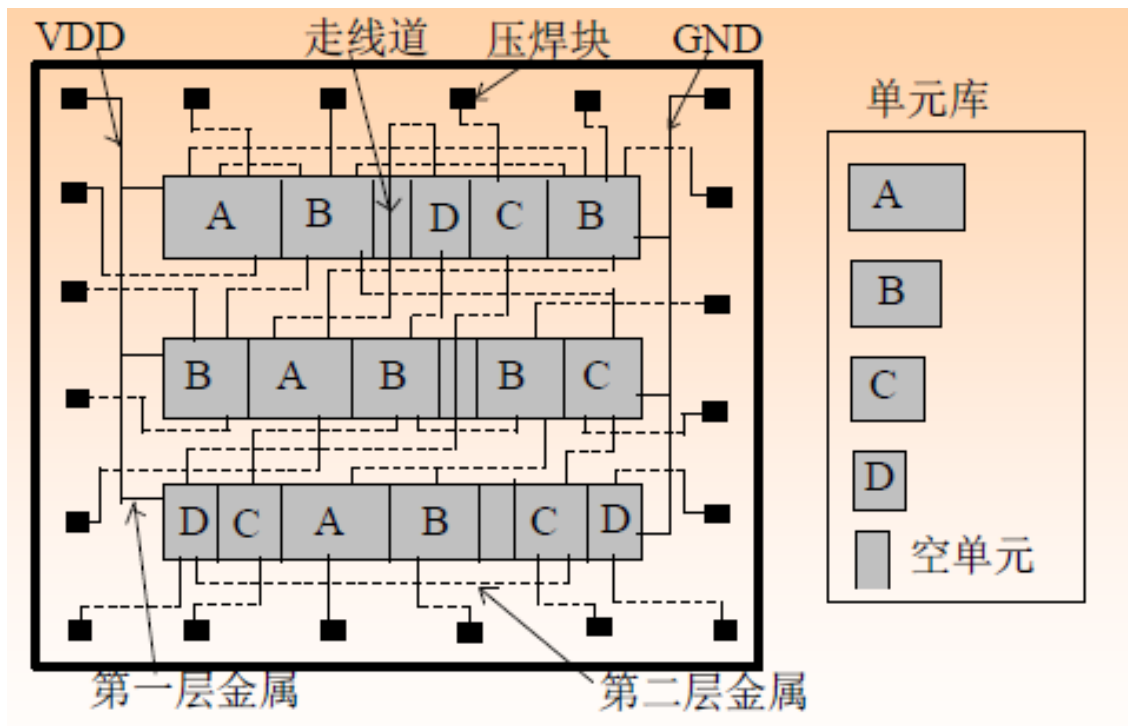


# 数字系统设计方法

## ■ 半定制

### — 标准单元模式

- 设计灵活
- 标准单元库有助于提高布图效率
- 自动化程度高
- 设计周期短
- ASIC设计广泛采用



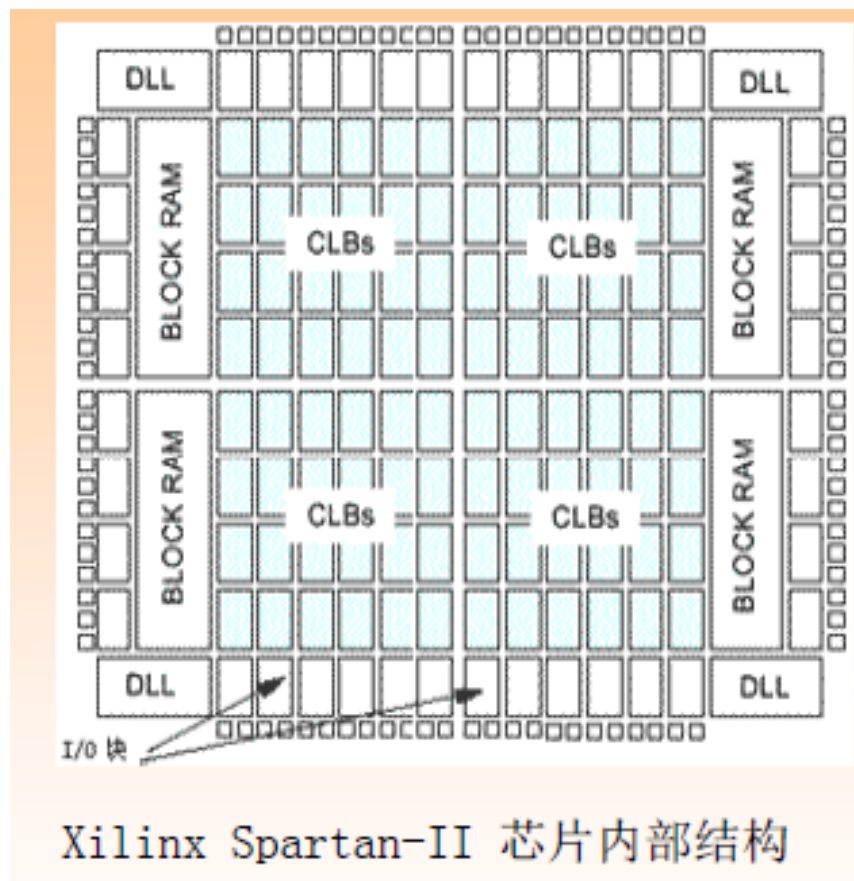


# 数字系统设计方法学

## ■ 可编程器件

### — FPGA

- 设计灵活度高，为用户提供了参与系统与电路设计的可能性
- 设计周期短、上市快
- 功耗大
- 成本高
- 速度慢





# 第一章 概述

- 一、数字系统概述
- 二、数字系统设计方法学
- 三、数字系统设计自动化



# 数字系统设计自动化

## ■ 如何设计芯片？

手工设计→计算机辅助→电子设计自动化

# EDA

Electronic Design Automation



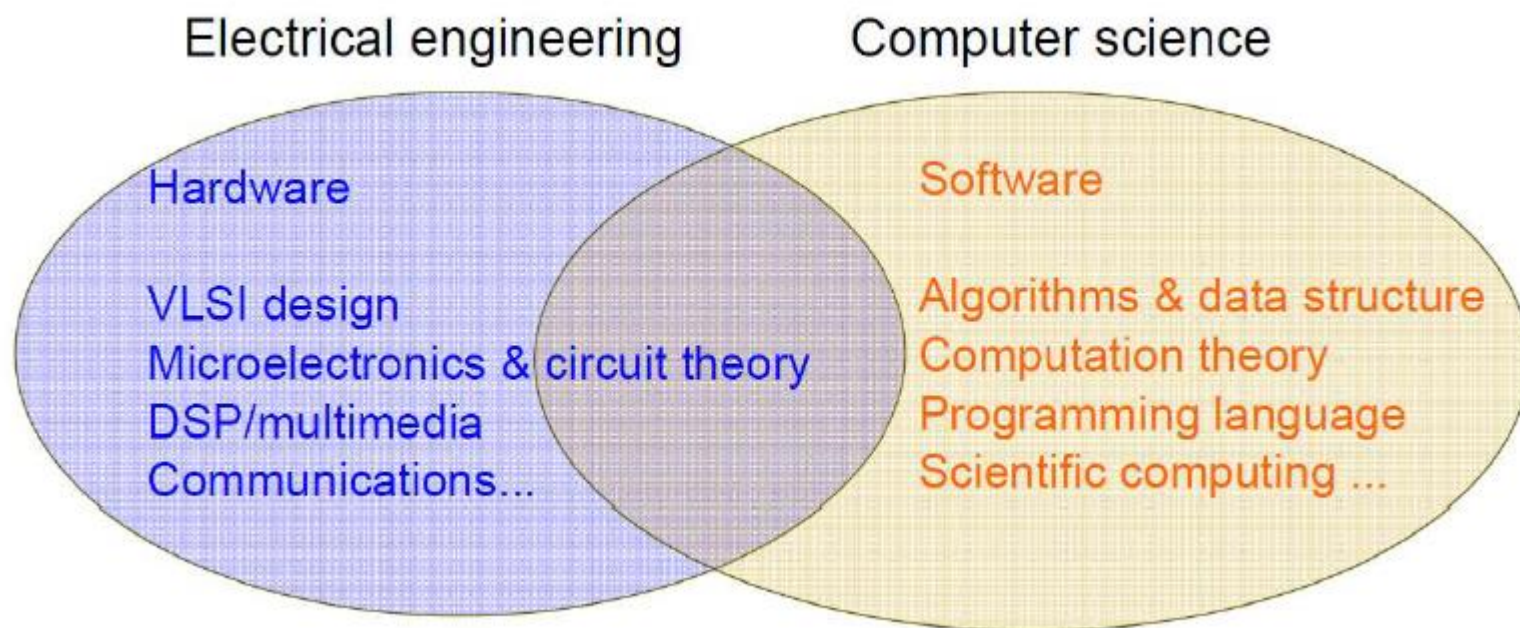
# 数字系统设计自动化

- EDA: Electronic Design Automation 电子设计自动化
  - 利用计算机完成集成电路的设计工作
  - 以计算机和微电子技术为先导，汇集计算机图形学、拓扑学、逻辑学、计算数学等多种计算机应用学科最新成果的先进技术
  - 代替设计者完成逻辑综合、布局布线、仿真验证等工作

# 数字系统设计自动化



## ■ EDA: Where HW and SW meet each other





# 数字系统设计自动化

## ■ EDA技术发展的三个阶段

### — CAD阶段

- 20世纪60年代中期~20世纪80年代初期
- 计算机辅助版图编辑、PCB设计、电路模拟
- 常用工具：Tango 、 SPICE

### — CAE（Computer Aided Engineering）阶段

- 20世纪80年代初期~20世纪90年代初期
- 原理图输入、逻辑仿真、自动布局、功能模拟、分析验证
- 常用工具：Mentor Graphics、 Valid Daisy





# 数字系统设计自动化

## ■ EDA技术发展的三个阶段

### — EDA阶段

- 20世纪90年代以来
- 硬件描述语言、系统级仿真与综合技术
- 自顶向下的设计理念
- 精力主要集中于方案创新与架构创新
- 常用软件：Cadence、Design Compiler、IC Compiler、Quartus



# 数字系统设计自动化



- EDA被定位为集成电路产业链龙头
  - 2000年国务院出台了8号文件
- 推动了封装测试行业从二维转向三维
- PCB板级系统的硅上互联
- 维持“摩尔定律”的语言
- 时间摩尔到空间摩尔的转变



# 数字系统设计自动化

## ■ EDA工具分类

### — 电子电路设计

➤ HSPICE、SPECTRE

### — PCB设计

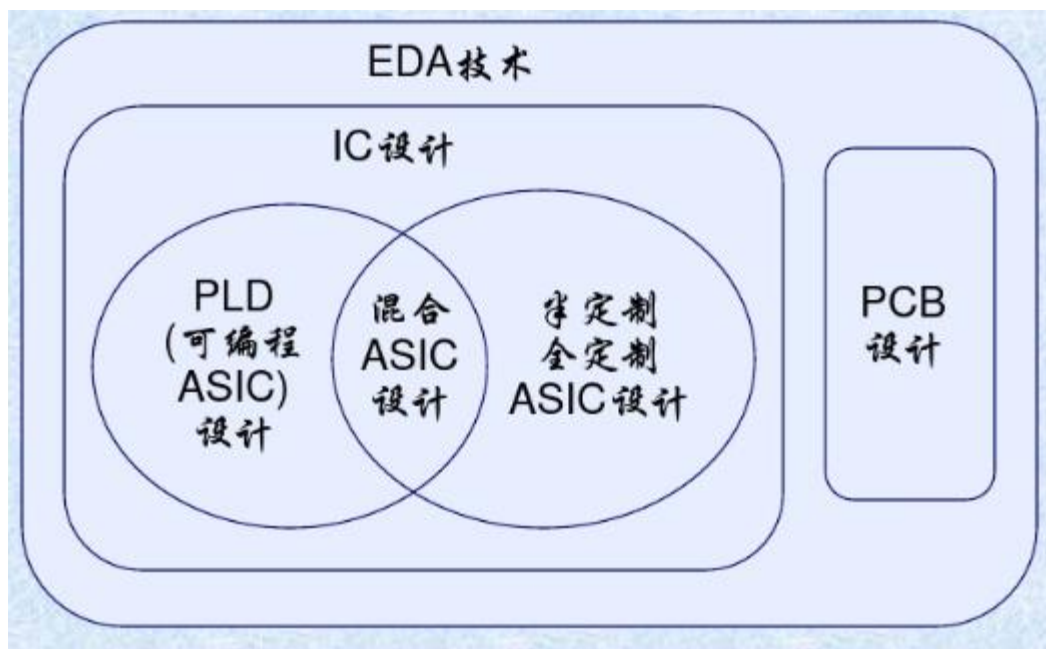
➤ Protel

### — PLD设计

➤ Quartus II、ISE

### — IC设计

➤ Modelsim、Design Compiler, Encounter、IC compiler

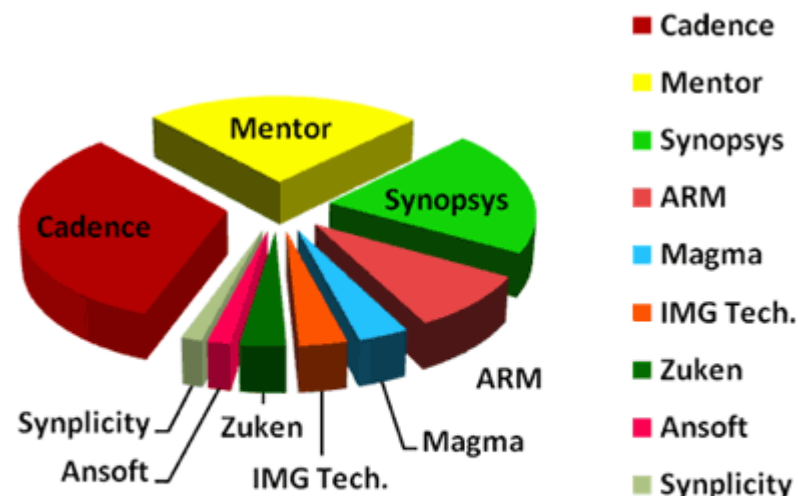




# 数字系统设计自动化

## ■ IC EDA 三巨头

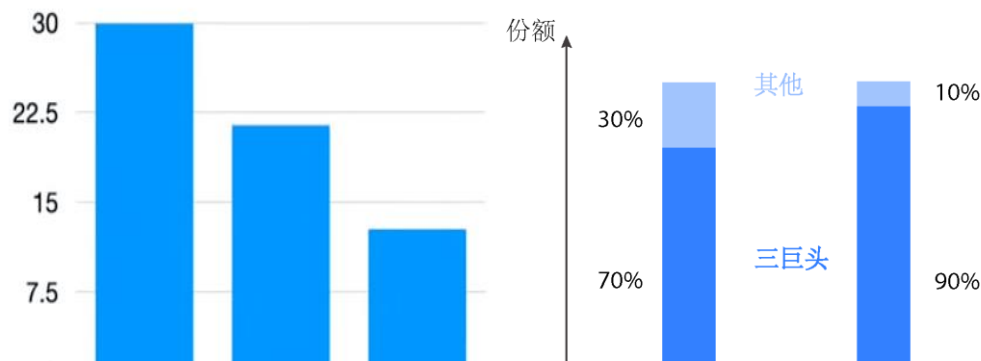
- Cadence
- Synopsys
- Mentor



## ■ 2019年全球行业产值

- 90亿美元
- 三巨头垄断全球70%
- 三巨头垄断国内90%

©2007, by 01consulting  
Top EDA vendors' relative market-share, Europe, 2007



90亿元的产值控制全球5000亿美元的半导体市场



# 数字系统设计自动化

## ■ 国内芯片设计厂商严重依赖EDA三巨头

|      |                     |                 |
|------|---------------------|-----------------|
| 华为   | DxDesigner (前端)     | Mentor Graphics |
|      | HAPS (验证)           | Synopsys        |
|      | Allegro (PCB)       | Cadence         |
| 中兴   | Allegro (前端到后端)     | Cadence         |
|      | ExpeditionPCB (布线)  | Mentor Graphics |
| 联想   | Allegro             | Cadence         |
| 联想   | PADS                | Mentor Graphics |
| 朗科   | PADS                | Mentor Graphics |
|      | Orcad               | Cadence         |
| 神达电脑 | Allegro             | Cadence         |
| 英业达  | Allegro             | Cadence         |
| 威盛   | Allegro             | Cadence         |
| 天弘电子 | ExpeditionPCB (WG)  | Mentor Graphics |
|      | Allegro             | Cadence         |
| 宏碁   | Allegro             | Cadence         |
|      | BoardstationPCB(EN) | Mentor Graphics |

|       |                     |                 |
|-------|---------------------|-----------------|
| 华硕    | Allegro             | Cadence         |
| 创维    | PADS                | MentorGraphics  |
| TCL   | PADS                | Mentor Graphics |
| 迈瑞医疗  | PADS                | Mentor Graphics |
| 清华同方  | PADS                | Mentor Graphics |
| 长城    | Allegro             | Cadence         |
| 海尔    | CR5000              | ZUKEN           |
| 海信    | CR5000              | ZUKEN           |
| 新北洋   | CR5000              | ZUKEN           |
| 中海油服  | AD                  | Altium          |
| 博士力士乐 | AD                  | Altium          |
| 中芯国际  | AD                  | Altium          |
| 南京南瑞  | AD                  | Altium          |
| 南京三宝  | AD                  | Altium          |
| 纬创资通  | Allegro             | Cadence         |
|       | BoardstationPCB(EN) | Mentor Graphics |



# 数字系统设计自动化

## ■ EDA对半导体产业的重要性

- 谷歌断供→鸿蒙系统
- ARM断供→备胎转正、V8架构永久授权
- EDA断供→?

芯片之母



芯片之父


美国断供EDA工具,是为最后一招做准备,华为不可不防\_设计

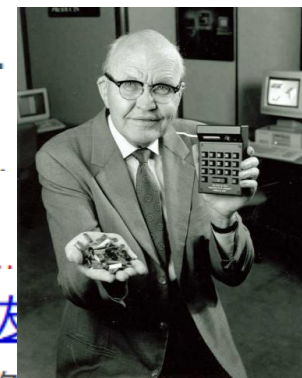
全球三大EDA工具欲断供华为,华为芯片设计该何去何从?

美国三大EDA巨头断供华为,华为芯片还能做下去吗?

三大EDA软件公司断供华为!本土EDA公司能否抗旗?-电子发烧友

2019年6月9日 - 华为在缺少EDA公司支持的情况下,台积电遭遇美国更严格的审查。... 曝料  
Cadence、Mentor、Synopsys三大EDA软件公司,都已相继断供华为。华为在缺少EDA公...

 电子发烧友网 - 百度快照



杰克·基尔比

# 数字系统设计自动化

## ■ 国产EDA产业发展

### — EDA熊猫系统

- 1986年开始研发，1993年问世
- 但未取得实质性成功



### — 华大九天

- 承载熊猫系统的技术
- 数模混合IC设计、后端优化、平板（FPD）全流程设计

### — 芯禾科技、广立微







# 数字系统设计自动化

## ■ 与国外差距显著

- 产品不够全，性能不够优，尤其是在数字电路方面
- 政策与研发的影响
- 与先进工艺结合的缺失

➤ 与先进工艺接触的机会少，限制了我们的提高

➤ 我在该公司的10年中（1999年到2009年），当时几个产品在商业上还不太成功。不太成功的标志是：无法与主流EDA工具进行正面竞争，在功能和性能上有差距。当时国内EDA产业的

影响

- 人 环境与目前差别很大，当时的现状是：做出的EDA工具必须比主流EDA工具要好，并且要明显地好，才可能有市场空间。而目前国内EDA产业的现状是：首先解决EDA工具的有无问题，其次再解决好与更好的问题。
- 研发 相对来讲，目前国内EDA产业的需求对EDA公司的商业化成功更加友好。有时候，我甚至猜想：如果把今天国内EDA产业环境提前10年，也许我们当年开发EDA就不会那么痛苦了。
- 市场



# 数字系统设计自动化

## ■ “巴统”

- 对共产主义国家出口管制统筹委员会
- 总部在巴黎的美大使馆——巴黎统筹委员会



20世纪80年代之前，禁运EDA

1991年，国产熊猫EDA系统发布

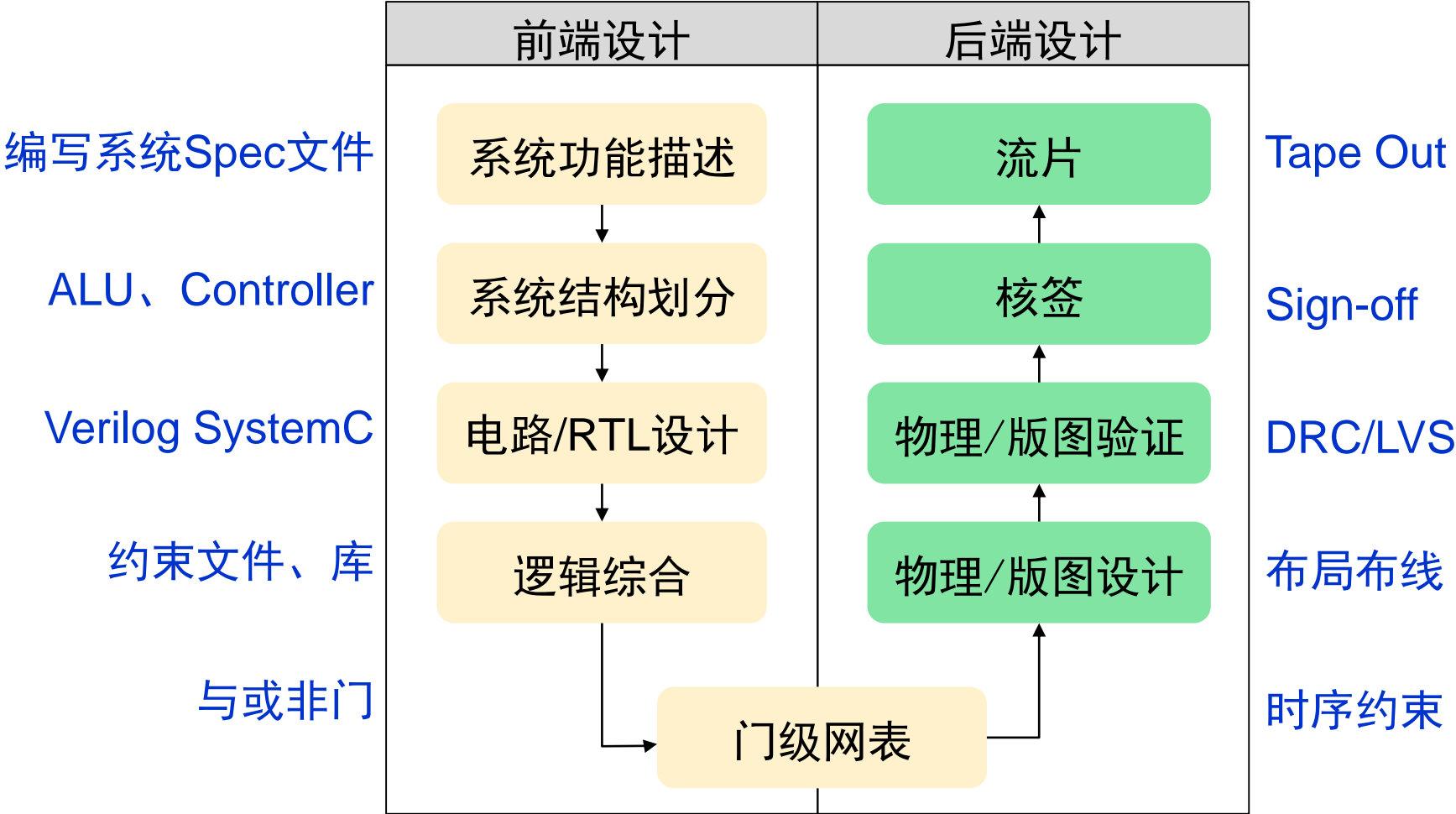
1994年，取消对华EDA禁运

2008年，EDA软件再度起航



# 数字系统设计自动化

## ■ 数字系统（集成电路）设计流程





# 数字系统设计自动化

- 系统功能描述
- 功能结构设计
  - 基于芯片功能及性能要求设计规划
- 电路设计
  - 基于硬件描述语言（Hardware Description Language, HDL）：VHDL, Verilog； RTL代码
  - 不再是手工画图
- 电路仿真
  - 功能验证、行为仿真



# 数字系统设计自动化

## ■ 逻辑综合

- 将RTL电路转换为门级网表（Netlist）

- 翻译：RTL→逻辑库      映射：RTL→器件库

- 包含门延迟信息

网表是一种记录有逻辑门之间  
连接关系及时延信息的文件

## ■ 门级仿真

- 比电路仿真更真实

- 考虑连接关系及门延时



# 数字系统设计自动化

## ■ 版图设计（物理设计）

- 包含多个阶段且各阶段联系紧密
- 决定芯片的最终设计方案

## ■ 静态时序分析（STA）

- 套用时序模型（Timing Model）
- 门延时：Gate Delay——查表法
- 线延时：Wire Delay——Elmore模型

## ■ 后仿真验证



# 数字系统设计自动化

## ■ 数字系统设计层次

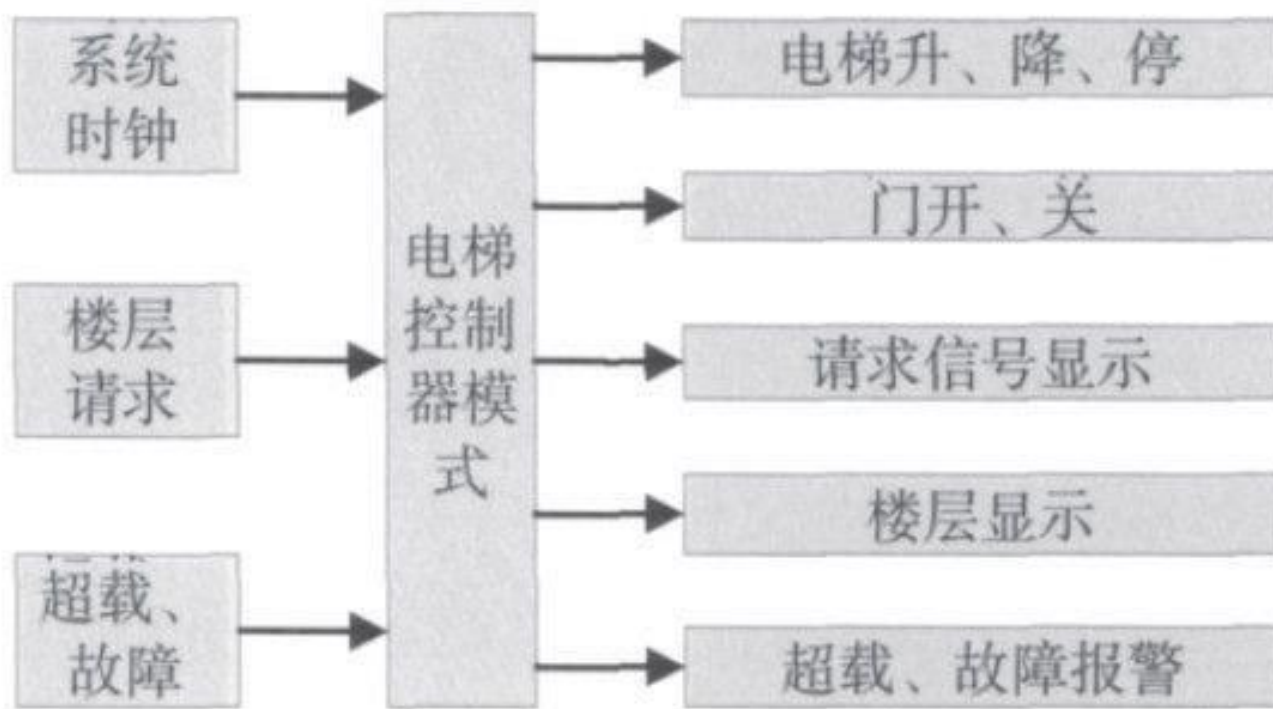
|    | 抽象层次 | 时序单位 | 基本单元  | 电路的功能描述            |
|----|------|------|-------|--------------------|
| 前端 | 系统级  | 数据处理 | 进程及通信 | 自然语言描述系统功能或相互通信的进程 |
| 后端 |      |      |       |                    |





# 数字系统设计自动化

## ■ 电梯的系统级描述





# 数字系统设计自动化

## ■ 数字系统设计层次

|    | 抽象层次 | 时序单位 | 基本单元  | 电路的功能描述            |
|----|------|------|-------|--------------------|
| 前端 | 系统级  | 数据处理 | 进程及通信 | 自然语言描述系统功能或相互通信的进程 |
|    | 行为级  | 运算步  | 运算的控制 | 行为有限状态机、数据流图、控制流图  |
| 后端 |      |      |       |                    |



# 数字系统设计自动化

## 电梯的行为级描述

| 现态 | 次态 | 转换条件  |
|----|----|---|
| S0 | S1 | 下一个时钟   |
| S1 | S1 | up[pos]=1 or stop[pos]=1  |
| S1 | S2 | S1下一个状态不为S1时  |
| S2 | S1 | up[pos]=1 or stop[pos]=1  |
| S2 | S3 | S2下一状态不为S1, 且stop[pos+i]=1 or up[pos+i]=1 or down[pos+i]=1 (i>0且pos+i<=N)       |
| S2 | S4 | S2下一状态不为S1和S3, 且down[pos]=1   |
| S2 | S5 | S2下一状态不为S1/S3/S4, 且stop[pos-i]=1 or up[pos-i]=1 or down[pos-i]=1 (i>0且pos-i>=0) |
| S2 | S2 | S2下一状态不为S1/S3/S4/S5时  |
| S3 | S2 | 完成pos=pos+1, 下一个时钟  |
| S4 | S4 | down[pos]=1 or stop[pos]=1  |
| S4 | S5 | S4下一个状态不为S4时  |
| S5 | S4 | down[pos]=1 or stop[pos]=1  |
| S5 | S6 | S5下一状态不为S4, 且stop[pos-i]=1 or up[pos-i]=1 or down[pos-i]=1 (i>0且pos-i>=0)       |
| S5 | S1 | S5下一状态不为S4和S6, 且up[pos]=1   |
| S5 | S2 | S5下一状态不为S4/S6/S1, 且stop[pos+i]=1 or up[pos+i]=1 or down[pos+i]=1 (i>0且pos+i<=N) |
| S5 | S5 | S2下一状态不为S4/S6/S1/S2时  |
| S6 | S5 | 完成pos=pos-1, 下一个时钟  |



# 数字系统设计自动化

## ■ 数字系统设计层次

|    | 抽象层次 | 时序单位 | 基本单元   | 电路的功能描述            |
|----|------|------|--------|--------------------|
| 前端 | 系统级  | 数据处理 | 进程及通信  | 自然语言描述系统功能或相互通信的进程 |
|    | 行为级  | 运算步  | 运算的控制  | 行为有限状态机、数据流图、控制流图  |
|    | RTL级 | 时钟周期 | 寄存器、运算 | 布尔方程、卡诺图、有限状态机     |
| 后端 |      |      |        |                    |



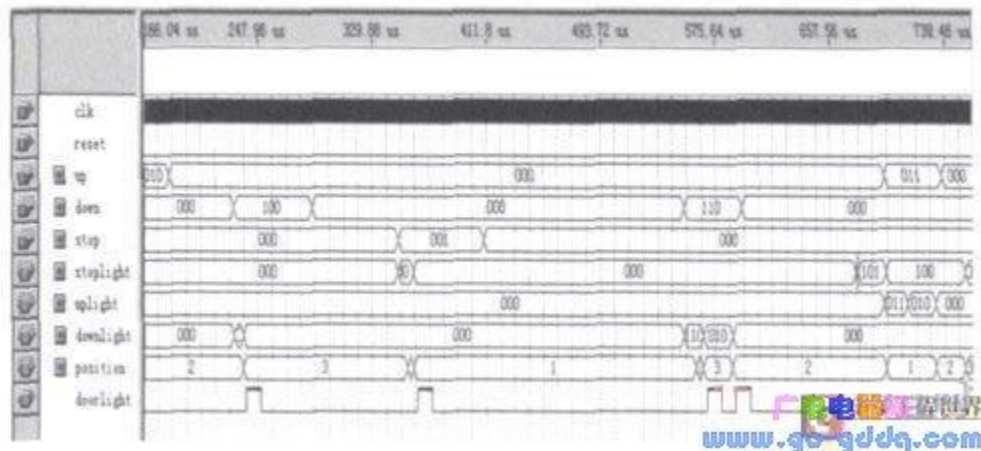
# 数字系统设计自动化

## ■ 电梯的RTL级描述

### RTL设计

```
1 module regfile (rna,rnb,d,wn,we,clk,clrn,qa,qb);
2     input  [4:0] rna,rnb,wn; // register #
3     input  [31:0] d; // data to be written
4     input      we,clk,clrn; // write enable
5     output [31:0] qa,qb; // two read ports
6
7     reg [31:0] register [1:31]; // r1 - r31
8     assign qa = (rna == 0)? 0 : register[rna]; // read port 1
9     assign qb = (rnb == 0)? 0 : register[rnb]; // read port 2
10
11 always @(posedge clk or negedge clrn) begin
12     if (clrn == 0) begin // reset
13         integer i;
14         for (i=1; i<32; i=i+1)
15             register[i] <= 0;
16     end else begin
17         if ((wn != 0) && (we == 1))
18             register[wn] <= d; // write port
19     end
20 end
```

### RTL仿真





# 数字系统设计自动化

## ■ 数字系统设计层次

|    | 抽象层次 | 时序单位 | 基本单元   | 电路的功能描述            |
|----|------|------|--------|--------------------|
| 前端 | 系统级  | 数据处理 | 进程及通信  | 自然语言描述系统功能或相互通信的进程 |
|    | 行为级  | 运算步  | 运算的控制  | 行为有限状态机、数据流图、控制流图  |
|    | RTL级 | 时钟周期 | 寄存器、运算 | 布尔方程、卡诺图、有限状态机     |
| 后端 | 门级   | 延时模型 | 逻辑门、器件 | 原理图                |

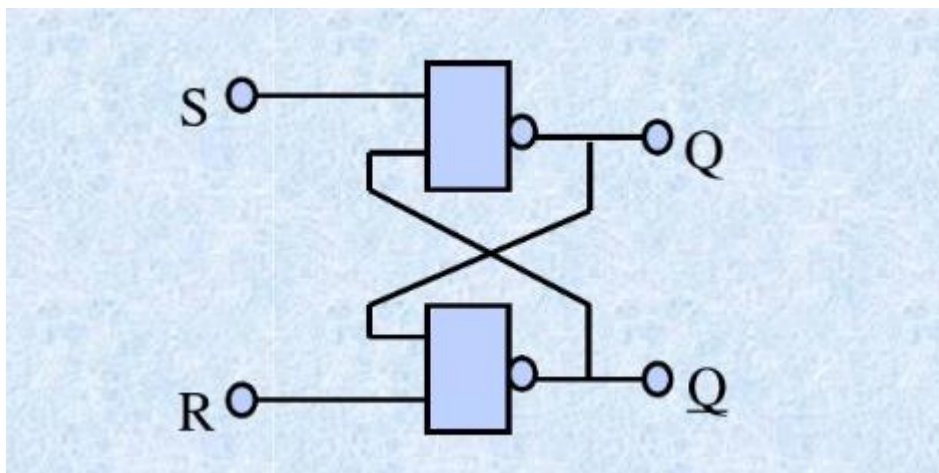




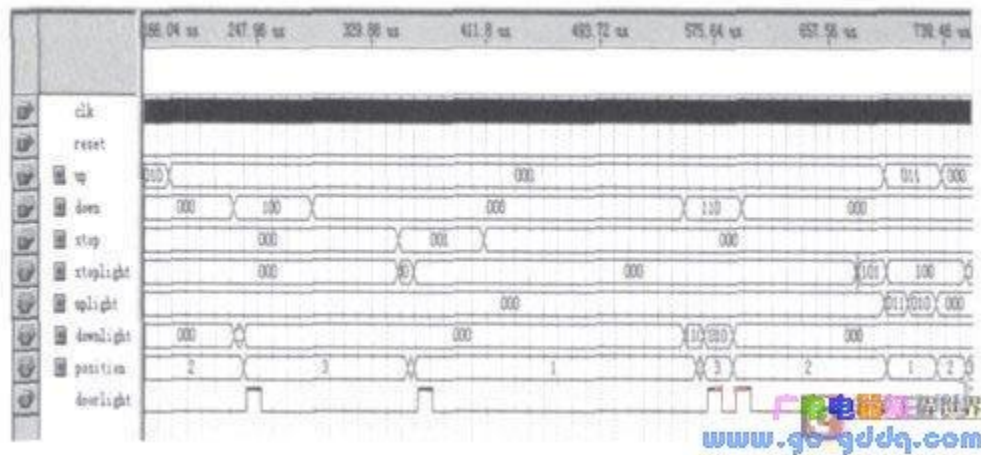
# 数字系统设计自动化

## ■ 电梯的门级描述

门级设计



门级仿真







# 数字系统设计自动化

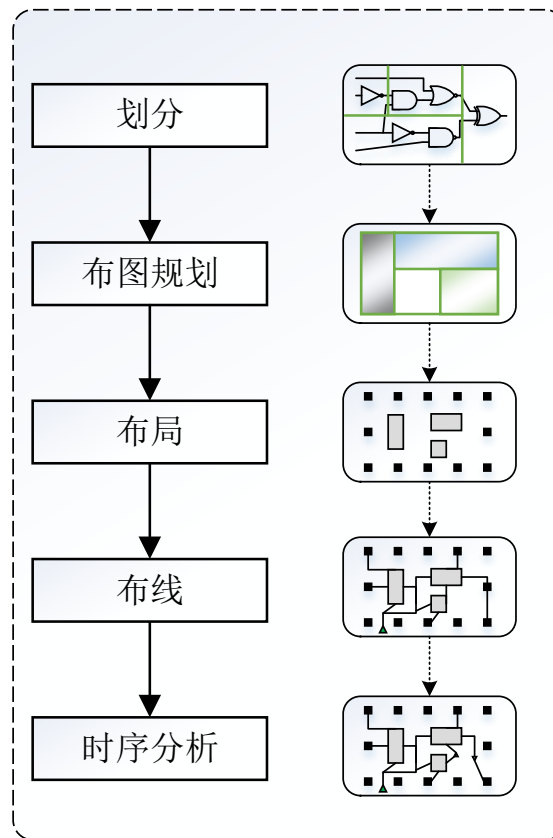
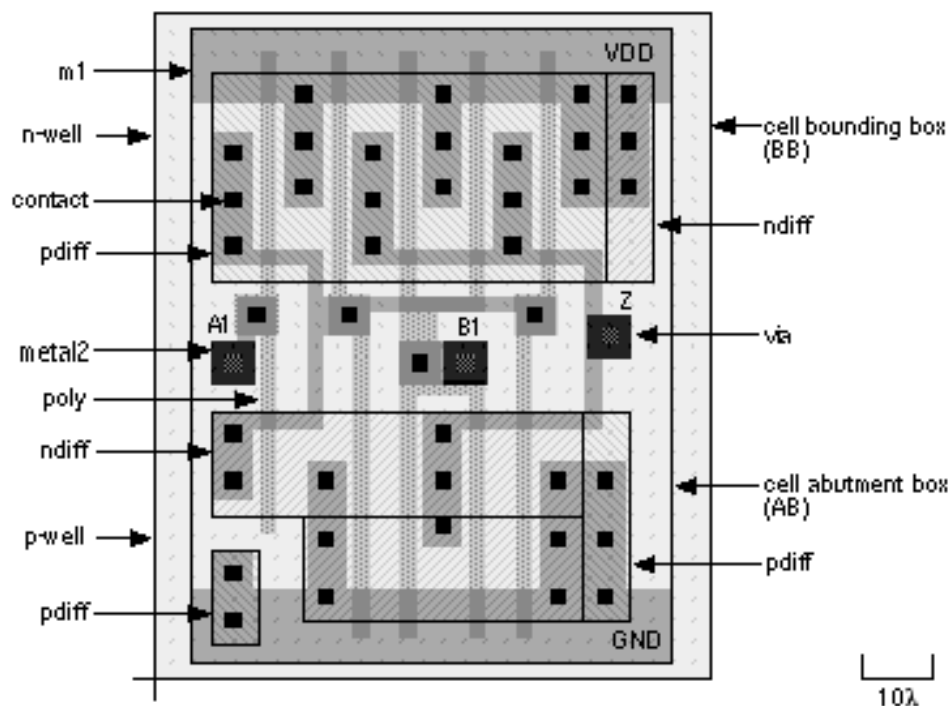
## ■ 数字系统设计层次

|    | 抽象层次 | 时序单位 | 基本单元   | 电路的功能描述            |
|----|------|------|--------|--------------------|
| 前端 | 系统级  | 数据处理 | 进程及通信  | 自然语言描述系统功能或相互通信的进程 |
|    | 行为级  | 运算步  | 运算的控制  | 行为有限状态机、数据流图、控制流图  |
|    | RTL级 | 时钟周期 | 寄存器、运算 | 布尔方程、卡诺图、有限状态机     |
| 后端 | 门级   | 延时模型 | 逻辑门、器件 | 原理图                |
|    | 版图级  |      | 几何图形   |                    |



# 数字系统设计自动化

## ■ 电梯的版图级描述





## ■ 综合 (Synthesis)

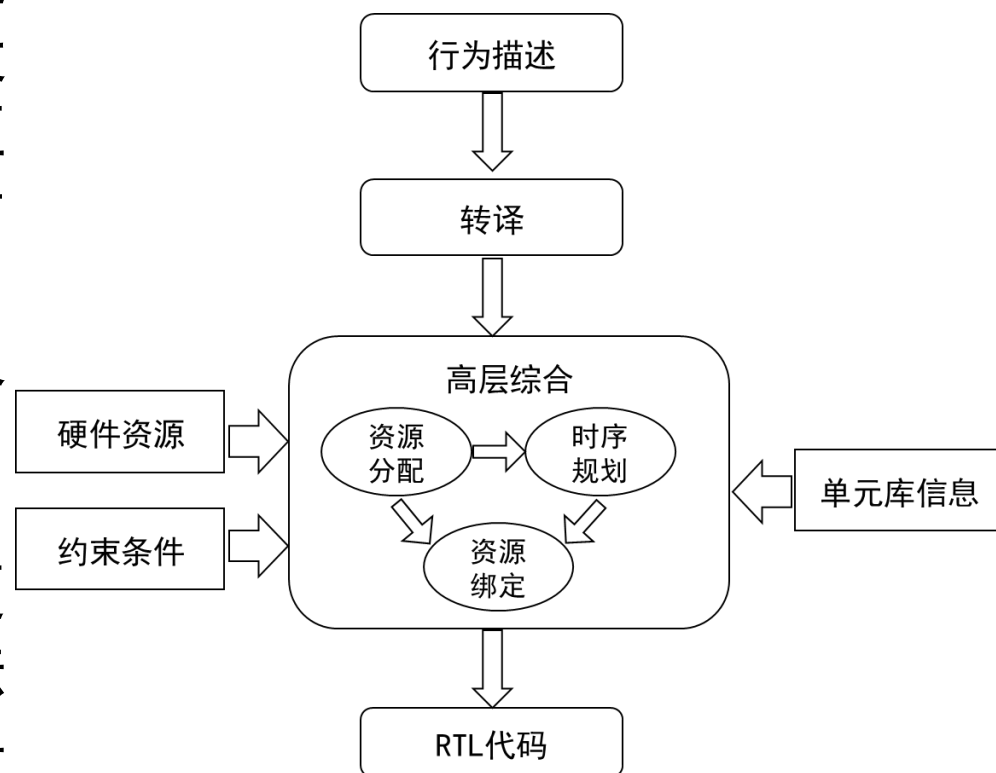
- 是指从较高层次的设计描述到较低层次的设计描述的转换、映射并包含一定的设计优化的过程
- 高层综合(High-level Synthesis)
- 逻辑综合(Logic Synthesis)
- 版图综合(Layout synthesis)



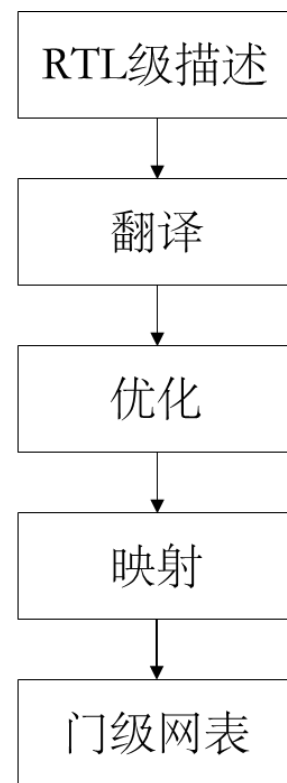
# 数字设计自动化

## ■ 高层综合

- 超大规模集成电路设计是一个多目标优化问题，设计过程必须权衡几个相互冲突的设计目标，如芯片面积、电路延迟和功耗。高层综合实现从行为抽象层到RTL的自动化转换，可以大大缩短设计周期，允许在设计过程中尝试更多可替代的电路实现方法，从而为集成电路设计寻找更多的优化设计空间。

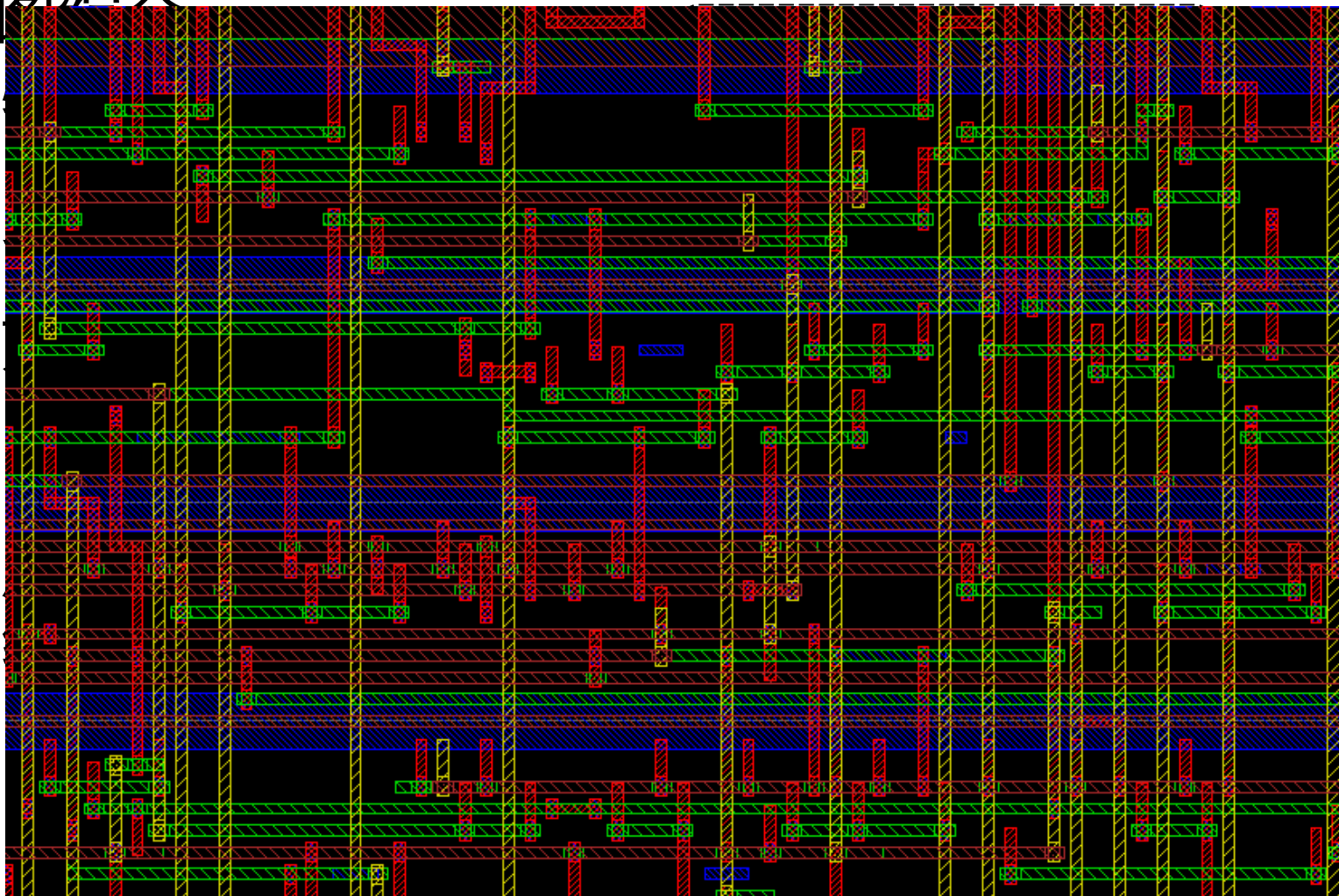


- 是指将把寄存器传输级（Register Transfer Level, RTL）代码所描述的逻辑功能和用户所要求的性能，基于一个完备的逻辑单元库，转换成满足相关约束条件的门级网表的过程。





## ■ 版图综合







# 总结



## ■ 一、数字系统概述

- 数字信号、器件、数字逻辑、逻辑电路、微处理器、系统

## ■ 二、数字系统设计方法学

- 三个域、层次式设计、实现技术

## ■ 三、数字系统设计自动化

- EDA的发展历史、国内EDA现状、EDA设计流程



# 课后作业

- 数字系统的实现方式有哪些？各有什么优缺点？
- 简述“片上系统(System on Chip, SOC)”
- 什么是Top-Down设计模式？优缺点是什么？
- 数字系统设计过程中，“设计说明书(Specification, Spec)”的作用是什么？通常包含哪些内容？