



# 数字电路高层次综合设计

作者：Pannenets.F

时间：September 26, 2020

分类：笔记

Je reviendrai et je serai des millions. ——«Spartacus»

# 特别声明

北航微电子学院在 2020 年秋季学期开设的数字电路高层次综合设计课程，课程教师为贾小涛老师，助教为成镇。

Pannenets F September 26, 2020

# 目录

<b>1  引言</b>	<b>1</b>
1.1  这门课讲什么?	1
<b>2  概述</b>	<b>2</b>
2.1  数字系统概述	2
2.1.1  微处理器	2
2.2  数字逻辑电路	2
2.3  逻辑	3
2.3.1  数字与模拟信号	3
2.3.2  数字信号的获得	3
2.4  数字电路设计方法学	3
2.4.1  设计方法论	3
2.4.2  层次化设计	3
2.4.3  数字系统的实现技术	3
2.5  数字系统设计自动化	4

# 第一章 导言

这是一门专业基础课，分为理论以及实践两个部分，分别 32 学时。先修课程包括电子电路，数字集成电路设计，C 语言，后续课程包括集成电路设计实训以及智能芯片设计。

## 1.1 这门课讲什么？

什么是数字系统以及我们如何使用 Verilog 完成数字电路的设计，并且通过逻辑综合以及物理综合完成最终的布局布线。

了解什么是数字系统并且清楚如何设计一个数字系统，了解 FPGA 的工作原理并使用。

需要熟练完成 Verilog 编写并仿真最终上板子（Altera DE2-115）。

## 第二章 概述

### 2.1 数字系统概述

数字系统涵盖方面广，

- 处理器
- 存储器
- SoC: System on Chip

数字系统可以看作是一个微处理器外加一个交互接口。一般来说，数字系统包括算术逻辑单元，存储单元以及控制单元，硅集成后就可以成为 IC。

半导体产品包括：

- 光电器件
- 传感器
- 分立器件
- 集成电路

#### 2.1.1 微处理器

微处理器几乎是数字系统的核心。

常见的微处理器有中央处理器即 CPU。其中的控制单元对指令进行处理，使得存储单元以及运算单元与内存进行交互完成工作。通过指令集对底层进行交互。

另一种是图形处理器即 GPU，控制单元相对较少，但是有更多的细粒度 ALU 以及更大的显存。

还有现场可编程逻辑门阵列即 FPGA，通过逻辑设计对开关核进行不同的连线，实现不同的逻辑功能。

专用处理器即 ASIC，为特定的系统的需要而设计，速度快，但是设计成本更高。

其他芯片还有：DSP 数字信号处理器，ISP 图像信号处理器，MCU 微处理器，SoC 系统级芯片或片上系统。

### 2.2 数字逻辑电路

数字逻辑电路实现了数字信号逻辑运算的电路，实现离散值的逻辑计算。

组合逻辑电路的输入输出信号没有反馈延时通路，且不含存储单元。

时序逻辑电路由组合电路以及存储单元组成，存在反馈电路。可以分为同步时序电路以及异步时序电路。

最早的逻辑器件有真空电子管以及晶体管。之后出现了金属氧化物半导体场效应管也就是 MOSFET。

## 2.3 逻辑

什么是逻辑？可以用 0 与 1 表达逻辑与任务。香农提到，逻辑可以使用逻辑电路实现。通过逻辑器件实现逻辑，综合成逻辑门后设计成逻辑电路最终实现到处理器。

### 2.3.1 数字与模拟信号

数字信号

- 时域离散
- 值域为有限地集合
- 来自物理世界
- 热波动噪声

模拟信号：

- 时域连续
- 值域连续
- 来自布尔相关方程
- 采样噪声

由于模拟信号的噪声多且难以消除，存在累积效应，更多采用数字信号。

### 2.3.2 数字信号的获得

通过采样将模拟信号转换为数字信号，效果与采样频率和采样精度有关。

## 2.4 数字电路设计方法学

### 2.4.1 设计方法论

存在三个设计域：

- 行为域：Spec, Algorithm, RTL, Bool, Differential Equation.
- 结构域：Transistor, Gate, ALU/MUX/Reg, Processor/Subsystem, CPU/Mem/SoC
- 几何域：Rectangle Polygon-group, Standard cell, Macro cell, Block/Chip, Chip/Board

### 2.4.2 层次化设计

自底向上设计（Bottom-Up）：缺乏全局规划，迭代优化难度大。

自顶向下设计（Top-Down）：通过“设计-验证-修改”的反复迭代，最终得到满足性能以及功能要求的结果。

混合设计模式：从上到下设计，从下到上实现。

### 2.4.3 数字系统的实现技术

按照分类方式分：



- 全定制：搭积木式设计，几乎没有灵活性且成本很高
- 半定制：标准单元式，标准单元库有助于提高布图效率，自动化程度高，设计周期短，ASIC 广泛使用
- 可编程：灵活度高，周期短，上市快，功耗大，成本高，速度慢

## 2.5 数字系统设计自动化

设计芯片的方法从手工设计、计算机辅助，走向了电子设计自动化（EDA）。EDA 以计算机与电子技术为先导，汇集了计算机图形学、拓扑学等知识。

CAD 进行独立的 EDA 使用，辅助版图设计，PCB 设计，电路模拟等。

CAE 实现了设计工作的集成化，原理图输入，逻辑仿真，自动布局，功能模拟以及分析验证可以系统化进行。

EDA 自顶向下的设计可以将经历集中在方案以及架构创新上。

EDA 是集成电路的产业龙头，推动封装测试行业从二维转向三维，实现了 PCB 的板级系统的硅上互联，时间摩尔转向空间摩尔。

分类大致有

- 电子电路设计：HSPICE, SPECTRE
- PCB：Protel
- PLD<sup>1</sup>：Quaturs II, ISE
- IC：ModelSim
- ASIC：Candence, Synopsys, Mentor

系统设计流程分为

- 前端设计
  - 系统功能设计
  - 系统结构划分
  - 电路 / RTL
  - 逻辑综合
- 生成门级网表
- 后端设计
  - 物理版图设计
  - 物理版图验证
  - 核签
  - 流片

什么是综合（Synthesis），人工的设计称为设计，自动化设计称为综合。

**定义 2.1 (综合)** 从较高层次的设计描述到较低层次的转换、映射并进行一定的优化设计的过程。

高层综合从高级语言直接转换，涉及到多目标的优化，如资源延时等。

<sup>1</sup>Programmable Logic Device

表 2.1: 层次化设计

	时序单位	基本单元	功能表述
系统级设计	数据处理	进程与通信	自然语言
行为级设计	运算步骤	运算控制	控制流程, 状态机
RTL 级设计	时钟周期	寄存器, 运算	布尔方程, 卡诺图

逻辑综合将 RTL 级代码转换为基于标准单元库满足约束的门级网表。