

从下面多项选择题中选出一个最佳答案。

1) 器件处于何种偏置时, N 沟道 MOSFET 产生导通电流? (电源电压是 V_{DD})

- a) $V_{GS} = V_T, V_{DS} = V_{DD}$.
- b) $V_{GS} = V_{DD}, V_{DS} = V_T$.
- c) $V_{GS} = V_{DD}, V_{DS} = V_{DD}$.
- d) $V_{GS} = V_T, V_{DS} = V_T$.
- e) $V_{GS} = V_T, V_{DS} = 0$.

2) 亚阈值摆幅被定义为:

- a) 使漏电流增加 2 倍所需的栅电压的增加。
- b) 使漏电流增加 10 倍所需的栅电压的增加。
- c) 使漏电流增加 2 倍所需的漏电压的增加。
- d) 使漏电流增加 10 倍所需的漏电压的增加。
- e) 使漏电流增加 10 倍所需的源电压的增加。

3) 对于长沟道 MOSFET 偏置达到“夹止”后, 饱和漏电流随 $(V_{GS} - V_T)$ 是如何变化的?

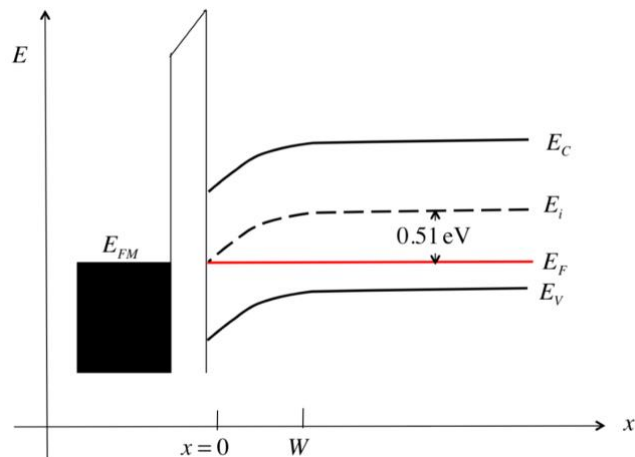
- a) 呈 $(V_{GS} - V_T)^{0.5}$.
- b) 呈 $(V_{GS} - V_T)^{1.0}$.
- c) 呈 $(V_{GS} - V_T)^{1.5}$.
- d) 呈 $(V_{GS} - V_T)^{2.0}$.
- e) 呈 $(V_{GS} - V_T)^{2.5}$.

4) 阈值漏电流随 $(V_{GS} - V_T)$ 如何变化?

- a) 呈 $[(V_{GS} - V_T) / (mk_B T)]^{0.5}$.
- b) 呈 $[(V_{GS} - V_T) / (mk_B T)]^{1.0}$.
- c) 呈 $\ln[(V_{GS} - V_T) / (mk_B T)]^{0.5}$.
- d) 呈 $\ln[(V_{GS} - V_T) / (mk_B T)]^{1.0}$.
- e) 呈 $\exp[(V_{GS} - V_T) / (mk_B T)]$.

解答题

- (1) $T=300K$ 下的理想 MOS 电容, $x_o=1.1nm$, 其能带图如下图所示。所施加的栅极电压使能带弯曲, 在 Si-SiO₂ 的界面 $E_F=E_i$ 。请利用 δ 耗尽近似, 回答下列问题:

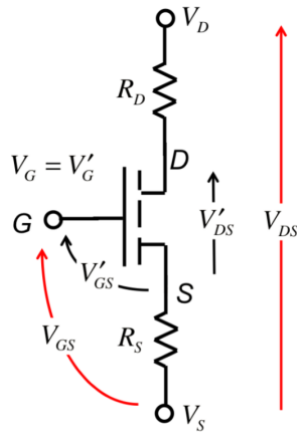


- 1a) 画出半导体内部的静电势 ϕ 作为空间位置函数的曲线。
- 1b) 粗略地画出半导体内部以及氧化层内部的电场作为空间位置函数的曲线。
- 1c) 半导体中达到平衡了么？为什么？
- 1d) 粗略地画出半导体内部空穴浓度随位置变化的曲线。
- 1e) 衬底中的空穴浓度是多少？
- 1f) 表面的空穴浓度是多少？
- 1g) $\phi_s = ?$
- 1h) $V_G = ?$
- 1i) 氧化层上的压降 $\Delta\phi_{ox}$ ？

(2) p 型 Si 衬底 MOS 电容拥有以下参数：

衬底掺杂浓度： $N_A = 2.7 \times 10^{18} \text{cm}^{-3}$ 、氧化层厚度： $x_o = 1.1 \text{nm}$ ， $K_o = 3.9$ ， $QF = 0$ （没有电荷在氧化物-Si 的表面）、 $T = 300\text{K}$ 、 $V_G = 1\text{V}$ 。并假设该结构是理想化的，无金属-半导体功函数的差异。根据理论计算决定以下参数。你可以使用耗尽或者 δ 耗尽近似进行这些计算。

- 3a) 平带电压， V_{FB}
 - 3b) 表面静电势 ϕ_s 。
 - 3c) 氧化物的电场 E_{ox}
 - 3d) 硅表面的电场 E_s
 - 3e) 耗尽区厚度 W_D
 - 3f) 硅衬底的电荷 Q_s (C/cm^2)
 - 3g) 栅极电荷 Q_G (C/cm^2)
 - 3h) 氧化物上的电压降
 - 3i) MOS 电容上的阈值电压
- (3) 真正的晶体管在源极和漏极处有寄生串联电阻。如下图所示，其结果是施加在器件的端子上的电压不是本征器件端子上的电压



5a) 修改平方律 MOSFET 方程，以包括源极和漏极串联电阻的影响

5b) 串联电阻对线性区和饱和区漏极电流的影响是不同的。解释 R_S 和 R_D 如何影响线性区漏极电流和饱和区漏极电流