

# 第五章： MOS器件

§ 5.1 MOS结构及MOS二极管

§ 5.2 MOSFET的基本理论

§ 5.3 MOSFET的频率特性

§ 5.4 MOSFET的击穿特性

§ 5.5 MOSFET的功率特性

§ 5.6 MOSFET的开关特性及CMOS结构

§ 5.7 MOSFET的温度特性

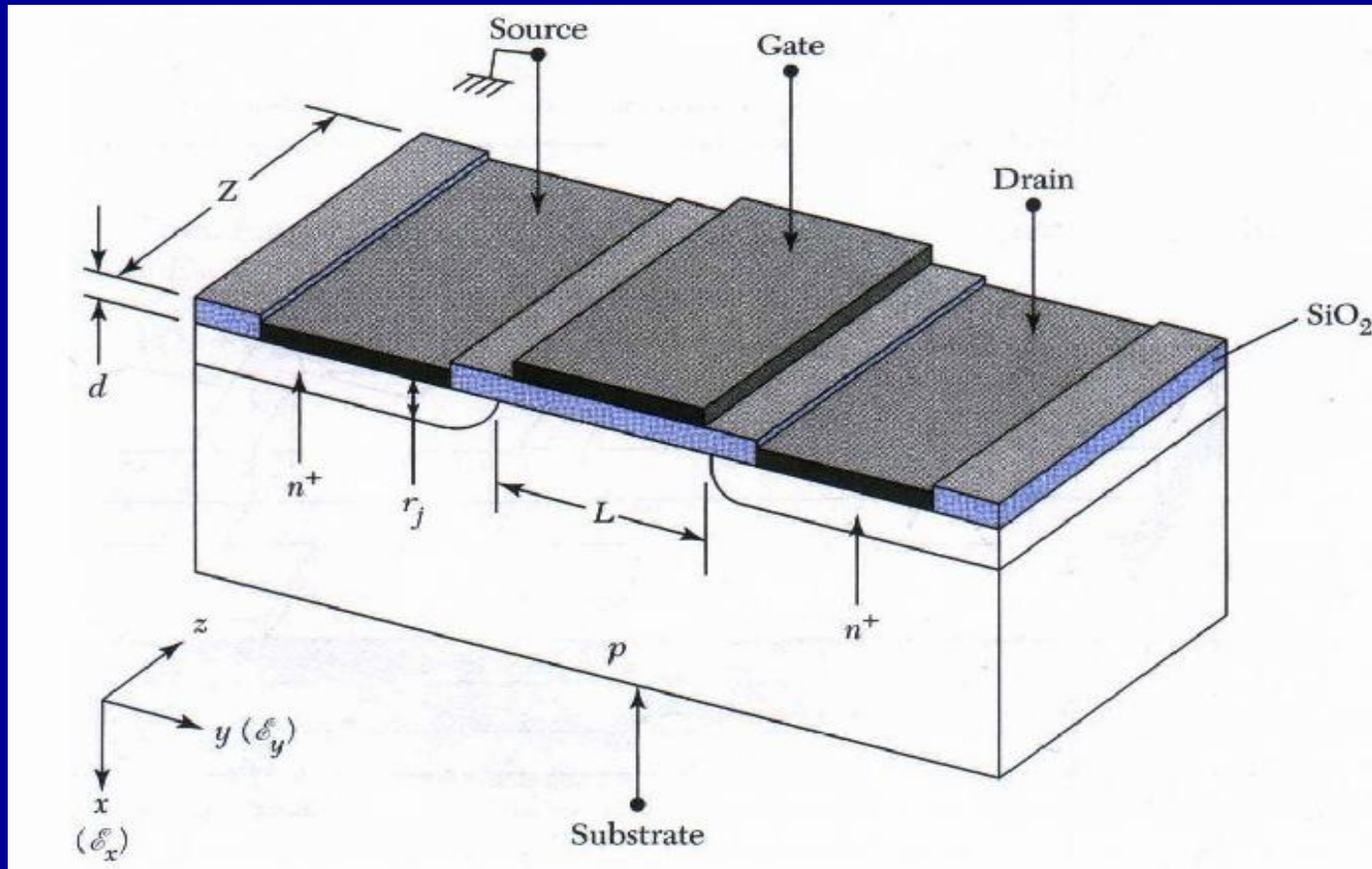
§ 5.8 MOSFET的短沟道效应

§ 5.9 MOSFET的器件小型化

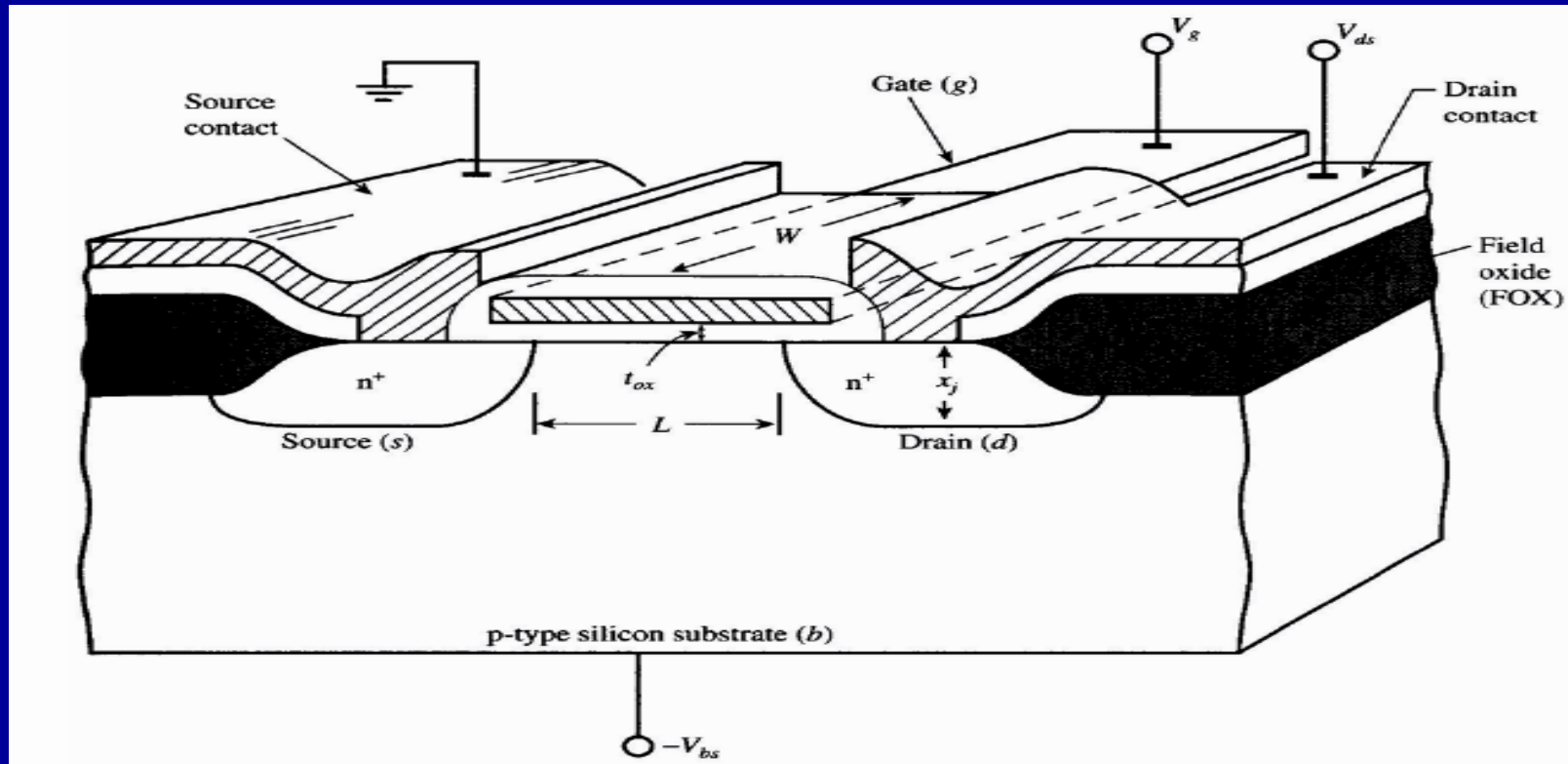
# 简介

- MOSFET在半导体器件中占有相当重要的地位，它是大规模集成电路和超大规模集成电路中最主要的一种器件。
- MOSFET是一种表面场效应器件，是靠多数载流子传输电流的单极器件。它和前面介绍的JFET、MESFET统称为场效应晶体管，其工作以半导体的场效应为物理基础。
- 与两种载流子都参加导电的双极晶体管不同，场效应晶体管的工作原理是以简单的欧姆定律为根据，而双极晶体管是以扩散理论为根据。双极晶体管是电流控制器件，场效应晶体管则是电压控制器件。
- 与JFET和MESFET栅压控制导电沟道截面积不同，MOS器件栅压控制的是导电沟道的载流子浓度。

# N型MOSFET的基本结构



# MOSFET的透视图



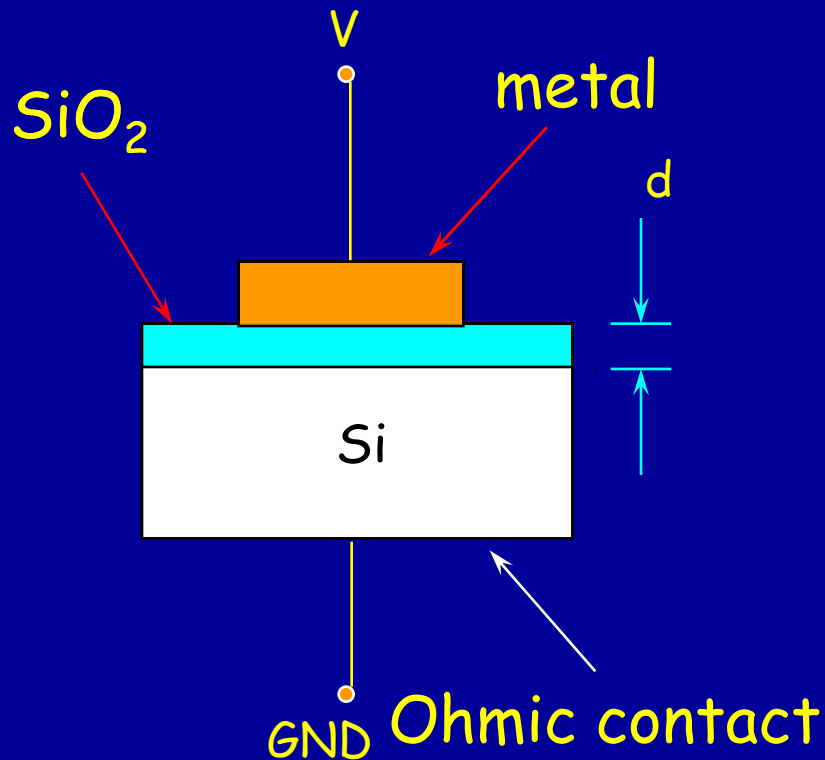
# § 5.1 MOS结构及MOS二极管

## 1、基本结构和能带图

MOS结构指金属—氧化物—半导体结构：  
半导体作为衬底，假定均匀掺杂；

氧化物一般为 $\text{SiO}_2$ ，生长工艺简单， $\text{SiO}_2/\text{Si}$ 的界面态密度 $<10^{10}\text{cm}^{-2}$ （单位面积界面陷阱数）；

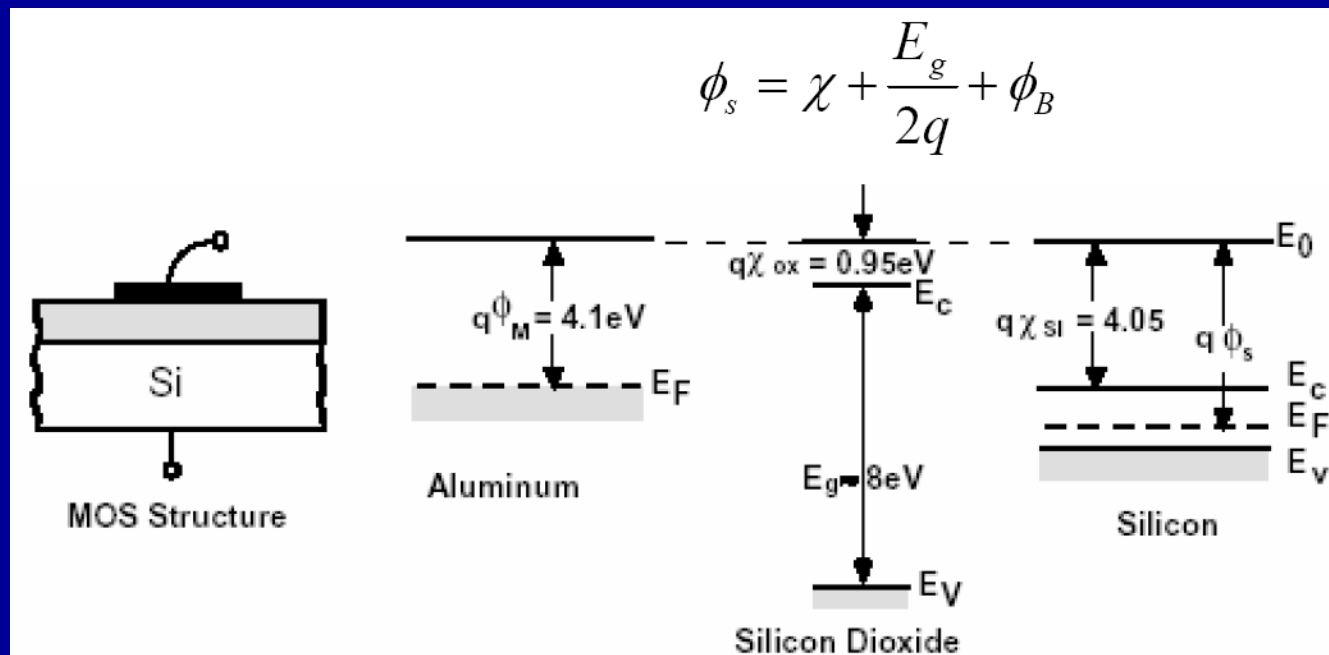
金属泛指栅极材料，不仅限于金属。目前主要采用多晶硅或难熔金属硅化物。



## MOS二极管的结构图

MOS二极管是重要的半导体器件，在半导体表面的研究中及其重要。

- 金属-氧化物( $\text{SiO}_2$ )-半导体( $\text{Si}$ ) (MOS) 结构是主流半导体器件CMOS的重要组成部分, 典型的结构如Al/ $\text{SiO}_2$ /p-Si,
- 其基本的能带结构参数如下图所示。



## 2、理想MOS二极管的定义：

1) 零偏压下, 能带是平的。

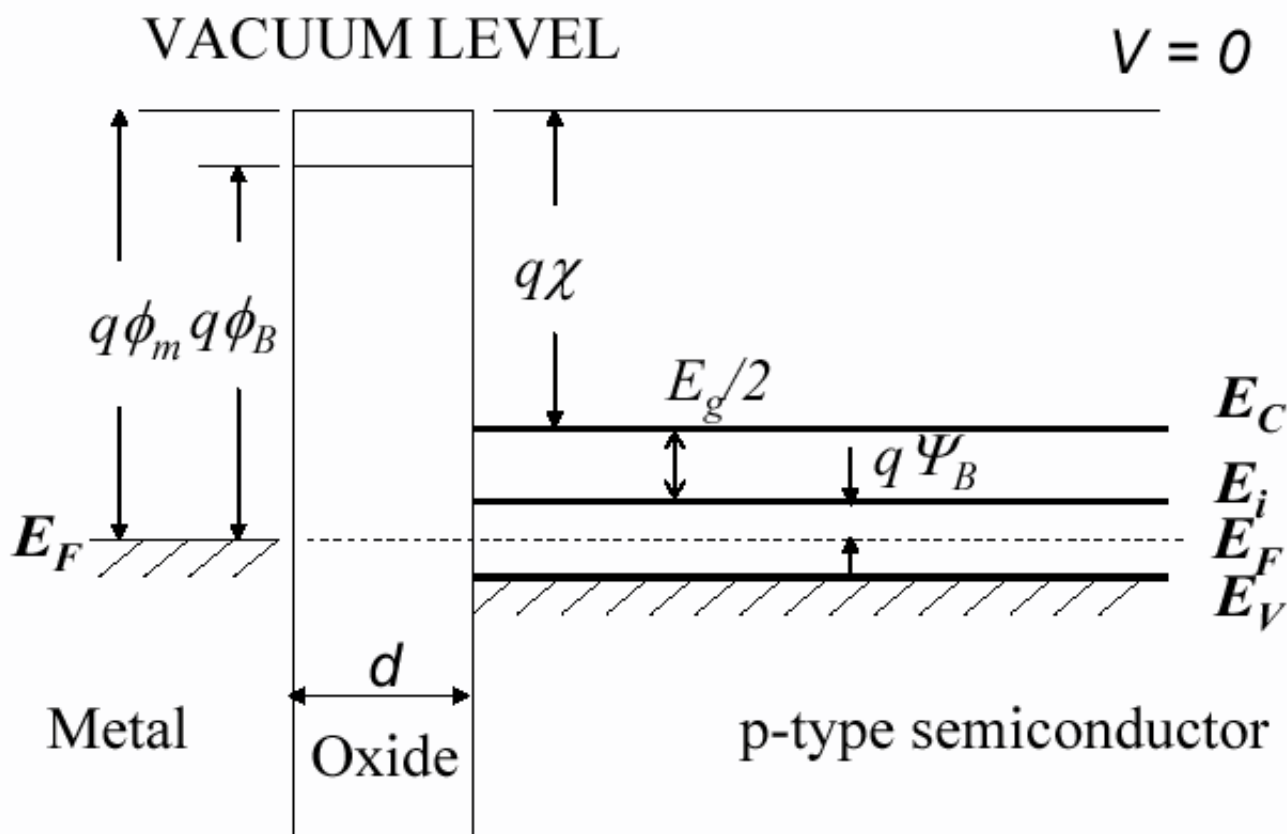
$$q\Phi_{ms} = (q\Phi_m - q\Phi_s) = q\Phi_m - \left( q\chi + \frac{E_g}{2} + q\Psi_B \right) = 0$$

2) 任意偏置下, 二极管中只有两部分数量相等但符号相反的电荷: 半导体中的电荷和靠近氧化物的金属表面上的电荷。

3) 在直流偏置下, 氧化层中没有载流子输运, 或者说氧化物的电阻无限大。



## 理想MOS二极管的能带图



$q\phi_m$ : work function

$q\chi$ : electron affinity

$q\phi_B$ : the energy between the Fermi level  $E_F$  and the intrinsic Fermi level  $E_i$

### 3、平带电压

- 在MOS结构中，金属和半导体之间因功函数差而产生一定的固有电压，并造成半导体能带弯曲，如果金属对半导体加相反电压使之平衡其固有电压，则半导体表面和体内一样，能带处处平坦。外加的能使半导体能带是平的电压称为平带电压 $V_{FB}$ 。
- 对于实际的 $\text{SiO}_2/\text{Si}$  MOS二极管，在系统中有所谓的有效界面电荷，将在金属和半导体内感应极性相反的电荷，是造成半导体能带不平的另一个原因，这时，必须再加一个电压才能使半导体中的电荷完全消失，能带处处拉平。
- 因此实际MOS结构，平带电压分为两部分：

$$V_{FB} = V_{FB1} + V_{FB2}。$$

# (1) $V_{FB1}$ : 用来抵消功函数差的影响

$$V_{FB1} = \frac{q\phi_m - q\phi_S}{q} = \phi_{ms} = \frac{(q\chi + E_g/2) - q\phi_m}{-q} - \frac{E_F - E_i}{-q} = \phi_G - \phi_B$$

其中,  $\phi_B = \frac{E_F - E_i}{-q} = \phi_F$

相对于本征费米能级定义的半导体材料的费米势。

对于给定的MOS结构,

$\phi_{mS}$  即  $V_{FB1}$ , 决定于MOS结构所用的栅极材料和半导体掺杂浓度。

- 多晶硅是一种十分重要的栅极材料，主要优点是能承受器件制作中的高温过程。因此Poly-Si又可充当源漏区的掩模，得到没有栅源交叠或栅漏交叠的自对准栅。对于多晶硅栅，应以多晶硅的费米势表示，多晶硅作栅一般是高掺杂的，因此费米能级靠近导带底或价带顶的，此时

$$E_F - E_i \approx \pm 0.56 eV$$

$$\text{即, } \phi_G \approx \pm 0.56 V$$

其中，p型取+，n型取-。

## (2) $V_{FB2}$ : 用来消除有效界面电荷的影响

$\text{SiO}_2$ 层内部及 $\text{SiO}_2/\text{Si}$ 界面存在电荷，基本分类：界面陷阱电荷，氧化物固定电荷，氧化物陷阱电荷和可动离子电荷。

- 界面陷阱电荷 $Q_{it}$ : 归因于 $\text{SiO}_2/\text{Si}$ 界面性质，并取决于该界面的化学组分，在 $\text{SiO}_2/\text{Si}$ 界面上的陷阱，其能级位于硅禁带之内，和晶面取向有关。
- 氧化物固定电荷 $Q_f$ : 位于 $\text{SiO}_2/\text{Si}$ 界面约30Å范围内，在表面势大幅度变化时也不能充放电， $Q_f$ 通常是正的，并和氧化、退火条件、Si晶面取向有关。
- 氧化物陷阱电荷 $Q_{ot}$ : 和 $\text{SiO}_2$ 的缺陷有关，分布在 $\text{SiO}_2$ 层内，和工艺过程有关的 $Q_{ot}$ 可以通过低温退火除掉大部分。
- 可动离子电荷 $Q_m$ : 如 $\text{Na}^+$ 等碱金属离子，在高温和高压下工作时，它们可以在氧化层内移动。因此，在器件制造中，要防止可动离子的玷污。

- 为简化分析，常假定它们都固定在 $\text{SiO}_2/\text{Si}$ 界面上，其面密度为 $Q_0$ ，对 $\text{SiO}_2/\text{Si}$ 系统，无论是p型衬底或n型衬底， $Q_0$ 总是正的，在现代工艺水平下可低至 $10^{-10}\text{C}/\text{cm}^2$ 。 $Q_0$ 将在金属和半导体中感应极性相反的电荷 $-Q_0$ ，因此必须在金属上提供全部所需的 $-Q_0$ ，即除了 $\phi_{mS}$ ，还有：

$$V_{FB2} = -\frac{Q_0}{C_{ox}}$$

- 电源的负极与金属相连， $C_{ox}$ 是栅氧化层的单位面积电容，

$$C_{ox} = \frac{\epsilon_{ox}}{d_{ox}}$$

其中 $\epsilon_{ox}$ 、 $d_{ox}$ 分别为栅氧化层的介电常数和厚度。

## 4、表面势 $\Psi_s$

- 氧化层下的半导体表面通常简称表面。当栅对衬底的外加电压 $V_{GB}$ 不等于平带电压 $V_{FB}$ 时，半导体将出现表面电荷层，在它之外的半导体内部都是电中性的，表面层上的电势降落称为表面势 $\Psi_s$ ，规定电势降落的方向由表面指向体内，由此，表面电势高于体内时， $\Psi_s$ 为正，反之为负。
- 热平衡时，表面处的电子浓度和空穴浓度用 $\Psi_s$ 表示为：

$$n_s = n_0 e^{q\Psi_s / kT}$$

$$p_s = p_0 e^{-q\Psi_s / kT}$$

## 5、电势平衡和电荷平衡

- 一般外加栅压 $V_{GB}$ 时，半导体表面将出现电荷，并有电势降落。
- 电势平衡方程

$$V_{GB} = \psi_{ox} + \psi_S$$

其中 $V_{GB}$ 为栅衬底偏压， $\psi_{ox}$ 是栅氧化层上电压， $\psi_S$ 是表面势

- 电荷平衡方程（电中性条件）

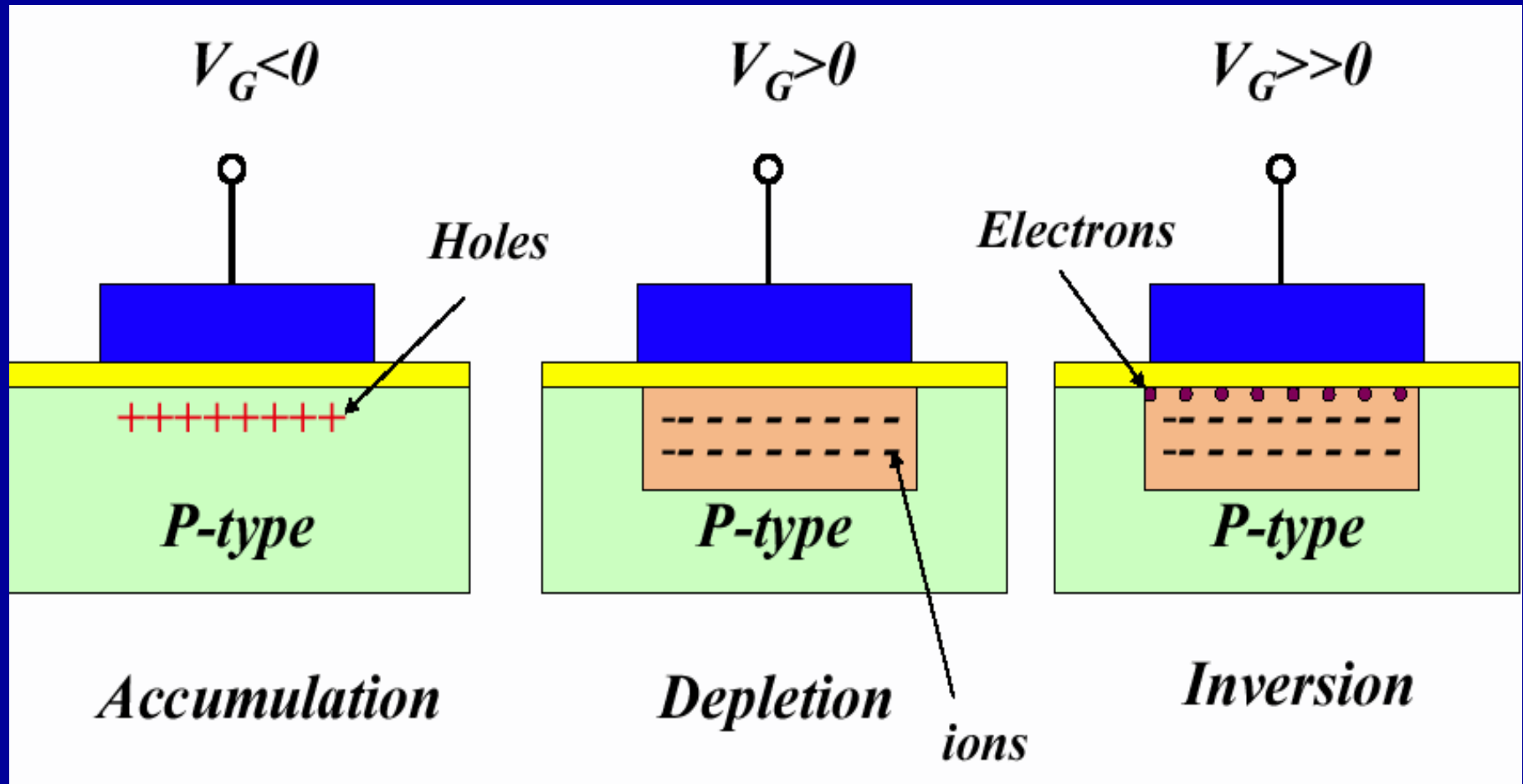
$$Q_G + Q_S + Q_0 = 0$$

其中， $Q_G$ 是栅电荷， $Q_G = C_{ox}\psi_{ox}$ ， $Q_S$ 为表面层电荷， $Q_0$ 是有效界面电荷。单位为 $C/cm^2$ 。

- 由于 $Q_0$ 是不变的，因此 $\Delta Q_G + \Delta Q_S = 0$



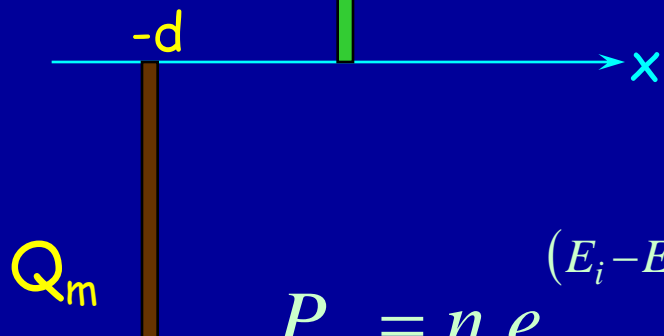
## 6、半导体表面状态



# 积累情况下能带图及电荷分布

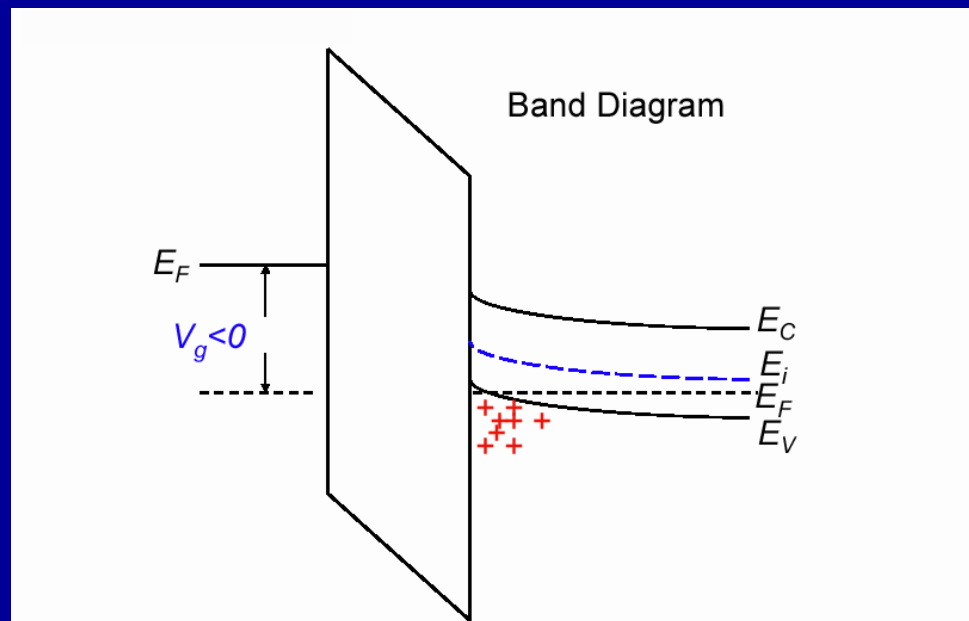
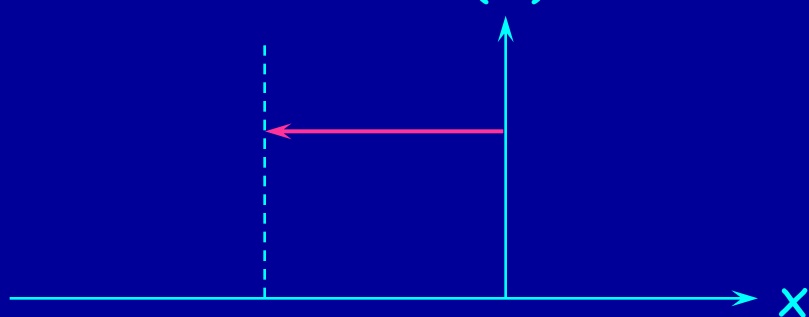
积累:

电荷分布  $Q_s$



$$P_P = n_i e^{\frac{(E_i - E_F)}{kT}}$$

$E(x)$  电场分布



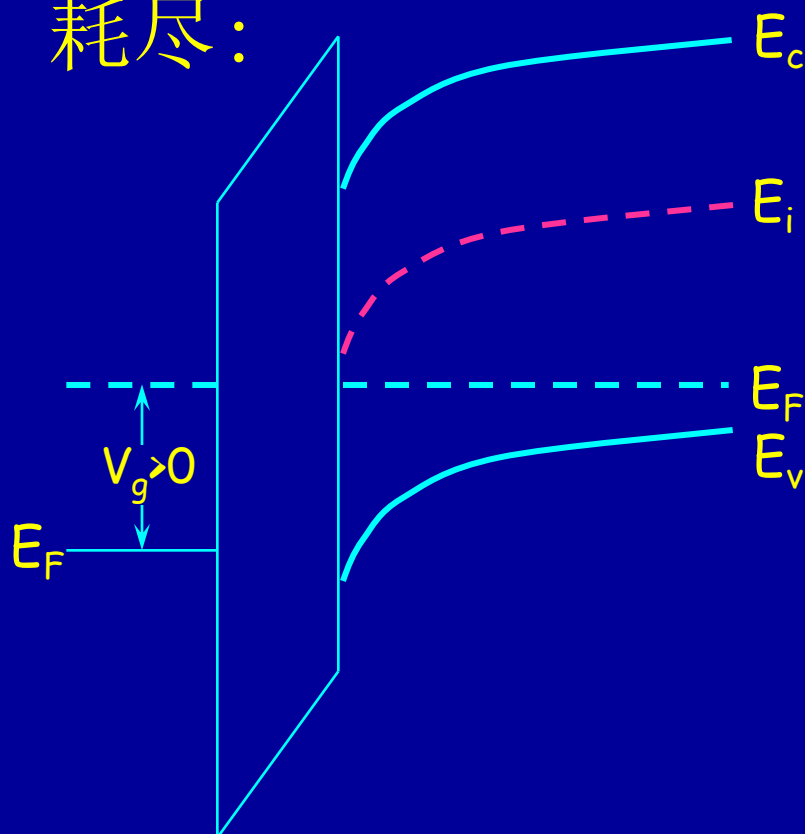
靠近氧化层的半导体表面形成空穴积累

**P型表面势:  $\psi_s < 0$**

**电场方向: 体内 → 表面**

## 耗尽状态下能带图及电荷分布

耗尽:

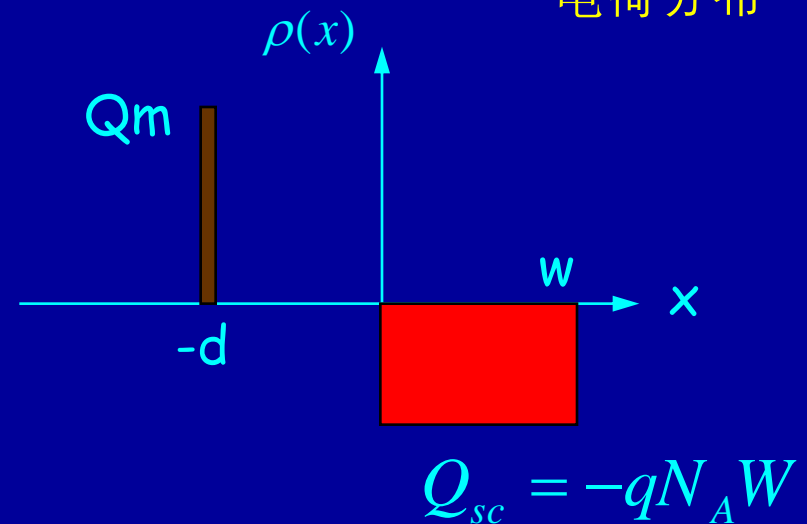


靠近氧化层的半导体表面形成  
空穴耗尽

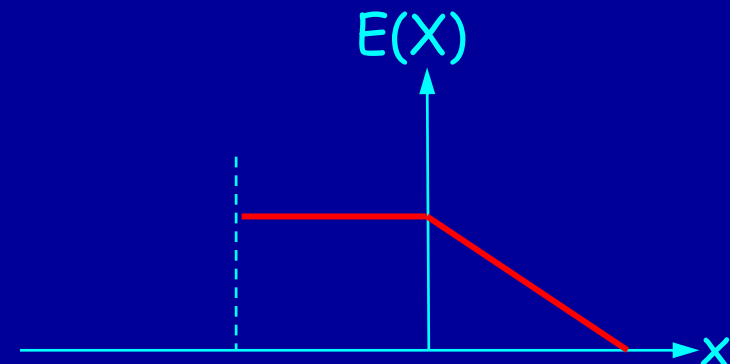
P型表面势:  $\psi_s > 0$  □

电场方向: 表面→体内

电荷分布

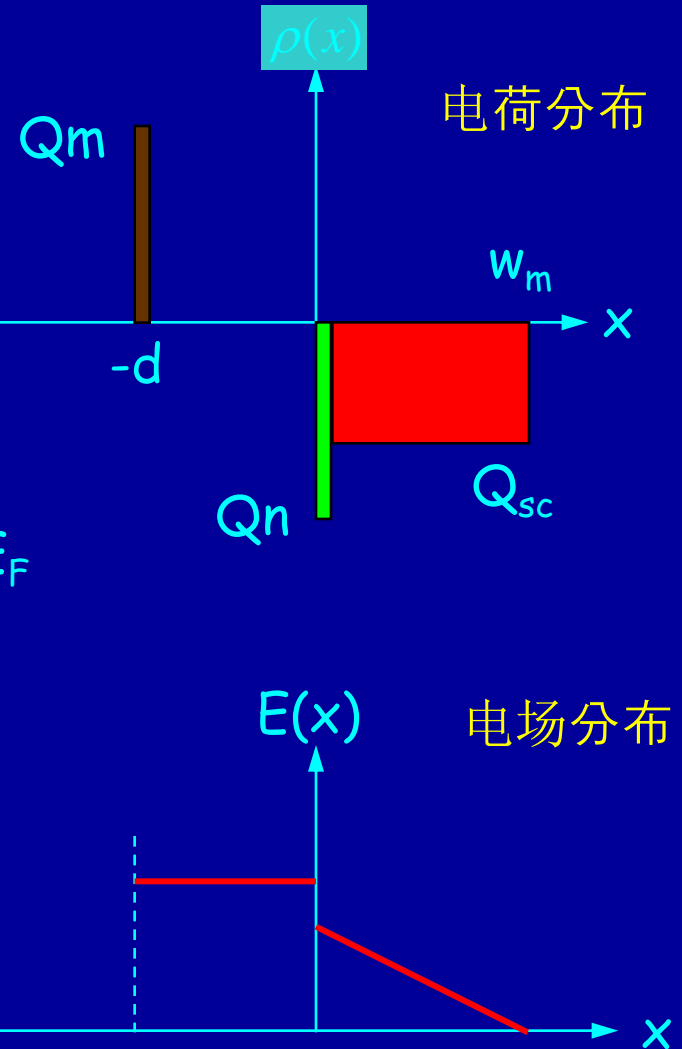
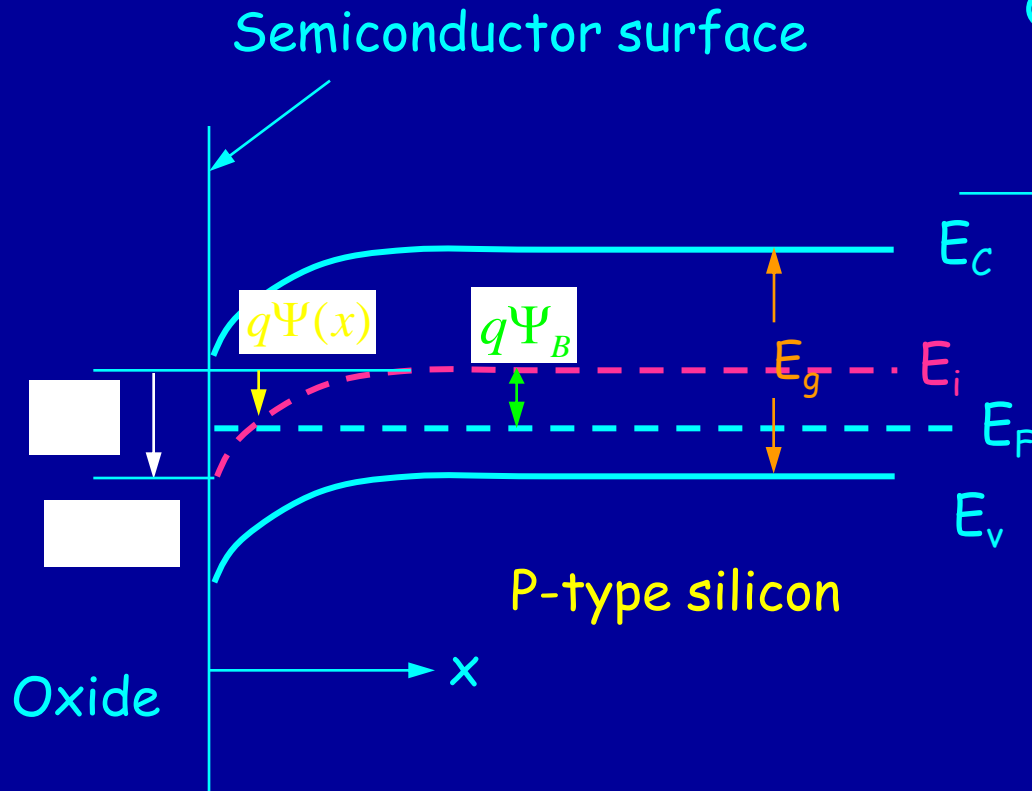


电场分布



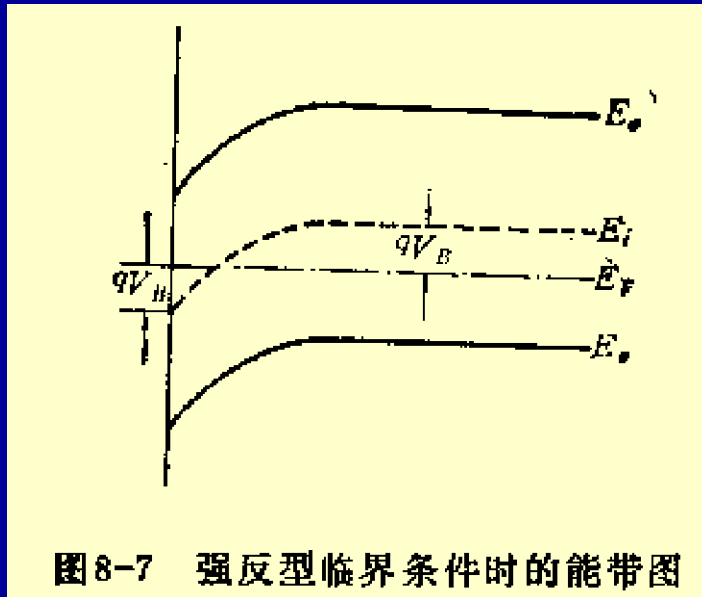
ctor Devices

反型:

P型表面势:  $\psi_s > 0$  □

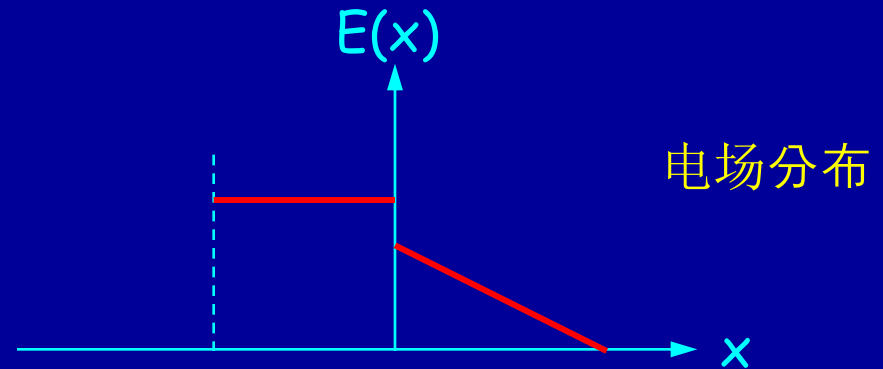
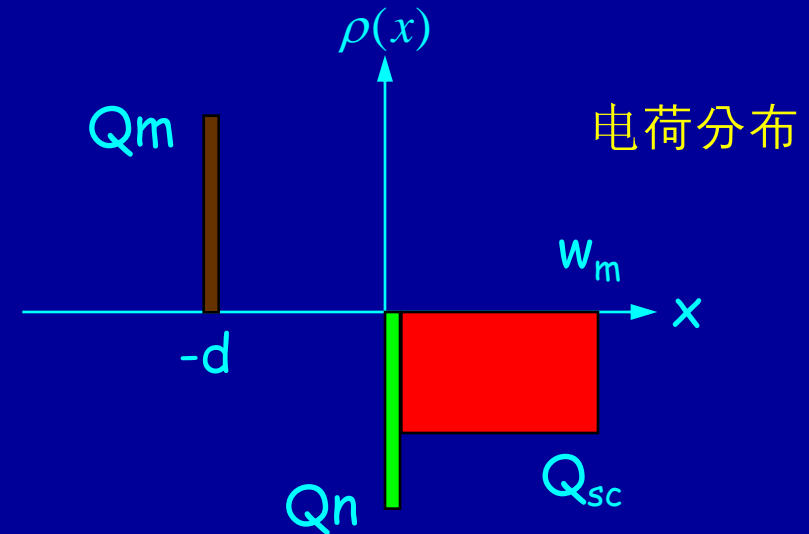
电场方向: 表面→体内

# 强反型：



一旦反型层形成，能带只要再向下弯一点点，对应于耗尽层宽度增加很小，就会使反型层内的电荷 $Q_n$ 大大增加，因此表面耗尽层宽度达到最大值 $W_m$ 。

$$Q_s = Q_n + Q_{sc} = Q_n - qN_A W_m$$



## 7、表面强反型条件

- 反型使得能带向下弯曲，当半导体表面处的本征费米能级 $E_i$ 不是比费米能级 $E_F$ 低很多时，反型层中的电子仍然相当少，基本上和本征载流子浓度 $n_i$ 同数量级。这种情况称为“弱反型”。为在表面形成实用的N型沟道，就必须规定一个实用的反型标准。
- 一般人们常用的最好标准就是“强反型”条件（或称“强反型”近似）。
- 强反型近似认为：当外加栅电压增加到某一值（ $V_G \gg 0$ ）时，能带向下弯曲到使表面处的 $E_i$ 在 $E_F$ 下方的高度正好等于半导体内部 $E_i$ 在 $E_F$ 上方的高度。也就是说表面处N型层的电子浓度正好等于P型衬底的空穴浓度。这就是“强反型”条件。

$\Psi$ 和距离 $x$ 的关系可由一维泊松方程得到。

$$\frac{d^2\Psi}{dx^2} = \frac{-\rho_s(x)}{\epsilon_s}$$

当半导体被耗尽，由积分泊松方程得表面耗尽区中的静电势分布：

$$\Psi = \Psi_s \left(1 - \frac{x}{W}\right)^2$$

表面势  $\Psi_s$  为:

$$\Psi_s = \frac{2qN_A W^2}{2\epsilon_s}$$

强反型出现的判断标准是：

$$\Psi_s(inv) = 2\phi_B = \frac{2kT}{q} \ln \left( \frac{N_A}{n_i} \right)$$

表面耗尽层最大宽度为：

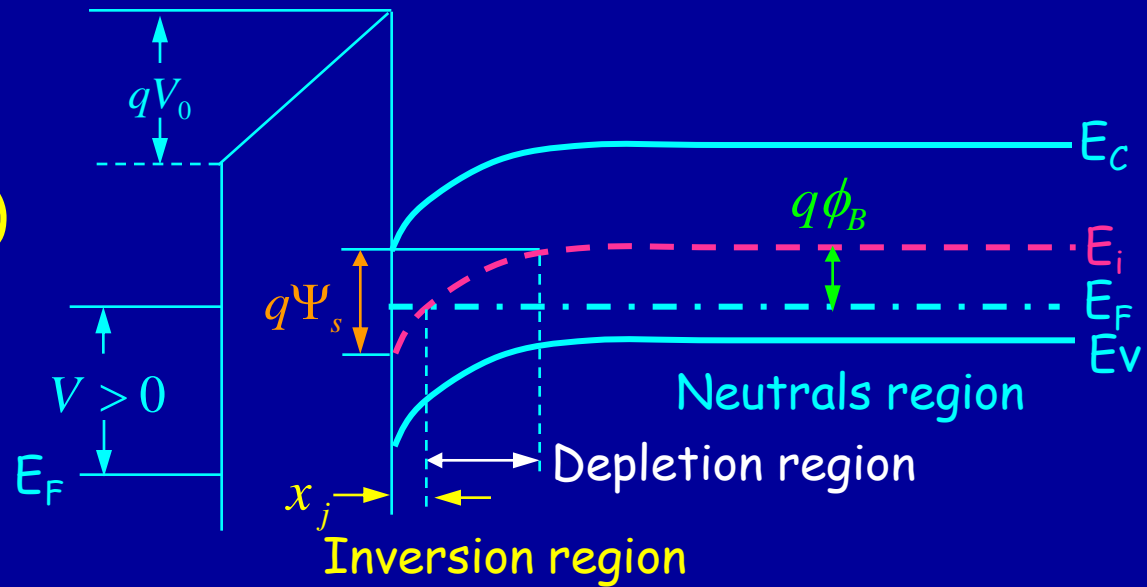
$$W_m = \sqrt{\frac{2\varepsilon_s(2\phi_B)}{qN_A}} = 2\sqrt{\frac{\varepsilon_s kT \ln \left( \frac{N_A}{n_i} \right)}{qN_A}}$$

同时，

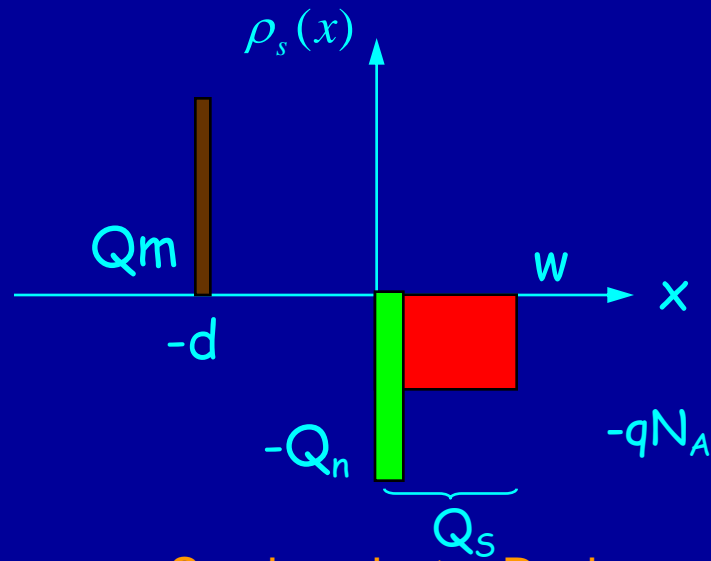
$$Q_{sc} = -\sqrt{2q\varepsilon_s N_A (2\phi_B)}$$



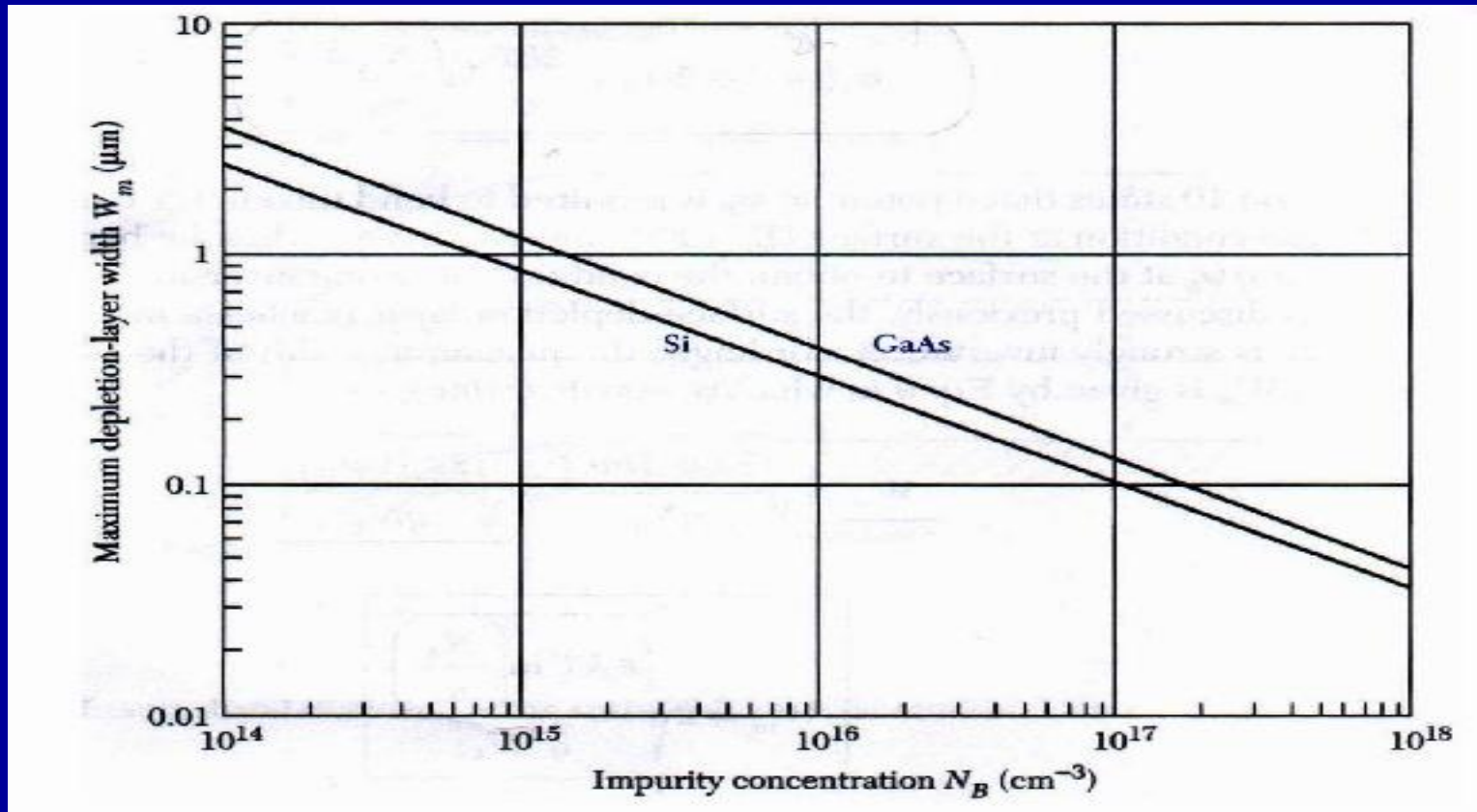
# 能带图 (p-type substrate)



## 反型时电荷分布

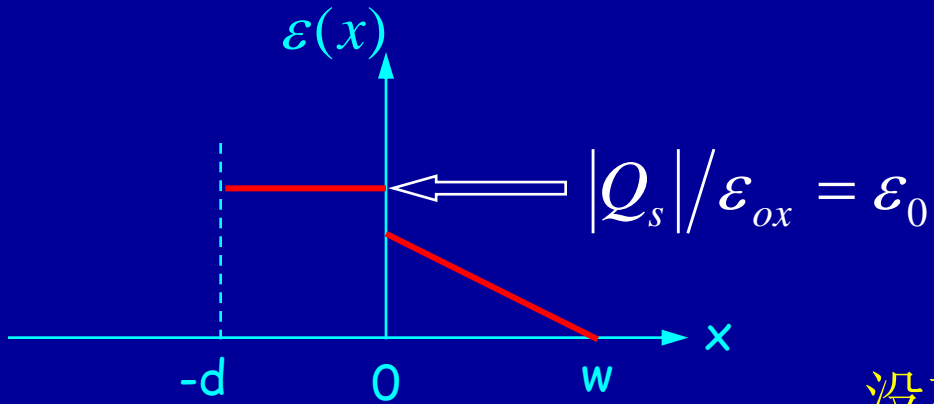


Semiconductor Devices



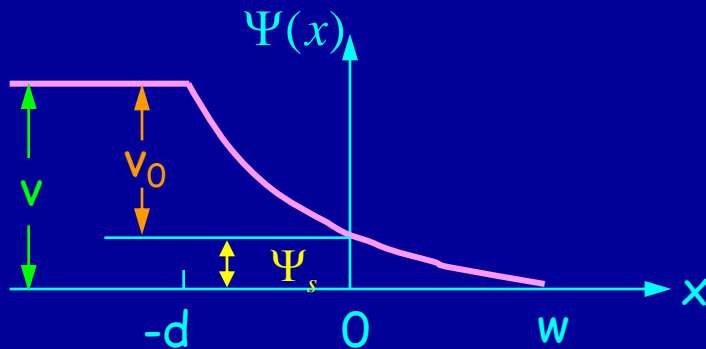
Si和GaAs最大耗尽区宽度  $W_m$  与掺杂浓度  $N_B$  的关系

## 电场分布



没有功函数差时，外加电压分为两部分：

## 电势分布



$$V = V_0 + \Psi_s$$

$$V_0 = \varepsilon_0 d = \frac{|Q_s|}{C_0}$$

表面处载流子浓度为:

$$n_s = n_i e^{q(\Psi_s - \phi_B)/kT}$$

$$p_s = n_i e^{q(\phi_B - \Psi_s)/kT}$$

表面势分为以下几种：

$\Psi_s < 0$                       空穴积累 (能带向上弯曲)

$\Psi_s = 0$                       平带条件

$\phi_B > \Psi_s > 0$               空穴耗尽 (能带向下弯曲)

$\Psi_s = \phi_B$                     本征状态  $n_s = n_p = n_i$

$\Psi_s > \phi_B$                     反型 (能带向下弯曲)

# 表面势列表 (P型衬底)

$\varphi_s$	栅压	表面载流子浓度	表面状态	表面能带
$\varphi_s < 0$	$V_G < 0$	$n_s < n_0, p_s > p_0$	空穴积累	向上弯曲
$\varphi_s = 0$	$V_G = 0$	$n_s = n_0, p_s = p_0$	中性表现	平带
$\varphi_B > \varphi_s > 0$	$\varphi_B > V_G > 0$	$n_s > n_0, p_s < p_0$	空穴耗尽	向下弯曲
$\varphi_B = \varphi_s > 0$	$V_G = \varphi_B > 0$	$n_s = p_s = n_i$	本征表面	向下弯曲( $E_i$ 与 $E_F$ 在表面相交)
$2\varphi_B > \varphi_s > \varphi_B$	$V_G > \varphi_B$	$n_s > p_s$	弱反型	向下弯曲( $E_i$ 在表面内与 $E_F$ 相交)
$\varphi_s \geq 2\varphi_B$	$V_G \geq 2\varphi_B$	$n_s \geq p_0 > p_s$	强反型	向下弯曲 ( $E_i - E_F$ ) <sub>体内</sub> = ( $E_F - E_i$ ) <sub>表面</sub>

- 讨论:

- (1) 表面势 $\varphi_S=0$ 时, 表面与体内的电势相同, 即为平带条件。这是“表面积累”和“表面耗尽”两种状态的分界;
- (2)  $\varphi_S=\varphi_B$ 时,  $E_i$ 和 $E_F$ 在表面处相交, 表面处于本征状态。这是“表面耗尽”和“表面反型”两种状态的分界;
- (3)  $\varphi_S=2\varphi_B$ 时, 是“弱反型”和“强反型”的分界。

- 对于MOSFET来说，最令人关注的是反型的表面状态。当栅偏压 $V_G \gg 0$ 时，P型半导体表面的电子浓度将大于空穴浓度，形成与原来半导体导电类型相反的N型导电层，它不是因掺杂而形成的，而是由于外加电压产生电场而在原P型半导体表面感应出来的，故称为感应反型层。这一反型层与P型衬底之间被耗尽层隔开，它是MOSFET的导电沟道，是器件是否正常工作的关键。反型层与衬底间的P-N结常称为感应结。

- 一维电子势阱中的2DEG
  - ◆ 当  $V_S > 2V_B$ , 半导体表面出现反型层(MOS器件中称为沟道), 即电子势阱
  - ◆ 当势阱宽度足够窄, 势阱中的电子即称为一维电子势阱中的2DEG:

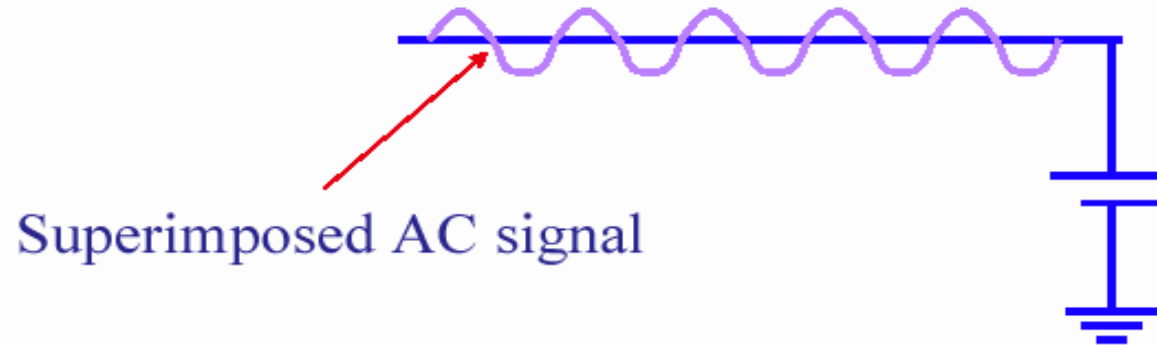
势阱中的电子在平行于界面(势阱壁)方向的运动, 可视作二维准自由电子的运动; 在垂直于界面(势阱壁)方向的运动, 必须考虑量子效应--能量量子化.



## 8、MOS二极管C—V特性

**MOS**电容定义为小信号电容，在直流电压上叠加一小的交流电压信号进行测量。

$$I = \frac{dQ_G}{dt} = \frac{dQ_G}{dV_G} \frac{dV_G}{dt} = C \frac{dV_G}{dt}$$



# ★ MOS结构的微分电容

- ◆ 栅压--  $V_G = V_{OX} + V_S$ ,
- ◆ 当不考虑表面态电荷,半导体的总电荷面密度--  $Q_S = Q_{SC} = -Q_G$
- ◆ MOS结构的微分电容

$$C \equiv dQ_G/dV_G$$

$$\frac{1}{C} = \frac{dV_G}{dQ_G} = \frac{dV_{OX}}{dQ_G} + \frac{dV_S}{dQ_G}$$

- 定义:

- ◆ 氧化层电容— $C_{OX} \equiv dQ_G/dV_{OX} = \epsilon_{ox} \epsilon_0 / d_{ox}$

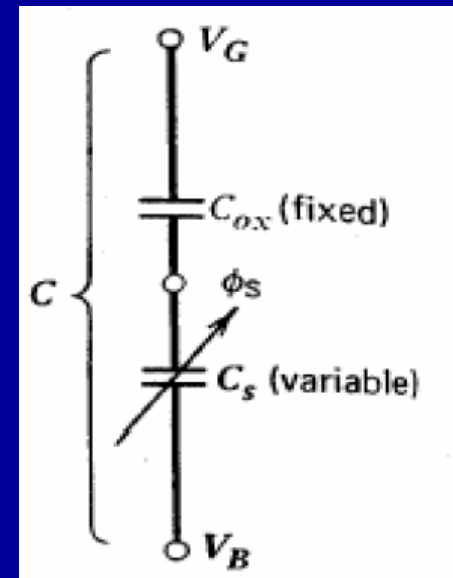
- ◆ 空间电荷区电容— $C_{SC} \equiv -dQ_{SC}/dV_S$ ,

- 则有:

$$\frac{1}{C} = \frac{1}{C_{ox}} + \frac{1}{C_{SC}}$$

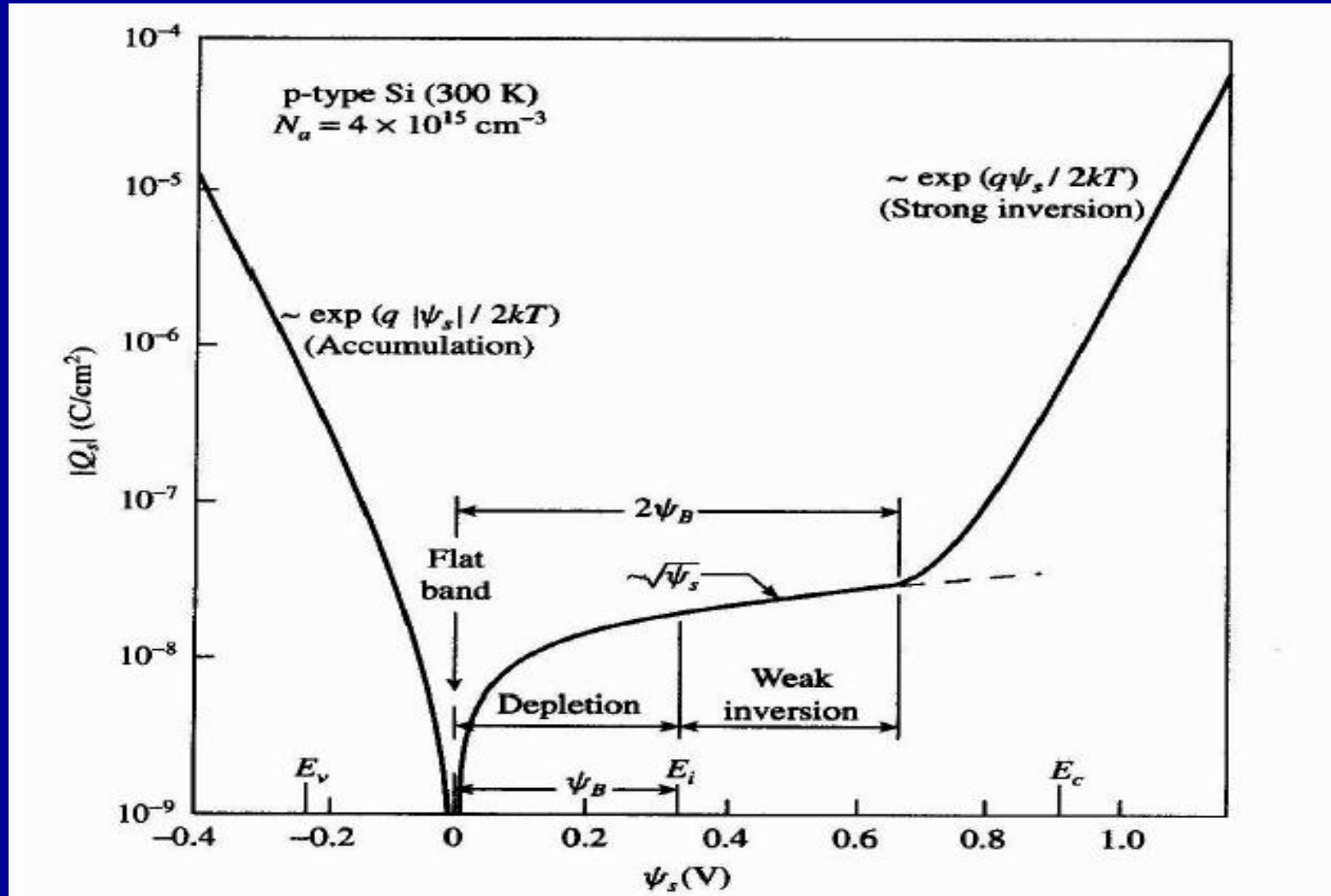
$$\frac{C}{C_{ox}} = \frac{1}{1 + \frac{C_{ox}}{C_{SC}}}$$

表征**MOS**结构中能够存储电荷的因素包括栅氧化层和**Si**半导体层，其中，**Si**层的电荷存储能力与表面势相关



等效电路模型

# 表面电荷和表面势



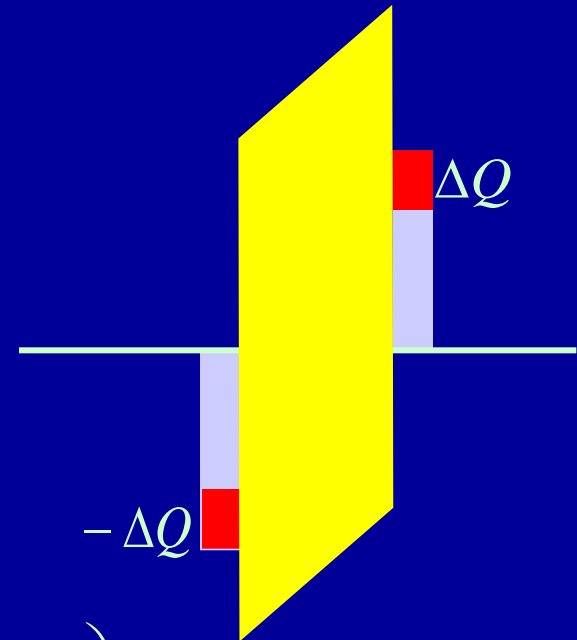
# 低频C-V特性

低频或准静态下，多子和少子能跟得上交变信号的变化，达到静态平衡。

P-type 衬底

积累：

$$Q_s \propto \exp(-q\Psi_s/2kT)$$



$$\frac{1}{C} = \frac{1}{C_{ox}} + \frac{1}{-dQ_s/d\Psi_s} = \frac{1}{C_{ox}} \left( 1 + \frac{2kT/q}{|V_g - \Psi_s|} \right)$$

$$C = \frac{\partial Q}{\partial V} = C_{ox}$$

Semiconductor Devices

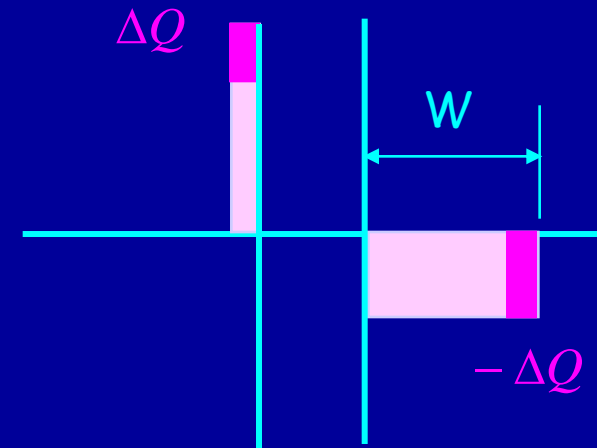
耗尽：



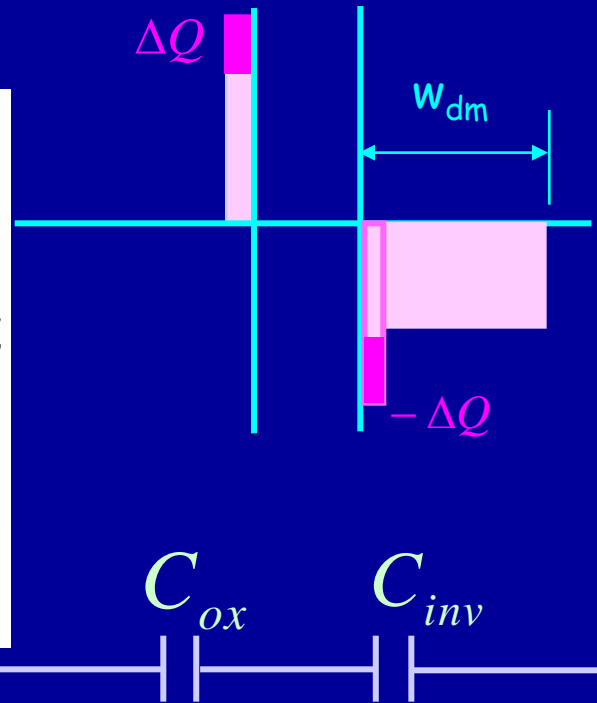
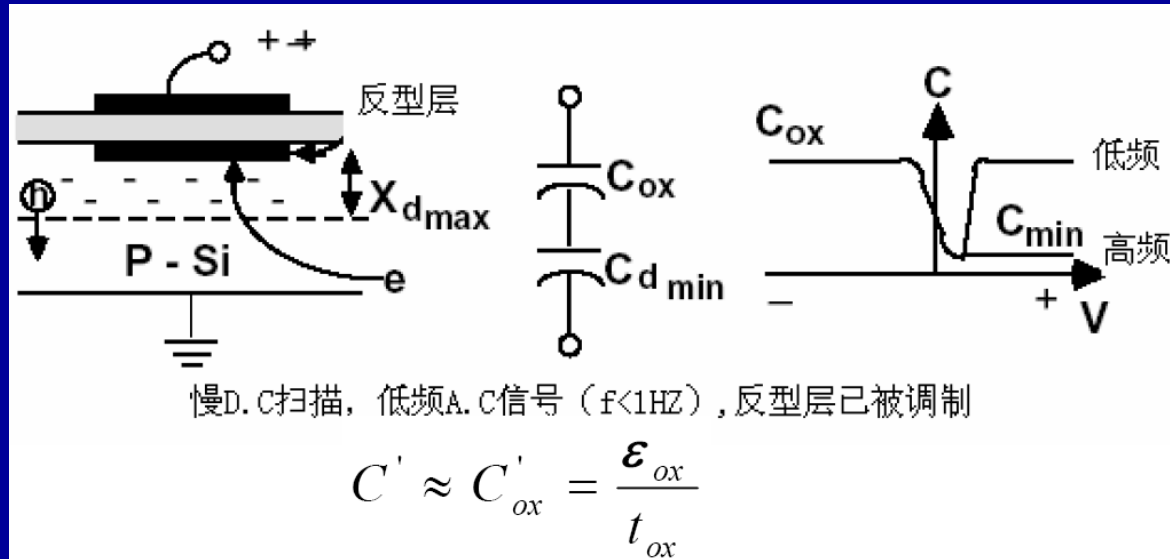
$$C_d = \frac{d(-Q_d)}{d\Psi_s} = \sqrt{\frac{\epsilon_{si} q N_a}{2\Psi_s}} = \frac{\epsilon_{si}}{W_d}$$

$$V_g = \frac{q N_a W_d}{C_{ox}} + \Psi_s = \frac{\sqrt{2\epsilon_i q N_a \Psi_s}}{C_{ox}} + \Psi_s$$

$$C = \frac{C_{ox}}{\sqrt{1 + (2C_{ox}^2 V_g / \epsilon_{si} q N_a)}}$$



## 反型：



$$\frac{1}{C} = \frac{1}{C_{ox}} + \frac{1}{-dQ_s/d\Psi_s} = \frac{1}{C_{ox}} \left( 1 + \frac{2kT/q}{|V_g - \Psi_s|} \right)$$

一旦发生强反型, 对应电容 $C_{Si}$ 增大, 因此总电容将保持最小值, 基本上就是 $C_{ox}$ 。

Semiconductor Devices

# 高频C-V特性

- ◆ 表面积累,表面耗尽,高低频特性一样
- ◆  $V_G > V_T$ ,  $V_S > 2V_B$ , 表面强反型,  
高频时,反型层中电子的增减跟不上频率的变化,空间电荷区电容呈现的是耗尽层电容最小值

$$C_{dM} = \frac{\epsilon_{rs} \epsilon_0}{d_M}$$

- ◆ MOS结构的电容也呈现最小值不再随偏压 $V_G$ 呈现显著变化

$$\frac{C'_{\min}}{C_{ox}} = \frac{1}{1 + \frac{C_{ox}}{C_M}} = \frac{1}{1 + \frac{\epsilon_{ox} d_M}{\epsilon_{rs} d_{ox}}}$$



- 反型层电荷主要由少数载流子决定，在低频时，它随电场的变化而变化，反型电容起重要作用。当频率高于某一频率值时，反型层电荷（少子电荷）将不能交变信号，即少子的产生复合的速度跟随不上电场频率的变化，于是反型层电荷将不随交变电场变化，这意味着与反型层电荷相关的交变电容为0。
- 假设少子的响应时间由少数载流子产生—复合电流决定。

$$J_R = qn_i W_d / \tau \quad \text{其中 } \tau \text{ 为少子寿命}$$

- 在响应时间内，要能够产生足够的少子补偿耗尽层电荷的作用

$$Q_d = qN_a W_d$$

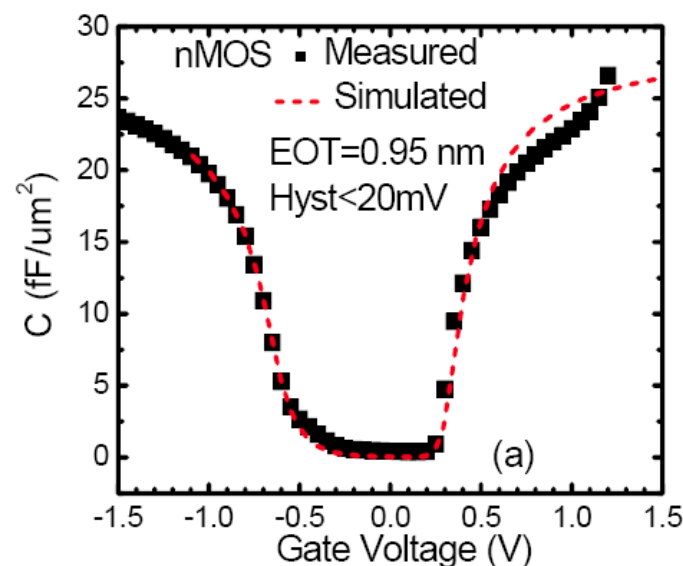
- 则响应时间为:  $Q_d / J_R = (N_a / n_i) \tau$
- 该值的典型值为: **0.1~10秒**。因此, 当交变电压信号的频率高于**100Hz**时, 反型层电荷将跟不上栅压的变化, 只有耗尽电荷(多子行为)能够跟随电压信号的变化而变化, 于是, **Si**电容只由耗尽层电容决定, 由此确定的最小电容值发生在发生强反型的最大耗尽层厚度情形, 表达式为:

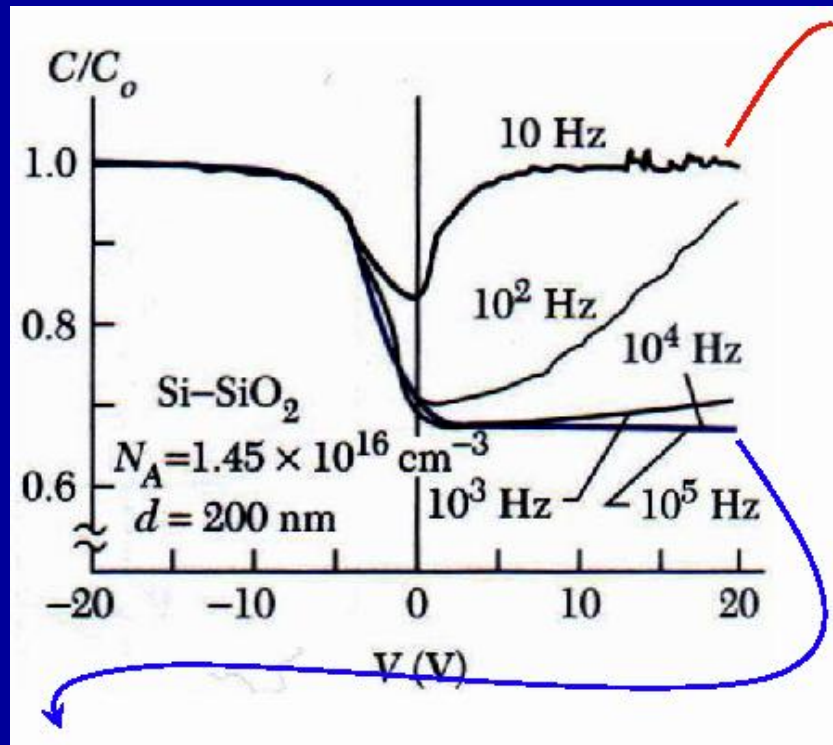
$$\frac{1}{C_{\min}} = \frac{1}{C_{ox}} + \sqrt{\frac{4kT \ln(N_a / n_i)}{\epsilon_{Si} q^2 N_a}}$$

在强光照条件下，由于有大量过剩少子产生，可以满足交变电场信号变化对少子的需求，在高频情形下，也可观察到与低频CV类似的CV曲线；

此外，如果MOS结构能够与少子源（源/漏）相连，形成MOSFET结构，也能在高频情形观察到类似低频的CV曲线。此时Si电容由反型层电容决定，总的MOS电容为氧化层电容与反型层电容串联形成。反型层电容为：

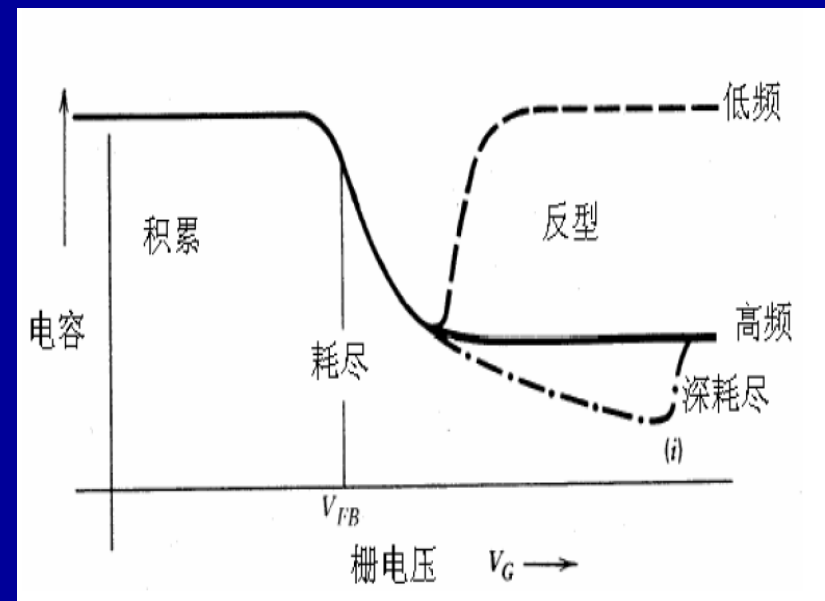
$$C_i = \frac{d(-Q_i)}{d\psi_s} = \frac{|Q_i|}{2kT/q}$$

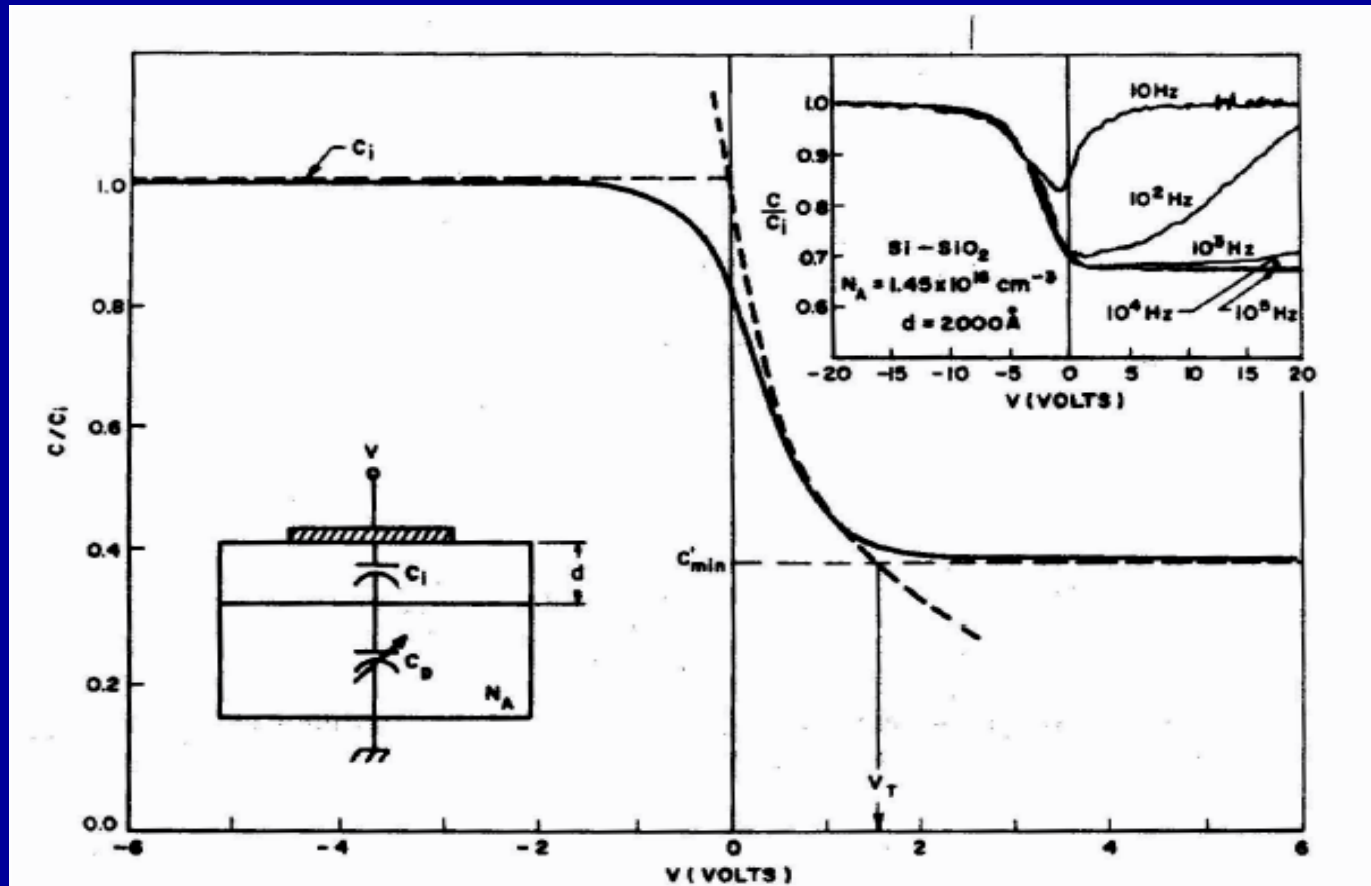




低频下，表面耗尽区的产生—复合率相等，或者比电压变化快，电子浓度的变化能跟得上交变信号的变化，导致电荷在测量信号的作用下与反型层相交换，测量结果与理论计算相一致。

高测量频率下，增加的电荷出现在耗尽区边缘，反型层电荷跟不上交变信号的变化。





$$C_{\min} = \frac{\epsilon_{ox}}{d_{ox} + \left( \frac{C_{ox} W_m}{\epsilon_s} \right)}$$

Semiconductor Devices

## 深耗尽状态

- 当偏压 $V_G$ 的变化十分迅速, 且其正向幅度大于 $V_T$ , 则:

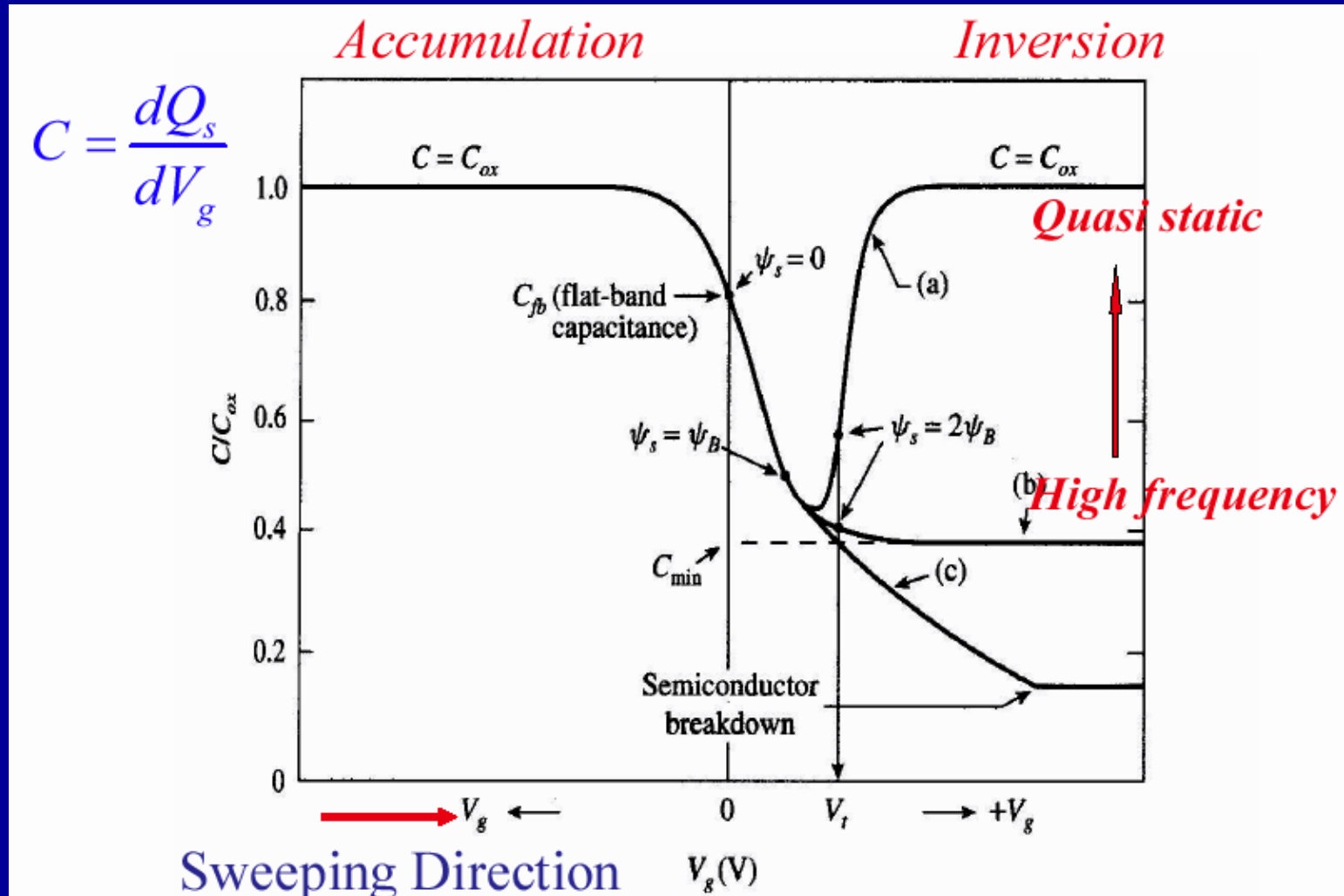
即使表面势 $V_S > 2V_B$ , 反型层也来不及建立, 耗尽层宽度随偏压幅度的增大而增大--深耗尽状态

- 当表面处于深耗尽--随 $V_G$ 增加,  $d$ 增加 ( $> d_M$ ), MOS结构的电容不再呈现为最小值.

$$\frac{C}{C_{OX}} = \frac{1}{1 + \frac{\epsilon_{ox} d}{\epsilon_{rs} d_{OX}}}$$

Semiconductor Devices

# P衬底MOS二极管的C-V特性曲线



## 讨论:

- (1) C—V特性是MOS二极管的基本特性。  
通过C—V特性的测量，可以了解半导体表面状态，了解 $\text{SiO}_2$ 层和 $\text{SiO}_2/\text{Si}$ 界面各种电荷的性质，测定Si的许多重要参数（如掺杂和少子寿命等）。
- (2) 对于n型衬底，只需适当改变正负号和符号，C—V曲线相同，但互为镜像，且n型衬底MOS二极管的阈值电压是负的。



# ★ C-V特性的应用

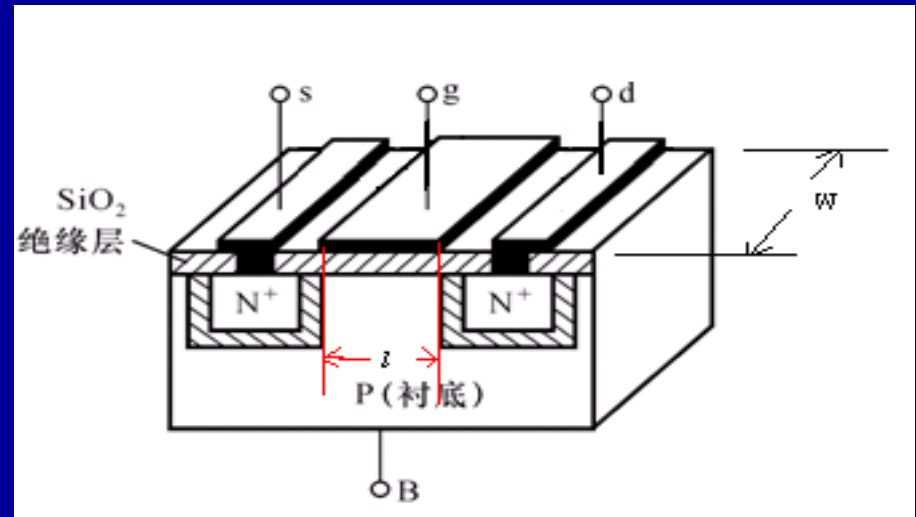
- 测量氧化层厚度 $d_{OX}$ :  $C_{OX} \rightarrow d_{OX}$
- 测量半导体掺杂浓度 $N_A (N_D)$ :  
 $[C'_{min} + d_{OX}] \rightarrow N_A (N_D)$   
 计算, 或表8-12
- 测量氧化层中总有效电荷面密度 $Q_{OX}$ :  
 $[d_{OX} + N_A] \rightarrow C_{FB}$   
 $V_{FB} \rightarrow Q_{OX}$

## § 5.2 MOSFET的基本理论

- MOSFET是一种表面场效应器件，是靠多数载流子传输电流的单极器件。
- 对于微处理器、半导体存贮器等超大规模集成电路来说是最重要的器件，也日益成为一种重要的功率器件。
- 这类器件包括：  
绝缘栅场效应晶体管（IGFET）；  
金属—绝缘体—半导体场效应晶体管（MISFET）；  
金属—氧化物—半导体晶体管（MOST）。

# 1、基本结构

- **N沟MOSFET的结构**：在P型衬底上扩散（或离子注入）两个N<sup>+</sup>区，左边的N<sup>+</sup>区称源区，右边的N<sup>+</sup>区称漏区，分别用S和D表示。两扩散区之间的区域是沟道区。在沟道区的半导体表面热生长一层二氧化硅薄膜作为栅介质。然后再在栅氧化层和源漏扩散区上制作金属电极，分别称为栅电极（G）、源极（S）和漏极（D）。在P型衬底上也做一个金属电极，称为衬底接触，又叫第二栅极，用B表示。



主要器件结构：沟道长度 $L$ ；沟道宽度 $Z$ ；栅氧化层厚度 $d$ ；源漏结深度 $x_j$ ；衬底掺杂浓度 $N_A$ 等。

在以后的讨论中，都是把源电极作为参考电极，令其为零电位。一般情况下，源和衬底是短接的，故衬底也取为零电位。

## 2、工作原理

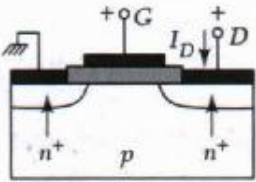
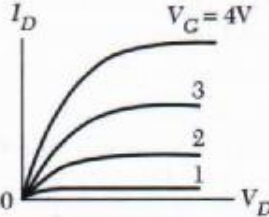
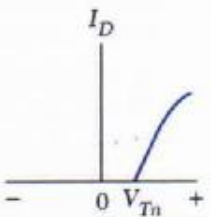
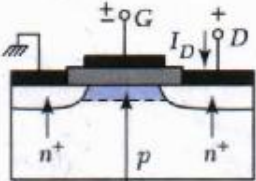
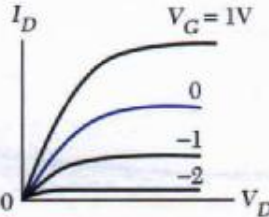
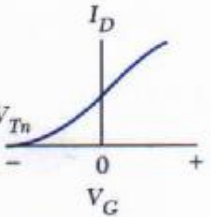
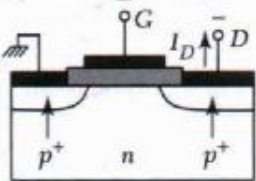
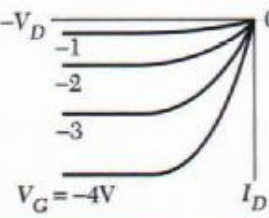
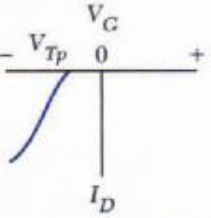
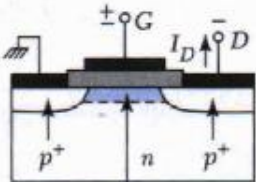
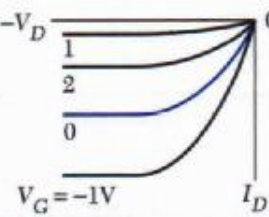
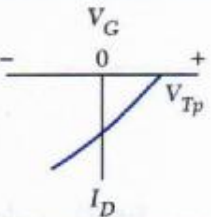
使用MOSFET时，源端通常接地。当栅压 $V_{GS}=0$ 时，源漏之间两个背靠背的pn结总有一个处于反偏，源漏之间只能有很小的pn结反向漏电流流过。

$V_{GS}>0$ 时，此电压将在栅氧化层中建立自上而下的电场，从栅极指向半导体表面，在表面将感应产生负电荷。随 $V_{GS}$ 增大，p型半导体表面多子（空穴）逐渐减小直至耗尽，而电子逐渐积累直至反型。

当表面达到强反型时，电子积累层将在源漏之间形成导电沟道。此时若在漏源之间加偏置电压 $V_{DS}$ ，载流子就会通过导电沟道，从源到漏，由漏极收集形成漏电流。

- MOSFET能工作的关键是半导体表面必须有导电沟道，而表面达到强反型时才有沟道。
- 当 $V_{GS} > V_T$ 并逐渐增大时，反型层的厚度将逐渐增厚，导电电子数目逐渐增多，即反型层的导电能力增加， $I_{DS}$ 将会提高，实现栅压对电流的控制。漏源电压保证载流子由源区进入沟道，再由漏区流出。

# MOSFET分类

Type	Cross section	Output characteristics	Transfer characteristics
n-channel enhancement (normally off)			
n-channel depletion (normally on)	 n-Channel		
p-channel enhancement (normally off)			
p-channel depletion (normally on)	 p-Channel		

- MOS二极管中，有栅压存在时，金属的 $E_{FM}$ 和半导体的 $E_{Fp}$ 不再一致， $E_{FM} - E_{Fp} = -qV_{GB}$ 但因为没有任何电流流动，半导体从表面到体内仍具有统一的费米能级，即仍处于平衡状态。
- 在MOSFET中，由于源漏分别与衬底形成pn结，器件工作时，源区、漏区及沟道具有相同的导电极性，因此漏区或源区pn结的反偏将导致表面沟道与衬底形成的pn结也处于反偏状态，并流过一定的反向电流，所以沟道中载流子的准费米能级 $E_{Fn}$ 与衬底的费米能级 $E_{Fp}$ 分开，这就是MOS器件的非平衡状态。

### 3、阈值电压

- 阈值电压 $V_T$   
使衬底表面（半导体表面）强反型时所需加的栅压 $V_G$ 称为阈值电压。
- 阈值电压 $V_T$ 应当由三部分组成：
  - (1) 抵消功函数差和有效界面电荷的影响所需栅压即平带电压 $V_{FB}$
  - (2) 产生强反型所需表面势 $\phi_s=2\phi_B$
  - (3) 强反型时栅下表面层电荷 $Q_s$ 在氧化层上产生的附加电压，通常近似为  $-\frac{Q_B(2\phi_B)}{C_{OX}}$

$$V_T = V_{FB} + 2\phi_B - \frac{Q_B(2\phi_B)}{C_{OX}}$$

Semiconductor Devices



$$V_T = V_{FB} + 2\phi_B - \frac{Q_B(2\phi_B)}{C_{OX}} = \phi_{ms} - \frac{Q_{ox}}{C_{OX}} + 2\phi_B - \frac{Q_B(2\phi_B)}{C_{OX}}$$

• 对NMOS,

$$\phi_B = \frac{kT}{q} \ln \frac{N_A}{n_i}$$

$$\begin{aligned} Q_{B\max} &= qN_A x_{d\max} = -(2\varepsilon_s q N_A \phi_{s(inv)})^{1/2} \\ &= -(4\varepsilon_s q N_A \phi_B)^{1/2} \end{aligned}$$

• 对PMOS,

$$\phi_B = -\frac{kT}{q} \ln \frac{N_D}{n_i}$$

$$Q_{B\max} = qN_D x_{d\max} = (-4\varepsilon_s q N_D \phi_B)^{1/2}$$

- 上式中各参量符号对 $V_{GS(th)}$ 的影响

MOSFET 类型	衬底材料型 号	$\phi_{ms}$	$\phi_B$	$Q_B$	$Q_{OX}$	$V_{GS(th)}$
N沟 MOSFET	P	-	+	-	+	>0(增强) <0(耗尽)
P沟 MOSFET	N	-	-	+	+	<0 (增强)

- 在MOS集成电路的设计和生产中， $V_T$ 的控制很重要。大多数应用中需要增强型器件（对于NMOS比较困难）。为了有效调节阈值电压，常使用离子浅注入方法，即通过栅氧化层把杂质注入到沟道表面的薄层内，其作用相当于有效界面电荷。阈值电压的改变由下式估算：

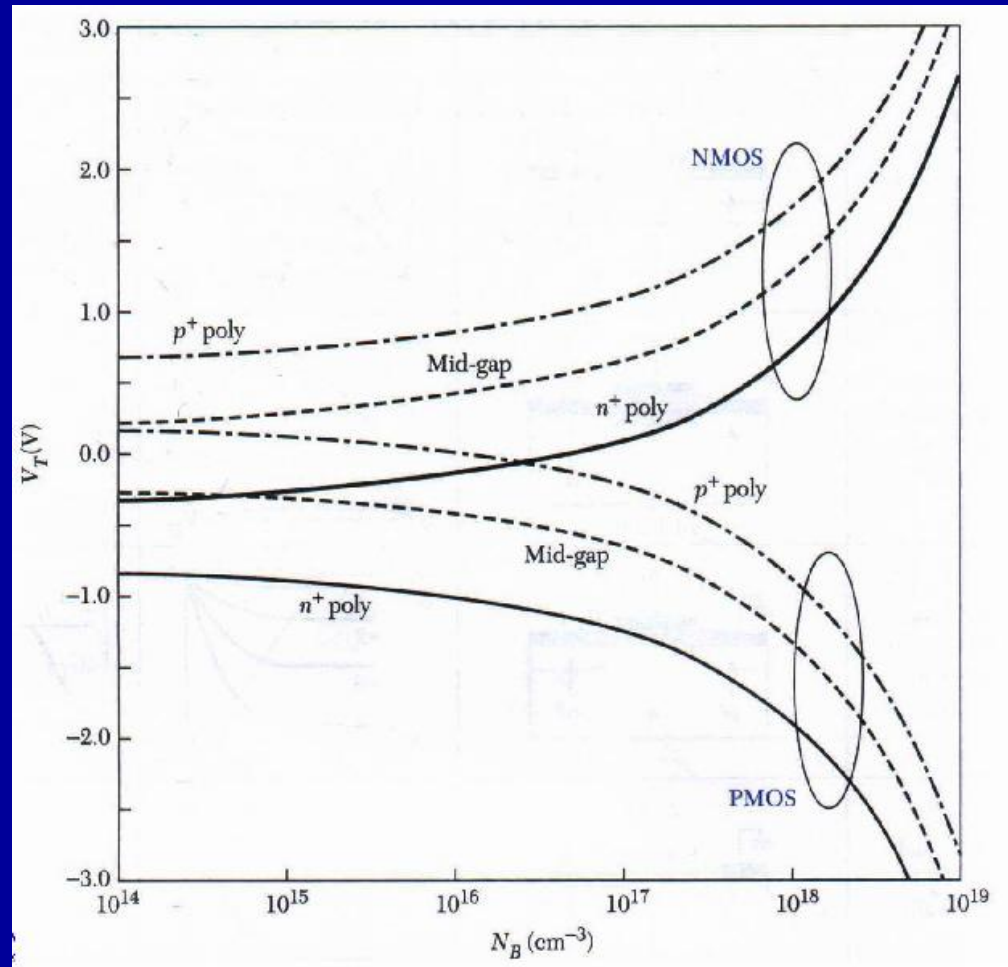
$$\Delta V_T \approx \frac{\pm q N_I}{C_{ox}}$$

其中， $N_I$ 是注入剂量，单位： $/\text{cm}^2$ ，

注入p型，取“+”；注入n型，取“—”。

Semiconductor Devices

## a) 离子注入到沟道表面内



- 施加反向衬底电压也能调整 $V_T$ ，对n沟器件，这时沟道源端在强反型时的耗尽层电荷为：

$$Q_b = -\gamma \sqrt{2\phi_B - V_{BS}}$$

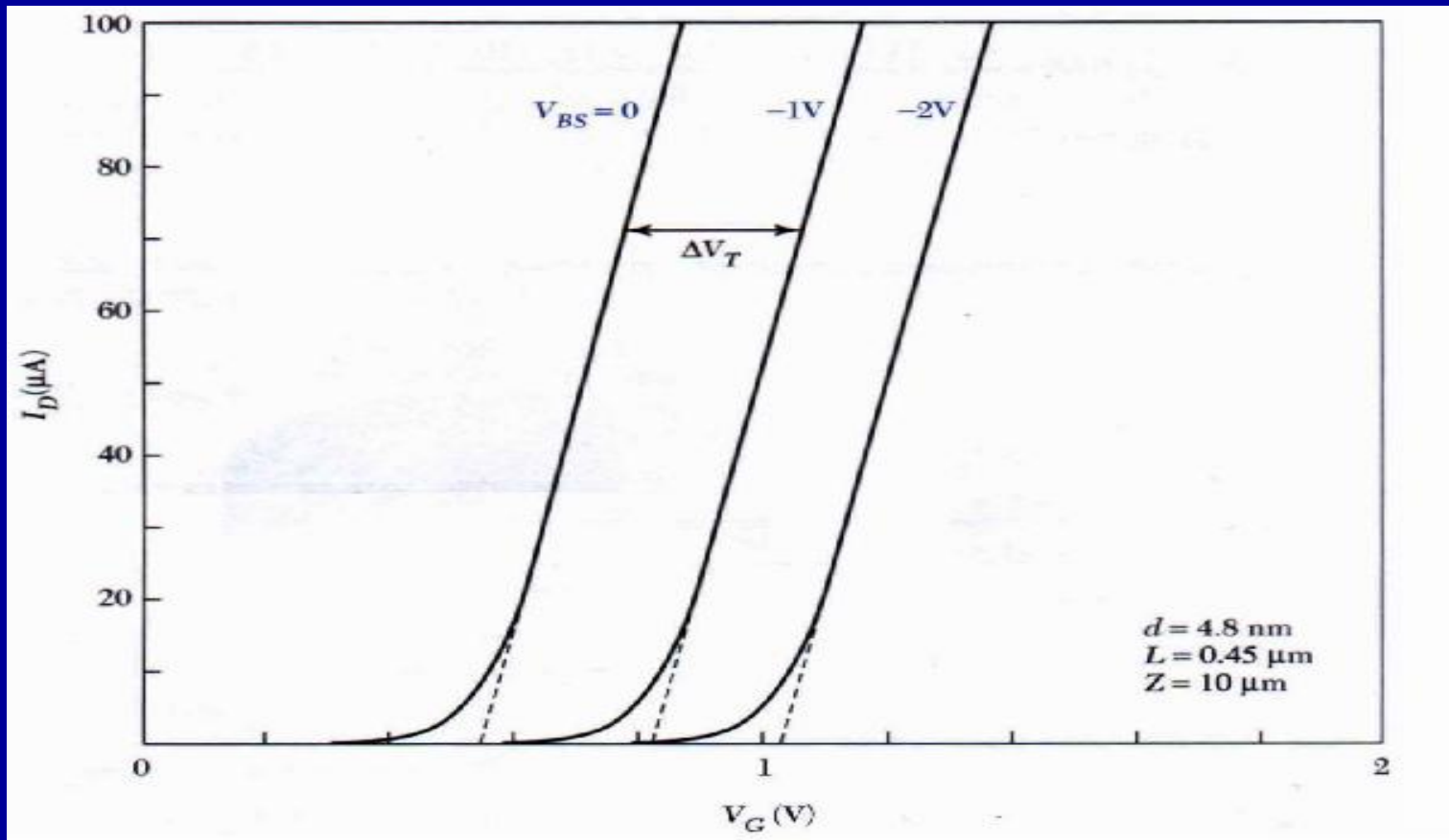
- 其中， $V_{BS}$ 表示衬底相对于源端的外加电压。N沟器件衬底为p型， $V_{BS} < 0$ 时为反向衬底偏压。P沟器件的反向衬底偏压要求 $V_{BS} > 0$ 。对N沟器件，有：

$$\Delta V_T = \gamma (\sqrt{2\phi_B - V_{BS}} - \sqrt{2\phi_B})$$

其中，
$$\gamma = \sqrt{2\epsilon_S q N_A} / C_{ox}$$

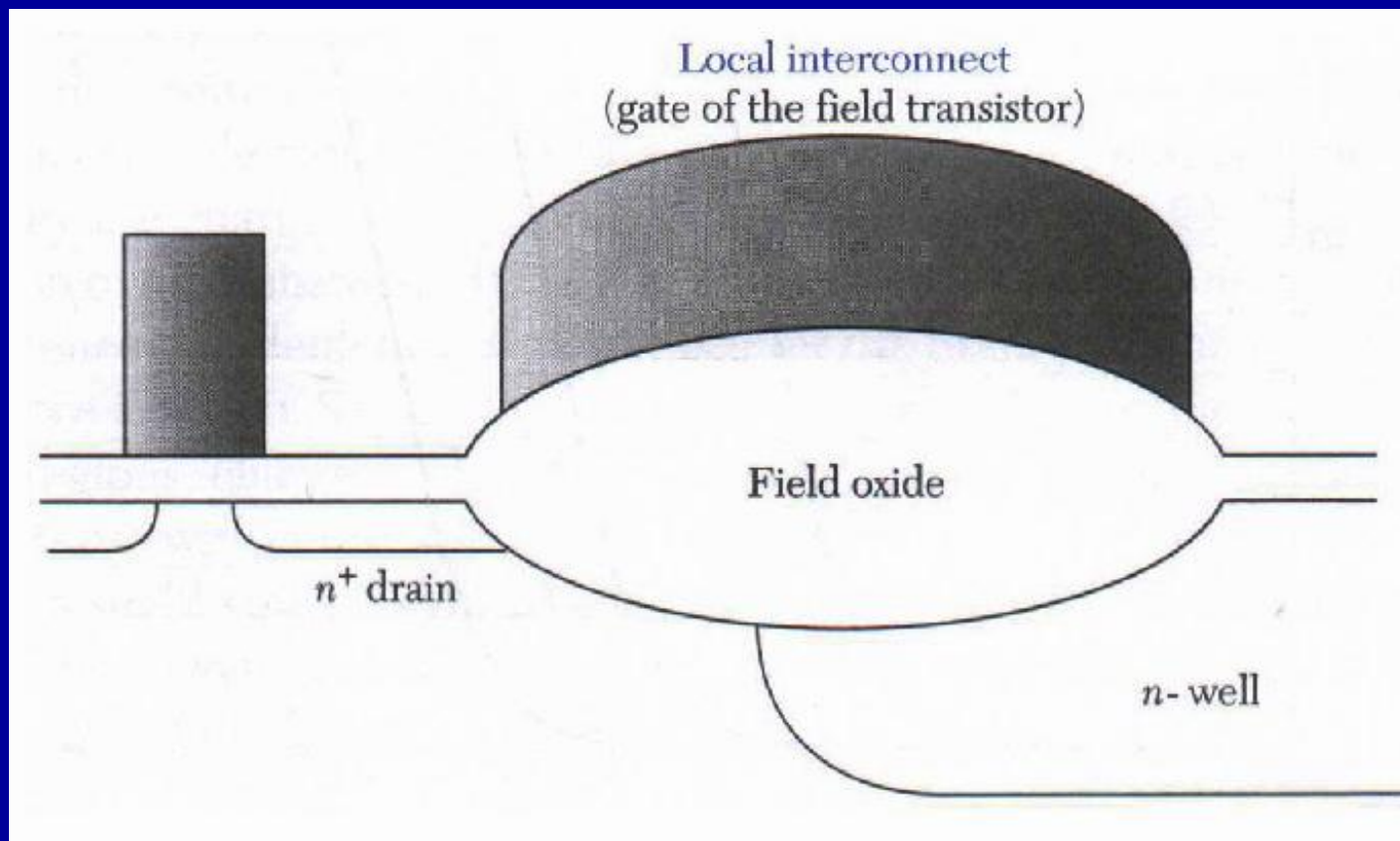
反映衬底偏压对 $V_T$ 影响的强弱程度。

$$\Delta V_T = \frac{\sqrt{2\varepsilon_s q N_A}}{C_0} \left( \sqrt{2\phi_B + V_{BS}} - \sqrt{2\phi_B} \right)$$



- 氧化层厚度对 $V_T$ 也有影响。当 $d_{ox}$ 增加时，栅压对半导体表面的控制作用减弱，为使表面形成导电沟道，需要更大的栅压即阈值电压 $V_T$ 增加。这一点对MOS器件以外区域的半导体表面十分重要，这些区域称为场区。场氧化层比栅氧化层厚得多。场区的阈值电压可高达几十伏，比栅压大一个数量级，适用于MOS器件之间的隔离。
- 为了防止寄生沟道的产生，场区必须进行高浓度掺杂，使表面不容易反型，从而将沟道隔断开。

## b) 改变氧化层厚度



场区的阈值电压 $V_T$ 高达几十伏，比栅压大一个数量级



- 由于 $Q_{ox}$ 总呈现为正电荷效应，因此常规工艺作出的P沟MOSFET的阈值电压只能是负的，即总是增强型的。
- $Q_{ox}$ 对 $V_T$ 影响很明显，随 $Q_{ox}$ 的增大， $V_T$ 向负值方向增大。在 $N_A$ （或 $N_D$ ）衬底掺杂一定时， $Q_{ox}$ 过大将会使器件由增强型变为耗尽型，因此减少氧化层电荷，降低MOSFET的 $V_T$ 是制作高性能器件的一个重要任务。
- 阈值电压与氧化层电容（ $C_{ox}$ ）还有关系，减小厚度以增大电容就可以降低阈值电压。但过薄的氧化层给工艺带来更多的困难（如增加针孔等），可以选用介电常数更高的介质材料，如氮化硅（相对介电常数为7.5）介质就是一例。

## 4、MOSFET的直流特性

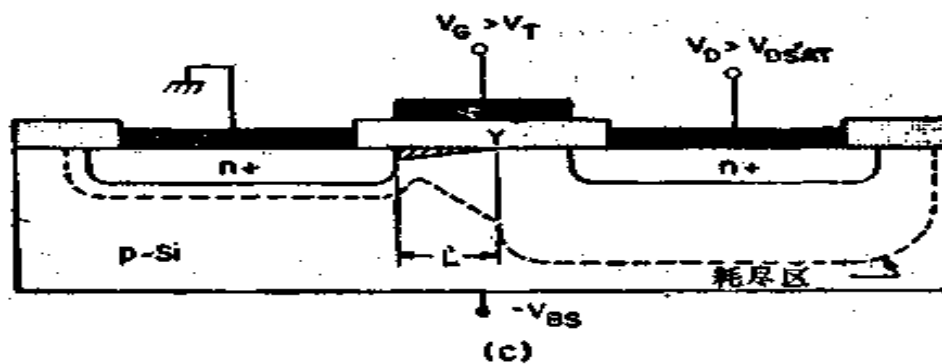
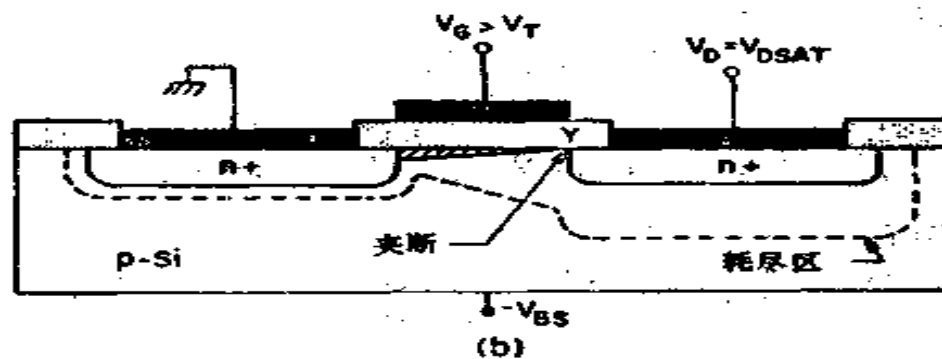
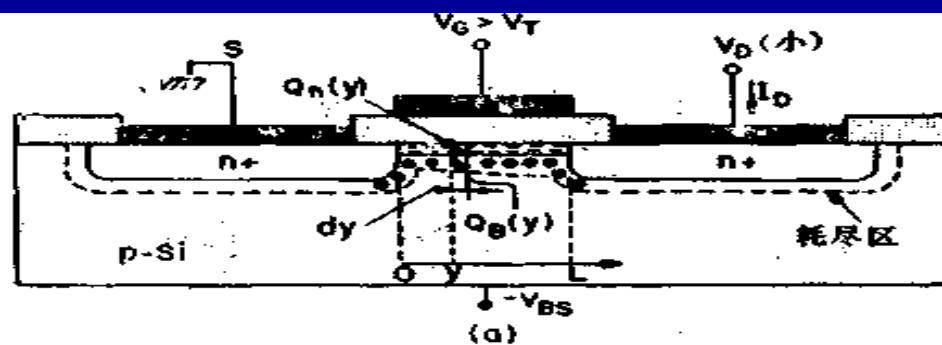
- 以n沟MOSFET为例，定量分析其电流—电压特性，导出电流—电压方程。为数学处理上的方便，就MOSFET的基本物理模型作如下假设：
  - (1) 一维近似。源区和漏区以及沟道边缘的耗尽层都忽略不计，只考虑沟道中的电流及电压沿y方向的变化。
  - (2) 沟道区不存在复合—产生电流。
  - (3) 反型沟道内的掺杂是均匀的。
  - (4) 沟道内的扩散电流比电场引起的漂移电流小得多，且沟道内载流子的迁移率为常数。
  - (5) 强反型近似，即当半导体表面能带弯曲量为 $2\Phi_B$ ，沟道开始导电。
  - (6) 沟道与衬底间的反向饱和电流很小，可以忽略不计。
  - (7) 不考虑源区和漏区的体电阻以及接触电阻。
  - (8) 采用肖克莱的缓变沟道近似，即假设跨过氧化层的垂直于沟道方向的横向电场 $E_x$ 比沿着沟道方向的纵向电场 $E_y$ 大得多。也就是说，这表明沿沟道长度方向的电场变化很慢，故有

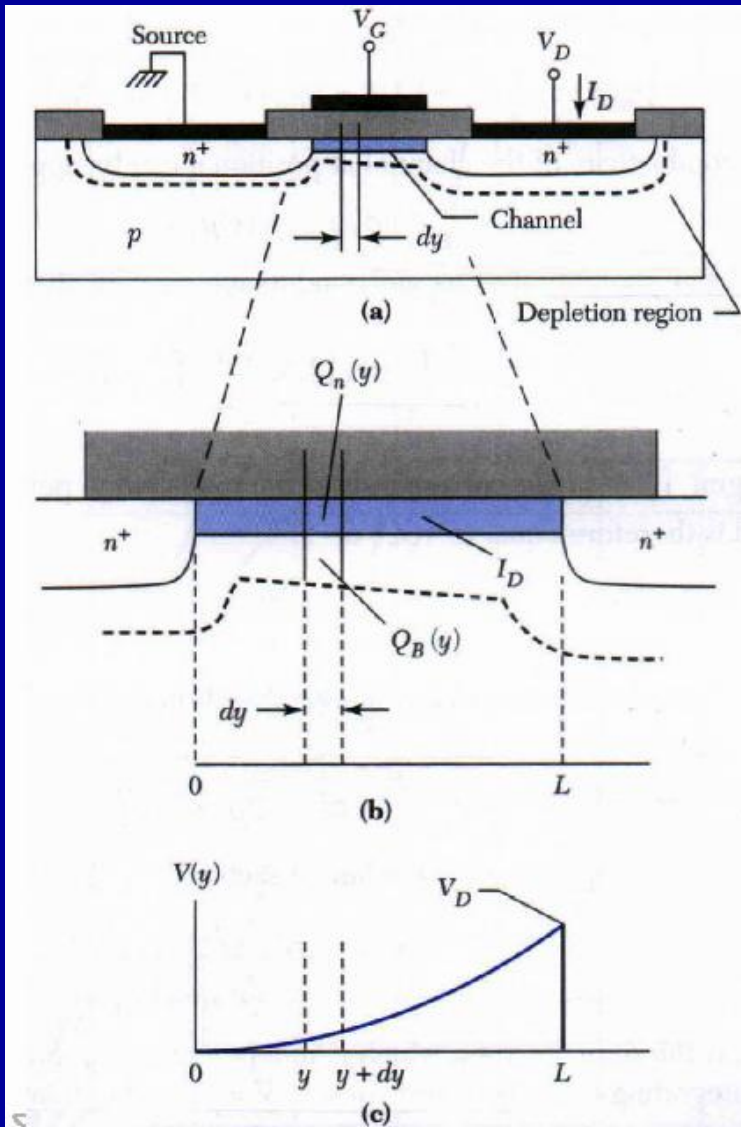
$$\frac{\partial E_y}{\partial y} \ll \frac{\partial E_x}{\partial x}$$

- 缓变沟道近似模型（GCA）

假定电场沿沟道方向的分量与垂直沟道方向的分量是独立的，且沟道方向的电场变化比垂直分量的电场变化要小很多，称为缓变沟道近似。

GCA在沟道长度 $L \gg$ 栅氧化层 $d_{ox}$ 下成立，即对长沟道器件中基本适用，对短沟道器件必须慎重。





$$\left\{ \begin{array}{l} Q_s(y) = -[V_G - \Psi_s(y)]C_0 \\ Q_{sc}(y) = -qN_A W_m \cong -\sqrt{2\varepsilon_s q N_A [2\phi_B + V(y)]} \\ Q_n(y) = Q_s(y) - Q_{sc}(y) \end{array} \right.$$



$$\left\{ \begin{array}{l} g = \frac{Z}{L} \int_0^{x_1} \rho(x) dx \\ dR = \frac{dy}{gL} \\ dV = I_D dR \end{array} \right.$$

$$I \cong \frac{Z}{L} \mu_n C_0 \left\{ \left( V_G - 2\phi_B - \frac{V_D}{2} \right) V_D - \frac{2}{3} \frac{\sqrt{2\varepsilon_s q N_A}}{C_0} \left[ (V_G + 2\phi_B)^{\frac{3}{2}} - (2\phi_B)^{\frac{3}{2}} \right] \right\}$$

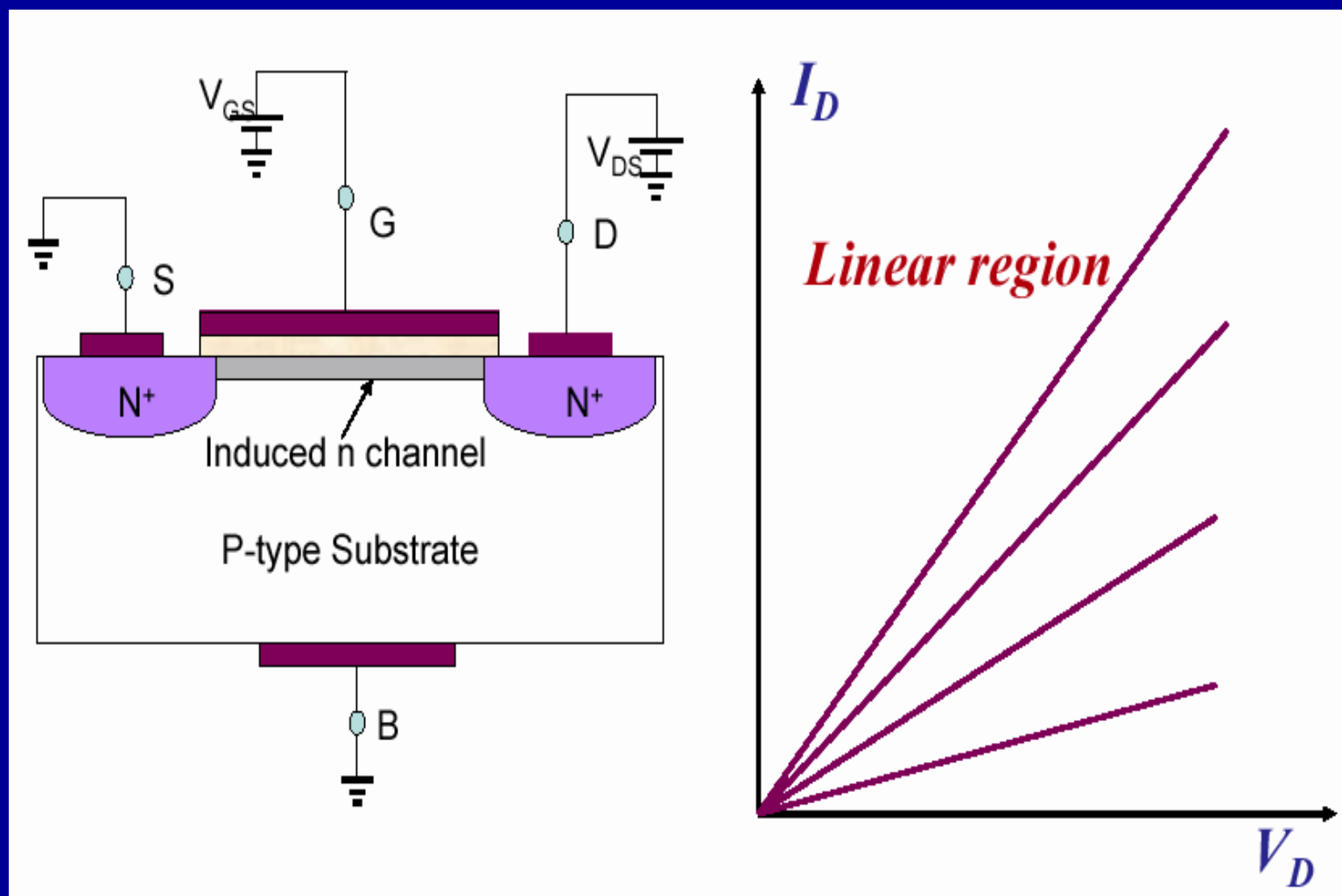
Semiconductor Devices

- N沟道MOSFET的基本电流-电压方程，即一般的表达式。

$$I_D = \frac{\int_0^{V_{DS}} \mu_n Z Q_n(y) dV}{\int_0^y dy} = \frac{Z}{L} \mu_n C_{OX} \left\{ (V_{GS} - V_{FB} - 2\phi_B - \frac{1}{2} V_{DS}) V_{DS} - \frac{2}{3} \frac{1}{C_{OX}} (2\epsilon_0 \epsilon_s q N_A)^{1/2} \cdot [(V_{DS} + 2\phi_B)^{3/2} - (2\phi_B)^{3/2}] \right\}$$

- 该式表明，MOSFET的漏电流是栅电压 $V_{GS}$ 和漏电压 $V_{DS}$ 的函数。对于给定的栅压，漏电流随漏电压的增加而增大。

# (a) 线性区电流



- 线性区工作的直流特性方程，由萨支唐首先提出，故常称为萨氏方程。

$$I_D = \frac{Z}{L} \mu_n C_{OX} [(V_{GS} - V_{GS(th)})V_{DS} - \frac{V_{DS}^2}{2}]$$

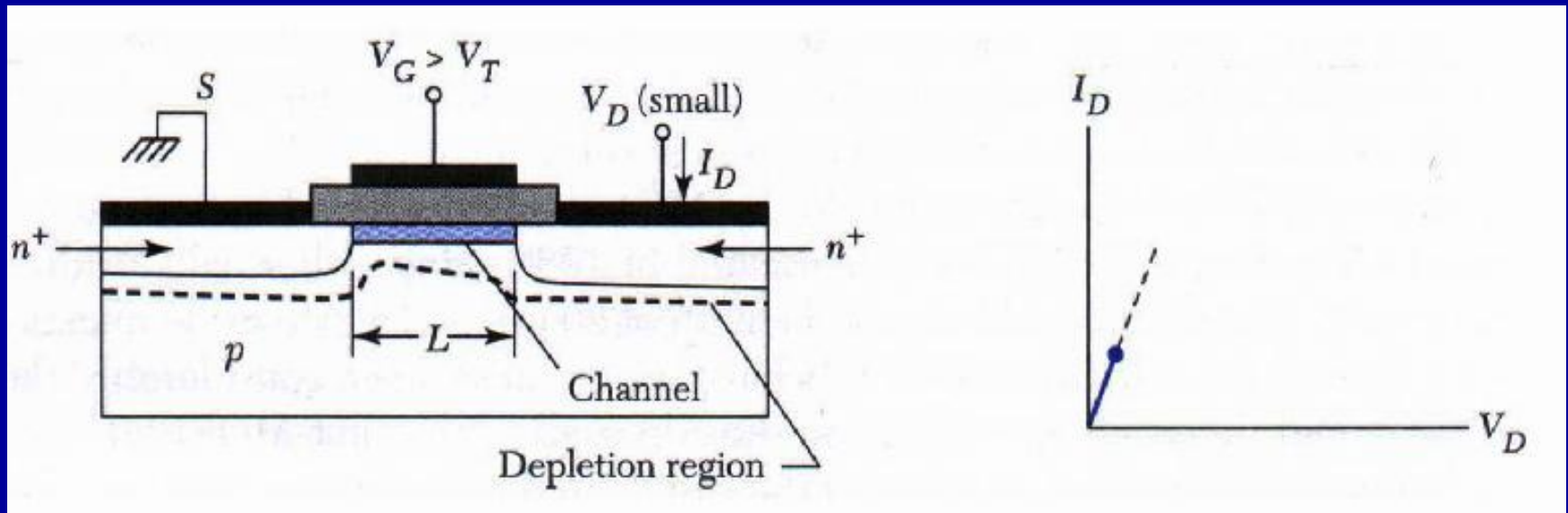
- 当 $V_{DS}$ 很小时，满足 $V_{DS} \ll (V_{GS} - V_T)$ ，则可简化为

$$I_D = \frac{Z}{L} \mu_n C_{OX} (V_{GS} - V_{GS(th)})V_{DS}$$



# 线性工作状态

线性区 ( $V_D \ll V_{Dsat}$ )



近似为阻值恒定的欧姆电阻

$$I_D \propto V_D$$

$$g_D \equiv \left. \frac{\partial I_D}{\partial V_D} \right|_{V_G = \text{constant}} \cong \frac{Z}{L} \mu_n C_0 (V_G - V_T)$$

$$I_D \cong \frac{Z}{L} \mu_n C_0 (V_G - V_T) V_{DS}$$

$$g_m \equiv \left. \frac{\partial I_D}{\partial V_G} \right|_{V_D = \text{constant}} \cong \frac{Z}{L} \mu_n C_0 V_D$$

Semiconductor Devices

## (b) 非线性区

- 当  $V_{DS} \ll \phi_B$  时，随着  $V_{DS}$  稍有增大时，沟道压降也上升，使栅绝缘层上压降从源端到漏端逐渐下降，致使反型层沟道逐渐减薄。考虑到沟道压降影响，可得萨氏方程

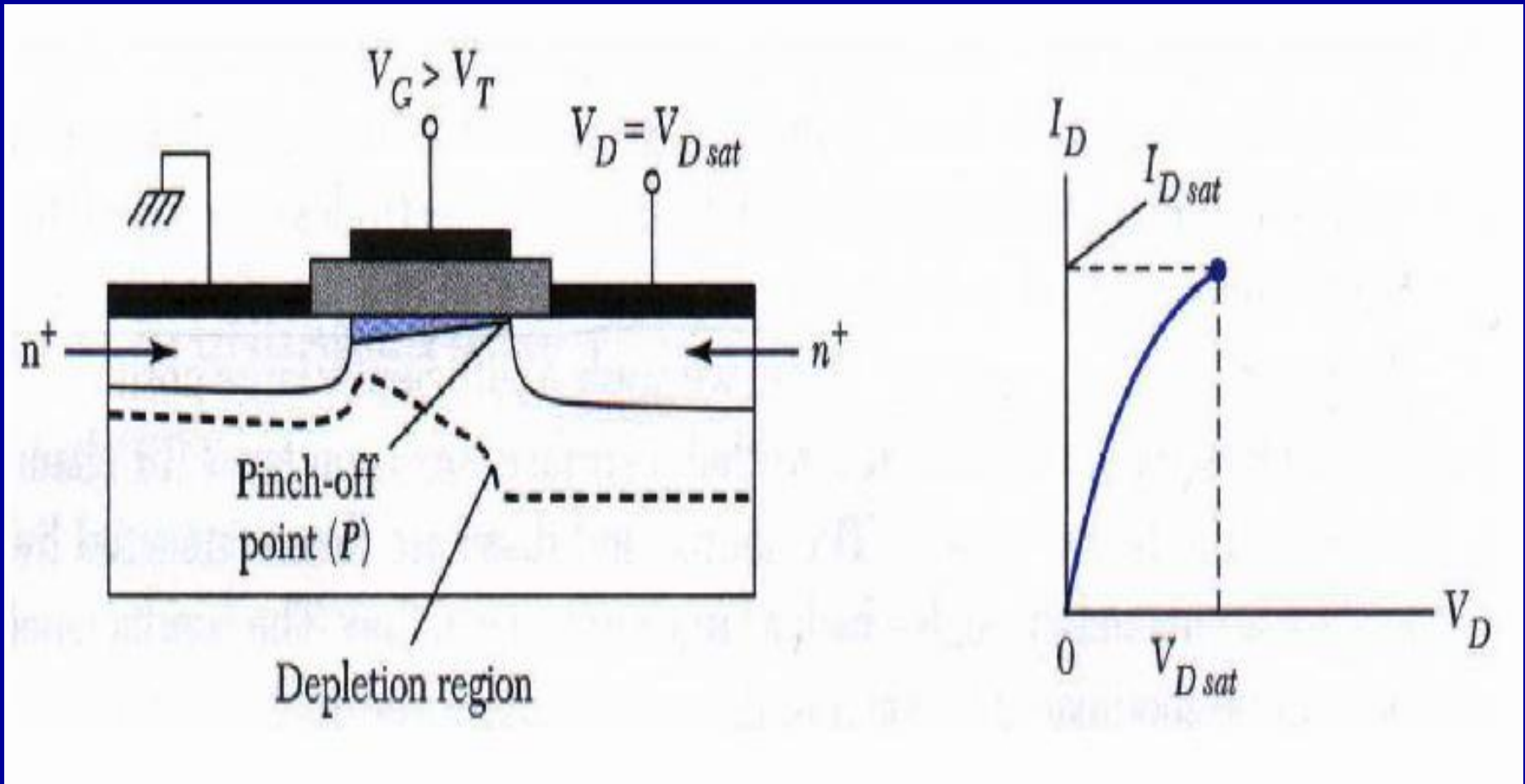
$$I_D = \frac{Z}{L} \mu_n C_{OX} [(V_{GS} - V_{GS(th)})V_{DS} - \frac{V_{DS}^2}{2}]$$

- 由此可以看出  $I_D$  的上升会变缓，特性曲线变弯曲状。

## (c) 饱和区

- 随着漏电压的增加,栅与沟道的电压 $V_{GS}-V(y)$ 将不断减小。由于 $V(y)$ 沿 $y$ 方向增大,所以在漏端 ( $y=L$ 处)  $V(L)=V_{DS}$ 。这里是栅与沟道间的最小电压处,且等于 $V_{GS}-V_{DS}$ 。当  $(V_{GS}-V_{DS})$  小于阈值电压时,在漏端 ( $L$ 处) 就不存在反型沟道了,而代之以耗尽区的出现。这种情况就称为沟道被夹断,  $y=L$ 点被称为夹断点。

## 夹断点P

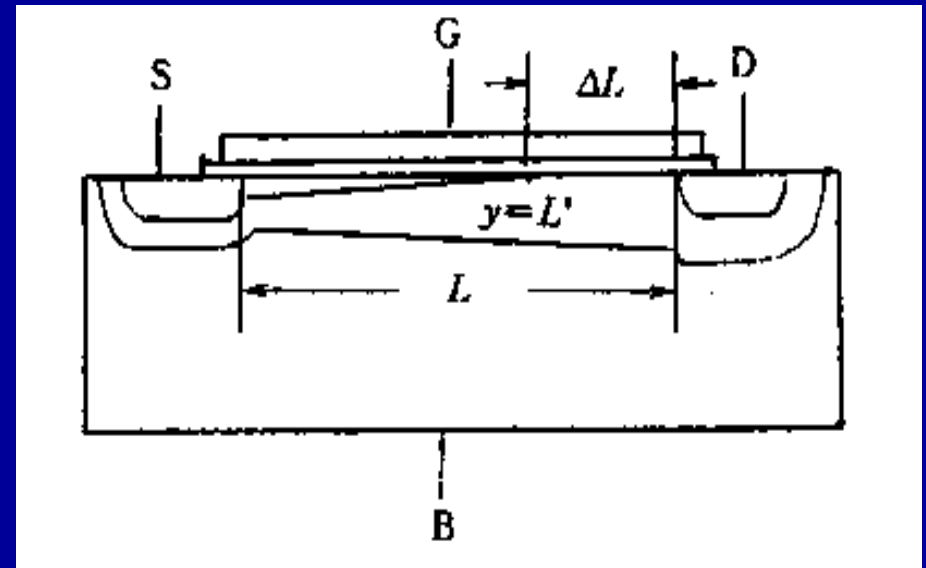


The thickness of inversion  $x_i (y=L) = 0$

# 沟道漏端夹断的MOSFET

在沟道漏端处出现：

$$Q_n(L) = -C_{ox} [V_{GS} - V_T - V(L)]$$



即当 $V_{DS}=V_{Dsat}=V_{GS}-V_T$ 时， $Q_n(L)=0$ ，这种情况叫做漏端沟道夹断，或称为饱和夹断。

一般用沟道漏端夹断来解释长沟道器件 $V_{DS}>V_{Dsat}$ 时的漏极电流饱和现象。这需要从以下几个方面来加以说明。

首先， $V_{DS}$ 超过 $V_{Dsat}$ 以后，沟道夹断点的电势始终都等于 $V_{GS}-V_T$ 。设想夹断点移动到 $y=L'$ 处，则有

$$Q_n(L') = -C_{ox}[V_{GS} - V_T - V(L')] = 0$$

$$V(L') = V_{GS} - V_T = V_{Dsat}$$

由此可以得出结论：未夹断区上的电势差保持 $V_{GS}-V_T$ 不变。

其次，当 $V_{DS} > V_{Dsat}$ 时，超过 $V_{Dsat}$ 的那部分外加电压，即 $V_{DS}-V_{Dsat}$ ，降落在夹断区上，而夹断区是已耗尽空穴的空间电荷区。

在夹断区这个空间电荷区中，电离受主提供负电荷，漏区一侧空间电荷区中的电离施主提供正电荷，它们之间建立沿沟道电流流动方向（y方向）的电场和电势差，漏区是高掺杂的，漏区和夹断区沿y方向看类似于一个N+P单边突变结，结上压降增大时空间电荷区主要向P区一侧扩展。所以当夹断区上电压降（ $V_{DS}-V_{Dsat}$ ）增大时，夹断区长度  $\Delta L$  扩大，有效沟道长度  $L_{eff}$  缩短。

对于长沟道MOSFET，如果在所考虑的 $V_{DS}$ 范围内始终是  $\Delta L \ll L$ ，那么在 $V_{DS} > V_{Dsat}$ 情形下，未夹断区的纵向及横向电场和电荷分布基本上与 $V_{DS} = V_{Dsat}$ 时相同，从沟道点到源端之间的电阻因而也保持不变。考虑到  $V_{DS} > V_{Dsat}$ 时，未夹断区压降始终等于 $V_{GS} - V_T$ ，所以漏极电流恒定不变，这就是电流饱和。



- 沟道夹断时的漏电压

$$V_{DSat} = V_{GS} - V_{FB} - 2\phi_B + k^2 \left[ 1 - \left( \frac{2(V_{GS} - V_{FB})}{k^2} + 1 \right)^{1/2} \right]$$

式中

$$k \equiv \frac{1}{C_{ox}} (\epsilon_0 \epsilon_s q N_A)^{1/2}$$

是一个与沟道区平均耗尽电荷及氧化层性质有关的量。  
对于中等程度以下的掺杂浓度的衬底及薄氧化层的情况， $k^2 \ll 1$ 。

$$V_{DSat} \approx V_{GS} - V_{FB} - 2\phi_B \approx V_{GS} - V_{GS(th)}$$

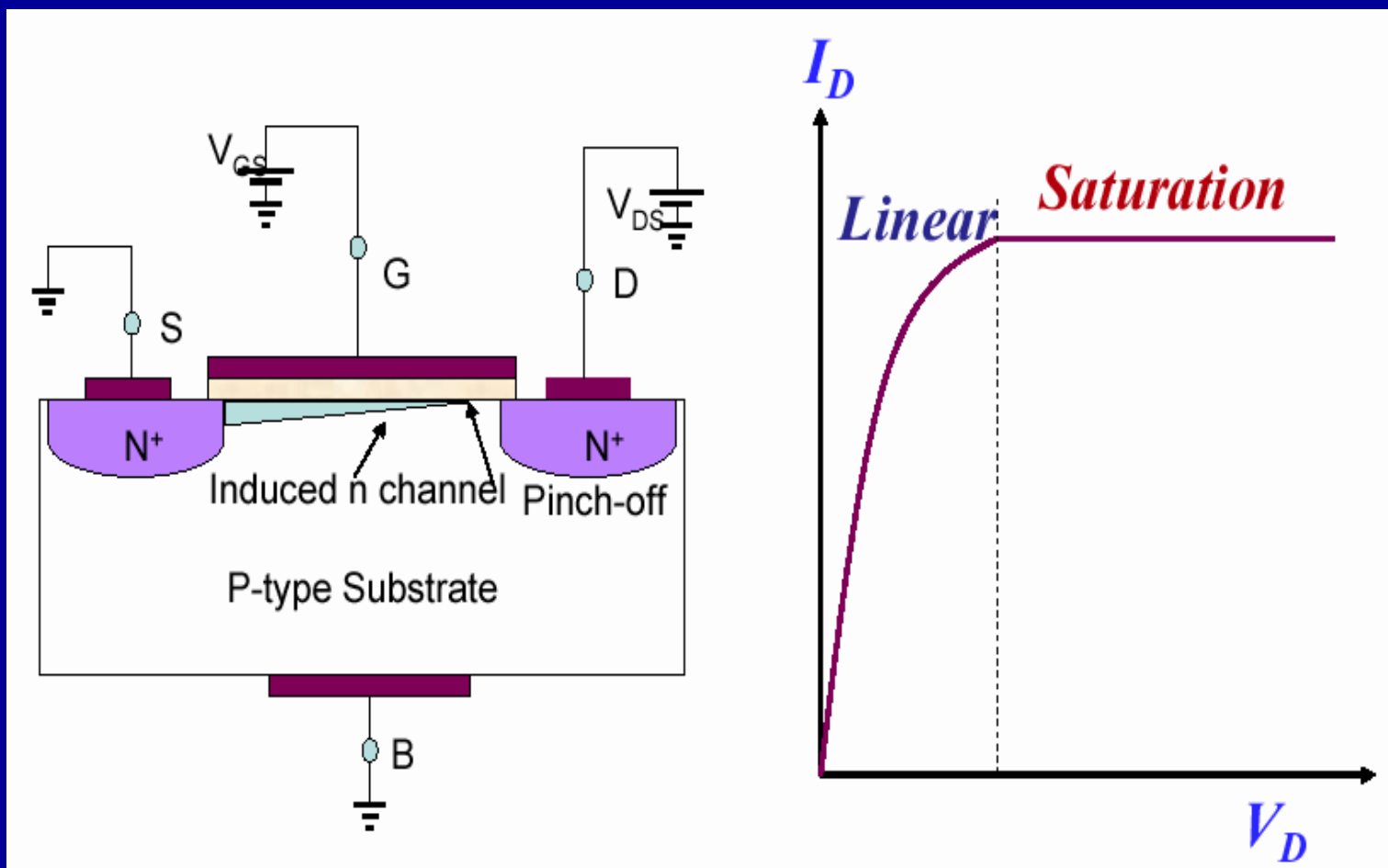
夹断点的漏电压 $V_{DSat}$ 并不是常数，而是随栅压而增大。

- 当漏电压在 $V_{DSat}$ 的基础上继续增大时，漏耗尽区增宽，使夹断点y的位置稍许向源端移动。但对于一般长沟道器件来说，漏耗尽区宽度和沟道长度相比可以忽略。因此可以近似认为沟道长度和沟道电阻都不变化。则加在y点上的漏电压也等于刚夹断时的漏电压。这样，沟道载流子对漏电流的贡献就和刚夹断时一样，这些沟道载流子一旦到达漏耗尽区边界就立即被耗尽区电场扫入漏区而形成漏极电流。所以夹断后的漏电流与漏电压无关，保持常数。
- 饱和区工作的漏电流表达式：

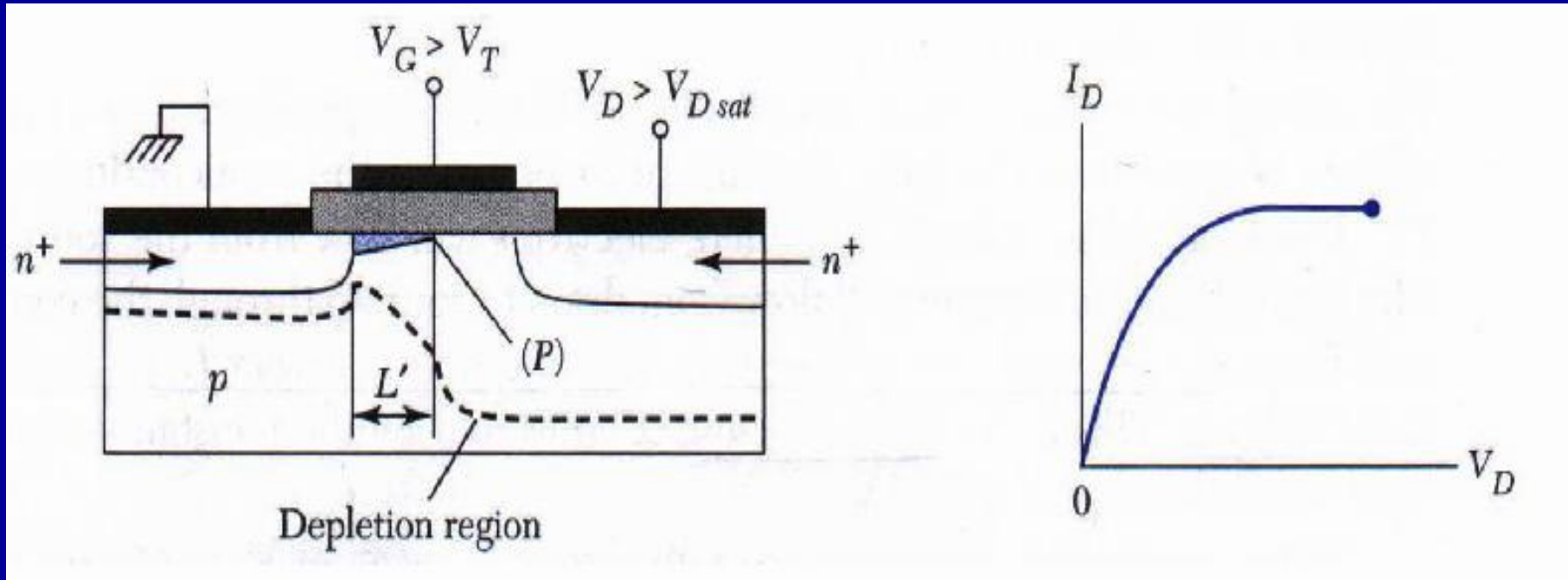
$$I_{DSS} = \frac{Z}{2L} \mu_n C_{OX} (V_{GS} - V_{GS(th)})^2$$

在饱和区，漏电流与漏电压 $V_{DS}$ 无关。它只是栅电压 $V_{GS}$ 的函数，当栅压固定时， $I_{DSS}$ 为一常数，亦即漏电流饱和。

# 饱和区电流



# 饱和区 ( $V_D > V_{Dsat}$ )



$$I_D = \text{constant}$$

$$L \rightarrow L'$$

$$I_{Dsat} \cong \left( \frac{Z\mu_n C_0}{2L} \right) (V_G - V_T)^2$$

$$g_D \equiv \left. \frac{\partial I_D}{\partial V_D} \right|_{V_G = \text{constant}} = 0$$

$$g_m \equiv \left. \frac{\partial I_D}{\partial V_G} \right|_{V_D = \text{constant}} = \frac{Z\mu_n \epsilon_{ox}}{dL} (V_G - V_T)$$

Semiconductor Devices

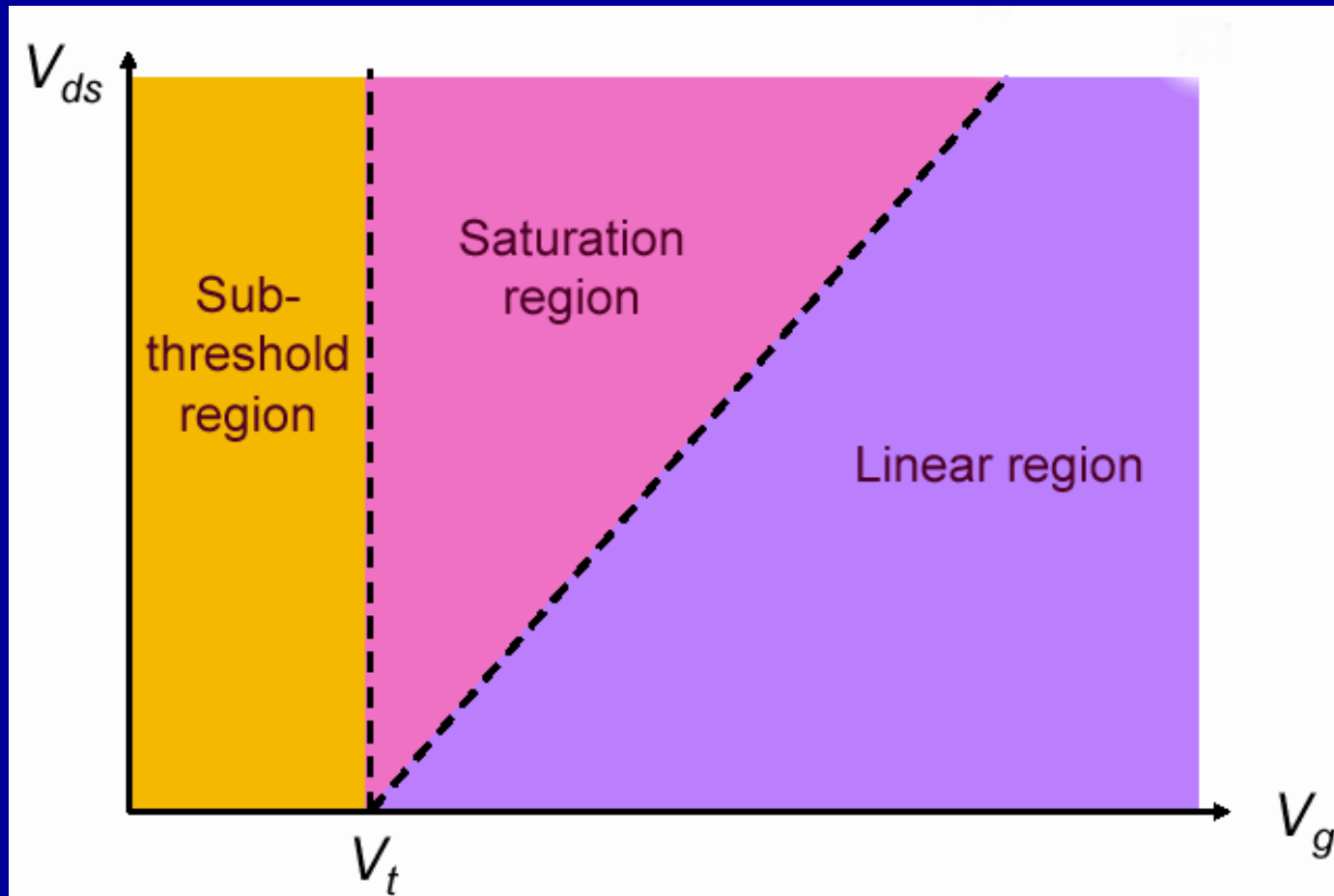
- 饱和区电流-栅压方程虽然形式简单，但在实际中用它设计MOSFET时，对漏电流的计算结果与实际结果吻合得很好。
- 从实际MOSFET的输出特性来看，在饱和区的特性曲线有一定的倾斜，即 $I_D$ 并不饱和。漏电流 $I_D$ 随漏电压 $V_{DS}$ 变大的主要原因有两个：
  - (1) 沟道长度调制效应；
  - (2) 是漏区与沟道区之间的静电反馈效应。
- 将在后面饱和区漏电导参数中进行讨论。

# 亚阈值区电流—电压特性

- 上面导出的MOSFET的电流—电压方程使用了强反型条件。该条件认为只有在栅电压等于或大于阈电压时才有电流流过沟道。事实上，当半导体表面发现反型时（当然没有达到强反型条件）就会有漏电流流动。比较理论和实验曲线可知，当栅电压低于阈电压时，漏电流存在，只不过它具有较小的值。一般把栅压低于阈电压时的漏电流称为亚阈电流。对应的工作区称为亚阈区。
- 亚阈电流的存在，使器件截止时的漏电流增大，影响器件作为开关应用时的开关特性，并增大了静态功耗。因此，对工作在低电压或低功耗应用的器件，减小亚阈电流就成为设计者的任务之一。亚阈电流对短沟道MOSFET的影响更明显。

# 弱反型（亚阈值）区

$$V_{GS} < V_T$$



- 当栅电压 $V_{GS}$ 低于阈电压，半导体表面弱反型时，栅下P型半导体表面的电子浓度 $>$ 表面的空穴浓度，但 $<$ 体内的空穴浓度，故沟道中的可动载流子浓度很小，且源端和漏端的电子数相差很多。如果在整个沟道长度范围内，栅压引起的表面势 $\phi_s$ 近似为常数，对于源端的半导体表面势为 $\phi_s$ ，则加上漏源电压时，沟道中源端和漏端的能带弯曲量就不同了，源端到漏端逐渐变弱，从而使沟道的源端和漏端出现载流子浓度差而产生扩散电流。在漏源电压作用下就会有漏电流流过沟道。因而这一电流和N—P—N双极晶体管基区的情况类似。N沟MOSFET的亚阈电流主要就是由沟道中这一扩散电流分量决定。采用类似于均匀其区晶体管求集电极电流的方法就可求得MOSFET的亚阈电流值。



$$I_D = -qD_n \cdot A \cdot \frac{dn}{dy} = qAD_n \frac{n(0) - n(L)}{L}$$

- 式中A是电流流过的截面积，n(x)表示沟道中半导体表面处的电子浓度，n(0)和n(L)分别表示沟道中源端和漏端的电子浓度。

$$n(0) = n_0 \exp(q\phi_s / kT)$$

$$n(L) = n_0 \exp[q(\phi_s - V_{DS}) / kT]$$

- 电流流过的沟道截面积A等于沟道宽度Z和有效沟道厚度d的乘积。

- 定义为有效沟道厚度 $d_{\text{eff}}$ : 反型层内表面势 $\phi_s$ 下降 $KT/q$ 时的距离。

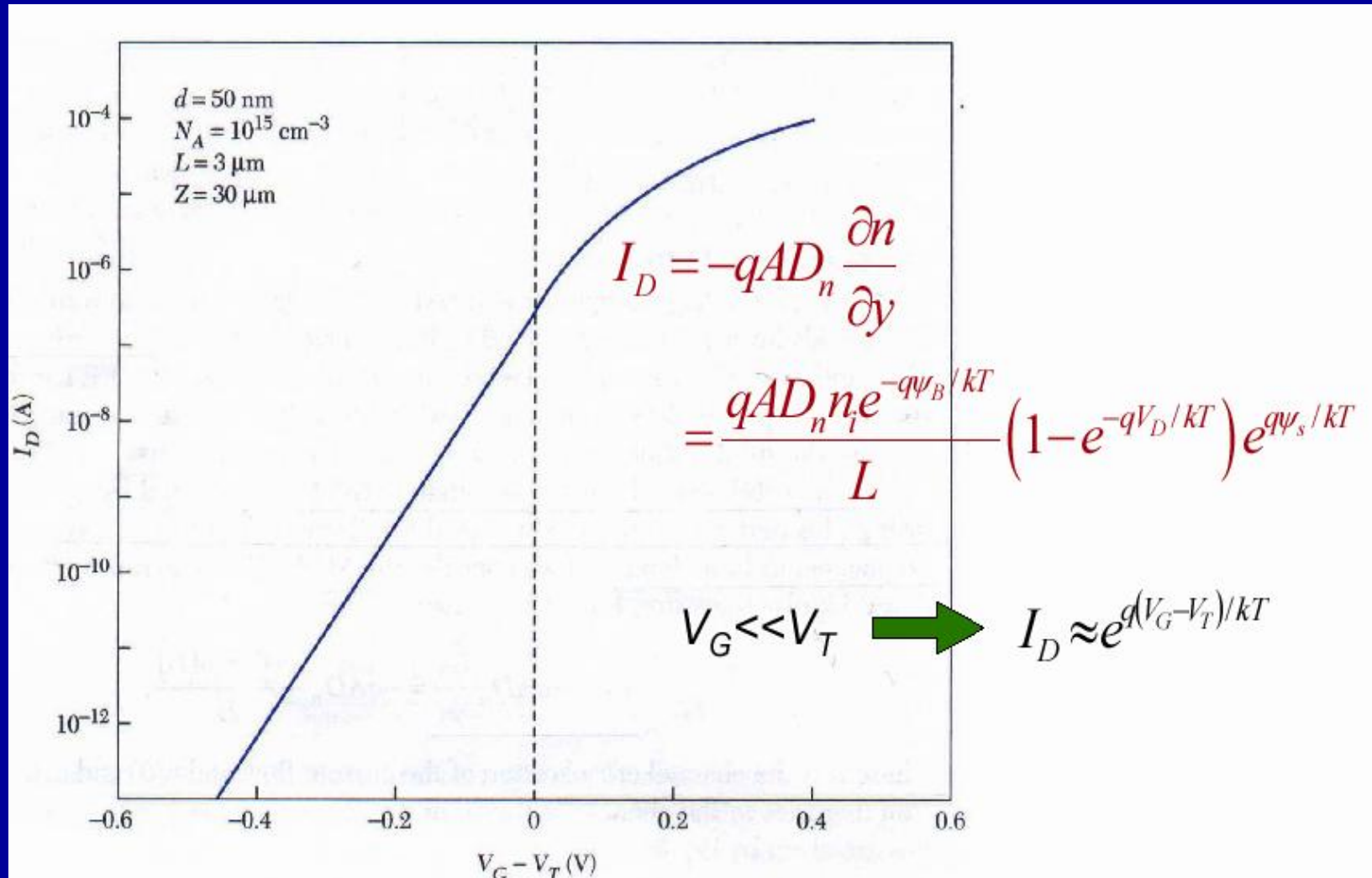
$$d_{\text{eff}} = \frac{kT}{qE_s}$$

$$E_s = -Q_B / \varepsilon_0 \varepsilon_s = (2qN_A \phi_s / \varepsilon_0 \varepsilon_s)^{1/2}$$

- 故亚阈值（弱反型）电流表达式为：

$$I_D = \frac{\mu_n Z}{L} \left( \frac{kT}{q} \right)^2 q \left( \frac{\varepsilon_0 \varepsilon_s}{2qN_A \phi_s} \right)^{1/2} \frac{n_i^2}{N_A} e^{q\phi_s/kT} (1 - e^{-qV_{DS}/kT})$$

# 亚阈值区漏电流主要为扩散电流



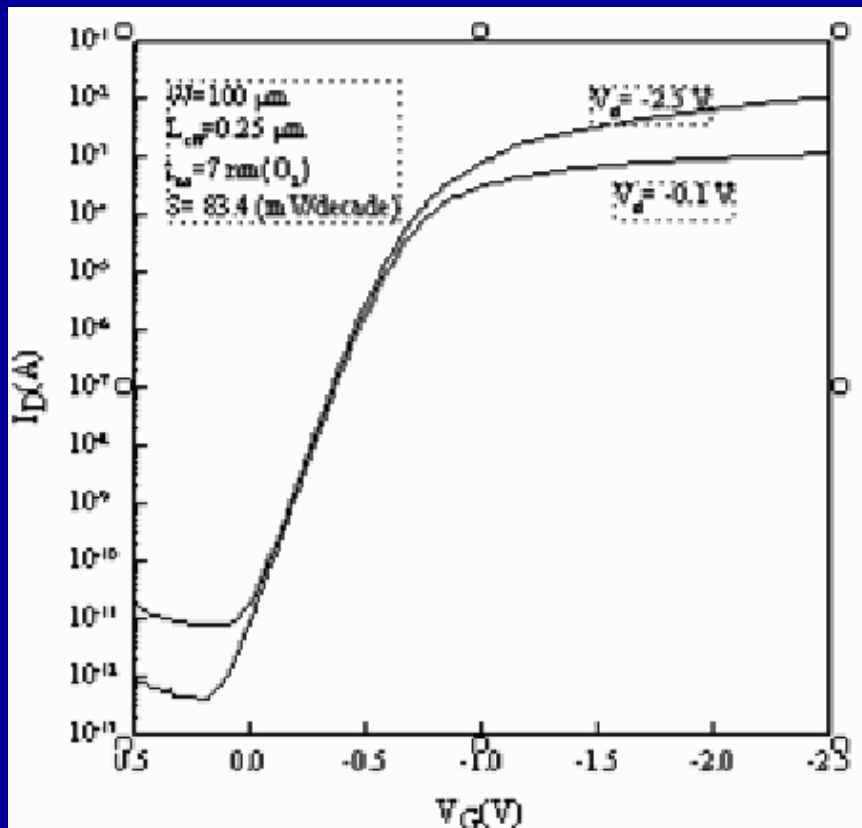
- 为表征亚阈值电流随栅压的变化，引入亚阈值斜率参数S：

$$S = \left( \frac{d(\log_{10} I_{ds})}{dV_{gs}} \right)^{-1} = \frac{dV_{gs}}{d(\ln I_{ds})} \ln 10$$

- 表示 $I_D$ 改变一个数量级所需要的栅压摆幅。S越小，器件导通和截止之间的转换越容易，说明亚阈值区特性越好。

# 亚阈值斜率 $S$ 对长沟道器件有：

$$S = \left( \frac{d(\log_{10} I_{ds})}{dV_g} \right)^{-1} = 2.3 \frac{\eta kT}{q} = 2.3 \frac{kT}{q} \left( 1 + \frac{C_{dm}}{C_{ox}} \right)$$



上式还可以表达为：

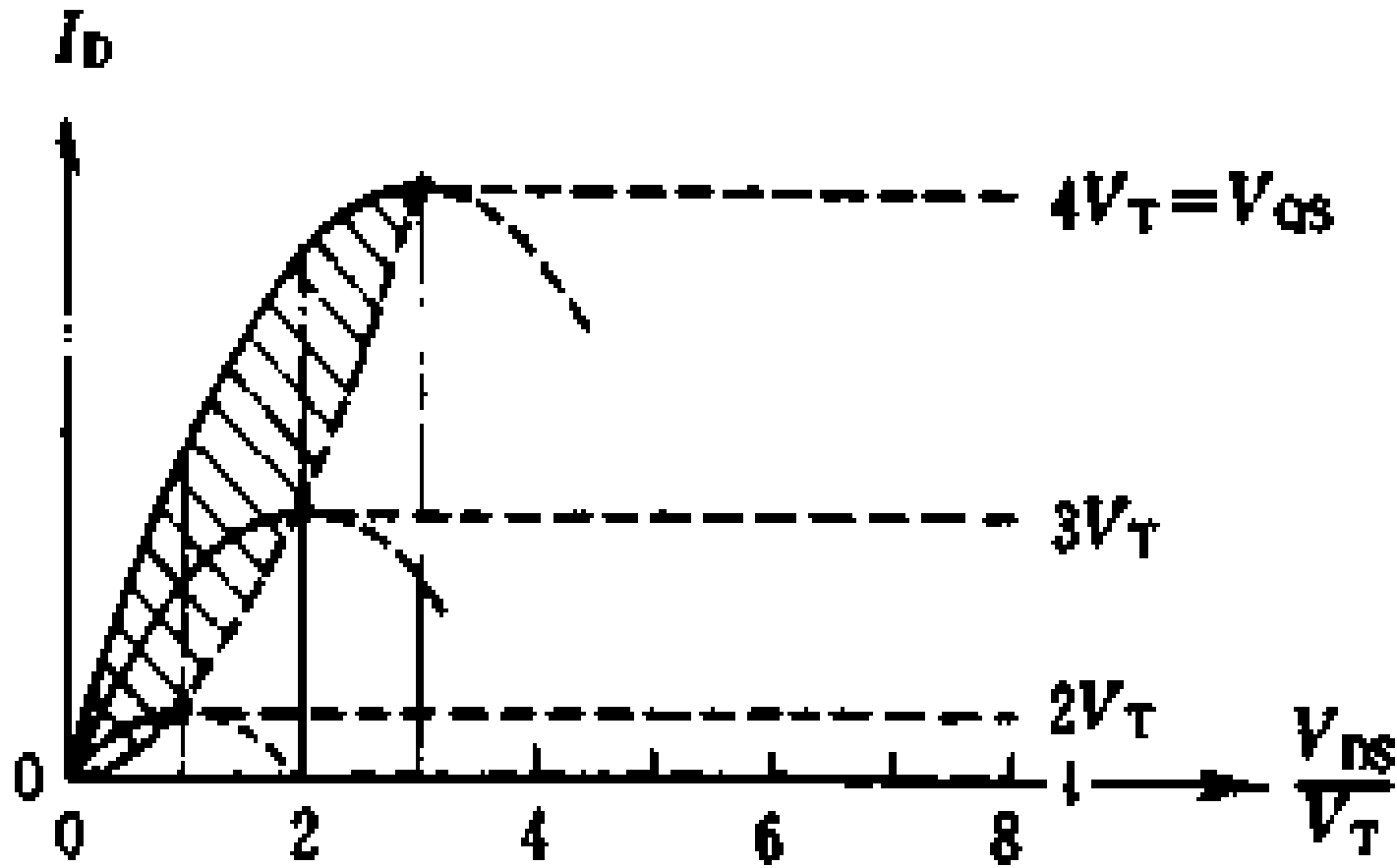
$$S = 2.3 \frac{kT}{q} \frac{dV_{gs}}{d\psi_s}$$

- 当MOSFET处于弱反型区时，其漏电流除了来源于弱反型沟道中载流子的扩散电流外，反偏漏结的反向电流也是其组成部分。但漏结的反向电流通常只有 $10^{-12}\text{A}$ 的数量级，而弱反型的沟道电流都可以达到 $10^{-8}\text{A}$ 的数量级。

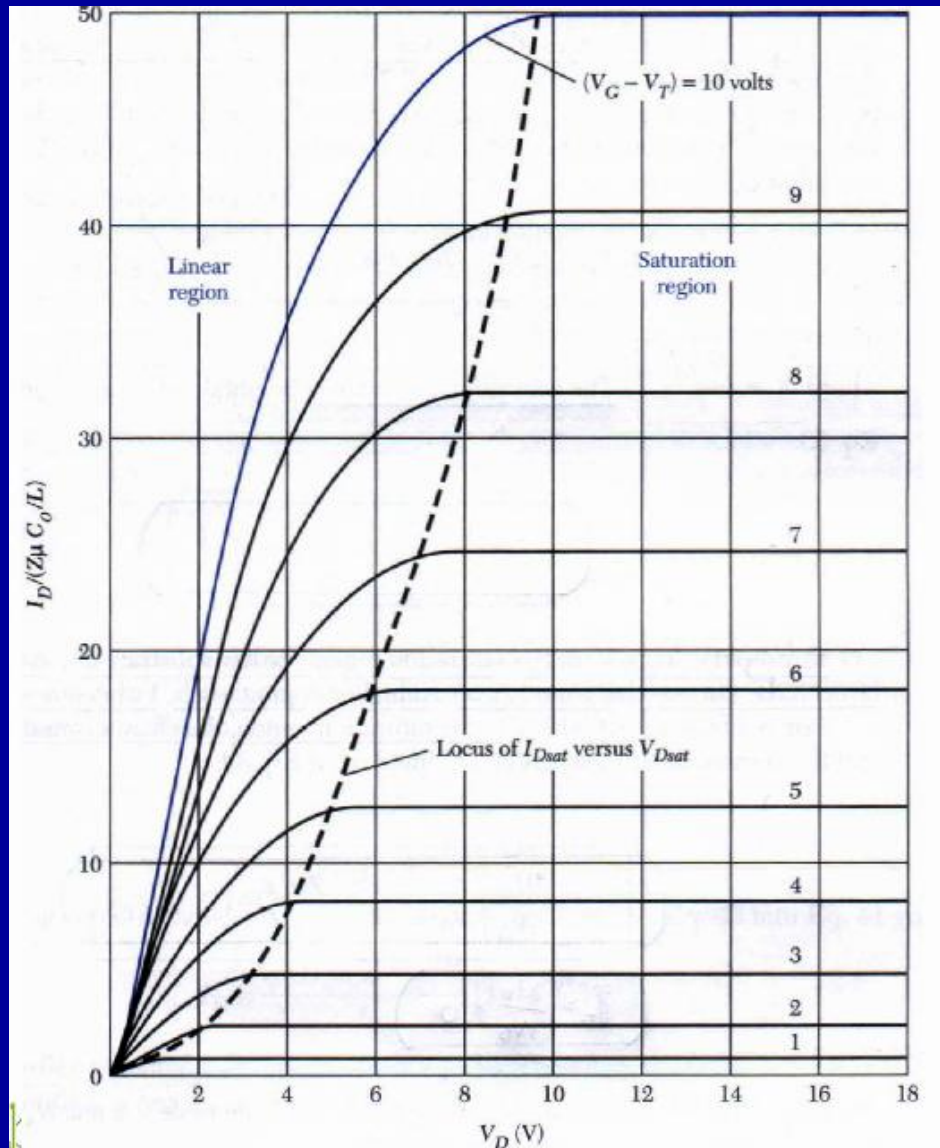
## 5、特性曲线

- 输出特性曲线：输出端电流 $I_{DS}$ 和输出端电压 $V_{DS}$ 之间的关系曲线。
  - ① 非饱和区： $V_{DS} < V_{Dsat}$ ，可调电阻区
  - ② 饱和区： $V_{Dsat} < V_{DS} < BV_{DS}$ ，出现夹断，不同栅压对应不同的 $I_{Dsat}$ 和 $V_{Dsat}$ 。
  - ③ 截止区：半导体表面不存在导电沟道。
  - ④ 雪崩区：由于反向偏置的漏-衬底结雪崩倍增而击穿，致使 $I_{DS}$ 急剧增大。

# nMOSFET的输出特性曲线







## MOSFET理想漏 输出特性

- 衬底偏置电压 $V_{SB}$ 对输出特性曲线有影响：  
相同的 $V_{GS}$ ， $V_{SB}$ 越大， $I_{DS}$ 越小。这是由于衬底偏压愈大， $V_T$ 愈高，造成 $I_{DS}$ 愈小的结果。
- 转移特性曲线：表征器件栅源输入电压 $V_{GS}$ 对漏源输出电流 $I_{DS}$ 的控制能力。  
对四种类型的MOSFET，上述输出特性曲线和转移特性曲线均可以从晶体管特性图示仪上直接观测到。

## 6、直流参数

- MOSFET的直流参数有阈值电压 $V_T$ ，饱和漏电流 $I_{DSS}$ ，截止漏电流，导通电阻 $R_{on}$ ，栅电流以及漏—源击穿电压，穿通电压和栅—源击穿电压等。

### ① 饱和漏电流 $I_{DSS}$

对于增强型MOSFET，已经导出过

$$I_{Dsat} \cong \left( \frac{Z\mu_n C_0}{2L} \right) (V_G - V_T)^2$$

对于耗尽型MOSFET， $I_{DSS} = \frac{Z}{2L} \mu C_{ox} \cdot V_T^2$

## ② 截止漏电流

对于增强型MOSFET,  $V_{GS}=0$ 时, 栅下不存在导电沟道, 源扩散区与衬底、漏扩散区与衬底形成两个独立的互不相通的背靠背pn结。加上漏源电压 $V_{DS}$ 后, 漏极电流应该等于P-N结的反向饱和电流。这个电流就叫做截止漏电流。对于N沟MOSFET, 在二氧化硅绝缘层中总是存在正电荷, 如果正电荷密度很高, 就可能在栅氧化层或场氧化层下面感应出微弱的反型层, 产生表面漏电流。一旦这种弱反型层与器件的缺陷相连或延伸到晶片周围, 就会产生可观的漏极电流。

### ③ 导通电阻

当漏源电压 $V_{DS}$ 很小时，MOSFET工作在非饱和区，此时输出特性曲线为一直线，即此时器件相当于一个电阻，其阻值由漏极电压 $V_{DS}$ 与漏极电流 $I_{DS}$ 的比值决定，定义为导通电阻或沟道电阻，用 $R_{on}$ 表示之。

$$R_{on} = \left. \frac{V_{DS}}{I_D} \right|_{V_{DS} \rightarrow 0} = \frac{L}{Z \cdot \mu_n \cdot C_{OX}} \cdot \frac{1}{[V_{GS} - V_{GS(th)}]}$$

$R_{on}$ 与沟道的宽长比（ $Z/L$ ）成反比。在MOS集成电路中亦用它作为负载电阻，在功率MOSFET中， $R_{on}$ 的大小决定了器件的功耗。因此， $R_{on}$ 是一个重要参数。

#### ④ 栅源直流输入阻抗

栅源两极作为MOSFET的输入电极，因而MOSFET直流输入阻抗就是栅源直流绝缘电阻 $R_{GS}$ 。由于金属栅极与半导体层隔着一层绝缘性能良好的栅氧化层，所以 $R_{GS}$ 主要就是栅极下 $\text{SiO}_2$ 层的绝缘电阻。只要栅氧化层上没有严重的缺陷， $R_{GS}$ 一般都可以达到 $10^9\Omega$ 以上。

所以当其上加上电压后，栅极电流非常小。对于热生长的二氧化硅，栅电流约为 $10^{-10}\text{A/cm}^2$ ，因此，MOSFET的输入阻抗是非常高的，大约在 $10^{14}$ — $10^{16}\Omega$ ，这正是单极型晶体管优越于双极型晶体管的重要标志之一。在短沟道器件中，为了获得长沟道的电学性能，往往要求栅氧化层厚度很薄，这时，能量接近于金属栅电极费米能级的电子就可能隧穿二氧化硅的禁带而进入金属栅极，从而增大了栅电流。

## ⑤ 最大耗散功率 $P_{CM}$

MOSFET的耗散功率为 $P_C = V_{DS} \times I_{DS}$

耗散功率将转变为热能，使器件温度上升，从而其性能变坏，甚至不能正常工作。

为保证MOSFET正常工作而允许耗散的最大功率称为最大耗散功率 $P_{CM}$ 。

MOSFET的功率主要耗散在沟道区（特别是沟道夹断区），因而提高 $P_{CM}$ 主要是要改善沟道到衬底、到底座、到管壳间的热传导及管壳的散热条件。

## § 5.3 MOSFET的频率特性

### 1、低频小信号参数

#### (1) 栅跨导 $g_m$

MOSFET的输出电流（漏电流）随输入电压（栅电压）的变化而变化，所以通常用跨导 $g_m$ 来描述MOSFET的小信号放大性能。故跨导是一个重要参量。

跨导的定义是：当 $V_{DS}$ 为常数时， $V_{GS}$ 的改变所引起 $I_D$ 的变化量。

$$g_m = \left. \frac{\partial I_D}{\partial V_{GS}} \right|_{V_{DS}=C}$$



- 线性区: 
$$I_D = \frac{Z}{L} \mu_n C_{OX} (V_{GS} - V_{GS(th)}) V_{DS}$$

$$g_m = \frac{Z}{L} \mu_n C_{ox} V_{DS} = \beta V_{DS}$$

- 非线性区: 
$$I_D = \frac{Z}{L} \mu_n C_{OX} [(V_{GS} - V_{GS(th)}) V_{DS} - \frac{V_{DS}^2}{2}]$$

$$g_m = \beta V_{DS}$$

- 饱和区: 
$$I_{DSS} = \frac{Z}{2L} \mu_n C_{OX} (V_{GS} - V_{GS(th)})^2$$

$$g_m = \beta (V_{GS} - V_{GS(th)})$$

- 线性区和饱和区的跨导都与器件的沟道长度 $L$ 和栅氧化层厚度 $d$ 成反比，而与沟道宽度 $Z$ 成正比。因此，为了得到高跨导的MOSFET，在给定材料和氧化层厚度的条件下，必须增加沟道的宽长比（ $Z/L$ ），且主要是增大沟道宽度，以获得所需的漏极电流和跨导值。
- 还有一点值得注意，饱和区的跨导与线性区的不同，它与 $V_{DS}$ 无关，而与栅压 $V_{GS}$ 成线性关系。饱和区的跨导恰好是导通电阻 $R_{on}$ 的倒数。
- 当沟道长度 $L$ 很小或栅氧化层厚度 $d$ 很薄时，跨导可能变得非常大。然而实际研究结果表明，跨导的理论最大极限值为（ $qI/KT$ ）。

## (a) 栅源电压对跨导的影响

实验发现，饱和区跨导 $g_m$ 随 $V_{GS}$ 上升而增加，但 $V_{GS}$ 上升到一定值时， $g_m$ 反而会下降。

栅压较低时， $\mu_n$ 可看作常数。当栅压升高时，跨导随栅压增大而上升速率变慢。这是由于 $\mu_n$ 随栅电场增强而下降，对 $V_{GS}$ 的增大起补偿作用的结果。当栅压增加到 $\mu_n$ 下降使 $\beta$ 因子的减小同 $V_{GS}$ 增大的作用完全抵消时， $g_m$ 达到最大值。之后， $V_{GS}$ 继续增加， $\mu_n$ 下降起主要作用。

- 因此，实际MOSFET在栅压 $V_{GS}$ 比较高时，跨导 $g_m$ 反而随 $V_{GS}$ 增大而下降。

## (b) 漏源电压对跨导的影响

当漏源电压较高，漏电场较强时，强场使载流子迁移率下降，漏电流减小。

- 可以证明：由于高场迁移率的影响， $g_m$ 下降为弱场时的

$$\frac{1}{1 + \frac{\mu_n V_{DS}}{v_{SL} L}}$$

- 当 $V_{DS}$ 增大到沟道电场达到 $E_C$ 时，载流子漂移速度达到极限值 $v_{SL}$ ，跨导达到最大值：

$$g_m = \frac{Z}{L} \mu_n C_{ox} V_{DS} = Z C_{ox} v_{SL}$$

## (c) 源区漏区串联电阻 $R_S$ 、 $R_D$ 对跨导的影响

实际MOSFET中，源区、漏区都存在体串联电阻，电极处存在欧姆接触电阻等。使实际加在沟道区的栅源电压和漏源电压低于外加电压，由此导致实际跨导低于理论值。

加在沟道区上的实际有效漏源电压为

$$V'_{DS} = V_{DS} - I_D(R_S + R_D)$$

$$V'_{GS} = V_{GS} - I_D R_S$$

$$g_m^* = \frac{g_m}{1 + g_m R_S + g_{dL}(R_S + R_D)}$$

$$g_{mS}^* = \frac{g_m}{1 + g_m R_S}$$

提高跨导的关键是增大 $\beta$  因子

提高 $\beta$  因子从以下几个方面：

- ① 提高载流子沟道迁移率，即选用高迁移率材料，并用表面迁移率高的晶面。
- ② 制作高质量、薄的栅氧化层，以增大栅电容 $C_{ox}$
- ③ 尽可能采用沟道宽长 $Z/L$ 比大的版图。
- ④ 减小源漏区体电阻和欧姆接触电阻等，以减小串联电阻。

## (2) 小信号衬底跨导 $g_{mb}$

定义：当 $V_{GS}$ 、 $V_{DS}$ 为常数时， $V_{BS}$ 的改变所引起 $I_D$ 的变化量。

$$g_m = \left. \frac{\partial I_D}{\partial V_{BS}} \right|_{V_{DS}, V_{GS}}$$

当在MOSFET衬底上加反向偏压 $V_{BS}$ 时，表面最大耗尽层宽度也随之展宽，表面空间电荷面密度也增大。因此空间电荷有关项中的 $\Phi_S$ 代以 $\Phi_S + V_{BS}$ ，即可得到考虑衬底偏压后的漏电流，从而求得衬底跨导。

$g_{mb}$ 相当于一个栅，又称为“背栅”。

### (3) 非饱和区的漏电导 $g_d$

定义 $V_{GS}$ 为常数时，微分漏电流与微分漏源电压之比；表征漏源电压对漏电流的控制能力。

$$g_d = \left. \frac{\partial I_D}{\partial V_{DS}} \right|_{V_{GS}}$$

$$g_d = \beta(V_{GS} - V_{GS(th)} - V_{DS})$$

线性区中：

$$g_{dL} = \beta(V_{GS} - V_{GS(th)}) = g_{mS}$$



## (4) 饱和区的漏电导

理想情况下， $I_D$ 与 $V_{DS}$ 无关，饱和区的 $g_d$ 应为零，即输出电阻无穷大。

但实际的MOSFET，由于沟道长度的调制效应和漏极对沟道的静电反馈作用（DIBL），使饱和区输出特性曲线发生倾斜，即输出电导不为零，动态电阻是有限值。

## (a) 有效沟道长度调制效应

- 随着 $V_{DS}$ 超过 $V_{DSat}$ ，沟道出现夹断，并随着 $V_{DS}$ 的进一步增加向源端移动，漏端耗尽区宽度 $\Delta L$ 增加，有效沟道长度 $L_{eff}$ 减小，沟道电阻也减小，导致漏电流增大。这种有效沟道长度随 $V_{DS}$ 增大而缩短的现象称为有效沟道长度调制效应。
- 发生这一效应后，漏耗尽区向源端的扩展量 $\Delta L$ 可按单边突变结理论求出，即

$$\Delta L = \left[ \frac{2\epsilon_0\epsilon_s(V_{DS} - V_{DSat})}{qN_A} \right]^{1/2}$$

- 则有效沟道长度为

$$L_{eff} = L - \Delta L = L - \left[ \frac{2\epsilon_0\epsilon_s(V_{DS} - V_{DSat})}{qN_A} \right]^{1/2}$$

- 对于沟道长度较短，而衬底电阻率又较高的 MOSFET，其沟道长度调制效应显著，漏电流随  $V_{DS}$  的增大而增大，呈现出不饱和的漏特性。当沟道长度较长，衬底电阻率又较低时， $\Delta L$  很小， $I_{DSS}$  趋近于饱和。

$$I'_{DSS} = \frac{\frac{1}{2} \mu_n C_{OX} Z (V_{GS} - V_{GS(th)})^2}{L - [2 \epsilon_0 \epsilon_s (V_{DS} - V_{DSat}) / q N_A]^{1/2}}$$

$$I'_{DSS} = I_{DSat} (1 - \frac{\Delta L}{L})^{-1}$$

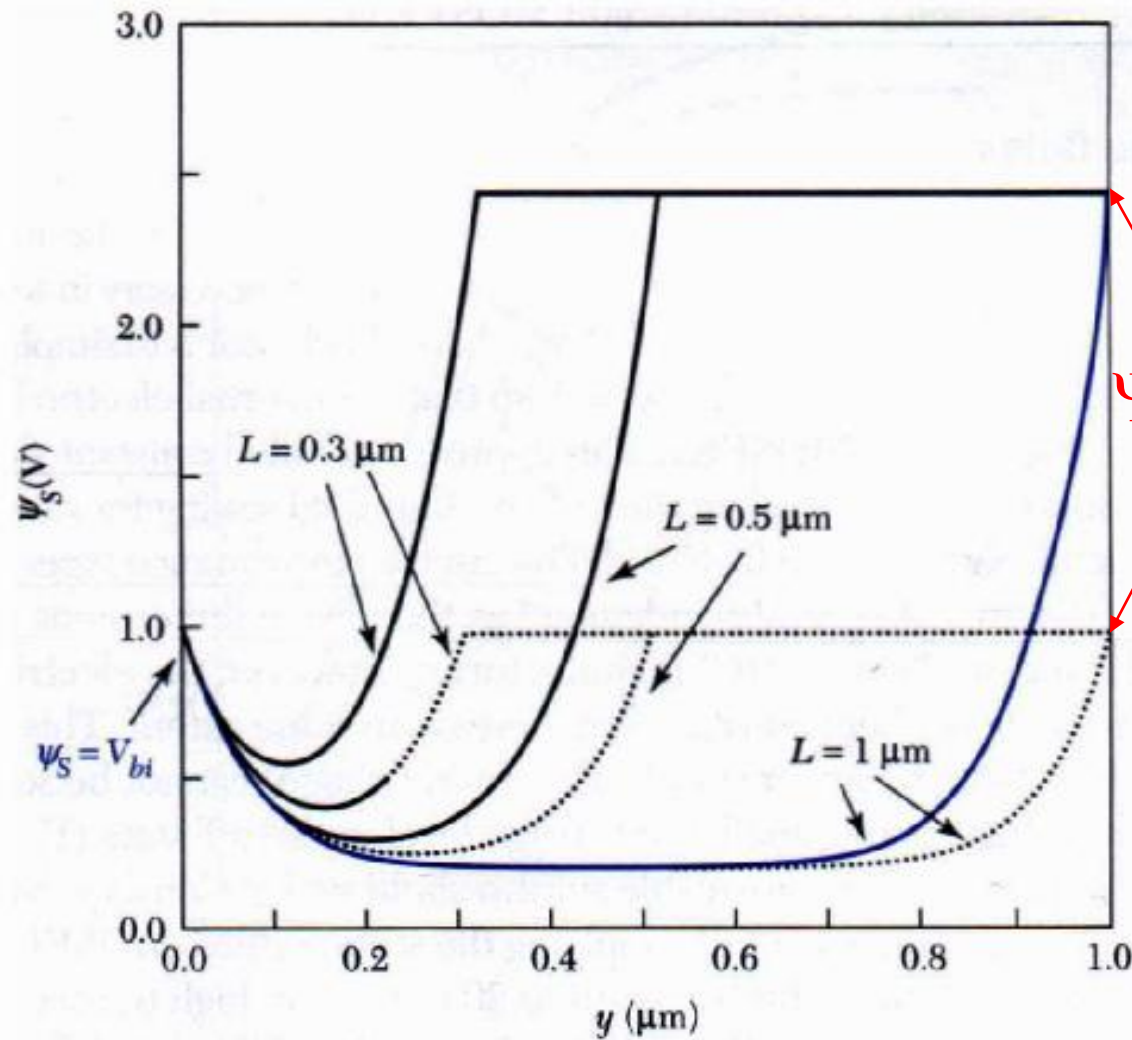
$$g'_{DSat} = \frac{I_{DSat}}{L (1 - \frac{\Delta L}{L})^2} \frac{d(\Delta L)}{dV_{DS}}$$

for Devices

## (b) 漏感应势垒降低效应 (DIBL效应)

- 对于衬底电阻率较高的MOSFET, 当 $V_{DS} > V_{DSat}$ 时, 漏区-衬底的P-N结耗尽层宽度大于或接近于有效沟道长度。这一现象在沟道长度较短时尤为显著。因此起始于漏扩散区的电力线的一部分将通过较宽的耗尽区而终止于沟道区。这相当于漏-沟道间有相当大的耦合电容存在。这样, 当漏源电压增加时, 耗尽区内的电场强度亦随之增加, 必然引起沟道内的感生电荷相应地增加, 以终止更多的电力线。因而沟道电导增大。由于有效沟道的电压基本维持在 $V_{DSat}$ 值上, 所以沟道电流将随漏电压 $V_{DS}$ 的增大而增大, 这就是漏区与沟道区的静电反馈效应。漏区起着第二栅的作用。
- 由于电力线会穿越漏到源, 引起源端势垒降低, 从源区注入沟道的电子增加, 导致漏源电流增加, 通常称该过程为漏感应势垒降低DIBL。

- 对一定的 $V_{DS}$ ，器件的沟道长度 $L$ 越小，DIBL效应越显著，漏极电流增加越显著，导致器件不能关断。
- DIBL是MOS器件尺寸缩小的一个基本限制，是漏电压 $V_{DS}$ 引起的沿沟道方向的电势分布使源和沟道间的势垒降低。
- 当短沟道器件工作在阈值电压附近时，DIBL效应非常严重。



DIBL leads to a substantial increase in electron injection from the source to the drain.

$$\Psi_s = V_{bi} + V_{DS}$$

Subthreshold current ↗

## 2、交流小信号等效电路

- 在交流工作状态下，考虑器件的微分增量参数 $g_m$ 、 $g_d$ 和 $g_{mb}$ 等，以及各端之间存在电容，可得本征MOSFET的小信号等效电路。
- 实际MOSFET中，除了存在上述微分增量参数，即本征参数外，还存在其它非本征参数，如漏、源串联电阻 $R_D$ 和 $R_S$ ，栅—源、栅—漏寄生电容 $C_{gs}'$ 和 $C_{gd}'$ 等。考虑寄生参数后，可以得到较完整的等效电路。
- 其中串联电阻主要来源于漏区和源区的体电阻和欧姆接触电阻。寄生电容 $C_{gs}'$ 和 $C_{gd}'$ 主要来源于栅—源和栅—漏间的交叠覆盖电容。

### 3、MOSFET的高频特性

MOS器件存在本征电容和寄生电容，高频情况下，对这些电容充放电存在一定延迟时间，载流子渡越沟道也需要一定时间，这些延迟时间决定MOSFET的使用频率限制。

#### (1) 跨导截止频率 $\omega_{gm}$

- 跨导下降到低频时的 $2^{-1/2}$ 对应的频率称为跨导截止频率。
- 跨导截止频率实际上来源于通过等效沟道电阻对栅源电容充电的延迟时间。
- 提高跨导截止频率 $\omega_{gm}$ ，应选用迁移率大的p型材料作衬底，缩短沟道长度和减小阈值电压。



## (2) 截止频率 $f_T$

- 定义 $f_T$ 为输出端交流短路时MOSFET的输出电流和输入电流相等时的频率。又称为增益带宽乘积。

$$f_T = \frac{g_m}{2\pi C_{gs}} = \frac{g_m}{2\pi Z L C_{ox}} = \begin{cases} \frac{\mu_n V_{DS}}{2\pi L^2} \text{ 非饱和区} \\ \frac{\mu_n (V_{GS} - V_T)}{2\pi L^2} \text{ 饱和区} \end{cases}$$

提高MOSFET的截止频率的关键是减小沟道长度，但L的减小将受到源漏穿通和短沟道效应（后述）的限制。

另外， $f_T$ 与沟道中载流子迁移率 $\mu$ 成正比，所以在条件相同情况下，N沟道MOSFET要比P沟道器件的高频特性好。因此，高频MOSFET都用N沟道做。

此外，减小阈值电压或提高栅压也有利于改善频率特性。还要注意尽量减小寄生参量。

### (3) 响应时间

- 由MOSFET的工作机理的分析可知,其响应速度受到三个因素的限制: ①载流子渡越沟道所需要时间的限制。这是对器件速度的基本限制; ②本征栅电容充放电时间常数的限制; ③寄生电容的时间常数所引起的限制。
- 为简单起见, 只考虑饱和条件下第①个因素对速度的限制, 即考虑载流子从源端沿沟道到达漏端所需要的时间 (称为沟道渡越时间), 记为 $\tau$ 。

$$f_{T(sat)} = \frac{1}{\pi\tau}$$

Semiconductor Devices

## 4、提高MOSFET频率特性的途径

### (1) 提高迁移率

用(100)方向的p型Si作N沟MOS，增加表面工艺，改善表面迁移率。采用离子注入获得高迁移率的埋沟结构，不受表面散射影响。

### (2) 缩短沟道长度L

沟道渡越时间减小，从而使提高频率特性。

### (3) 减小寄生电容 $C_{gs}'$ 、 $C_{gd}'$ ，

采用自对准结构、偏置栅结构、双栅结构、SOI结构等。

## § 5.4 MOSFET的击穿特性

- MOSFET产生击穿的机构有：漏源击穿和栅绝缘层击穿。漏源击穿又分为雪崩击穿和势垒穿透两种。
- 1、漏源击穿
  - (1) 漏源雪崩击穿
    - (a) 漏-衬底pn结雪崩击穿
    - (b) 沟道雪崩击穿（沟道击穿）

## (a) 漏-衬底pn结雪崩击穿

- 一般情况下，MOSFET的源极与衬底相连，在漏源间施加电压 $V_{DS}$ 就等于在漏-衬底P-N结上施加反向电压。当 $V_{DS}$ 很大时，P-N结耗尽区中电场强度变大，到 $V_{DS}$ 达某一数值后，耗尽区中就会出现雪崩击穿。从特征上看，它和P-N结击穿完全一样，击穿电压在很大程度上依赖于结的高电阻侧的掺杂浓度，同时也受到漏扩散区曲率半径的影响。但实测结果表明，典型MOSFET的漏源击穿电压远低于理论计算值。
- 原因是：金属栅电极的边缘总有一部分覆盖在漏扩散区上，而栅源电压的大小就对这一部分的电场分布产生很大的影响，从而影响漏源击穿电压。

- 由于金属栅电位低于漏电位，于是在栅—漏区的棱角处形成了附加电场。通常的栅氧化层厚度 $d$ 要比P—N结耗尽层厚度小很多，所以这个附加电场往往比P—N结耗尽区电场强得多，增大了栅下覆盖区pn结耗尽区中的总电场，因而使漏源击穿电压大大低于单一P—N结的击穿电压。考虑到栅极影响后，MOSFET的漏源击穿电压不仅很低，而且对N沟MOSFET， $BV_{DS}$ 随正栅压的增加而增大，对P沟MOSFET， $BV_{DS}$ 随负栅压的增大而增大。
- 实验表明，当衬底电阻率大于一定数值（为 $1\Omega\cdot\text{cm}$ ）时， $BV_{DS}$ 基本上与衬底电阻率无关，即与衬底掺杂无关，取决于结深、栅电位的极性和大小、栅介质膜厚度及电极覆盖等，由覆盖区附加电场的大小决定。

所以由于栅极对漏击穿的调制作用，实际MOSFET的漏源击穿电压的典型值只有25~40V，这种情况称为“栅调制击穿”。

## (b) 沟道雪崩击穿（沟道击穿）

多发生在短沟道MOSFET中，漏源电压在沟道中建立起较强的横向电场。器件导通后，沟道中快速运动的载流子通过碰撞电离和雪崩倍增效应产生大量电子-空穴对，在沟道漏端夹断区这一现象更明显。

对NMOS，雪崩倍增产生的电子被漏极收集，导致漏电流剧增而击穿。空穴被衬底吸收，成为寄生衬底电流的一部分。PMOS则正好相反。

雪崩注入现象：雪崩击穿后， $I_{DS}-V_{DS}$ 曲线向高电压方向蜕变的现象，（具体见《晶体管原理》P<sub>350</sub>）。利用这种现象制作浮置栅雪崩注入MOS器件（FAMOS），广泛用于MOS存储器中，并制成了EPROM等。

## (2) 漏源势垒穿通

当MOSFET的沟道长度足够短，而衬底掺杂足够低时，漏源电压足够大时，即使漏与衬底间还未发生雪崩，但漏区的耗尽层已展宽到与源区耗尽层相连，这一现象就称为漏源穿通。在穿通条件下，源漏间耗尽区里虽然没有可动载流子，但高掺杂区内的大量可动载流子可以直接由源区注入到耗尽的沟道区，而被耗尽区中的强场扫向漏极，形成大电流状态，从而出现穿通效应。对于在高电阻率衬底上制成的重掺杂浅扩散漏区，其耗尽区宽度可用突变结近似求得，当耗尽区宽度 $W$ 等于沟道长度 $L$ 时，穿通效应发生，对应的漏源电压就是穿通电压。即

$$V_{pt} = \frac{qN_A}{2\epsilon_0\epsilon_s} L^2 + [V_{GS} - V_T]$$

- 由式可见，衬底掺杂浓度愈低，沟道长度愈短，就愈容易出现源-漏穿通现象。
- 考虑上述因素后，MOSFET的漏源击穿电压应由漏结击穿电压和源漏穿通电压中较小的一个来决定。



## 2、栅击穿和栅保护

- MOSFET中的栅压击穿实质上就是栅氧化膜的击穿。当栅源电压或栅漏电压超过一定限度时就会引起栅氧化膜击穿,使栅金属与下面的硅发生短路,造成永久性破坏。所以在MOSFET的使用中,栅极上不能加过高的电压。
- 实践证明,氧化膜的击穿电压与其厚度成正比。氧化膜发生击穿的电场强度 $E_{mB}$  约在 $5 \times 10^6 \sim 10^7 \text{V/cm}$  之间。一般MOSFET的栅氧化膜厚度 $d$ 约为 $100\text{nm} \sim 200\text{nm}$ , 由于氧化膜质量的差异, 即使对同样厚度的氧化膜, 其击穿电压也有所不同。对于热生长的氧化膜, 认为氧化层内电场大于 $8 \times 10^6 \text{V/cm}$  时就会引起介质击穿。这样, 栅源击穿电压可近似表示为

$$V_{(BR)GS} = E_{mB} \cdot d$$

- 表面上看来，栅击穿电压并不低，但实际上很容易被击穿，这是因为栅与半导体之间构成了一个MOS电容器，其电容量很小，通常只有n个pF，且膜的绝缘电阻很高。因此，静电荷容易在栅极上积累造成较高的栅电压，从而引起栅氧化膜击穿。例如，对100nm厚的氧化膜，若 $C_G=1\text{pF}$ ，则 $Q_G=8\times 10^{-11}\text{C}$ 的栅电荷就会产生 $V_G=Q_G/C_G=80\text{V}$ 的栅压，使氧化层击穿。所以MOSFET在测试使用过程中，都必须十分小心，以防栅击穿，存放时应使各电极间短路。
- 为防止静电对栅介质的损坏，可采用两种方法来避免器件在测试，使用和存放中可能受到的偶然破坏。一是测试使用中设备要妥善接地，焊接时烙铁也应有地线保护，操作人员应力戒将电荷引进栅电极，保存时用导电材料将各电极间短路；二是在输入端引入保护二极管，一般是用齐纳二极管或穿通二极管。把齐纳二极管的击穿电压设计成低于栅击穿电压即可起保护作用；穿通二极管一般是和栅电极并联即可。

## § 5.5 MOSFET的功率特性

### 1、MOS器件的功率特性

- 功率MOS管与功率双极型晶体管有相似的输出伏安特性，但在频率响应、非线性失真和耗散功率方面优于双极型功率晶体管。MOS功率器件在功率半导体器件中占有越来越重要的地位。
- 功率MOS管属于多数载流子单极器件，当它作开关使用时，因为没有少子存储效应，所以工作频率高，开关速度快，开关损耗小；MOS管是电压控制器件，输入阻抗高，作功率开关使用时，所需驱动电流小，驱动功率小，驱动电路简单，功率增益大且稳定性好。
- 由于MOS管是多子器件，其沟道迁移率随温度的上升而下降，因而在大电流下有负电流温度系数，所以无电流集中和二次击穿现象，安全工作区范围宽，热稳定性好。
- 功率短沟道MOS管，跨导线性好，放大失真小。
- 但功率MOS管的不足在于饱和压降及导通电阻都较双极型器件大，这些问题正在努力解决之中。

## (1) 高频功率增益

- 高频功率增益 $K_{pm}$ ，定义为器件工作在高频状态下，器件的输入端及输出端各自共轭匹配时，输出功率与输入功率之比。也是最佳高频功率增益。

$$K_{pm} = \frac{P_o}{P_i} = \frac{g_m^2 R_L}{4\omega^2 C_{gs}^2 R_{gs}} = \frac{1}{4R_{gs}g_d} \left(\frac{\omega_T}{\omega}\right)^2$$

可见，高频功率增益 $K_{pm}$ 与截止频率 $\omega_T^2$ 成正比，而与工作频率 $\omega^2$ 成反比。

## (2) 输出功率和耗散功率

- 由共源输出特性可以看出，当MOSFET在放大状态时，输出电压的最大幅度值为  $\frac{1}{2}(V_{(BR)DS} - V_{DSat})$ ，电流的最大摆幅约为  $\frac{1}{2}I_{Dmax}$ 。所以，器件的最大输出功率为

$$P_{OM} = \frac{1}{8} I_{Dmax} \cdot (V_{(BR)DS} - V_{DSat})$$

- 由此可见，欲提高MOS器件的输出功率，应提高漏源击穿电压、漏极电流，并降低饱和压降。

- 与双极型器件一样，MOS器件的最大输出功率也受到器件散热能力的限制。MOS器件的发热中心在漏结附近的沟道表面处。MOSFET最大耗散功率为：

$$P_{CM} = \frac{T_{jm} - T_A}{R_T}$$

MOSFET最高结温定为175℃， $R_T$ 包括芯片热阻，焊料和过渡材料热阻以及管壳热阻等。其中最主要的仍是芯片热阻。

MOS器件求热阻的方法与双极型器件不同，此时的热源是漏结附近一细长薄线状区，所以不能像双极型器件那样简单地计算矩形截面体的热阻，而需要用计算传输线特征阻抗的方法才能求出。

- 由于MOS管不存在二次击穿效应，所以MOSFET的安全工作区大于双极型器件

## 2、功率MOSFET的结构简介

### ① 横向双扩散MOSFET LD—MOSFET

LD—MOSFET是用平面工艺，双扩散法或双离子注入法制作的MOS器件。具有高增益、高跨导、频率响应好的特点。但管芯占用面积太大，硅片表面利用率不高，器件的频率特性也受影响。

### ② 垂直功率MOS(VVMOS)

为了解决LDMOS的不足,后又推出VVMOS。这是一种非平面型的DMOS器件。管芯占用的硅片面积大大地缩小。这不仅大大提高了硅片表面的利用率，而且器件的频率特性也得到了很大的改善。但进一步的研究发现，上述垂直MOS结构存在如下缺点：

(a)在V槽的顶端存在很强的电场，这会严重地影响器件击穿电压的提高。

(b)器件导通电阻较大。

(c)V槽的腐蚀不容易控制，而且栅氧化层暴露，易受离子沾污，造成阈值电压不稳，可靠性下降。



### ③ 垂直漏U—MOST (VU—MOST)

在制作VV—MOST时，若令槽两边未相遇之前即停止腐蚀，即得到U型槽器件。这种器件除具有VV—MOST的优点之外，其平顶结构使N-漂移区中的电流能更好地展开，因而比V型结构具有更低的导通电阻，因而有利于增大电流容量，降低导通电阻。但U槽的腐蚀同V型槽一样难于控制，栅氧化层也一样暴露。

### ④ 垂直双扩散MOS (VDMOS)

其中多晶硅栅被埋藏在源极金属的下面，源极电流、穿过水平沟道，经过栅极下面的积累层再通过垂直N-漂移区流到漏极。这种结构的功率MOS，工艺上与现在高度发展的超大规模集成电路工艺相容，因此发展很快。



## ⑤ 绝缘栅晶体管（IGBT）

IGBT与VDMOS结构十分相似，不同的是 $n^+$ 衬底换成 $p^+$ 衬底，形成一个MOS栅控的 $p^+npn^+$ 四层可控硅结构。较好的解决了VDMOS导通电阻大的缺点。产生的寄生可控硅效应可通过短路发射结来消除，器件和耐压可以做的很高，又不明显增加导通电阻和管芯面积。不同之处在于：

- （1）引入少子存贮效应，器件的关断时间较长，开关速度受到影响；
- （2）最大工作电流受寄生晶闸管闭锁效应的限制。

## MOS场效应晶体管的优点

- (1) 输入阻抗高。一般为 $10^{10}\Omega$ 的数量级，最高可达 $10^{13}\Omega$ ，这有利于放大器各级间的直接耦合，且只需要很小的前级驱动电流，并可与多个FET并联；
- (2) 场效应晶体管的输入功耗很小；
- (3) 温度稳定性好；因为它是多子器件，其电学参数不易随温度而变化。例如当温度升高后，FET沟道中的载流子数略有增加，但同时又使载流子的迁移率稍为减小，这两个效应正好相互补偿，使FET的放大特性随温度变化较小；
- (4) 场效应晶体管的增益（即栅的跨号 $g_m$ ）在较大漏电流条件下基本上不变化。而双极晶体管的 $h_{FE}$ （ $I_C$ ）在大电流下却很快下降；
- (5) 噪声系数小，这是因为FET依靠多子输运电流，故不存在双极晶体管中的散粒噪声和配分噪声；
- (6) 抗辐射能力强。双极晶体管受辐射后非平衡少子寿命降低，故电流增益下降。FET的特性与载流子的寿命关系不大，故抗辐射性能较好；
- (7) 增强型MOS晶体管之间存在着天然的隔离，可以大大地提高MOS集成电路的集成度。

- MOS场效应晶体管与双极晶体管相比也存在一些缺点：
  - (1) 工艺环境要求高；
  - (2) 场效应管的速度比双极晶体管的速度低等。

## § 5.6 MOSFET的开关特性及CMOS结构

- 以集成电路中倒相器为例，讨论MOSFET的开关作用和开关时间。

### 1、MOSFET开关时间

- MOSFET开关时间包括截止时间和导通时间。

#### (1) 截止关闭时间

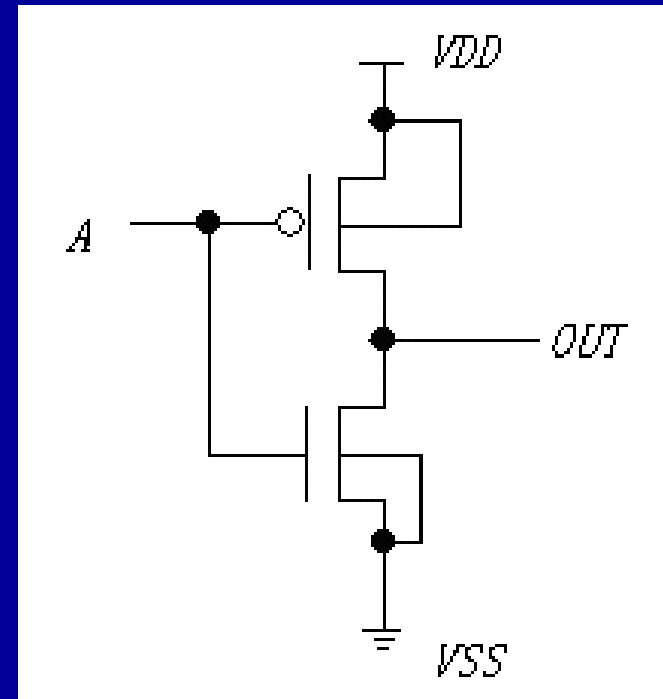
缩短关闭时间，一要减小对地等效电容 $C_{GND}$ ，特别是要减小寄生电容的影响；二要增大负载管的 $\beta_2$ ，即增大V2管的导通电流，使充电速度加快。

#### (2) 导通开启时间

为减小导通时间，一是减小输出端对地等效电容 $C_{GND}$ ，二要增大倒相管的跨导，即增大 $\beta_1$ 。

## 2、CMOS结构（互补型MOSFET）

- CMOS倒相器是MOS器件集成电路中常用的一种标准电路
- CMOS电路的基本特点



# CMOS结构

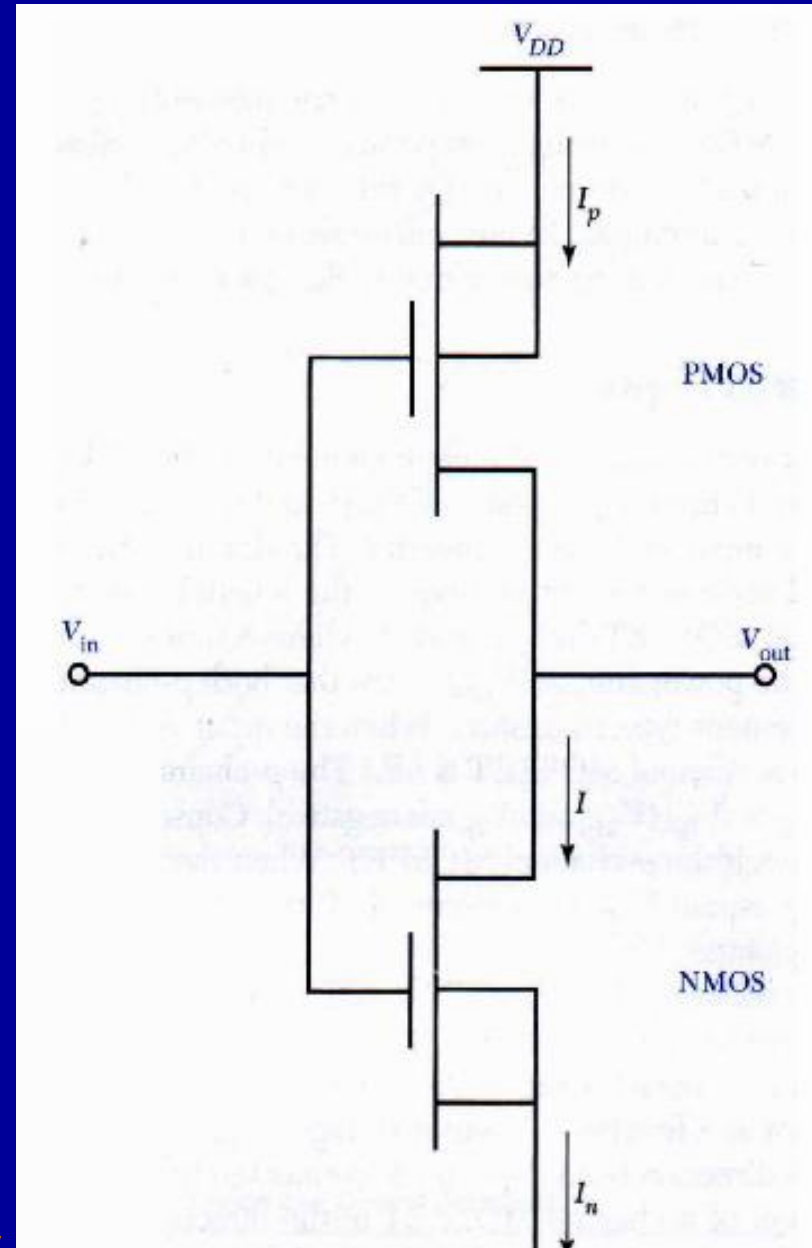
## CMOS Inverter 反相器

Advantages:

- low power consumption
- good noise immunity

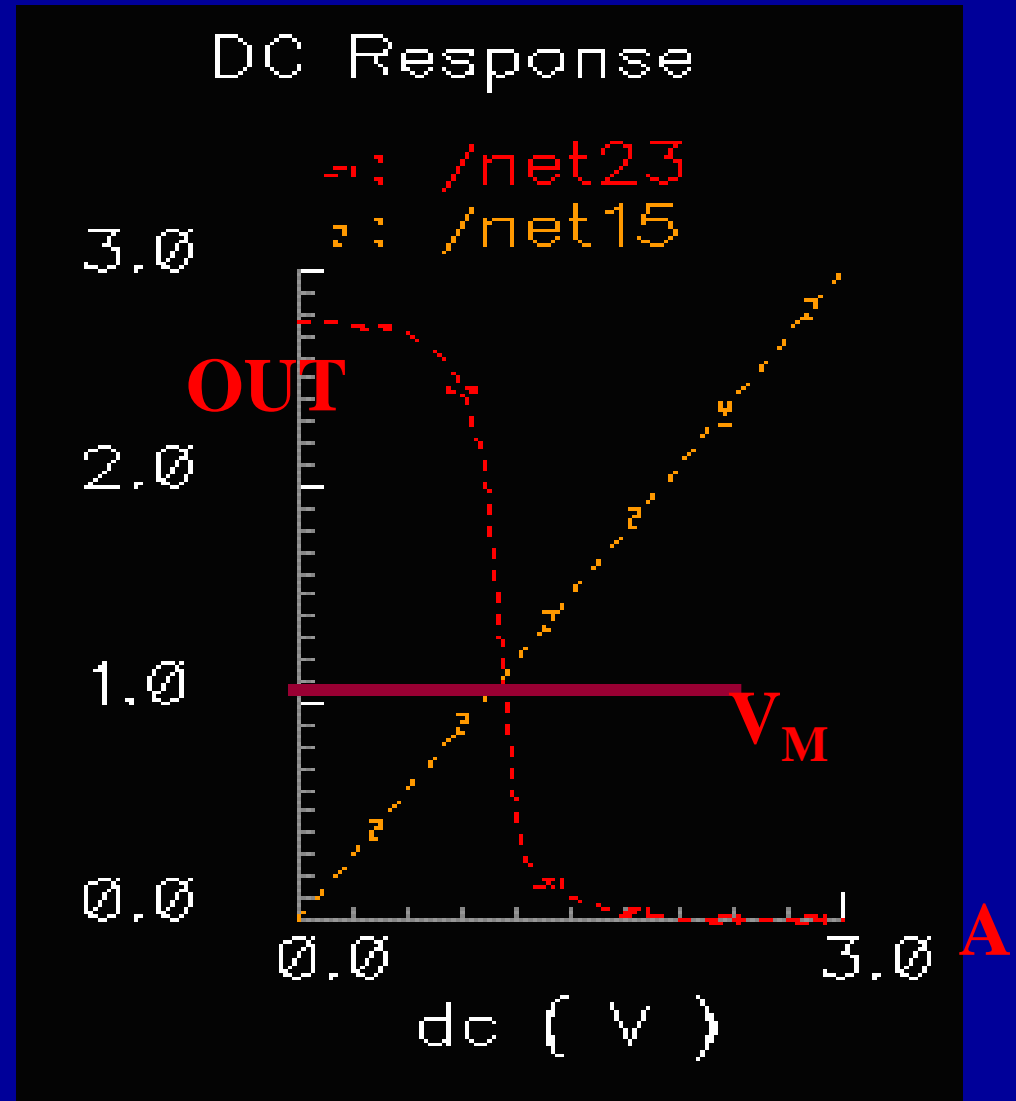
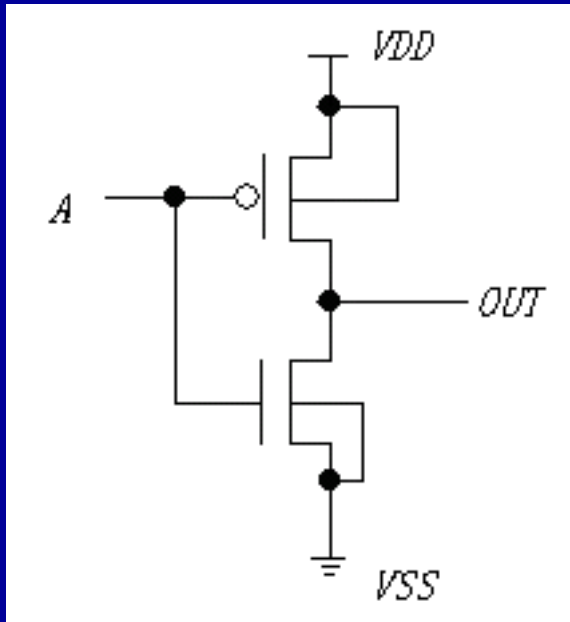
$V_{in}=0 \longrightarrow \begin{cases} \text{PMOSFET is on} \\ \text{NMOSFET is off} \\ V_{out}=V_{DD} \end{cases}$

$V_{in}=V_{DD} \longrightarrow \begin{cases} \text{PMOSFET is off} \\ \text{NMOSFET is on} \\ V_{out}=0 \end{cases}$



Semiconductor Devices

# CMOS反相器的直流特性



Semiconductor Devices

## 要求

$$V_M = \frac{1}{2} V_{DD}$$

则

$$\beta_n = \beta_p$$

即

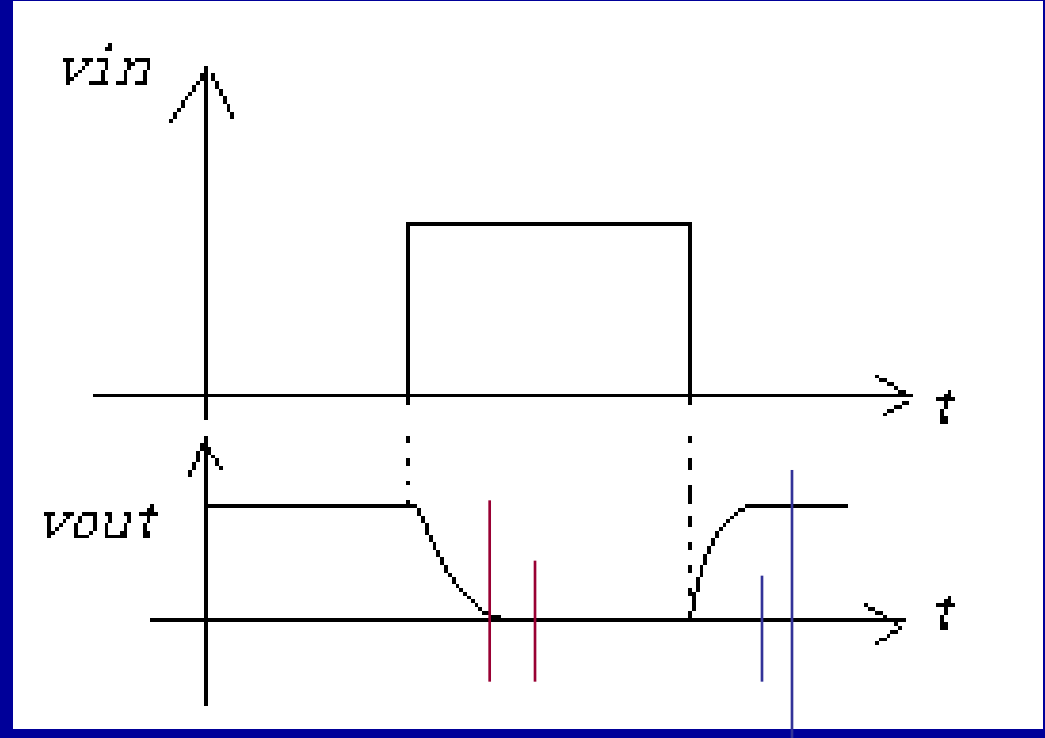
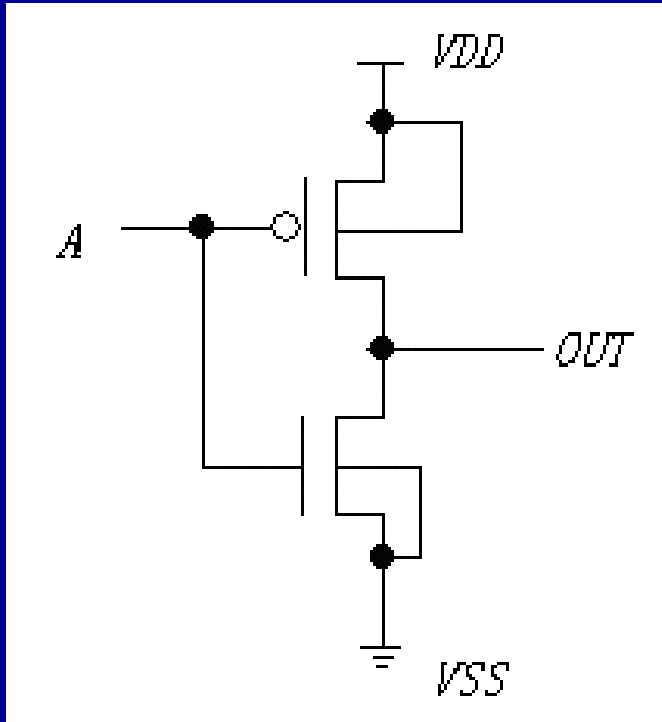
$$\left(\frac{W}{L}\right)_p = \frac{\mu_n}{\mu_p} \left(\frac{W}{L}\right)_n = \frac{k'_n}{k'_p} \left(\frac{W}{L}\right)_n$$

$$k'_n = \mu_n C_{ox}$$

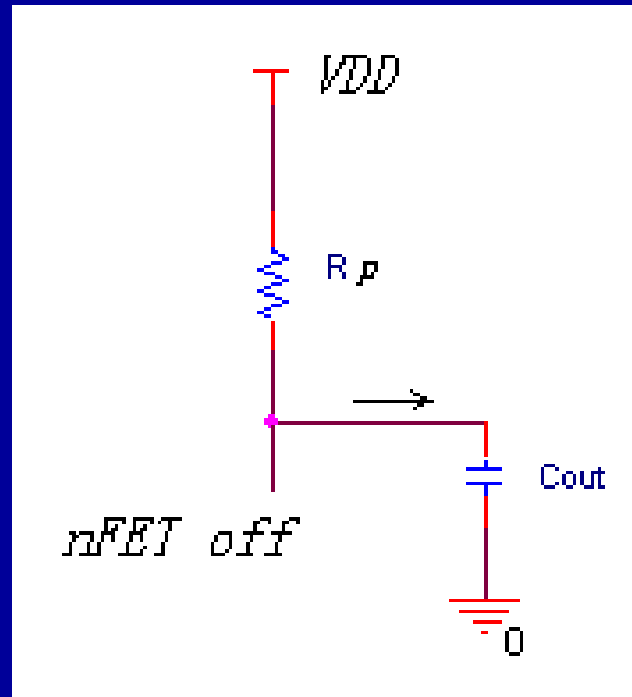
$$k'_p = \mu_p C_{ox}$$



# CMOS反相器的开关特性(瞬态特性)

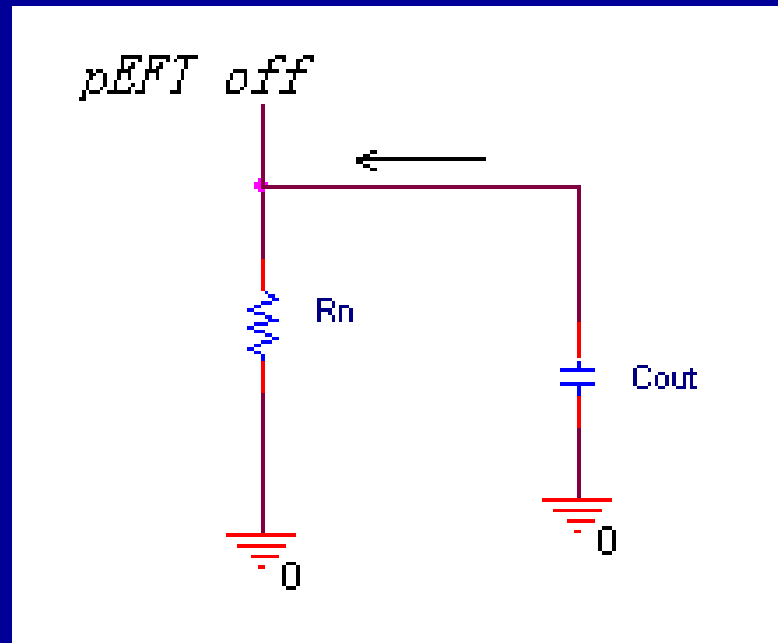


# 上升时间



$$t_r = 2.2R_p C_{out}$$

# 下降时间



$$t_f = 2.2R_n C_{out}$$

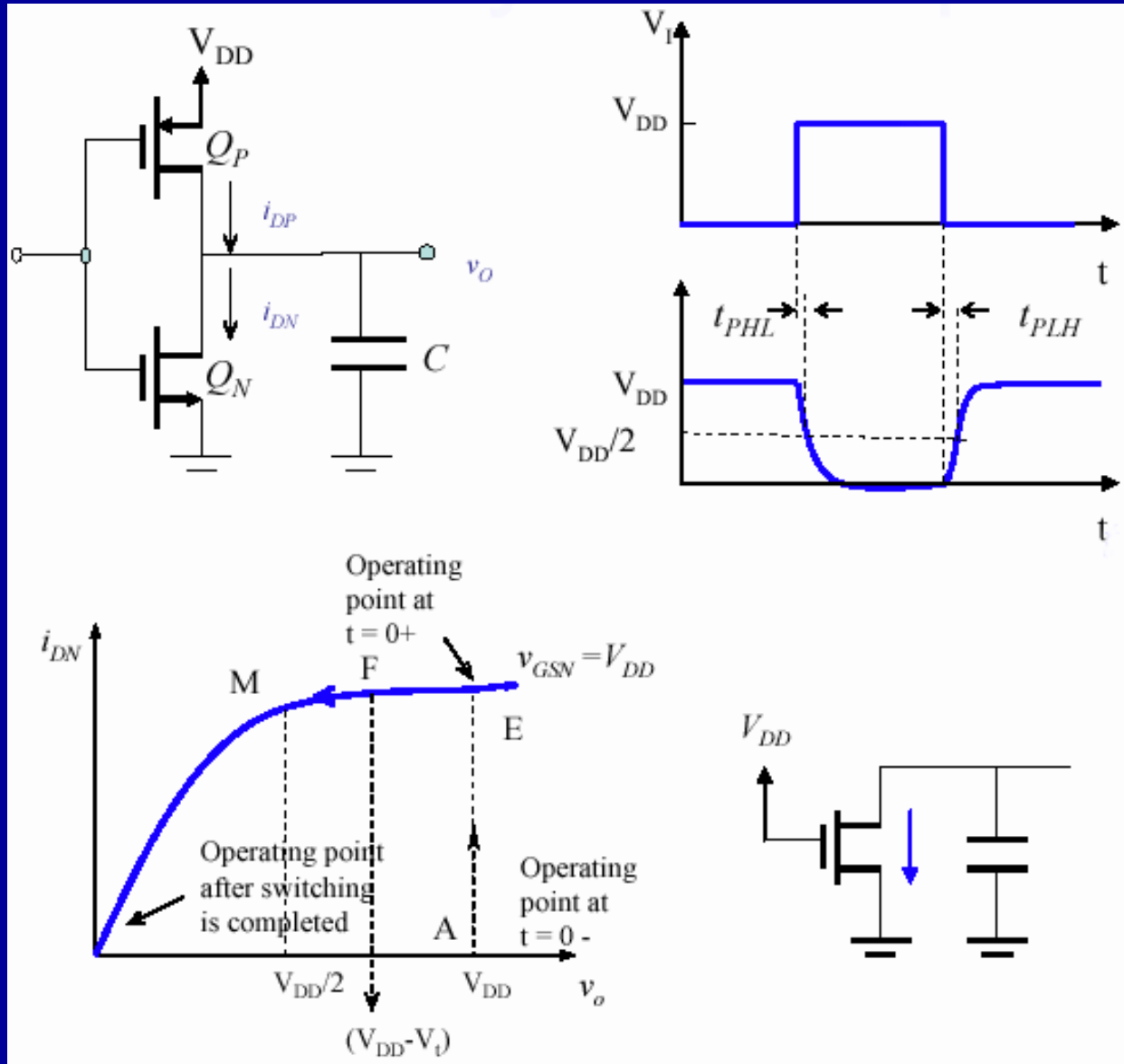
$$R_p = \frac{1}{\beta_p (V_{DD} - |V_{Tp}|)}$$

$$R_n = \frac{1}{\beta_n (V_{DD} - V_{Tn})}$$

定义

$$f_{\max} = \frac{1}{t_r + t_f}$$

# Dynamic Operation

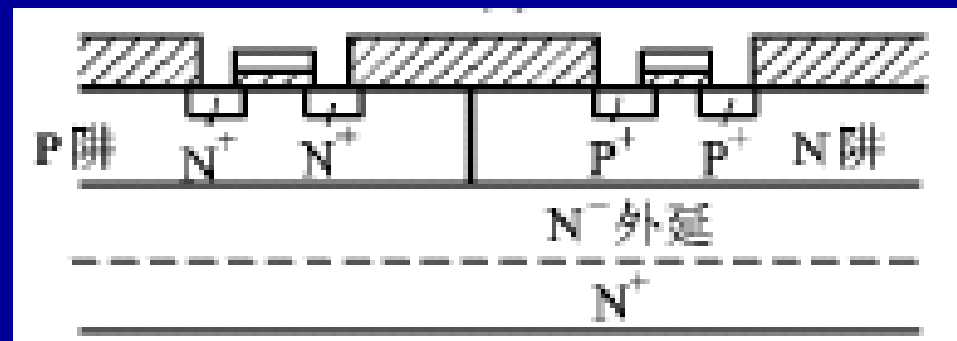
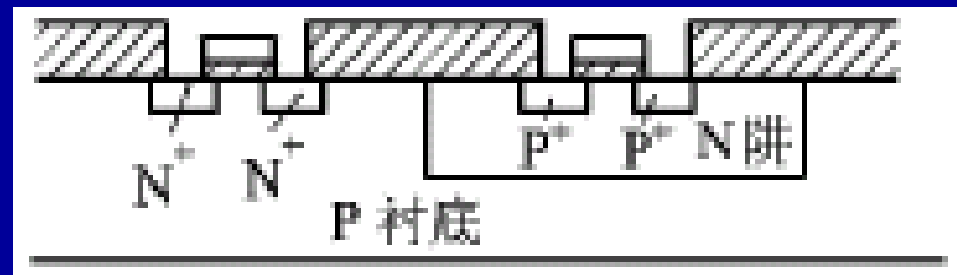
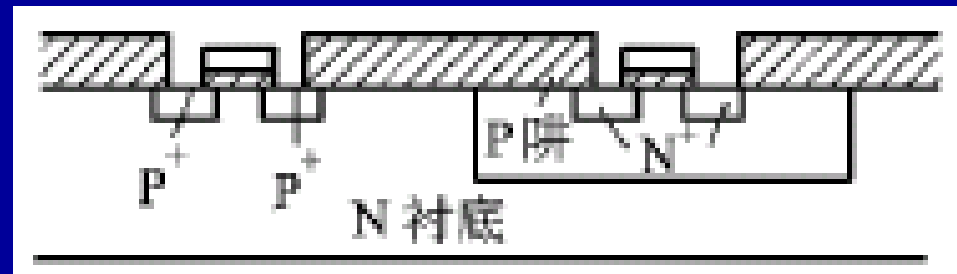


$$t_{PHL} \cong \frac{1.7C}{k_n'(W/L)_n V_{DD}}$$

$$t_{PLH} \cong \frac{1.7C}{k_p'(W/L)_p V_{DD}}$$

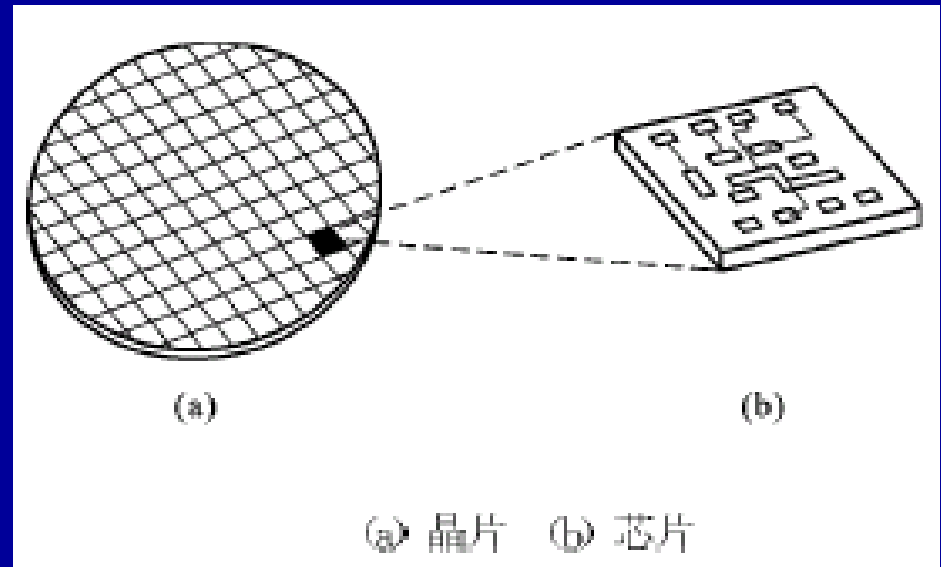
$$t_P = \frac{1}{2}(t_{PHL} + t_{PLH})$$

- CMOS工艺
  - P阱CMOS  
N型硅晶片(圆片)
  - N阱CMOS  
P型硅晶片
  - 双阱CMOS



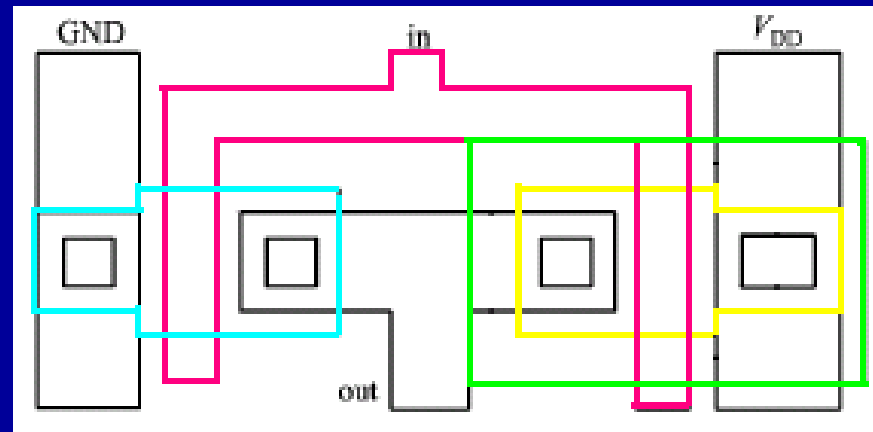
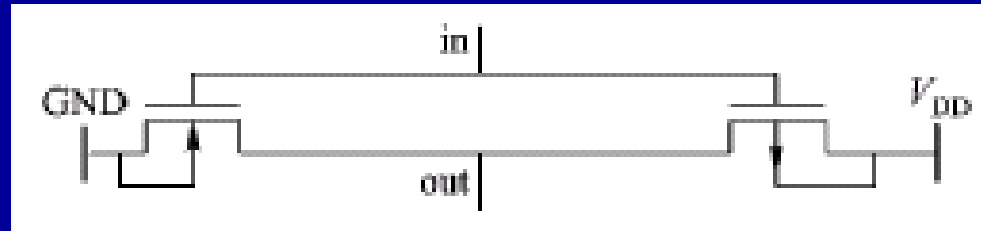
# N阱CMOS工艺

- 晶片 (Wafer) 直径100~300mm
- 厚度: 0.4~0.7mm
- P型硅晶片



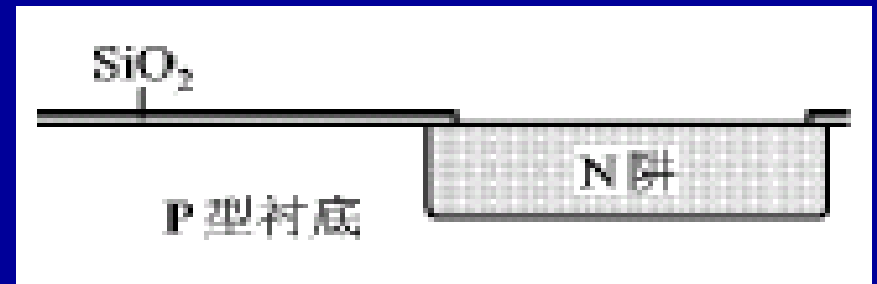
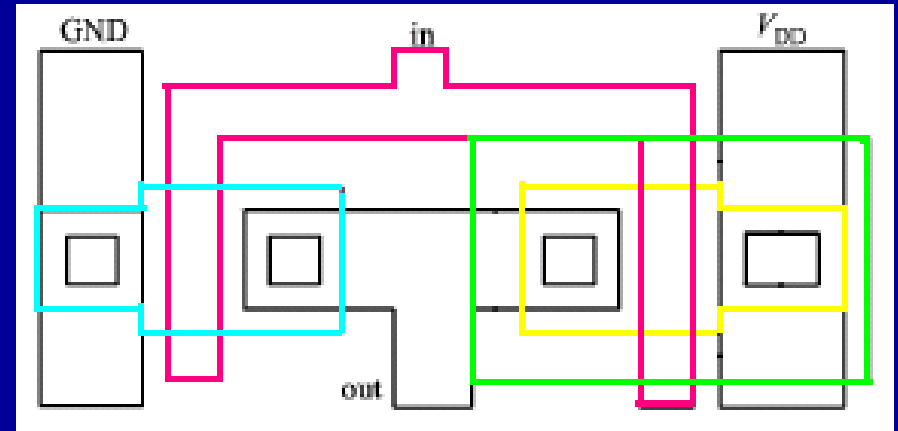
# N阱CMOS工艺流程

准备工作



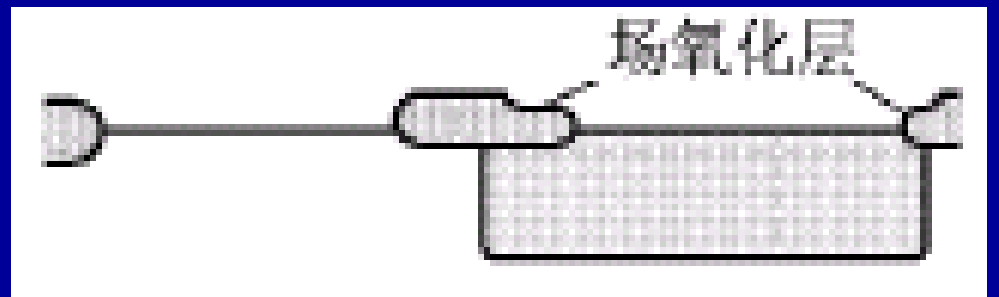
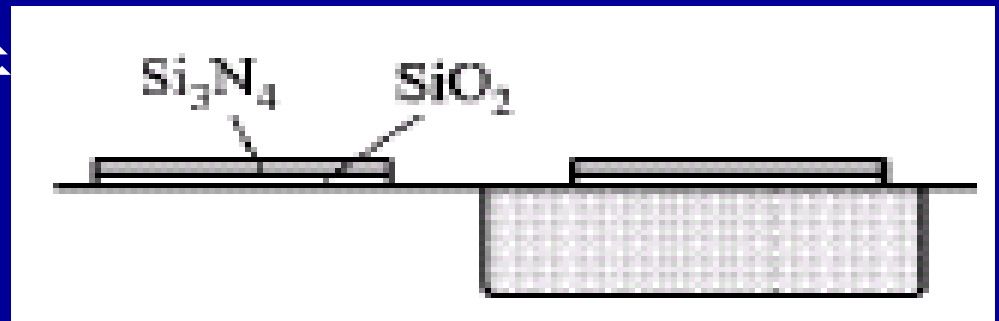
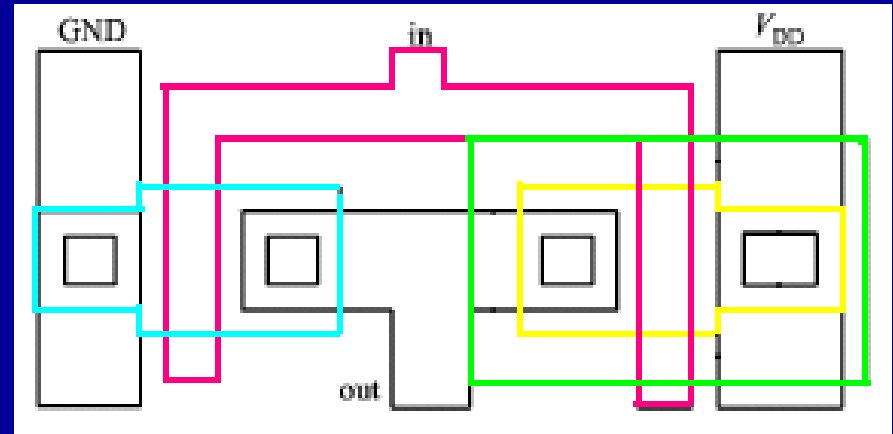


- P型硅晶片
- 一个芯片
- 第一步：N阱生成
  - 1、氧化
  - 2、光刻一：N阱光刻
  - 3、N阱掺杂



## 第二步：有源区的确定和场氧氧化

- 1、淀积氮化硅层：生成N阱后，首先去除掉硅表面的氧化层。然后重新生长一层薄氧化层，并淀积一层薄氮化硅
- 2、光刻二：场氧光刻，又称为有源区光刻。
- 3、氧化层生长

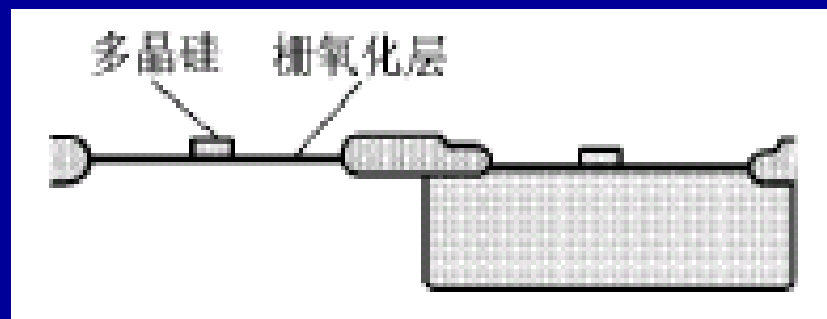
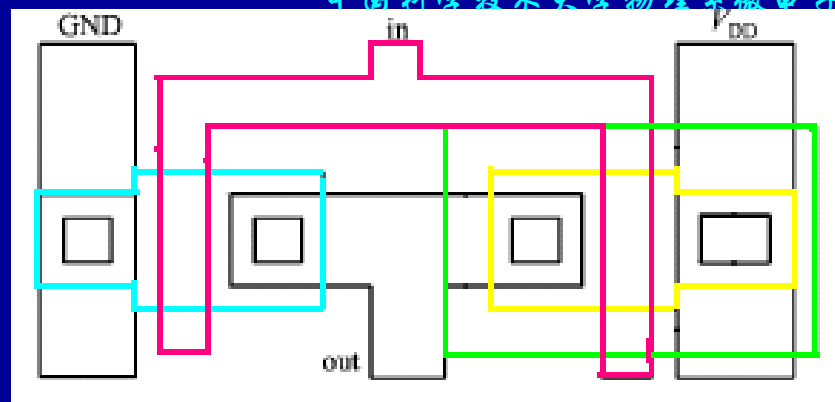


- 第三步：生长栅氧化层和生成多晶硅栅电极

- 1、生长栅氧化层：去除掉有源区上的氮化硅层及薄氧化层以后，生长一层作为栅氧化层的高质量薄氧化层

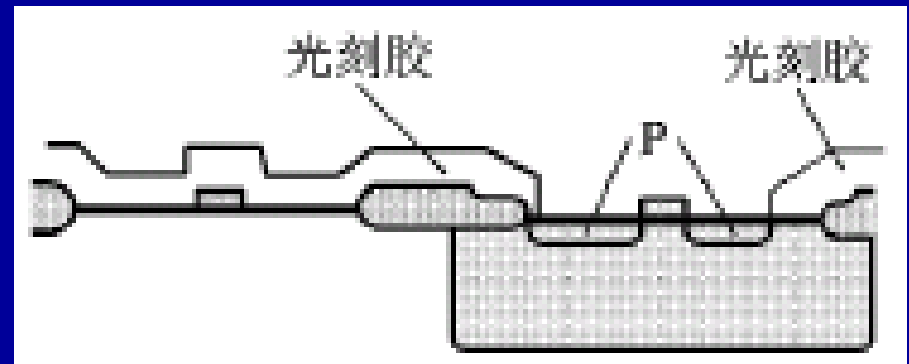
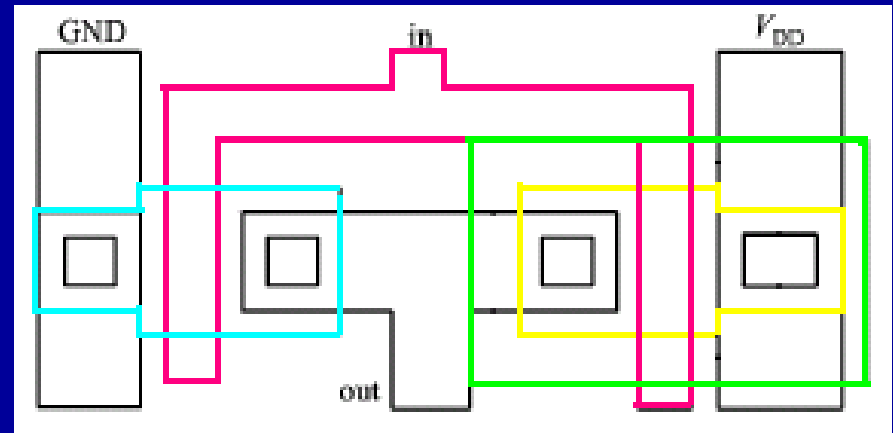
- 2、在栅氧化层上再淀积一层作为栅电极材料的多晶硅

- 3、光刻三：光刻多晶硅



## 第四步：形成P沟道 MOS晶体管

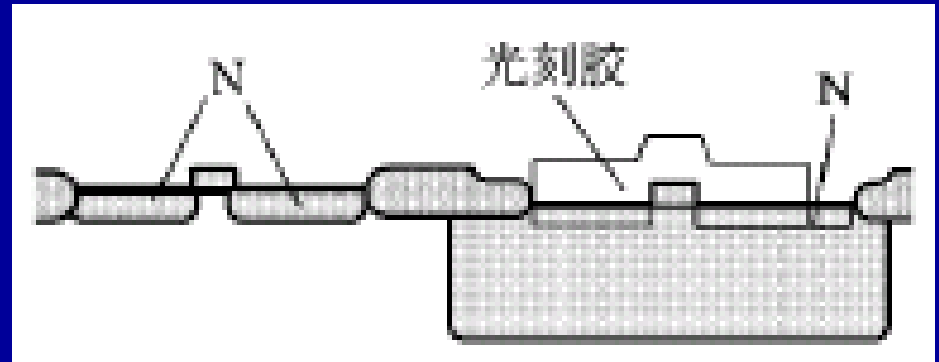
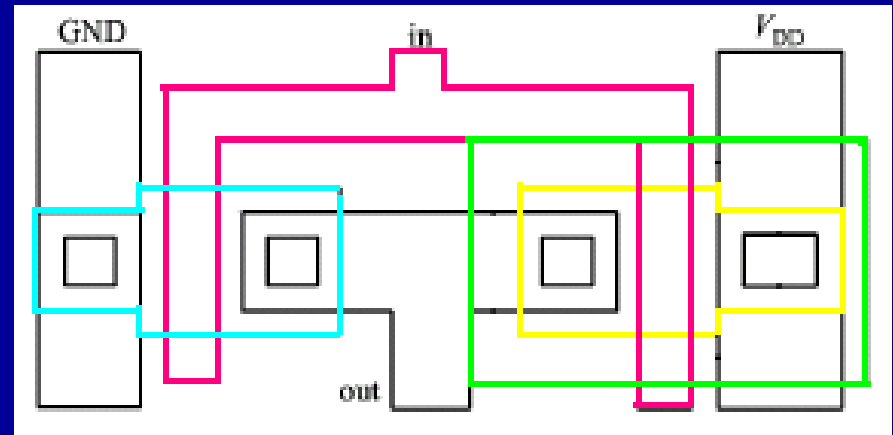
- 1、光刻四：P沟道  
MOS晶体管源漏光刻
- 2、P沟道源漏区掺杂



## 第五步：形成N沟道 MOS晶体管

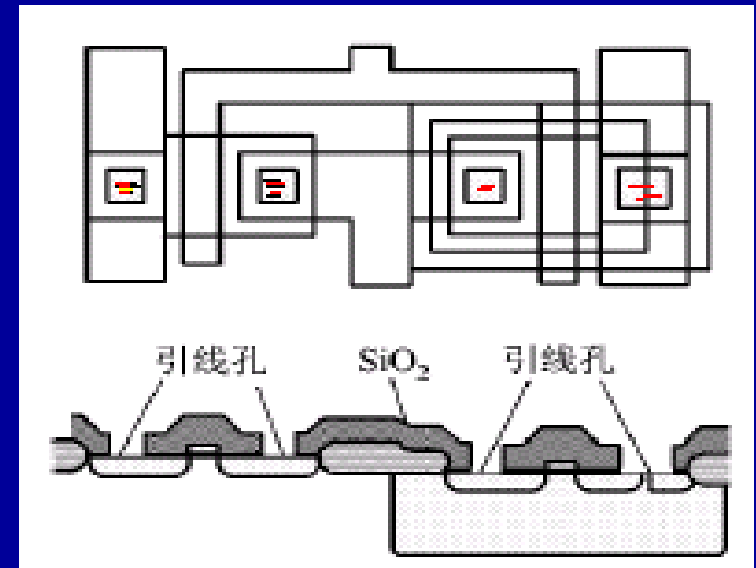
### 1、光刻五：N沟道 MOS晶体管源漏光刻

### 2、N沟道源漏区掺杂



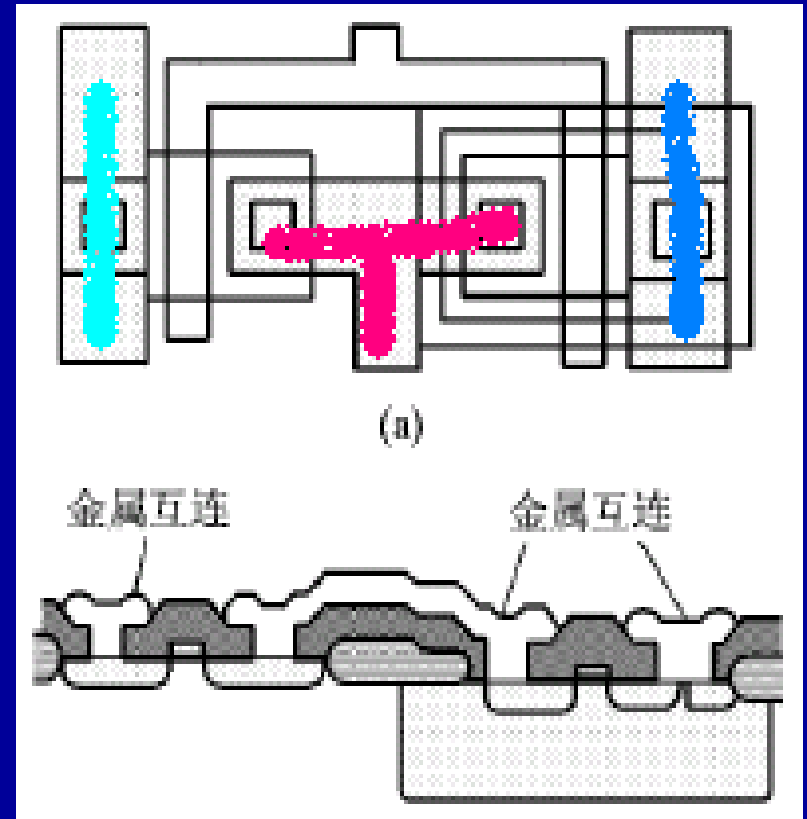
## 第六步：光刻引线接触孔

- 1、氧化：源漏掺杂后，去除掉表面的光刻胶和薄氧化层，重新生长一层厚氧化层。由于硅栅的保护作用，其下方的栅氧化层还保留，不会被腐蚀掉，起栅介质作用
- 2、光刻六：引线孔光刻。



## 第七步：光刻金属互连线

- 1、采用蒸发或者溅射工艺在晶片表面淀积金属化层
- 2、光刻七：互连线光刻。  
按照电路连接要求，生成互连线，完成管芯的制作。



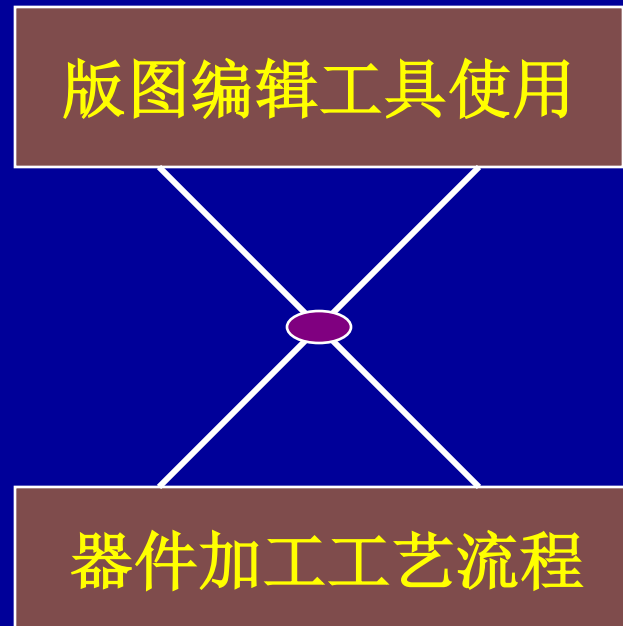
## 第八步：光刻钝化孔

与通常集成电路一样，为了保护管芯表面，提高使用可靠性，生成管芯后，在表面再淀积一层保护层，又称为钝化层

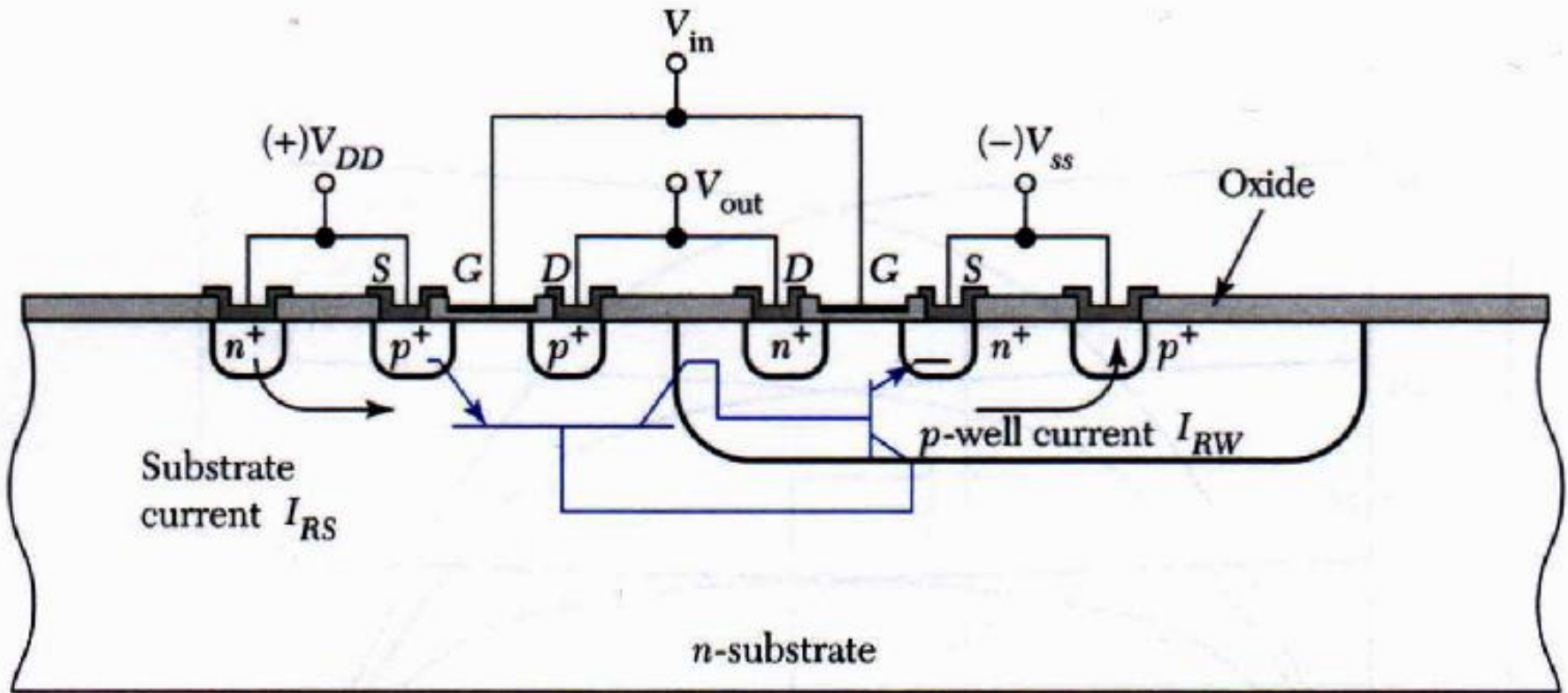
- 第九步：后工序加工



## 绘制反相器版图



# Latch-up 闩锁效应



The cause of latch-up is the action of the parasitic p-n-p-n diode, which consists of a lateral p-n-p and a vertical n-p-n bipolar transistors, in the well structure.

Semiconductor Devices



## § 5.7 MOSFET的温度特性

- 温度变化对MOSFET性能的影响主要是因沟道中载流子迁移率 ( $\mu_n$ ) 和阈值电压 ( $V_{GS(th)}$ ) 随温度变化而引起的。
- 迁移率和阈电压随温度的变化将影响器件的漏特性，亚阈特性以及MOSFET的跨导和导通电阻等参数。

## 1. 迁移率随温度的变化

- 实验发现，在MOSFET的反型层中，当表面感生电荷密度 $|Q_s/q| < 10^{12} \text{cm}^{-2}$ （相当于 $E_s = Q_s/\epsilon_0\epsilon_s \approx 10^5 \text{V/cm}$ ）条件下，电子和空穴的有效迁移率实际是常数，其数值等于半导体体内迁移率的一半。
- 实验还发现，此时迁移率随温度上升而呈下降趋势。在较高温下，反型层中的电子与空穴的迁移率  $\mu_{eff} \propto T^{-\frac{3}{2}}$  而在 $-55 \sim +150^\circ\text{C}$ 的较低温度范围  $\mu_{eff} \propto T^{-1}$  所以，器件因子 $\beta$  具有负温度系数。

## 2. 阈值电压和温度的关系

实验表明：在 $-55\sim+125^{\circ}\text{C}$ 的温度范围内，n沟及p沟器件的阈值电压都随温度线性变化。且n沟MOS器件具有负温度系数，p沟具有正温度系数。

## 3. MOSFET几个主要参数和温度的关系

$I_D$ 、 $g_m$ 、 $g_d$ 等

## § 5.8 MOSFET的短沟道效应

- 为提高MOSFET的性能和大规模集成电路的集成度, 往往都要求MOSFET的小型化, 这就出现了短沟道器件。当MOSFET的沟道长度小到可以与漏结及源结的耗尽层厚度相比拟时, 器件会出现一些不同于长沟道MOSFET特性的现象, 统称为短沟道效应。其根本原因在于沟道区出现二维电势分布以及高电场。

二维电势分布  $\longrightarrow$   $V_{GS(th)}$  漂移  
亚阈电流上升

强电场  $\longrightarrow \mu \downarrow \longrightarrow V_{sat}$

寄生双极晶体管效应      热载流子效应

沟道横向电场增大，沟道区载流子的迁移率变成与电场有关，最终发生速度饱和，跨导下降，或者沟道穿通出现空间电荷控制电流。当电场进一步增加时，在漏附近的耗尽区中发生雪崩倍增效应，从而引起衬底电流和寄生双极晶体管效应。强电场还会促使热载流子注入到氧化层内。导致氧化层充电，并使阈电压移动和跨导变差。

在短沟道器件中，沟道区的电势分布既与栅压（及衬底偏压）决定的纵向电场 $E_x$ 有关，也与漏源电压控制的横向电场 $E_y$ 有关。也就是说，MOSFET基本理论中使用的“缓变沟道近似”不再成立。这种二维电势分布导致亚阈特性退化、使阈电压与沟道长度和偏压有关，并且使饱和区特性因穿通而无法实现。

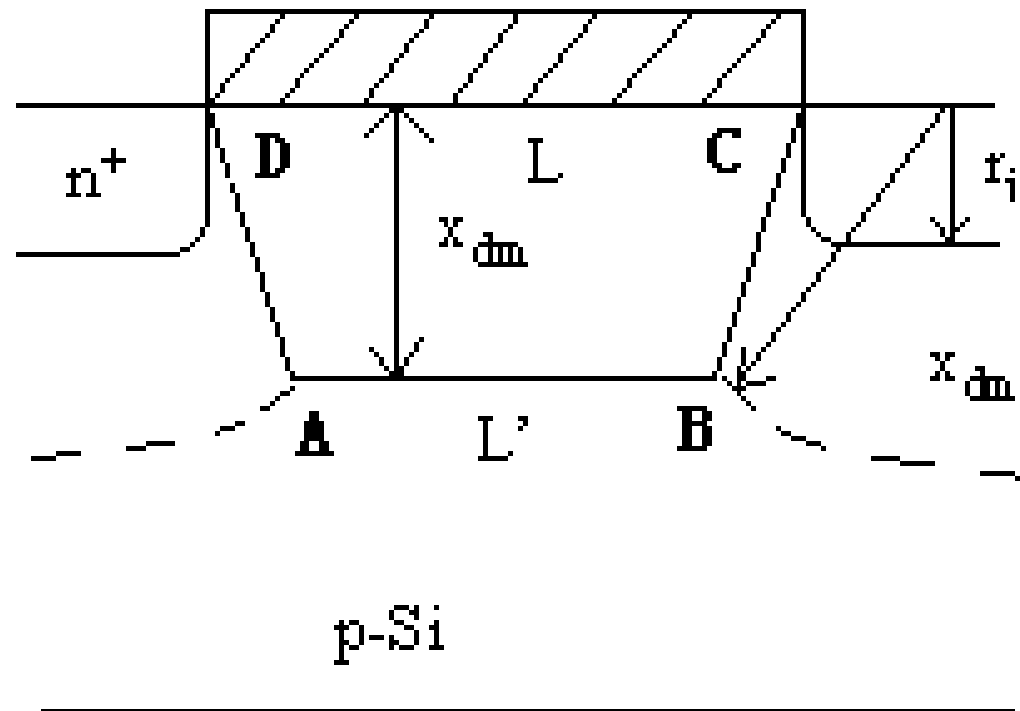


- 当器件沟道长度缩短，将出现一系列问题：
  - (1) 阈值电压随 $L$ 的减小而下降
  - (2) 发生漂移速度饱和，跨导下降；引起衬底电流和寄生双极晶体管效应。强电场还会促使热载流子注入到氧化层内。导致氧化层充电，并使阈电压移动和跨导变差。
  - (3) 弱反型时的漏电流随 $L$ 减小而增加，并出现夹不断情况。这些偏离长沟道器件特性的种种现象总称为短沟道效应。

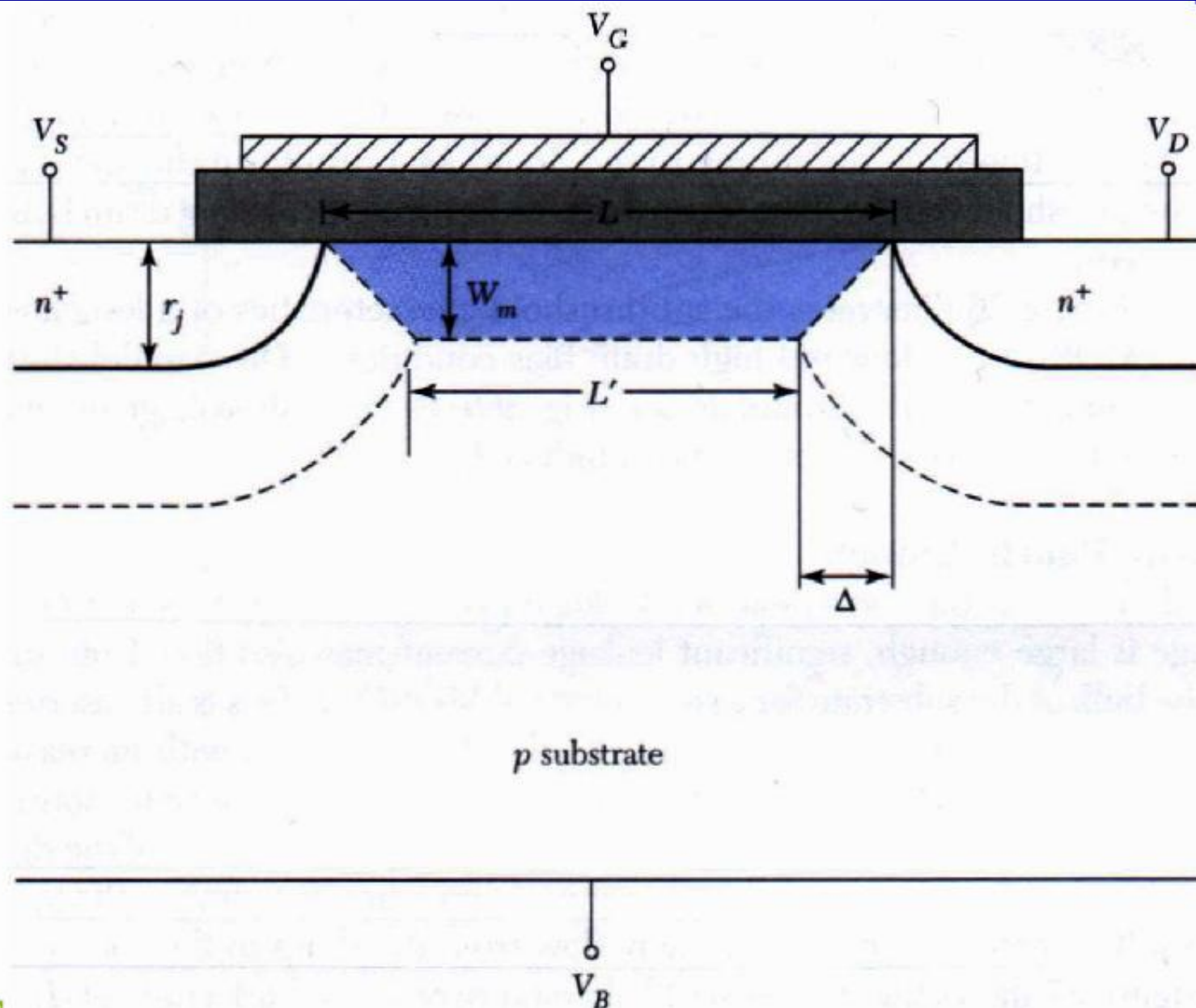
# 1、阈值电压的变化

## (1)短沟道效应(SCE)

- 分析短沟道器件中阈值电压漂移采用Poon—Yau几何模型：在沟道缩短后，由于漏衬结和源衬结的耗尽区靠得很近，受栅压控制的空间电荷区将由原来的矩形区变为梯形区，梯形区以外的空间电荷区不受栅极控制，受栅极控制的栅下空间电荷总量减小。



## 电荷共享模型说明



- 考虑漏源边缘效应时，短沟道器件阈值电压表达式

$$V_{GS(th)} = V_{FB} + 2\phi_B - \frac{Q_{B\max}}{C_{OX}} \left\{ 1 - \frac{r_j}{L} \left[ \left( 1 + \frac{2x_{dm}}{r_j} \right)^{\frac{1}{2}} - 1 \right] \right\}$$

- 由此得到由于漏源边缘效应引起的阈值电压漂移量

$$\Delta V_{GS(th)} = -\frac{Q_{B\max}}{C_{OX}} \left[ \left( 1 + \frac{2x_{dm}}{r_j} \right)^{\frac{1}{2}} - 1 \right] \cdot \frac{r_j}{L}$$

- Poon—Yau模型适用于沟道效应较弱情况，而在沟道效应较显著时应采用二维方法求解。

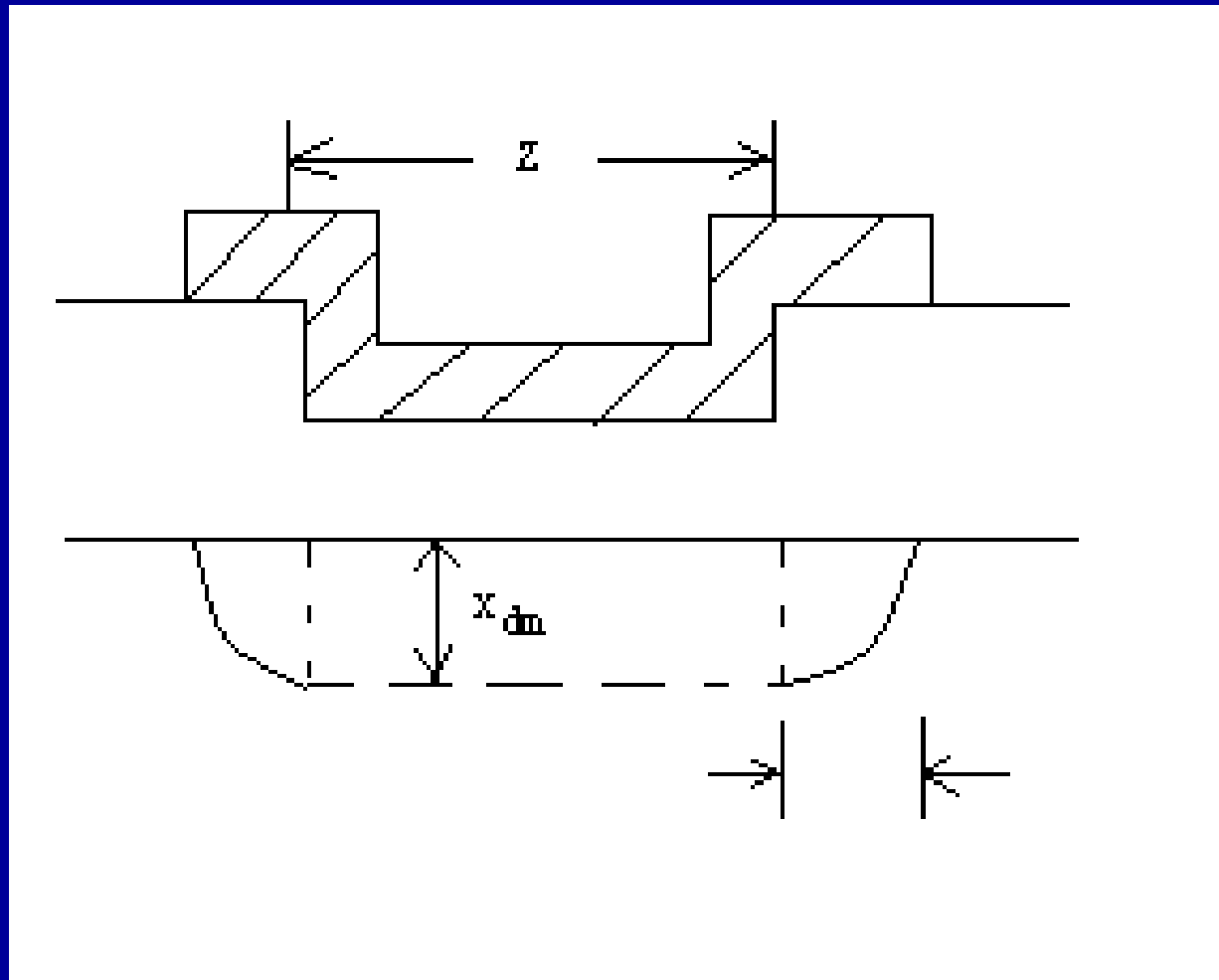
## (2)窄沟道效应（NWE）

- 在实际MOS器件中，在沟道宽度方向的两端耗尽层将向两侧延伸延伸部分长 $\alpha x_d$ ，造成在厚场氧化层与薄栅氧化层过渡区形成类似“鸟嘴”结构。
- 考虑沟道宽度方向的边缘效应后的阈值电压表达式

$$V_{GS(th)} = V_{FB} + 2\phi_B - \frac{Q_{B\max}}{C_{OX}} \left(1 + \frac{\alpha x_{d\max}}{Z}\right)$$

- 由于沟道变窄后，使栅下可控空间电荷增多，平均电荷面密度增大，因而阈值电压上升。

# 阈值电压的变化



## 2、速度饱和效应对漏特性及跨导的影响

考虑到沟道电场很强，沟道载流子漂移速度达到饱和时，漏特性及跨导表达式有所变化：

长沟道器件

$$I_{DSS} = \frac{Z}{2L} \mu_n C_{OX} (V_{GS} - V_{GS(th)})^2$$

$$g_m = \beta(V_{GS} - V_{GS(th)})$$

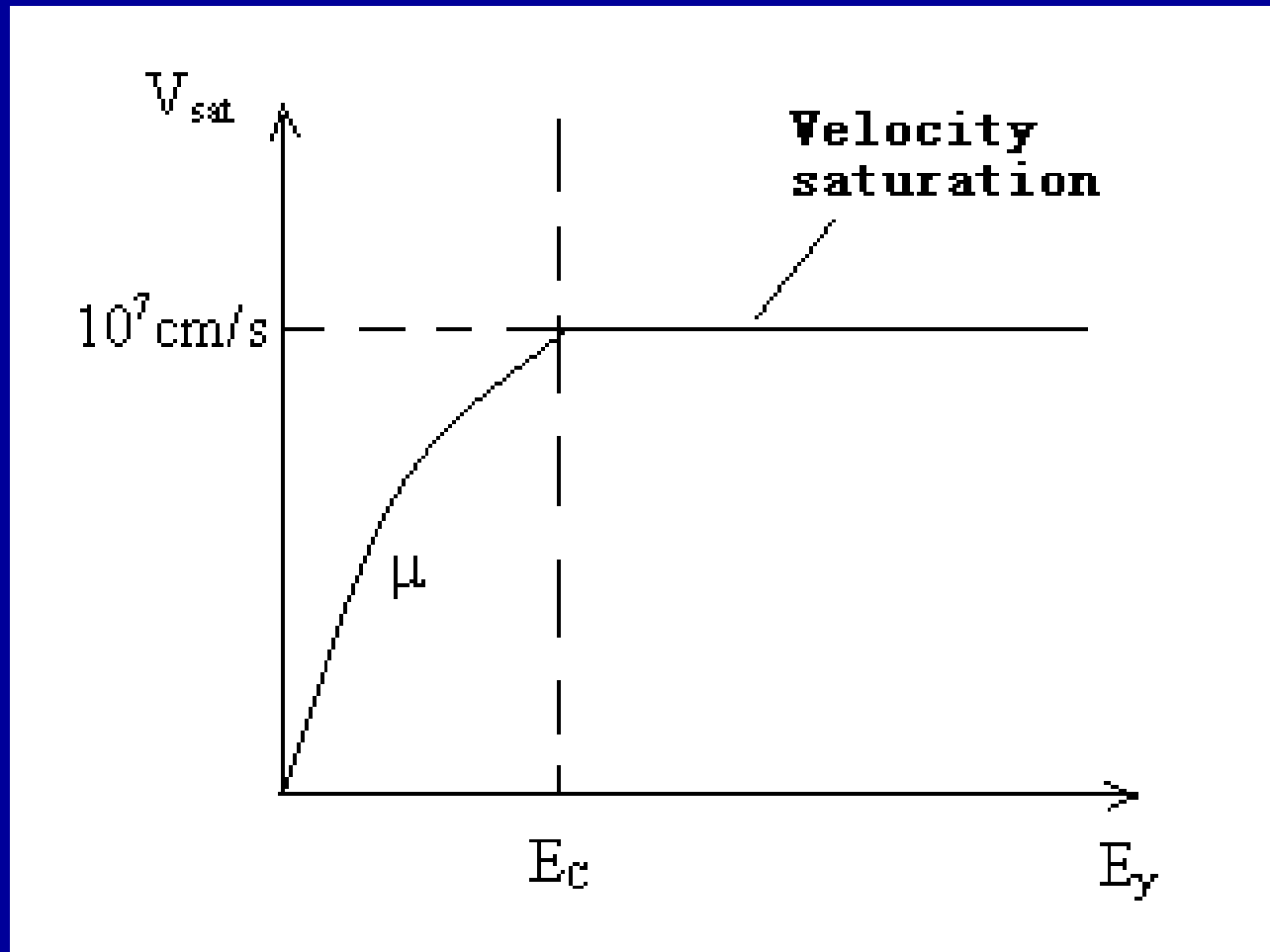
速度饱和效应

$$I_{DSat} = ZC_{OX} v_{SL} (V_{GS} - V_{GS(th)})$$

$$g_m = ZC_{ox} v_{SL}$$



# 迁移率、速度模型



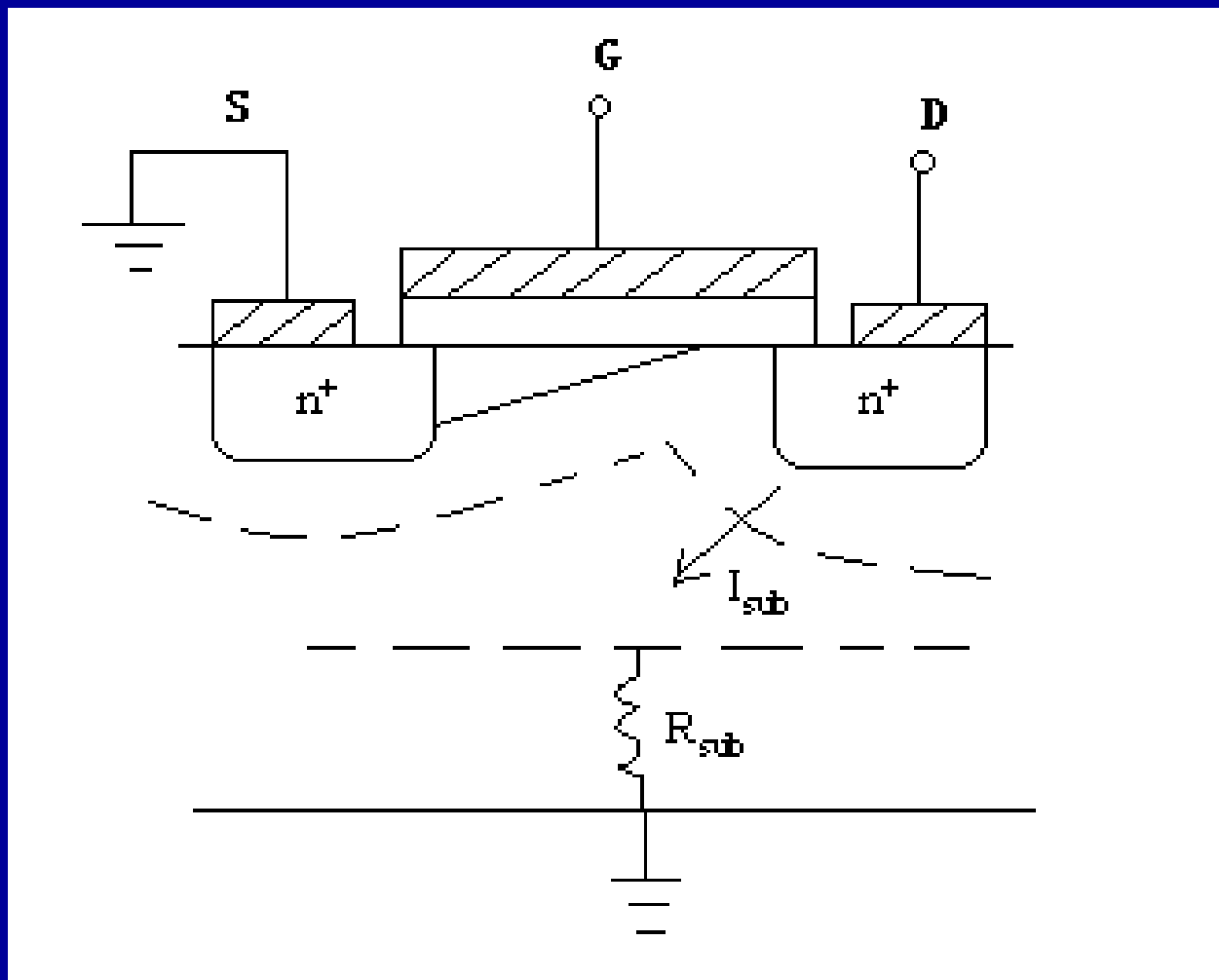
### 3、热电子效应

- 当电子在大于 $10^4\text{V/cm}$ 的电场下运动时,它从电场获得的能量大于散射过程中与晶格原子碰撞损失的能量,因而电子的温度将会超过晶格温度,这样的电子就称为热电子。强场下产生的这种热电子效应将从两个方面影响短沟道MOSFET的性能: ①热电子及其产生的二次电子进入栅氧化层,造成阈值电压漂移等不稳定性; ②热电子引起的碰撞电离,将产生衬底电流,导致寄生三极管作用(也称为自锁现象),从而使漏击穿电压降低。
- 在短沟道器件中,为了避免短沟道效应,总是取相当高的衬底掺杂浓度。而较高的衬底掺杂浓度将导致较高的沟道电场,这就加剧了热电子效应。漏区的结深越浅,曲率半径越小,则漏区附近的电场越强,热电子效应愈加明显。所以,器件的物理、几何结构也对热电子效应产生显著影响。

- 氧化层充电效应：对于短沟道MOSFET，在较低栅压下就可能产生很强的沟道电场或耗尽区电场。例如， $L=0.24\mu\text{m}$ 的器件，在 $V_{\text{DS}}=3\text{V}$ 时，沟道中的电场强度已达到 $1.2\times 10^5\text{V/cm}$ ，足以产生大量的热电子。这种具有足够能量的热电子能够克服Si-SiO<sub>2</sub>表面势垒而注入到栅氧化层中去，成为氧化层中的陷阱电荷，从而影响MOSFET的性能。
- 除了沟道热电子以外，在沟道与衬底间的耗尽区内或衬底中性区的某些电子（衬底热电子）以及漏端附近夹断区内的热电子也会热激发而进入栅氧化层。
- 氧化层中负电荷的增加将使阈值电压增加。在栅压小于阈值电压时，由于界面的陷阱电荷的影响，亚阈值电流将明显地增大。对于长时间工作的器件，栅氧化层中热电子电荷的连续积累，严重地影响器件性能。特别是限制了短沟道MOSFET的最大可用漏电压。为了减小热电子效应对器件性能的影响，要求最大限度地减少栅氧化层的陷阱密度。去离子水、氧化层生长及光刻工艺等都可能引进陷阱密度，工艺的改进将会使陷阱密度控制在 $10^{10}\text{cm}^{-2}$ 的数量级。

- 热电子通过碰撞电离产生次级电子空穴对，电子流入漏极，形成漏电流；而空穴将流入衬底，将产生衬底电流，当较大的衬底电流通过衬底时，会在衬底上产生电压降，由于MOSFET的源通常接地，则将 $V_{BS}$ 直接加到源衬pn结上，并使源区电位比衬底电位低 $V_{BS}$ ，使源衬结处于正向偏置状态。这时，在漏衬源之间，由正偏源衬结（n<sup>+</sup>p）和反偏漏衬结（n<sup>+</sup>p）组成一个寄生的n<sup>+</sup>pn<sup>+</sup>晶体管，这个寄生三极管与MOSFET并联。这种复合结构是大多数短沟MOSFET导致漏源击穿的原因，并且会引起IV曲线的回滞现象。在CMOS电路中，则会导致闩锁效应。
- 进入栅氧化层中的热电子大多数将被栅极收集，形成栅极电流。栅氧化层中热电子电荷的连续积累，器件性能将会退化。主要表现在阈值电压漂移、跨导降低、亚阈值斜率增加等。
- 热电子退化对MOSFET的可靠性构成威胁，必须尽可能避免。因此漏区结构设计中让漏区承受一部分电压。如轻掺杂漏结构LDD，即在有效沟道和重掺杂的漏接触之间增加一个高阻区。

# 寄生双极晶体管效应



Semiconductor Devices

## § 5.9 MOSFET的器件小型化

由于短沟道效应使器件的工作情况复杂化并使器件性能变坏。因此，应该讨论短沟道效应的机理，以设法消除或减小这种效应，从而使几何上的短沟道器件能够保持“电学上”的长沟道特性。

### 1. 长沟道器件的最小沟道长度限制

- 为了防止短沟道效应，必须了解长沟道特性消失的最小沟道长度限制。标志长沟道特性有两方面：  
一是当 $V_{DS} > 3kT/q$ 后，弱反型漏电流 $I_D$ 与 $V_{DS}$ 无关；  
二是漏电流 $I_D$ 与 $1/L$ 成正比。
- 按上述标准，我们确定在漏电流 $I_D$ 随 $1/L$ 增加而上升的过程中，当 $I_D$ 增大到偏离 $I_D \propto 1/L$ 的线性关系10%的沟道长度为最小沟道长度 $L_{min}$ ；或规定 $\Delta I_D / I_D$ 增加10%时的沟道长度为 $L_{min}$ ，

- 经过研究表明，具有长沟道特性的最小沟道长度：

$$L_{\min} = 0.4[r_j \cdot d(X_S + X_D)^2]^{\frac{1}{3}} \equiv 0.4(\gamma)^{\frac{1}{3}}$$

- 式中， $\gamma = r_j d(X_S + X_D)^2$ ， $r_j$ 表示漏源结深， $(X_S + X_D)$ 表示漏源耗尽层总宽度，它们的单位均为 $\mu\text{m}$ ，氧化层厚度 $d$ 单位为 $\text{\AA}$ 。
- 上式可作为MOS器件小型化的指南。

## 2. 器件小型化规则

- 按比例缩小MOSFET。为了避免不希望发生的短沟道效应所采取的一种措施是：按比例缩小长沟道MOSFET的纵向和横向的所有尺寸以及外加偏压，且保持器件内部的电场分布和强度不变，则器件仍维持长沟道特性。这一措施为器件小型化提供了一幅概念上十分简单的图象。
- 恒定电场规则（CE）：按比例缩小的方法保持沟道电场不变  $L$ 、 $Z$ 、 $d_{ox}$ 、 $x_j$ 、 $V_{GS}$ 、 $V_{DS}$ 、 $V_{BS}$ 、衬底掺杂浓度等
- 恒定电压规则（CV）：按比例缩小的方法保持沟道电压不变



- 但是，尺寸的缩小原则也受到很多方面的限制。例如，在物理参数方面，禁带宽度随掺杂浓度的变化，耗尽层宽度的下降也有一定限度；对器件设计来说，结深很浅的源漏区增加了器件的寄生电阻，细金属化内连线也将发生电迁移现象，以及几何尺寸的减小会引起阈电压的增大，所以这些都将影响器件的特性，在制造工艺上也增加了难度。
- 为了寻找更灵活的按比例缩小措施，可以应用最小沟道长度的表达式。当 $L_{\min}$ 给定时， $\gamma$ 值就可以求出。只要 $\gamma$ 值保持相同，各种器件参数允许独立调节。因此，全部器件参数无需按相同的倍率 $\alpha$ 增减。有了这种灵活性后，就允许设计者选择较易制造的最优化的几何图形，而不选择严格按比例缩小的几何图形。

### 3. 短沟道高性能器件结构举例

#### (1) 双注入HMOSFET

器件是在低掺杂P—衬底上进行两次离子注入制作的。浅注入P1区的作用是提高表面浓度以控制阈值电压 $V_{GS(th)}$ ，深注入P2区是用来控制器件的穿通电压。由于离子注入表面区足够浅，在工作状态下，漏结耗尽区仍然深入到低掺杂衬底，因而可以减小漏电容。用离子注入法制得的HMOSFET，虽然沟道长度很短，但短沟道效应却可以减到最小。

## (2) 双扩散MOSFET (DMOSFET)

- 器件的沟道长度是在n-层上，由沟道区硼扩散和漏源区磷扩散，或由两次离子注入所限定。沟道长度为两次杂质分布结深之差，沟道杂质分布是由两次扩散形成的非均匀分布，杂质从漏结到源结逐渐增高，靠近源结杂质浓度最高。因而，器件的阈值电压由最大杂质浓度 $N_{Amax}$ 决定。
- 现在已大量采用双离子注入法，控制沟道最大杂质浓度，以精确控制阈值电压。用双离子注入制作的MOS器件称为DI MOSFET。