

# 第四章： 单极型器件

§ 4.1 金属半导体接触

§ 4.2 肖特基势垒二极管SBD

§ 4.3 欧姆接触

§ 4.4 结型场效应晶体管JFET

§ 4.5 肖特基栅场效应晶体管MESFET

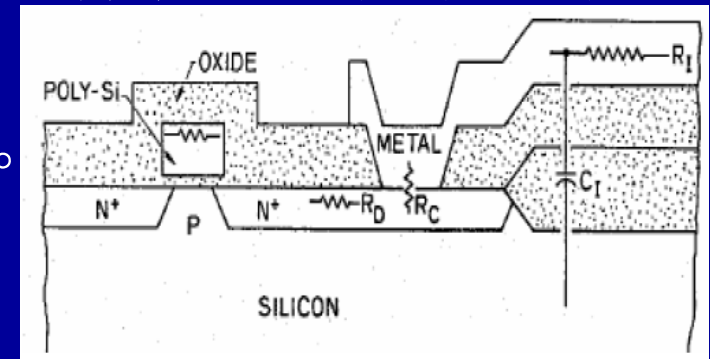
§ 4.6 异质结MESFET

# 简介

- 单极型器件是指基本上只有一种类型的载流子参与导电过程的半导体器件。
- 主要讨论以下五种类型的单极型器件：
  1. 金属半导体接触(M/S SBD);
  2. 结型场效应晶体管 (JFET) ;
  3. 金半(肖特基栅)场效应晶体管 ( MESFET) ;
  4. 金属氧化物半导体二极管(MOS Diode);
  5. 金属氧化物半导体场效应晶体管 (MOSFET)

## § 4.1 金属半导体接触

- 第一个实用的半导体器件是由金属半导体点接触形成的整流器，是一根金属触须压在半导体表面上构成的，这种半导体器件从1904年开始已经得到很多应用。
- 金属半导体接触的形成：  
金属/半导体接触结构通常是通过在干净的半导体表面淀积金属而形成。利用金属硅化物（**Silicide**）技术可以优化和减小接触电阻，有助于形成低电阻欧姆接触。
- 目前使用平面工艺制作面接触。



# 1、金半接触的类型

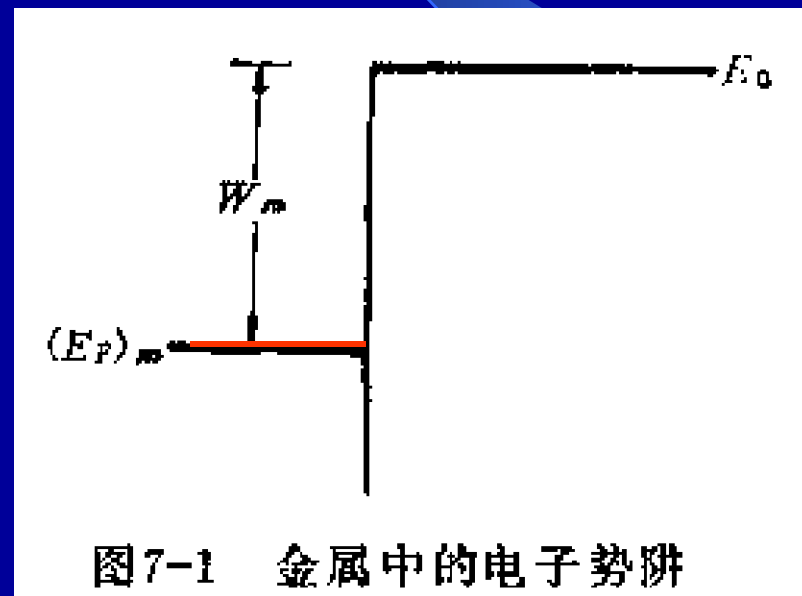
- 金属半导体接触分为：  
具有整流作用的肖特基结和非整流作用的欧姆结。
- 肖特基结：又称为肖特基势垒接触。1938年，肖特基提出，半导体内稳定的空间电荷形成的势垒可能有整流作用。由此产生的势垒模型就是所谓肖特基势垒。金属半导体形成的具有整流效应的结称为肖特基结。
- 欧姆结：又称为欧姆接触。  
金属半导体接触也可能是非整流性的，即不管所加电压极性如何，接触电阻均可忽略，这种金属半导体接触称为欧姆接触。为实现电子系统中的相互连接，所有半导体器件和集成电路都必须有欧姆接触。

## 2、能带关系

- 金属和半导体接触时，由于金属的功函数一般和半导体的功函数不同，而存在接触电势差，结果在接触界面附近形成势垒，通常称为肖特基势垒。
- 功函数是费米能级和真空能级的能量差（即对于金属为 $q\phi_m$ ，对于半导体为 $q\phi_s$ ）。
- 半导体导带底和真空能级能量差称为电子亲和能 $q\chi$ 。
- 金属半导体的接触势垒是指电子从金属进入半导体必须克服的势垒的高度。

# ★ 金属和半导体的功函数

- 功函数:  $\phi = E_{\text{VAC}} - E_F$ ,  
( $E_{\text{VAC}}$  --真空中静止电子的能量,亦记作 $E_0$ )
- 功函数给出了固体中 $E_F$ 处的电子逃逸到真空所需的最小能量.



# 金属功函数 $\phi$

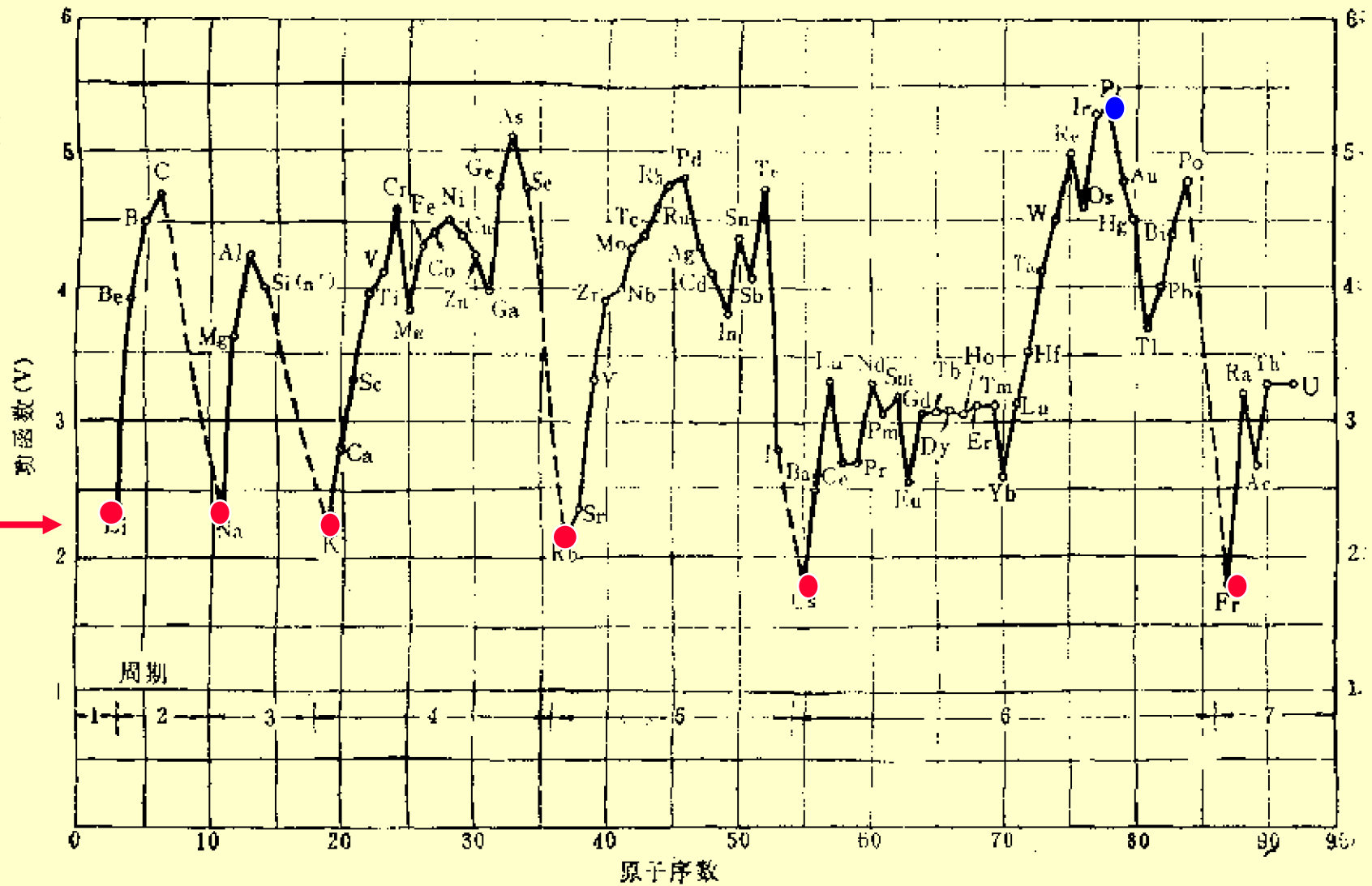


图7-2 真空中清洁表面的金属功函数与原子序数的关系

- 关于功函数的几点说明:

① 对金属而言, 功函数 $W_m$ 可看作是固定的. 功函数 $W_m$ 标志了电子在金属中被束缚的程度.

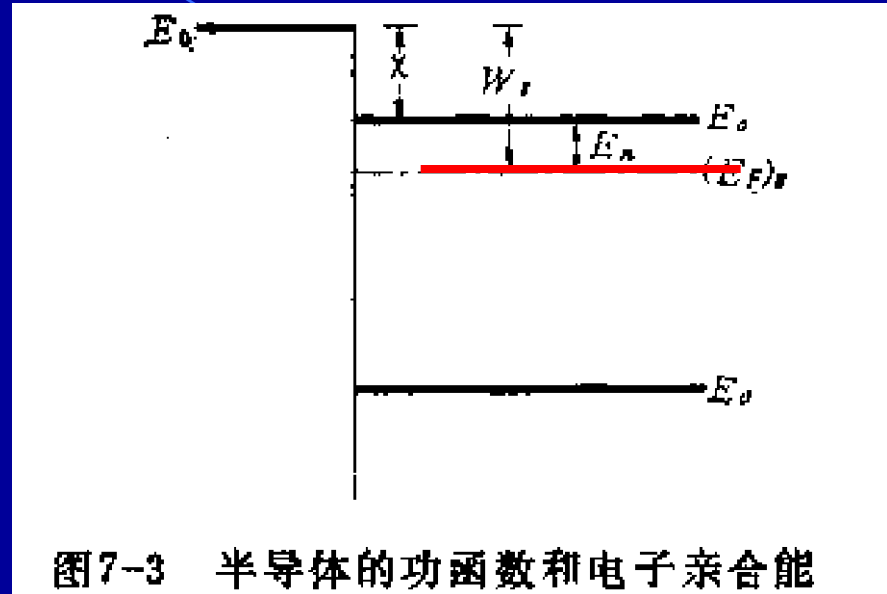
对半导体而言, 功函数与掺杂有关

② 功函数与表面有关.

③ 功函数是一个统计物理量



- 对半导体, 电子亲和能 $\chi$  是固定的, 功函数与掺杂有关

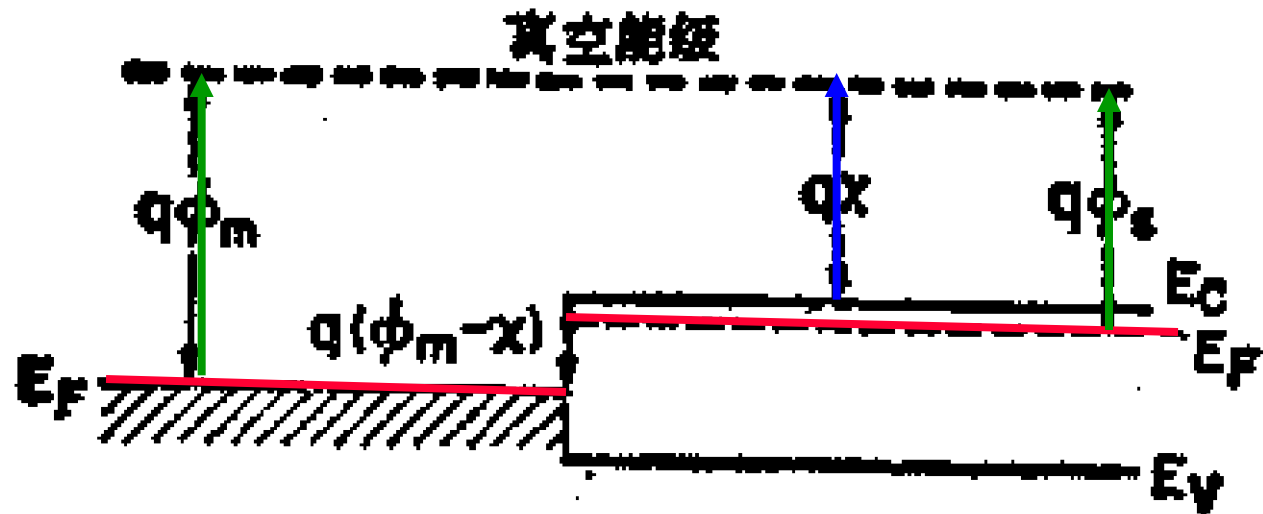


- 半导体功函数与杂质浓度的关系
  - ◆ n型半导体:  $W_s = \chi + (E_C - E_F)$
  - ◆ p型半导体:  $W_s = \chi + [E_g - (E_F - E_V)]$

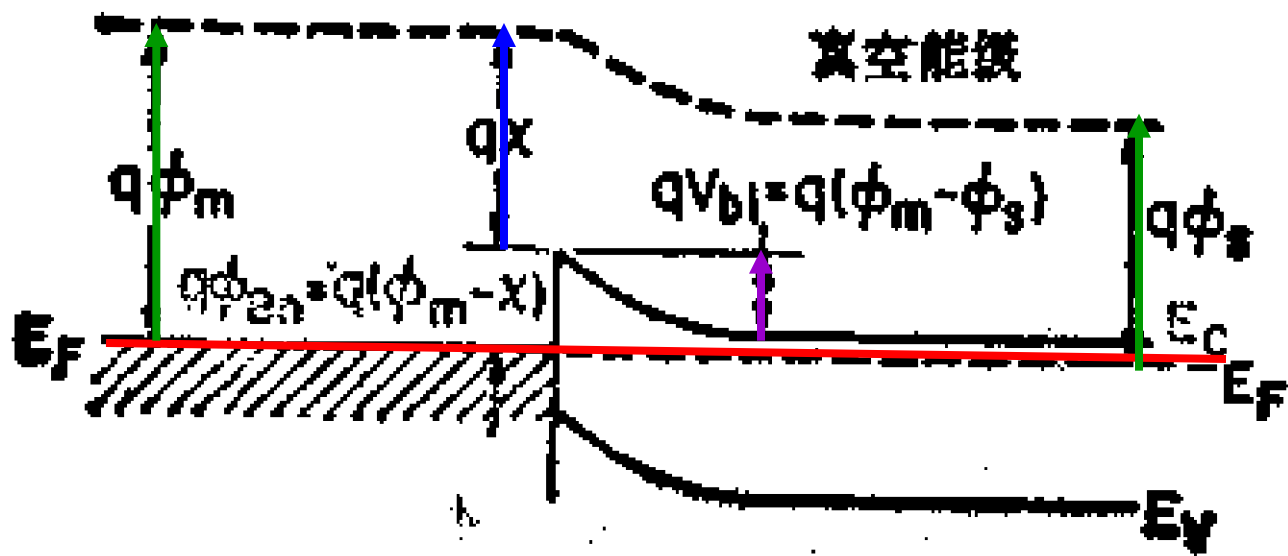
# 热平衡情形下M/S接触的能带图

- 假设金属与半导体功函数差为： $\phi_{ms}$ ，且一般情况下不为0。
- 当金属和半导体形成接触时，如果二者的功函数不同（费米能级不等），则会发生载流子浓度和电势的再分布，形成肖特基势垒。通常会出现电子从功函数小（费米能级高）的材料流向功函数大的材料，直到两材料体内各点的费米能级相同（即 $E_f = \text{常数}$ ）为止。半导体体内载流子的再分布会形成载流子耗尽或积累，并在耗尽区或积累区发生能带弯曲，而在金属体内的载流子浓度和能带基本没有变化。

接触前



接触后



### 3、金属半导体的接触电势差

❖ 一种典型情况:

讨论M/n型半导体

① 接触电势差--为了补偿两者功函数之差, 金属与半导体之间产生电势差:

$$V_{ms} = (W_s - W_m) / e$$

◆ 当  $W_m > W_s$ ,  $V_{ms} < 0$  (金属一边低电势)

(阻挡层)

◆ 通常可认为接触电势差全部降落于空间电荷区.

②半导体一边的势垒高度:

$$V_D = |V_{ms}|$$

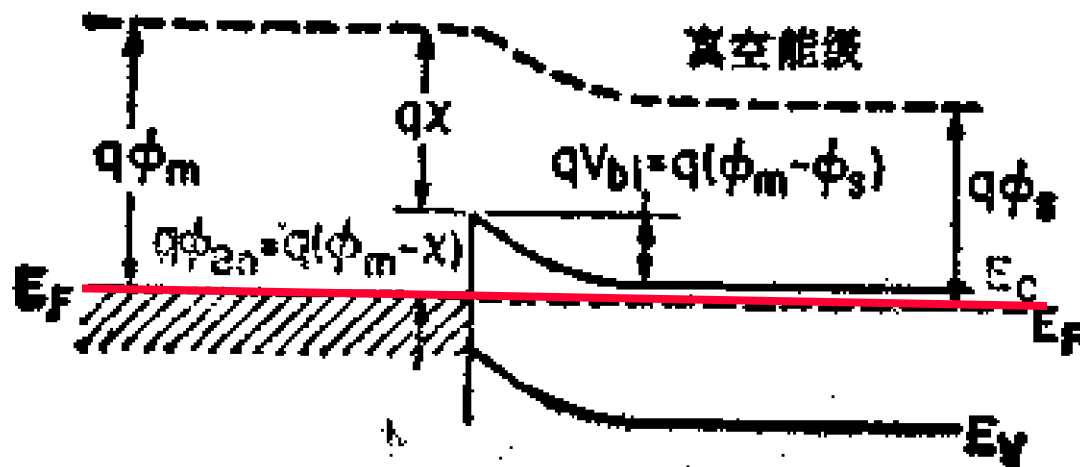
③表面势—半导体表面相对于体内的电势

$$V_s = V_{ms}$$

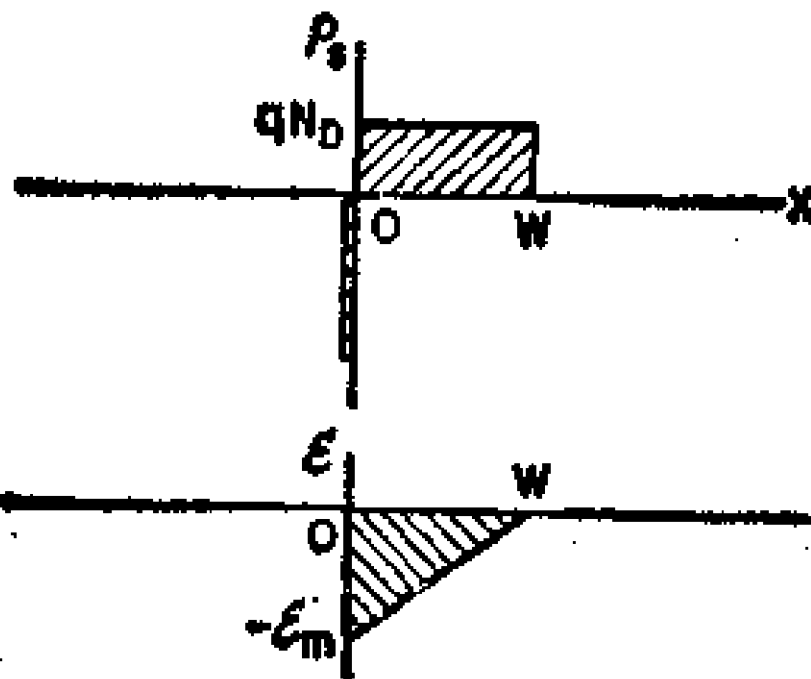
④金属一边的势垒高度(肖特基势垒--SB):

$$e\Phi_{SB} = e\Phi_{ns} = W_m - \chi$$

◆ 常常选择 $\Phi_{SB}$ 为描述金属/半导体接触势垒的基本物理量( $\Phi_{SB}$ 几乎与外加电压无关)



能带



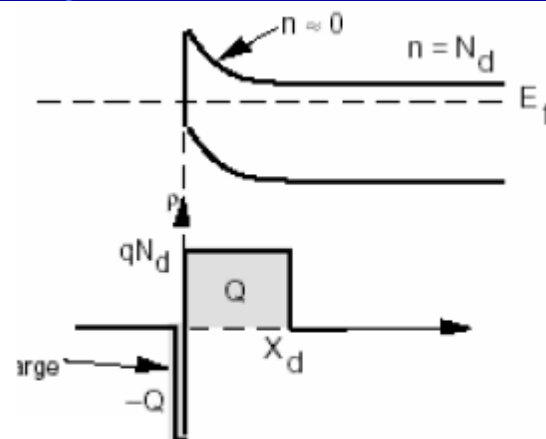
电荷分布

电场分布

# 金属半导体接触的电势分布和 Poisson 方程

为简单起见, 做以下假设 (耗尽近似):

- 1) 忽略空穴浓度,  $p=0$
- 2) 在  $x=0$  到  $x=x_d$  的半导体表面势的范围内,  $n=0$  (耗尽近似)
- 3) 当  $x>x_d$  时,  $n=N_d$  (完全电离)
- 4) 在空间电荷区总电荷为  $Q=qN_d x_d A$



$$\frac{d^2\psi}{dx^2} = -\frac{d\xi}{dx} = \frac{q}{\epsilon_{Si}} [(n-p) - (N_d - N_a)] \approx -\frac{q}{\epsilon_{Si}} N_d$$

从任意点  $x$  到  $x=x_d$  积分得:

在  $x=0$  处, 电场  $\xi$  取最大值, 为:

$$\xi(x) = -\frac{qN_d}{\epsilon_{Si}} (x_d - x)$$

$$\xi_{\max} = -\frac{qN_d}{\epsilon_{Si}} x_d$$

从  $x$  到  $x_d$  再次积分得:  $\psi(x) = -\frac{qN_d}{2\epsilon_{Si}} (x_d - x)^2$

金属和半导体接触在半导体表面形成的表面势为：

$$\phi_i = \phi_M - \phi_S = \psi(0) = \frac{1}{2} \frac{qN_d}{\epsilon_{Si}} x_d^2$$

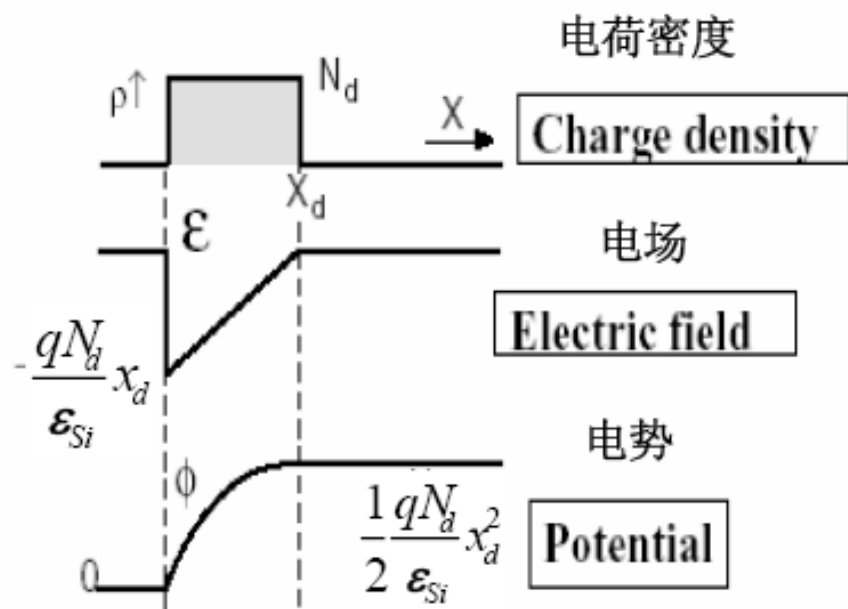
耗尽层厚度与表面势的关系满足：

$$x_d = \sqrt{\frac{2\epsilon_{Si}\phi_i}{qN_d}}$$

耗尽层电荷量为：

$$Q = qAx_dN_d = A\sqrt{2q\epsilon_{Si}N_d\phi_i}$$

其中A为半导体耗尽区横截面积



等同于PN结的单边突变结的结果



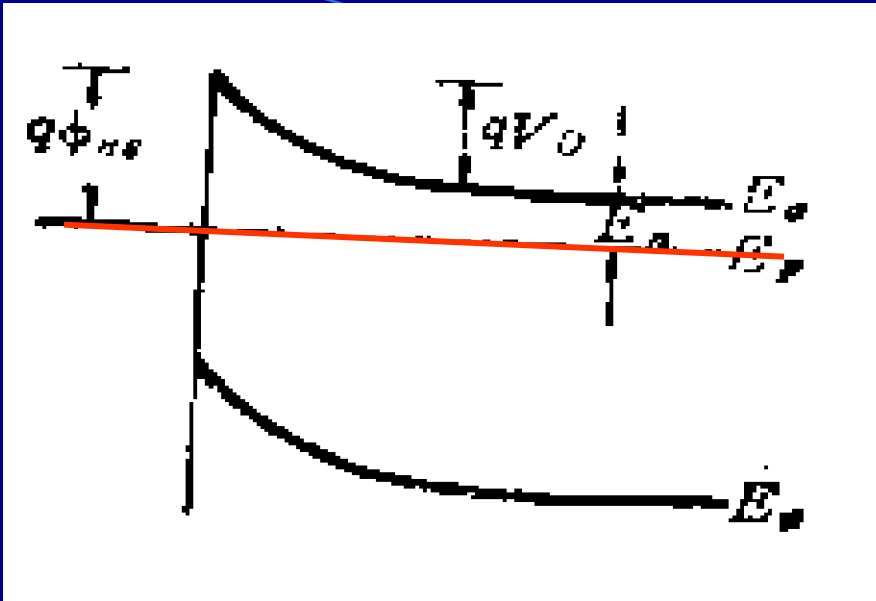
## 4、金属半导体接触的几种情况

- 对M / n型半导体:

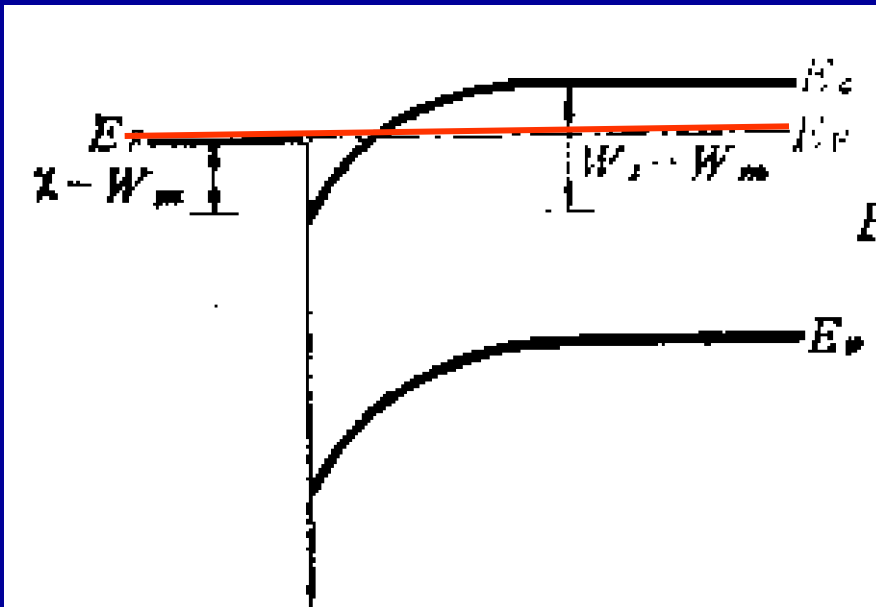
- ◆  $W_m > W_s$  能带向上弯--电子势垒  
空间电荷—电离施主

- ◆  $W_m < W_s$  能带向下弯--电子势阱  
空间电荷—电子积累

势垒—阻挡层, 势阱—反阻挡层



$W_m > W_s$   
电子势垒



$W_m < W_s$   
电子势阱

- 对M / p型半导体:

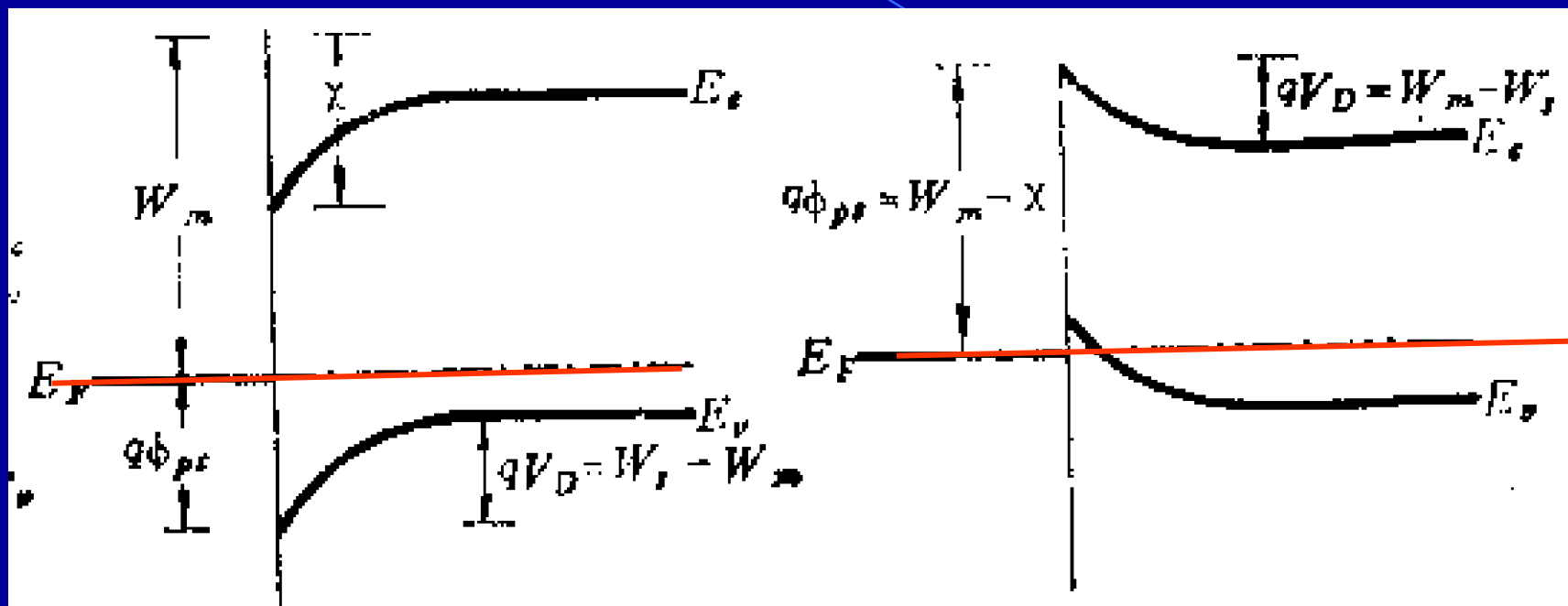
- ◆  $W_m > W_s$  能带上弯--空穴势阱

- 空间电荷—空穴积累

- ◆  $W_m < W_s$  能带下弯--空穴势垒

- 空间电荷—电离受主

- 势垒—阻挡层, 势阱—反阻挡层



$W_m < W_s$   
空穴势垒

$W_m > W_s$   
空穴势阱

# ★ 金属半导体接触的势垒高度

- 当金属与半导体形成紧密接触时，在热平衡下两种材料的费米能级必须相等。此外，真空能级必须是连续的。
- 对于这种理想的情况，势垒高度 $q\phi_{Bn}$ 就是金属功函数和半导体电子亲和能之差。对于理想的金属分别与N型、P型半导体接触，其势垒高度为：

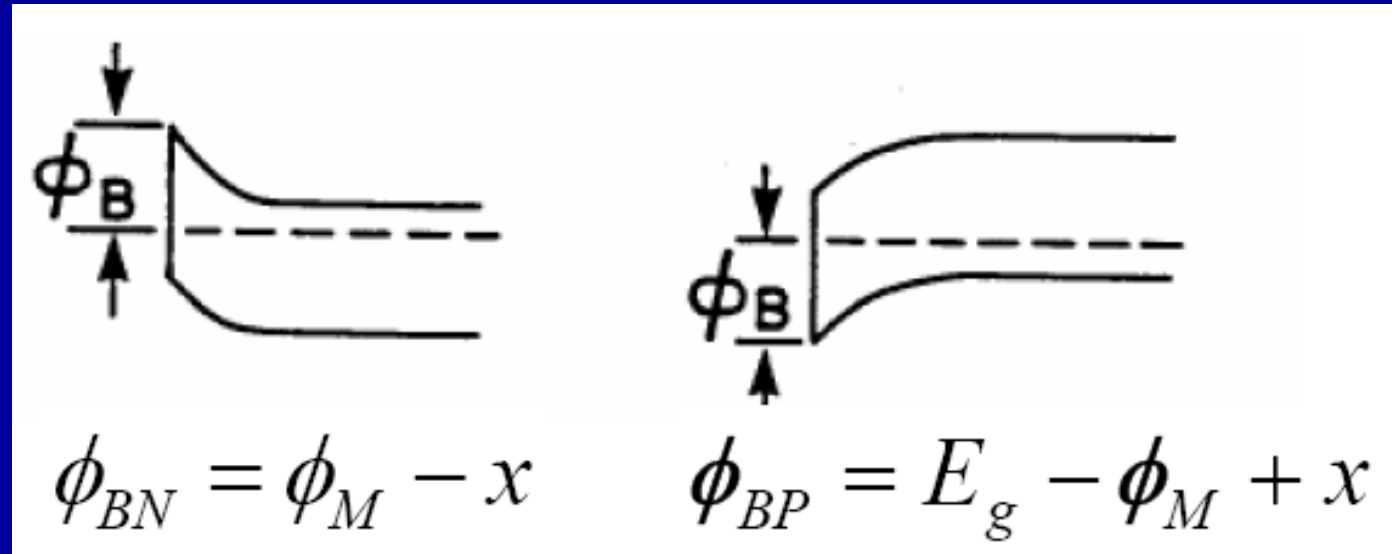
$$q\phi_{Bn} = q(\phi_m - \chi)$$

$$q\phi_{Bp} = E_g - q(\phi_m - \chi)$$

- 对给定的半导体，任何金属在n型衬底和p型衬底上的势垒高度之和总等于 $E_g$ 。

$$E_g = q\phi_{Bp} + q\phi_{Bn}$$

Semiconductor Devices



- N型半导体的内建电势为

$$V_{bi} = \phi_m - \phi_s$$

因此，其势垒高度还可以写成

$$\phi_{Bn} = V_{bi} + V_n$$

其中 $qV_n$ 为半导体的导带底和费米能级之差

## 5、 金属半导体接触的电容特性

- 金属与n型半导体接触，金属一侧有负表面电荷，半导体一侧存在等量的但极性相反的正空间电荷。这种电荷分布和具有同样电场分布的P<sup>+</sup>-N结完全相同，由此得到半导体表面耗尽层宽度为：

$$W = \sqrt{\frac{2\epsilon_s}{qN_D} (V_{bi} - V)}$$

- 金属相对n型半导体加正电压（正向偏置）时，上式中外加电压V取正值；金属相对n型半导体加负电压即反向偏置时，外加电压V取负值。

- 半导体内单位面积的空间电荷 $Q_{sc}$  ( $C/cm^2$ ) 和单位面积耗尽层电容 $C$  ( $F/cm^2$ ) 可表示为:

$$Q_{sc} = qN_D W = \sqrt{2qN_D \epsilon_s (V_{bi} - V)}$$

$$C = \left| \frac{\partial Q_{sc}}{\partial V} \right| = \sqrt{\frac{qN_D \epsilon_s}{2(V_{bi} - V)}} = \frac{\epsilon_s}{W} \quad \text{或者} \quad \frac{1}{C^2} = \frac{2(V_{bi} - V)}{qN_D \epsilon_s}$$

即通过测量金半接触的C—V曲线，即可得到杂质分布

$$N_D = \frac{2}{q\epsilon_s} \left[ \frac{-1}{d(1/C^2)/dV} \right]$$



## 6、表面态对势垒高度的影响

- 理论上，金属一边的势垒高度

$$q\Phi_{SB} = q\Phi_{ns} = W_m - \chi$$

- 但实际上， $\Phi_{SB}$ 常常与金属的种类关系不太大，而主要取决于表面态(界面态)的影响。

n型Si和n型GaAs的势垒高度测量值显示， $\Phi_{Bn}$ 随 $W_m$ 的增大而增大，但不是直线，这是因为在实际的金属半导体接触中，由于晶格不连续，在接触界面处产生大量的能量状态，这些能量状态叫做界面态或表面态，它们连续分布在禁带内，可能起施主或受主作用，影响势垒高度的实际值，对Si和GaAs，n型势垒高度被低估，p型势垒高度被高估。

- 半导体表面处，禁带中存在表面态。半导体与其表面态通过交换电子，达到相互平衡  $\Rightarrow$  由于表面态的存在，半导体表面产生空间电荷区，能带弯曲。
- 为了描述半导体表面态，引入中性能级  $q\Phi_0$ ：  
当  $q\Phi_0$  以下的表面态全部被电子占据，而以上的全部空出时，半导体表面是中性的。低于  $q\Phi_0$  的界面态没有电子占据时带正电，作用相当于施主，高于  $q\Phi_0$  的界面态被电子占据时带负电，作用相当于受主。
- 如果  $q\Phi_0$  与半导体的  $E_F$  重合，则界面态和半导体内部没有电子交换，界面的净电荷为0。如果  $q\Phi_0 > E_F$ ，则电子从表面向体内转移，界面净电荷为正， $q\Phi_0 < E_F$ ，电子从体内向表面转移，界面净电荷为负。

以M/n型半导体为例，且 $W_m > W_s$  .

① 单独考虑表面态：表面态在能隙中形成一个能带.

设表面态的电中性能级距价带顶为 $e\Phi_0$

由表面态的带电状态，表面态可分为：

◆ 施主型表面态—被电子占据时，呈电中性，失去电子后，呈正电性.

◆ 受主型表面态—空态时，呈电中性，得到电子后，呈负电性.

对大多数半导体，表面态电中性能级距价带顶大约有  $e\Phi_0 = \frac{1}{3} E_g$

② 半导体与其表面态通过交换电子, 达到相互平衡, 具有统一的 $E_F$ .

- 钉扎效应: 当表面态的密度很大,  $E_F$ 被表面态钉扎 (钉扎于表面态电中性能级).

◆ 对n型半导体:

$$eV_D = E_g - e\Phi_0 - (E_c - E_F)_n$$

◆ 对p型半导体:

$$eV_D = e\Phi_0 - (E_F - E_v)_p$$

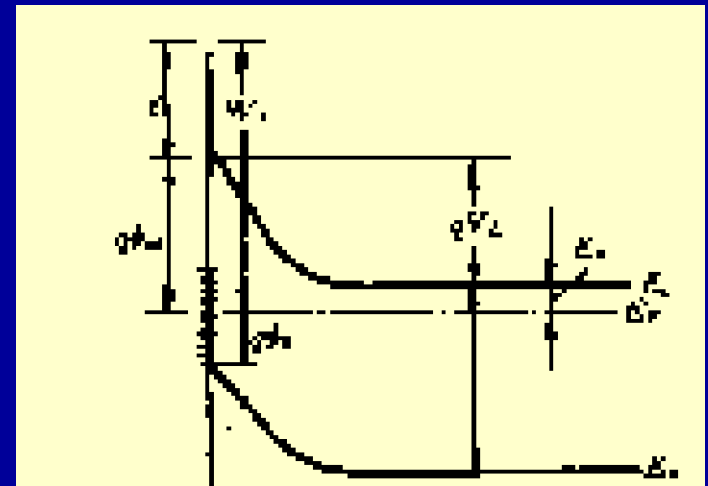


图 7.8 存在高表面态密度时 n 型半导体的能带图

### ③考虑金属/半导体:

当带有表面态的半导体与金属接触, 要考虑这三者之间的电子交换.

平衡时, 金属, 表面态和半导体具有统一的 $E_F$ .

- 对金属/半导体接触势垒的小结:

仍以M/n-S, 势垒接触( $W_m > W_s$ )为例:

$$e\Phi_{SB} = eV_D + (E_c - E_F)_n$$

- ◆ 当不考虑表面态:

$$e\Phi_{SB} = W_m - \chi$$

- ◆ 当表面态的密度很高:

$$e\Phi_{SB} = E_g - e\Phi_0$$

--肖特基势垒高度与金属的 $W_m$ 无关.

- ◆ 一般情况下,可介于二者之间,则有:

$$e\Phi_{SB} = (1-S)(E_g - e\Phi_0) + S(W_m - \chi)$$

- ◆  $S$  称为界面行为因子(与半导体材料有关,与制造工艺有关)

- 当表面态密度很小,  $S \rightarrow 1$
- 当表面态密度很大,  $S \rightarrow 0$

# 7、肖特基效应

- 镜像力使肖特基势垒高度降低。
- 半导体中距离金属表面 $x$ 处的电子会在金属上感应一个正电荷，这个正电荷称为镜像电荷，电子与这个正电荷之间的引力等于电子与位于 $-x$ 处等量正电荷之间的静电引力，称为镜像力。
- 由库仑定律，镜像力为：

$$F = -\frac{q^2}{4\pi(2x)^2 \epsilon \epsilon_0}$$

距离金属表面 $x$ 处的电子的势能等于把无穷远处的一个电子迁移到 $x$ 处需要作的功，因此：

$$E(x) = \int_x^\infty F dx = \frac{q^2}{16\pi\epsilon \epsilon_0 x}$$



- 这个势能叠加到理想肖特基势能上，将使原来的肖特基势垒曲线在 $x=0$ 处下降，即肖特基势垒降低，这种效应称为肖特基效应。大电场下，肖特基势垒被镜像力降低很多。
- 镜像力使肖特基势垒降低的前提是金属表面附近的半导体导带底要有电子存在，势垒本身的高度由金半功函数和表面态决定，与电子是否存在无关。
- 所以在测量势垒高度时，如果所用方法与电子在金属与半导体间的输运有关，则所得结果将比实际值要低。如果测量方法只与耗尽区的空间电荷有关，而涉及电子输运，如电容法，则测量结果不受镜像力影响。同样，空穴也产生镜像力，它使半导体能带的价带顶在边界附近向上弯曲，使接触处能带变窄。

- 肖特基势垒高度对实用肖特基势垒二极管SBD的电学性质有重要影响，连续调整肖特基势垒高度的方法有：
  - ①用金属的合金作为肖特基势垒金属，所得势垒高度随合金的组分线性变化；
  - ②在不同气氛下对半导体表面或金半势垒进行热处理，从而改变金半之间薄界面层厚度和性质，以此改变肖特基势垒高度，但较难得到稳定的器件性能；
  - ③在半导体表面作掺杂层。是目前广泛使用的方法，为使有效势垒降低，表面层掺入与半导体衬底同型的杂质，为使有效势垒高度增加，则在表面层掺入与衬底反型的杂质。

## § 4.2 肖特基势垒二极管 (SBD)

- 肖特基势垒中的电流主要由半导体中的多子承担，没有少子的注入和复合问题，故比pn结二极管有优良的高频特性。SBD通常采用迁移率大的n型材料制造。开关速度比pn结二极管大4个数量级。根据工作状态、结构特点和应用范围，可用于微波检波和混频（正向IV非线性），肖特基变容管（CV特性），箝位二极管（正向导通），光电二极管，雪崩二极管（反偏势垒特性）以及作为MESFET的控制栅极。

# 1、典型结构

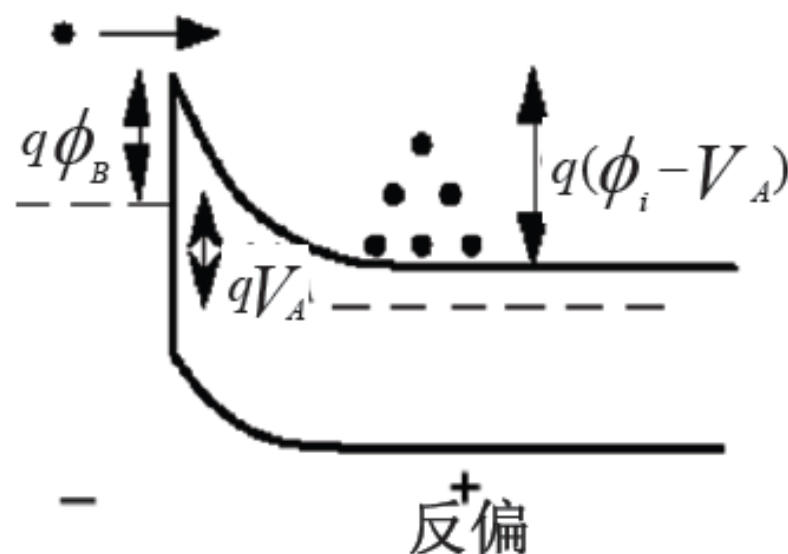
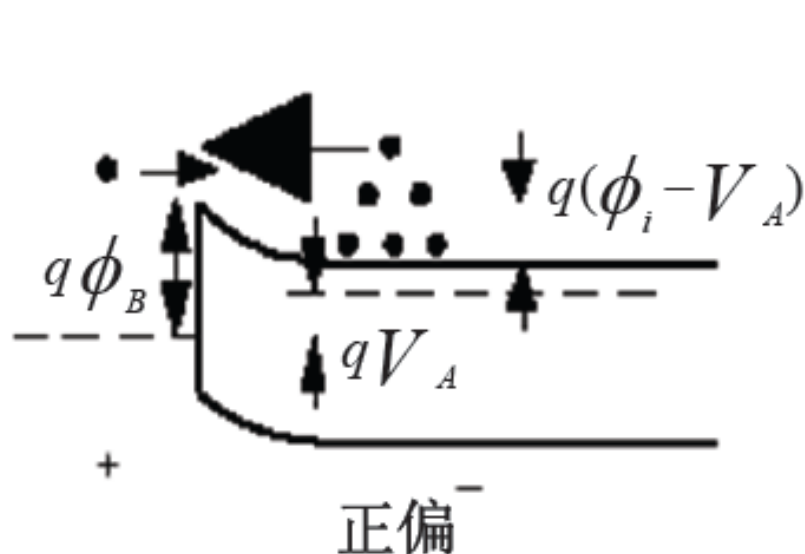
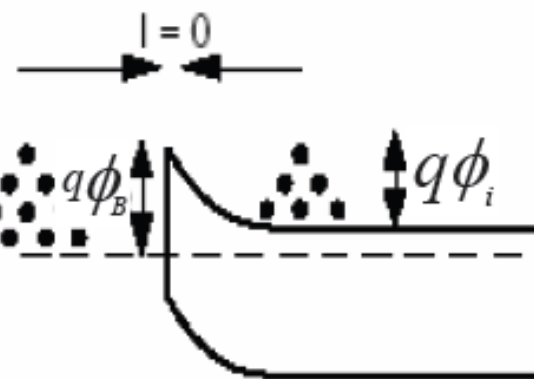
- 在 $n^+$ 衬底外延 $1\mu\text{m}$ 厚的轻掺杂层，电阻率约 $1\Omega\text{cm}$ ，外延层的作用是加宽耗尽层，减小耗尽层电容，提高二极管的击穿电压， $p^+$ 保护环可以避免反向应用时的边缘击穿和沟道效应。势垒金属用蒸发、溅射、电镀等方法沉积于清洁的半导体材料上，要在高真空中，防止形成界面氧化层。
- 金属材料主要有Au、Al、Pt、W、Ti、Ni、Ag及其合金，衬底材料主要有Si、GaAs、InP、SiC、ZnO等。

在半导体上施加外压，由于耗尽区阻抗比金属和半导体体内的阻抗都要大得多，所加外压几乎全加在耗尽区上。

Equilibrium

平衡态

$$\phi_B = \phi_M - \chi_s$$



外加偏置影响半导体的表面势及空间电荷区厚度，但不影响势垒高度。

## 2、伏安特性的定性图象

### ① 定性图象--阻挡层的整流作用:

(仍讨论M/n-S 形成电子势垒)

M/S接触是多子器件. 对M/n-S 形成的电子势垒, 其输运特性主要由电子决定.

- ◆ 正向偏置, 半导体一侧电子势垒降低, 可形成较大的正向电流.
- ◆ 反向偏置, 半导体一侧电子势垒升高, 反向电流很小. 当反向偏置加大, 反向电流可趋于饱和.

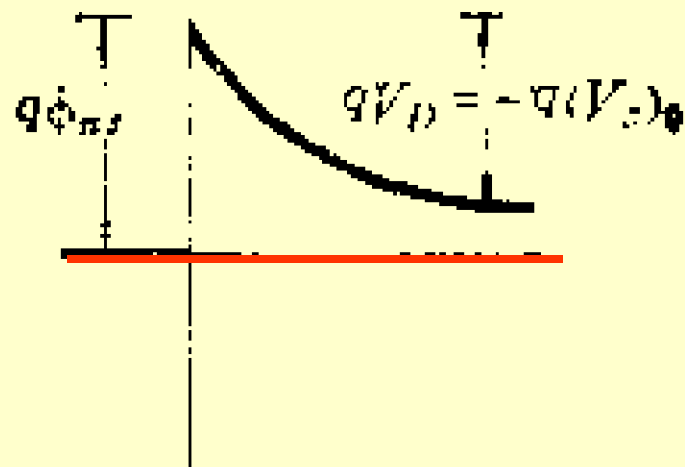
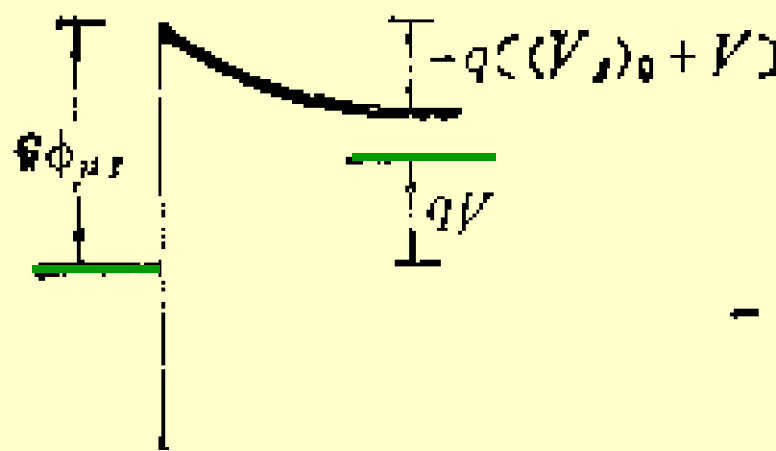
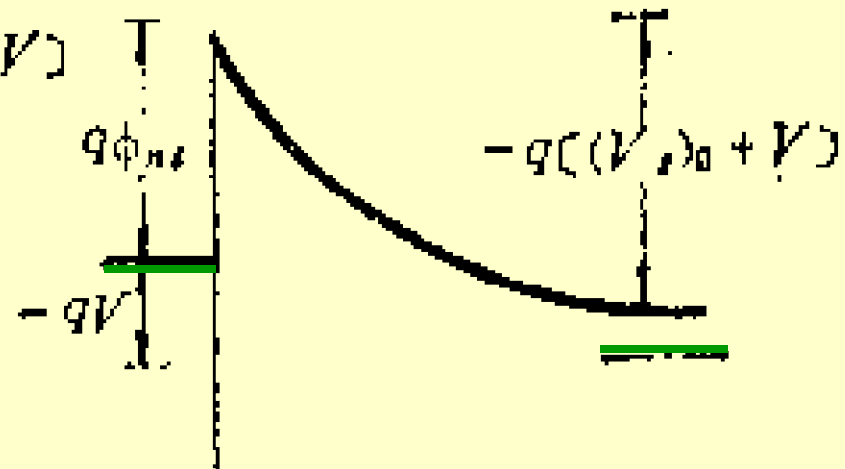


图7-10

(a)



(b)



(c)

- 1938年, W. Schottky提出了基于整流二极管的理论, 称为肖特基二极管理论。这一理论以金属和半导体功函数差为基础。
- 要定量讨论I-V特性, 必须讨论电子是怎样越过势垒的. 两种近似模型:
  - ◆ 扩散理论—势垒区较厚, 制约正向电流的主要是电子在空间电荷区的扩散过程
  - ◆ 热电子发射理论—载流子的迁移率较高, 电子能否通过势垒区, 主要受制于势垒高度.



### 3、热电子发射理论的IV特性方程

- 金属半导体接触在热离子发射情况下的伏安特性：

$$J = J_s (e^{qV/kT} - 1)$$

其中

$$J_s \equiv A^* T^2 e^{-q\phi_{Bn}/kT}$$

$$A^* = \frac{4\pi e k^2 m_-^*}{h^3}$$

- 除多子电流外，还存在少子电流，由金属向半导体中注入少子（空穴），空穴的注入和p+n结情况一样，其电流密度为：

$$J_p = J_{p0} (e^{qV/kT} - 1)$$

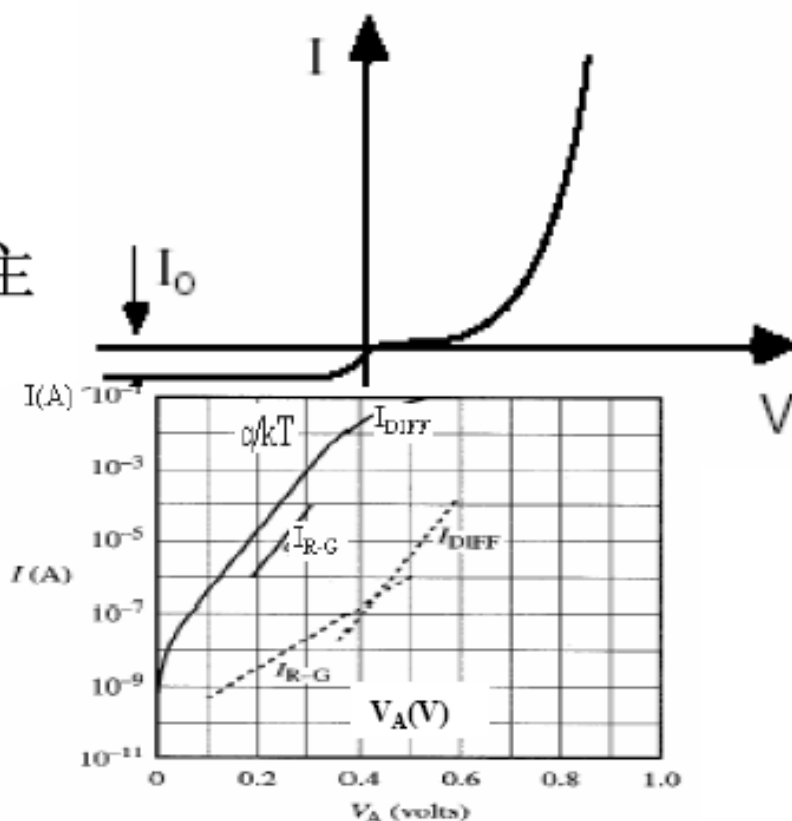
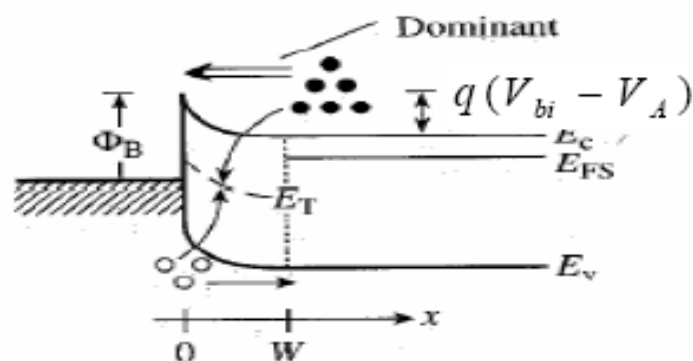
其中

$$J_{p0} = \frac{qD_p n_i^2}{L_p N_D}$$

无论采用何种理论推导出的I-V特性曲线满足：

$$I = I_0 \left[ e^{qV_A/kT} - 1 \right]$$

不同理论推出的结果的差别主要在于  $I_0$  的表达式不同。



其中，基于热载流子发射的肖特基理论， $I_0$ 取决于肖特基势垒高度有关；基于多子扩散理论， $I_0$ 取决于半导体的自建势大小。

更精确的分析（Muller和Kamins）可得知， $I_0$ 实际是与电压相关的，具体表达式如下：

$$I_0 = \frac{Aq^2 D_n N_C}{kT} \left[ \frac{2qN_d(\phi_i - V_A)}{\epsilon_{Si}} \right]^{1/2} e^{-q\phi_B/kT}$$

为了方便，通常将上式改写为：

$$I \approx I_0 \left[ e^{qV_A/nkT} - 1 \right]$$

其中， $I_0$ 与外加偏压 $V_A$ 无关，具体值有实验结果提取

其中， $n$ 为理想因子， $I_0$ 为与不依赖电压的部分，非理想效应用 $n$ 的取值来反映， $n$ 通常取1.0-1.2

- 1) 其中 $I_0$ 通过外推得到。
- 2) 可以从以前的式子得到势垒高度，在分析中势垒降低必须考虑。
- 3)  $n$ 从曲线斜率得到。

# ★ 肖特基势垒二极管(SBD)

## ● PN结二极管

$$J = J_s (e^{\frac{eV}{kT}} - 1), \quad J_s = \frac{eD_+}{L_+} p_{n0} + \frac{eD_-}{L_-} n_{p0}$$

## ● 肖特基势垒二极管

$$j = j_{sT} (e^{\frac{eV}{kT}} - 1),$$

$$j_{sT} = A^* T^2 e^{-\frac{e\phi_{SB}}{kT}}, \quad A^* = \frac{4\pi e k^2 m_-^*}{h^3}$$

## 相同点:

- ① 正偏时, 指数关系; 反偏时, 饱和电流。
- ② 具有整流开关作用

## 不同点:

- ① 电流输运机制完全不同。SBD是由热电子发射或多子扩散支配, 产生复合电流只占很小比例。PND则与少子扩散和复合电流相关。
  - ② 肖特基势垒二极管是多子器件, 有优良的高频特性。一般情况下, 不必考虑少子的注入和复合。
  - ③ 相比PND而言, 肖特基势垒二极管有较低的正向导通电压, 但反向击穿电压较低, 反向漏电流较大。这是因为SBD的反向饱和电流与肖特基势垒参数与温度相关, 而PND的反向饱和电流与少子浓度及其少子寿命相关。
- 肖特基势垒二极管还具有制备上的优势。

Semiconductor Devices

正常工作条件下，少子电流比多子电流小几个数量级以上，因此肖特基器件是单极型器件。

- 例：对于W-Si SBD， $N_D=10^{16}\text{cm}^{-3}$ ， $J_S=6.5\times 10^{-5}\text{A/cm}^2$ ，试求：

(1)  $\phi_{Bn}$

(2) 耗尽区宽度  $W$

(3)  $J_S/J_{p0}$

(设Si中 $\tau_p=10^{-6}\text{s}$ ， $T=300\text{K}$ ，

$N_C=2.8\times 10^{19}\text{cm}^{-3}$ )

## 4、简单应用

- 箝位晶体管

在数字电路中广泛应用。由于SBD导通电压低，只需0.2-0.3V即正向导通，晶体管不进入深饱和状态。由于SBD几乎没有少子存贮效应，开关时间可达到毫微秒量级，且与硅工艺兼容。常用在晶体管集电极与基极之间，组成一个饱和时间常数很短的组合晶体管。

- SBD检波器和混频器。

## § 4.3 欧姆接触

- 定义接触电阻与半导体的体电阻或串联电阻相比可以略去不计的金属半导体接触为欧姆接触。作为器件引线，一个满意的欧姆接触不应显著降低器件性能。即，需要通过的电流在欧姆结上产生的电压降要远小于在器件有源区产生的电压降。表示欧姆接触性质的参量是比接触电阻（接触电阻率，又称特征电阻），其定义为

$$\rho_c \equiv \left( \frac{\partial J}{\partial V} \right)^{-1} \Big|_{V \rightarrow 0}$$



- 对于低掺杂浓度的金属—半导体接触，

$$J = J_s (e^{qV/kT} - 1)$$

$$\rho_c = \frac{k_B}{qA^*T} e^{\frac{q\phi_{Bn}}{kT}}$$

为了有小的接触电阻 $\rho_c$ ，  
需要用低势垒高度的接触。

- 对于高掺杂浓度的接触，势垒宽度变得很窄，隧道电流可能起支配作用，隧道电流与穿透几率成正比：

$$J \propto e^{-\frac{2W\sqrt{2m_n(q\phi_{Bn}-qV)}}{\hbar}}$$

耗尽层厚度为：

$$W \approx \sqrt{\frac{2\varepsilon_S(\phi_{Bn}-V)}{qN_D}}$$

$$J \propto e^{-C_1(\phi_{Bn}-V)/\sqrt{N_D}} \quad \text{式中, } C_1 = 4\sqrt{m_n\varepsilon_S}/\hbar$$

因此,  $\rho_C \propto e^{C_1\phi_{Bn}/\sqrt{N_D}}$

当隧道电流占主导地位时，即在隧道效应范围内，接触电阻率强烈依赖于掺杂浓度，且随  $\phi_{Bn}/\sqrt{N_D}$  因子指数下降。

# 讨论:

- 因此，为获得小的接触电阻 $\rho_c$ ，需要用高掺杂浓度或低势垒高度的接触，或二者都用。
- ① 掺杂在 $10^{19}\text{cm}^{-3}$ 以上时，金半接触的隧道效应显著，为场发射情况。 $\rho_c$ 主要受隧道效应支配，且随杂质浓度的增加迅速下降。
- ② 掺杂在 $10^{14}\sim 10^{17}\text{cm}^{-3}$ 时，温度在室温以上时，金半接触的电流以热电子发射为主， $\rho_c$ 基本上与掺杂无关。
- ③ 掺杂在 $10^{17}\sim 10^{18}\text{cm}^{-3}$ 时，既有热电子发射电流又有隧道效应引起的场发射电流，称为热电子场发射情况。

# 讨论:

- 影响接触电阻的因素有半导体掺杂浓度、金半接触势垒高度、温度、电子有效质量、半导体表面玷污等，其中最重要的影响因素是掺杂浓度和势垒高度。
- 半导体重掺杂能与许多金属形成接近理想的欧姆接触，而轻掺杂与金属形成欧姆接触时必须选择势垒高度很低的金属或合金才行。

## § 4.4 结型场效应晶体管 (JFET)

- 这种器件最早在1952年开始研究。结型场效应晶体管是通过外加栅极电压来改变栅结空间电荷区的宽度，从而控制沟道导电能力的一种场效应器件，即用一个或一个以上的反向偏置pn结的耗尽区去调制电流通过的截面积。电流中只包含有一种极性的载流子，所以JFET是单极型器件。此种器件已广泛用于小信号放大器、电流限制器、电压控制电阻器、开关及音响电路和集成电路中。

# 1、工作原理

## (1) 基本结构

- 在一块低掺杂的N型半导体晶片上，上下两侧对称制作两个高浓度P<sup>+</sup>区，与N区形成两个对称的P<sup>+</sup>N结。在N区的左右两端各作一个欧姆接触电极，分别称为源极和漏极，记以S和D。P<sup>+</sup>区也分别制作欧姆电极并相连，所引出的电极称为栅极，记以G。两个P<sup>+</sup>N结中间（除去空间电荷区部分）区域称为沟道。器件的基本结构尺寸是：沟道长度L，沟道宽度Z，沟道深度（两个p<sup>+</sup>n结之间的距离）2a。
- 而P沟JFET是在P型半导体晶片上，上下两侧制作两个高浓度N<sup>+</sup>区，与P区形成两个对称的N<sup>+</sup>P结，然后分别引出电极而成。N沟和P沟是以导电沟道类型划分的。

- 实际上，JFET可以认为是由一个带有两个欧姆接触的导电沟道构成，一个欧姆接触作源极，另一个作漏极。当漏极加相对源极为正的电压，电子流从源流到漏，所以源产生载流子，漏收集载流子，第三个电极是栅极，它和沟道构成一个整流结。
- N沟JFET沟道中参与运载电流的是电子，而P沟则是空穴，不管是N沟还是P沟，运载电流的都是单一的多数载流子，因此，场效应晶体管是单极型晶体管。N沟JFET优于P沟JFET

## (2) 器件的类型和代表符号

- 场效应器件除了有N沟和P沟的区分外，按零栅压时器件的工作状态，又可分为耗尽型（常开）和增强型（常关）两大类。栅压为零时已存在导电沟道的器件，称为耗尽型器件，相反则为增强型器件。譬如，若沟道为高阻材料，当栅压为零时，栅结扩散电势 $V_{bi}$ 已使沟道完全耗尽而夹断，因而栅压为零时不存在导电沟道。这种只有当施加一定的正向栅压才能形成导电沟道的器件，称为增强型器件。增强型器件在高速低功耗电路中有很大的使用前途。
- 因此，JEFT总共可分成N沟耗尽型、N沟增强型、P沟耗尽型、P沟增强型四大类。
- 其中箭头的方向代表空穴流的方向。JFET一般都是耗尽型的。



### (3) JFET的输出特性

JFET的 $I_{DS}$  和 $V_{DS}$ 之间特性称为输出特性。下面分 $V_{GS}=0$ 和 $V_{GS}\neq 0$ 两种情况说明 $I_{DS}$ 随 $V_{DS}$ 的增加而变化的特性。

- ①  $V_{GS}=0$ （即栅极与源极短路）时的漏极特性。  
若 $V_{DS}=0$ ，此时P<sup>+</sup>N结处于平衡状态，

$$R = \frac{L}{q\mu_n \cdot N_D \cdot Z \cdot 2(a-h)}$$

式中 $N_D$ —N型沟道区的掺杂浓度； $L$ 、 $Z$ —沟道的长度和宽度； $2a$ —沟道的深度； $h$ —栅结零偏时的空间电荷区宽度。

(a) 当漏极加上一个很小的正电位（即 $V_{DS} > 0$ ）时，将有电子自源端流向漏端，形成了自漏极流向源极的漏源电流 $I_{DS}$ 。这一电流在沟道电阻上产生的压降使得沟道区沿电流流动方向的电位不再相等。由于 $P^+$ 区可视为是等电位的，因而沿沟道长度方向栅结上的实际偏压也由原来的零偏发生了大小不等的变化：靠近源端，由于 $V_{GS} \approx 0$ ，故空间电荷区窄而沟道厚度大，而靠近漏端栅结反向偏压大，故空间电荷区宽而沟道厚度小。当 $V_{DS}$ 小于栅结接触电位差 $V_{bi}$ 时，沟道耗尽层的这种变化可以忽略，沟道电阻可近似地用上式表示，此时沟道电流 $I_{DS}$ 与 $V_{DS}$ 成正比，比例系数为沟道电导。

(b) 随着 $V_{DS}$ 增加，耗尽层的扩展与沟道的变窄已不能忽略，沟道电阻的增加使得 $I_{DS}$ 随 $V_{DS}$ 的增加逐渐变缓，当 $V_{DS} = V_{DSat}$ 时，沟道漏端两耗尽层相会在P点，此处沟道宽度减小到零，即沟道被夹断，P点为夹断点，在夹断点可以有一个大电流流过耗尽区，称为饱和电流 $I_{DSat}$ 。对于突变结P<sup>+</sup>N， $V_G = 0$ 时，可得到相应漏电压，这个电压值称为饱和电压，式中 $V_{bi}$ 是栅结的内建电势。

$$V_{Dsat} = \frac{qN_D a^2}{2\epsilon_s} - V_{bi}$$

(c) 夹断之后，当 $V_{DS}$ 进一步增加，即 $V_{DS} > V_{DSat}$ 时，漏端的耗尽层更厚，两耗尽层的相会点P向源端移动。当沟道载流子运动到沟道夹断点P时，立即被夹断区的强场扫向漏极，形成漏电流。这样，单位时间内源到达P点的电子数目基本不变，因而沟道内的电流也不变，这是因为沟道内从源到P点的电压保持不变。因此，漏电流仍由导电沟道的电特性决定。由于夹断点的电位始终等于 $V_{DSat}$ ，若夹断点P移动的距离远远小于沟道长度L时，可以认为夹断后的 $I_{DS}$ 不再随 $V_{DS}$ 的增大而变化，而是趋于饱和。

②  $V_{GS} \neq 0$  时的漏特性。对于N沟JFET来说，当P<sup>+</sup>N结上外加反向偏压时，即  $V_{GS} < 0$ ，耗尽层宽度增加，对于小的  $V_{DS}$ ，沟道仍起电阻作用，但由于电流通过的截面积减小了，沟道电阻变得更大。此时  $I_{DS}$  和  $V_{DS}$  的关系与  $V_{GS} = 0$  时两者关系类似。只不过是，曲线的斜率变小，饱和漏源电压  $V_{DSat}$  变小而已。当栅压  $V_G = -1V$  时，初始电流比栅压  $V_G = 0$  时更小。当  $V_{DS}$  增加某一值时，两个耗尽区再次相接，这时的  $V_P$  值为

$$V_{Dsat} = \frac{qN_D a^2}{2\epsilon_s} - V_{bi} - |V_G| = \frac{qN_D a^2}{2\epsilon_s} - V_{bi} - V_G$$

- JEFT的转移特性

JEFT的转移特性是指漏极电流 $I_{DS}$ 随栅极电压 $V_{GS}$ 变化的特性。

当 $V_{GS}=0$ 时，漏极电流 $I_{DS}$ 大于零，而当 $V_{GS}<0$ ，且负到一定值时即 $V_{GS}=-V_P$ ，漏极电流才等于零，此时整个沟道被夹断。

- JFET的输出特性曲线和转移特性曲线不是互相独立，而是密切相关的。事实上，只要在输出特性曲线上某一 $V_{DS}$ 值下作垂线与各条 $V_{GS}$ 线相交，将对应的 $V_{GS}$ 值与对应的 $I_{DS}$ 值连接成一条曲线，即得到转移特性曲线。
- 因此，JFET某一条转移特性曲线是在一定的 $V_{DS}$ 值下作出来的。

## 2、伏安特性（直流IV特性）

- JFET在工作时，栅源电压和漏源电压同时起作用，故沟道中电场、电势、电流分布均为二维分布。因此用方程求解电流与电压的关系则比较复杂，肖克莱提出缓变沟道近似GCA模型后，将问题变得十分简单。
- GCA模型是指：栅结耗尽区中沿垂直结平面方向的电场分量 $E_x$ 与沿沟道长度方向使载流子漂移的电场分量 $E_y$ 无关，且满足沟道方向电场的变化远远小于垂直方向的电场变化。此即为缓变沟道近似理论。这种缓变沟道近似理论是有一定局限性的。它对于导电沟道夹断之后就不适用了。

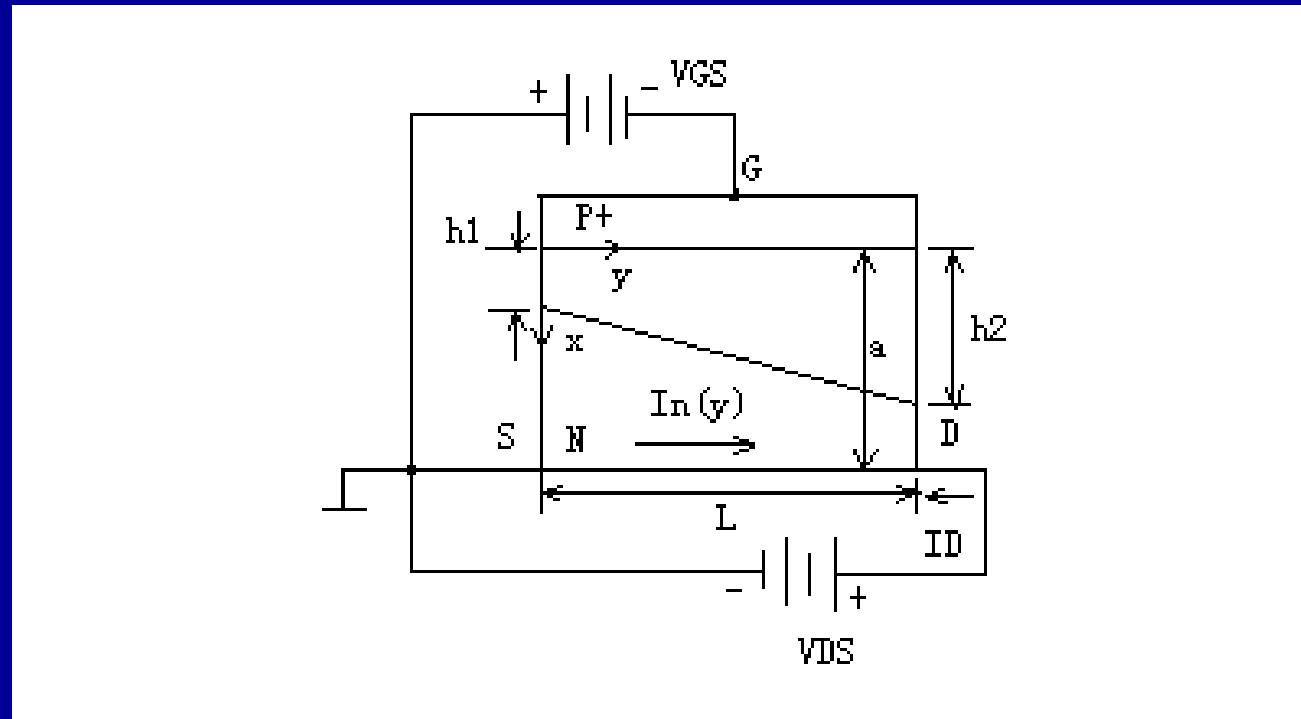
肖克莱模型理论主要假设如下：

- ①忽略源接触电极与沟道源端之间、漏电极与沟道漏端之间的电压降；
- ② $P^+$ 栅区与N型沟道区杂质分布都是均匀的，并且 $P^+$ 栅区浓度 $N_A$ 远远大于N型沟道区浓度 $N_D$ ，即栅结为单边突变结；
- ③沟道中载流子迁移率为常数；
- ④忽略沟道边缘扩展开的耗尽区，源极和漏极之间的电源只有y分量；
- ⑤在栅结空间电荷区中，考虑垂直沟道方向的电场变化远远大于沟道方向电场的变化，满足GCA模型。

其中假设③排除了载流子速度饱和的可能，说明沟道夹断是造成电流饱和的原因。只有对于沟道中场强很低的长沟道器件，这一假定才是合理的。假设⑤使得在求栅PN结耗尽层宽度时，二维泊松方程化为一维的。



- 由于器件栅区结构的对称性，我们可以只讨论器件的上半部。正常工作时，源极接地，栅极接负电位  $V_{GS}$ ，漏极接正电位  $V_{DS}$ ，坐标取向如图。图中  $h_1$ 、 $h_2$  分别是沟道源端和漏端处耗尽区的厚度。



JFET上半部截面图

Semiconductor Devices

- I-V特性方程表达式为:

$$I_D = \frac{2Z\mu_n q^2 N_D^2}{\varepsilon_0 L} \left[ \frac{a}{2} (h_2^2 - h_1^2) - \frac{1}{3} (h_2^3 - h_1^3) \right]$$

$$= I_P \left[ \frac{V_{DS}}{V_{P0}} - \frac{2}{3} \left( \frac{V_{DS} + V_G + V_{bi}}{V_{P0}} \right)^{\frac{3}{2}} + \frac{2}{3} \left( \frac{V_{DS} + V_G + V_{bi}}{V_{P0}} \right)^{\frac{3}{2}} \right]$$

其中,

$$I_P = \frac{Z\mu_n q^2 N_D^2 a^3}{\varepsilon_0 L}$$

$$V_{P0} = \frac{qN_D a^2}{2\varepsilon_0}$$

$V_{P0}$ 称为本征夹断电压,

即当漏端耗尽层厚度 $h_2=a$ 时的总电压( $V_{DS}+V_G+V_{bi}$ )

- I-V特性方程也可以表达为:

$$I_D = G_0 \left\{ V_{DS} - \frac{2}{3a} \sqrt{\frac{2\epsilon_0}{qN_D}} [(V_{DS} + V_{bi} - V_{GS})^{\frac{3}{2}} - (V_{bi} - V_{GS})^{\frac{3}{2}}] \right\}$$

其中,  $G_0 = \frac{2aZq\mu_n N_D}{L}$

即两个p<sup>+</sup>n结之间形成的导电沟道之电导。

- 注意到，I-V特性有两个不同的区域：
  - ① 当 $V_{DS}$ 很小时，沟道截面积基本与 $V_{DS}$ 无关，伏安特性是欧姆性或线性的。称为线性区。
  - ② 当 $V_{DS} \geq V_{DSat}$  时，电流达到 $I_{DSat}$ 。称为饱和区。

①线性区:  $V_{DS} \ll V_{bi} - V_{GS}$

$$I_D = I_P \left[ \frac{V_{DS}}{V_P} - \frac{2}{3} \left( \frac{V_{DS} + V_G + V_{bi}}{V_P} \right)^{\frac{3}{2}} + \frac{2}{3} \left( \frac{V_{DS} + V_G + V_{bi}}{V_P} \right)^{\frac{3}{2}} \right]$$

$$I_{DS} \approx \frac{I_p}{V_p} \left[ 1 - \left( \frac{V_{bi} - V_{GS}}{V_p} \right)^{1/2} \right] V_{DS} = \frac{q\mu_n N_D Z a}{L} \left[ 1 - \left( \frac{V_{bi} - V_{GS}}{V_p} \right)^{1/2} \right] V_{DS}$$

漏电导（沟道电导）为：

$$g_D = \left. \frac{\partial I_{DS}}{\partial V_{DS}} \right|_{V_{GS}} = \frac{q\mu_n N_D Z a}{L} \left[ 1 - \left( \frac{V_{bi} - V_{GS}}{V_p} \right)^{1/2} \right] = \frac{q\mu_n N_D Z (a - h)}{L}$$

跨导为：

$$g_m = \left. \frac{\partial I_{DS}}{\partial V_{GS}} \right|_{V_{DS}} = \frac{I_p}{2V_p^2} \left( \frac{V_p}{V_{bi} - V_{GS}} \right)^{1/2} V_{DS} = \frac{Z\mu_n}{L} \left[ \frac{qN_D \epsilon_s}{2(V_{bi} - V_{GS})} \right]^{1/2} V_{DS}$$

②饱和区：

$$I_{Dsat} = I_p \left[ \frac{1}{3} - \frac{V_{bi} - V_{GS}}{V_p} + \frac{2}{3} \left( \frac{V_{bi} - V_{GS}}{V_p} \right)^{3/2} \right]$$

$$V_{Dsat} = V_p - V_{bi} + V_{GS} = V_{GS} - V_{p0}$$

- 理想情况下， $I_{Dsat}$ 不是 $V_{DS}$ 的函数， $g_D=0$ 。实际上，随着 $V_{DS}$ 的增加，夹断点从漏向源端移动，有效沟道长度缩短，因此饱和区有非零的沟道电导。
- 跨导为：

$$g_m = \left. \frac{\partial I_{DS}}{\partial V_{GS}} \right|_{V_{DS}} = \frac{q\mu_n N_D Z a}{L} \left[ 1 - \left( \frac{V_{bi} - V_{GS}}{V_p} \right)^{1/2} \right] = \frac{q\mu_n N_D Z (a - h)}{L}$$

### 3、直流参数

#### (1) 夹断电压 $V_P$

夹断电压是指使导电沟道消失所需加的栅源电压。  
JFET沟道厚度随 $P^+N$ 结耗尽层厚度扩展而变薄，  
当栅结上的外加反向偏压使 $P^+N$ 结耗尽层厚度等于  
沟道厚度一半（ $h=a$ ）时，整个沟道被夹断，即

$$\left[ \frac{2\epsilon_0 (V_{bi} - V_p)}{qN_D} \right]^{\frac{1}{2}} = a$$

- 令

$$V_{p0} = V_{bi} - V_p = \frac{qN_D a^2}{2\epsilon_0}$$

- $V_{p0}$ 表示沟道夹断时，栅结上的电压降，亦称为本征夹断电压，而 $V_p$ 则为沟道夹断时所需加的栅源电压，称为夹断电压，通常情况下不做区别。

$$V_p = V_{bi} - V_{p0} = V_{bi} - \frac{qN_D a^2}{2\epsilon_0} \approx -\frac{qN_D a^2}{2\epsilon_0}$$

此处的负号表示栅结为反向偏置。

对于N沟JFET， $V_p < 0$ ，对于P沟JFET， $V_p > 0$ 。

由此可见，沟道中杂质浓度越高及原始沟道越厚，夹断电压也越高。



## (2) 最大饱和漏极电流 $I_{DSS}$

- $I_{DSS}$ 是 $V_{bi}-V_{GS}=0$ 时的漏源饱和电流，又称最大漏源饱和电流。

$$I_{DSS} = \frac{1}{3} \cdot \frac{qN_D a^2}{2\epsilon\epsilon_0} \cdot \frac{2aZq\mu_n N_D}{L}$$

$$I_{DSS} = \frac{1}{3} V_{p0} \cdot G_0 \quad \text{或写成} \quad I_{DSS} = \frac{2}{3} \cdot \frac{a}{\rho} \cdot \frac{Z}{L} \cdot V_{p0}$$

由此可见，增大沟道厚度以及增加沟道的宽长比，可以增大JFET的最大漏极电流。

### (3) 最小沟道电阻 $R_{\min}$

- $R_{\min}$ 表示 $V_{GS}=0$ 、且 $V_{DS}$ 足够小，即器件工作在线性区时，漏源之间的沟道电阻，也称为导通电阻。对于耗尽型器件，此时沟道电阻最小。因而将 $V_{GS}=0$ ， $V_{DS}$ 足够小时的导通电阻称为最小沟道电阻。

$$R_{\min} = \frac{L}{2q\mu_n N_D (a - x_0) Z} \approx \frac{L}{2q\mu_n N_D a Z} = \frac{1}{G_0}$$

- 由于存在沟道体电阻，漏电流将在沟道电阻上产生压降。漏极电流在 $R_{\min}$ 上产生的压降称为导通沟道压降， $R_{\min}$ 越大，此导通压降越大，器件的耗散功率也越大。
- 实际的JFET沟道导通电阻还包括源、漏区及其欧姆接触电极所产生的串联电阻 $R_S$ 和 $R_D$ 。它们的存在也将增大器件的耗散功率，所以功率JFET应设法减小 $R_{\min}$ 、 $R_S$ 和 $R_D$ ，以改善器件的功率特性。

#### (4) 栅极截止电流 $I_{GSS}$ 和栅源输入电阻 $R_{GS}$

- 由于JFET的栅结总是处于反向偏置状态，因此，栅极截止电流就是PN结少子反向扩散电流、势垒区产生电流及表面漏电流的总和。在平面型JFET中，一般表面漏电流较小，截止电流主要由反向扩散电流和势垒区产生电流构成。其值在 $10^{-9}$ — $10^{-12}$ A之间。因此，栅源输入电阻相当高，其值在 $10^8\Omega$ 以上。
- 但对功率器件而言，栅截止电流将大大增加。这是因为功率器件漏源电压较高，沟道的电场强度较大，强电场将使漂移通过沟道的载流子获得足够高的能量去碰撞电离产生新的电子—空穴对，新产生的电子继续流向漏极使漏极电流倍增，而空穴则被负偏置的栅电极所收集，使栅极电流很快增长。漏极电压愈高，漏端沟道电场愈强，沟道载流子在漏端产生碰撞电离的电离率 $\alpha$ 愈大，碰撞电离产生出来的电子—空穴对愈多。因此，在高漏源偏置的功率JFET中，栅极截止电流往往是很高的。例如，当漏源电压 $V_{DS}=10V$ 时，栅电流维持在 $10^{-10}A$ 数量级；而当 $V_{DS}=50V$ 时，栅电流将增大6个数量级而上升到 $10^{-4}A$ 。在短沟道器件中，由于沟道电场更强，更容易出现载流子倍增效应。

### (5) 漏源击穿电压 $BV_{DS}$

- 在JFET中,漏端栅结所承受的反向电压最大。在沟道较长器件中, 当漏端栅结电压增加到PN结反向击穿电压时, 漏端所加电压即为漏源击穿电压 $BV_{DS}$ 。
- 根据定义,  $BV_{DS} - V_{GS} = BV_B$ , 因此, 漏源击穿电压

$$BV_{DS} = BV_B + V_{GS}$$

式中 $BV_B$ —栅PN结反向击穿电压;  $V_{GS}$ —栅源电压。

## (6) 输出功率 $P_O$

- JFET的最大输出功率 $P_O$ 正比于器件所能容许的最大漏极电流 $I_{D\max}$ 和器件所能容许的最高漏源峰值电压 ( $BV_{DS}-V_{DSat}$ )，即输出功率：

$$P_O \propto I_{D\max} (BV_{DS} - V_{DSat})$$

- 可见，对于功率JFET来说，不仅要求其电流容量大，击穿电压高，且在最高工作电流下具有小的漏源饱和电压 $V_{DSat}$ 。

## 4、交流小信号参数

### (1) 跨导 $g_m$

- 跨导是场效应晶体管的一个重要参数。它标志着栅极电压对漏极电流的控制能力。跨导定义为漏源电压 $V_{DS}$ 一定时，漏极电流的微分增量与栅极电压的微分增量之比，即

$$g_m = \left. \frac{\partial I_{DS}}{\partial V_{GS}} \right|_{V_{DS}=\text{常数}}$$

- 非饱和区跨导

$$g_m = G_0 \left( \frac{1}{V_{p0}} \right)^{1/2} [(V_{DS} + V_{bi} - V_{GS})^{\frac{1}{2}} - (V_{bi} - V_{GS})^{\frac{1}{2}}]$$

- 饱和区跨导

$$g_{ms} = G_0 \left[ 1 - \left( \frac{V_{bi} - V_{GS}}{V_{p0}} \right)^{\frac{1}{2}} \right]$$

- 可见，饱和区的跨导随栅压 $V_{GS}$ 上升而增大。当 $V_{GS}=V_{bi}$ 时，跨导达其最大值

$$g_{m\max} = G_0 = 2a\mu_n q N_D \frac{Z}{L}$$

由上式可见，器件的跨导与沟道的宽长比（ $Z/L$ ）成正比，所以在设计器件时通常都是依靠调节沟道的宽长比来达到所需要的跨导值。



## (2) 漏电导 $g_D$

- 漏电导表示漏源电压 $V_{DS}$ 对漏电流的控制能力。定义为栅压一定时，微分漏电流与微分漏电压之比，即漏电导

$$g_D = \left. \frac{\partial I_D}{\partial V_{DS}} \right|_{V_{GS}=C}$$

- 非饱和区的漏电导

$$g_D = G_0 \left[ 1 - \left( \frac{V_{bi} - V_{GS} + V_{DS}}{V_{p0}} \right)^{\frac{1}{2}} \right]$$

- 线性区漏电导

$$g_{DL} = G_0 \left[ 1 - \left( \frac{V_{bi} - V_{GS}}{V_{p0}} \right)^{\frac{1}{2}} \right]$$

上式说明JFET饱和区的跨导等于线性区的漏电导。

## • 饱和区的漏电导

理想情况下的漏电流与漏源电压 $V_{DS}$ 无关，饱和区的漏电导应等于零。

但实际上，JFET工作在饱和区时，夹断区长度随 $V_{DS}$ 的增大而扩展，有效沟道长度则随 $V_{DS}$ 的增大而缩短，而沟道长度缩短必然使沟道电阻减小，因而漏电流将随漏源电压的增大而略有上升。因此，实际JFET的漏电导并不为零。沟道夹断后，若将漏区—夹断区—沟道区用单边突变结近似，其上压降为 $V_{DS}-V_{DSat}$ ，因而夹断区长度

$$\Delta L \approx \left[ \frac{2\varepsilon_0\varepsilon_s(V_{bi} + V_{GS} + V_{DS} - V_{DSat})}{qN_D} \right]^{\frac{1}{2}} = \left[ \frac{2\varepsilon_0\varepsilon_s(V_{DS} - |V_p|)}{qN_D} \right]^{\frac{1}{2}}$$

- 实际上夹断区随 $V_{DS}$ 增大而向漏源两边扩展，若近似认为向源端扩展的长度为 $1/2 \Delta L$ ，则有效沟道长度：

$$L' = L - \frac{1}{2} \Delta L = L - \frac{1}{2} \left[ \frac{2\epsilon_0 \epsilon_s (V_{DS} - |V_p|)}{qN_D} \right]^{\frac{1}{2}}$$

$$I'_{DSat} = I_{DSat} \frac{L}{L'} = I_{DSat} / \left(1 - \frac{\Delta L}{2L}\right)$$

$$g_{DS} = \frac{\partial I_D}{\partial V_{DS}} \approx \frac{\Delta I_D}{\Delta V_{DS}} = \frac{I'_{DSat} - I_{DSat}}{V_{DS} - |V_p|} = \frac{I_{DSat} \left( \frac{L}{L'} - 1 \right)}{V_{DS} - |V_p|}$$

可见，在饱和区漏电导 $g_{DS}$ 不等于零，而是一有限值。

## 5、沟道杂质任意分布时器件的伏安特性

- 实际JFET的栅结通常用扩散法或离子注入法形成，因此，沟道杂质分布一般都不是均匀的。即使薄层外延沟道的MESFET，其沟道掺杂也不完全是均匀的。下面将用电荷控制法分析杂质分布对漏特性的影响，并导出沟道杂质非均匀分布时电流—电压方程的近似表达式。

$$Q_C = Q_{C0} \left(1 + \frac{Q_{NG}}{Q_{C0}}\right) = Q_{C0} \left[1 - \frac{V_{bi} - V_{GS} + \frac{1}{2} V_{DS}}{V_{p0}}\right]$$

$$I_D = \frac{\mu Q_{C0}}{L^2} \left[1 - \frac{V_{bi} - V_{GS} + \frac{1}{2} V_{DS}}{V_{p0}}\right] V_{DS} = G_0 \left[1 - \frac{V_{bi} - V_{GS} + \frac{1}{2} V_{DS}}{V_{p0}}\right] V_{DS}$$

其中

$$G_0 = \frac{\mu Q_{C0}}{L^2}$$

$$\begin{aligned} I_{DSat} &= G_0 \left[1 - \frac{V_{bi} - V_{GS} + \frac{1}{2} (V_{p0} - V_{bi} + V_{GS})}{V_{p0}}\right] \cdot (V_{p0} - V_{bi} + V_{GS}) \\ &= \frac{G_0 V_{p0}}{2} \left(1 - \frac{V_{bi} - V_{GS}}{V_{p0}}\right)^2 = I_{DSS} \left(1 - \frac{V_{bi} - V_{GS}}{V_{p0}}\right)^2 \end{aligned}$$

## 6、高场迁移率的影响

- 以上讨论均认为沟道中载流子迁移率为常数。然而在短沟道器件中，这个条件并不成立。在现代JFET和MESFET中，沟道长度仅为 $1\sim 2\mu\text{m}$ ，甚至更短，即使在只有几伏的漏源电压下，沟道中的平均场强也可达 $10\text{KV/cm}$ 以上，靠近漏端的沟道中场强还远高于此值。短沟道器件中的这种沟道电场将使器件的特性偏离肖克莱模型的结论。下面主要讨论漂移速度随电场的变化对漏极电流和跨导的影响。

- 对于Si，当场强很小时，载流子的漂移速度随电场的增强而线性增大；电场继续增强，漂移速度的上升速度变慢；当电场增至约 $5 \times 10^4 \text{V/cm}$ 时，漂移速度达饱和值 $V_{SL}$  ( $\approx 8.5 \times 10^6 \text{cm/s}$ )。而在GaAs和InP中，随着电场的增强，电子的漂移速度首先上升到一个峰值速度 $V_p$ ，然后再下降并逐渐趋于一饱和值 $V_{SL}$  ( $\approx (6-8) \times 10^6 \text{cm/s}$ )。漂移速度的这种变化正说明载流子的迁移率在强电场下是一个与电场强度有关的变量。
- 近似描述N型沟道中电子迁移率随电场变化的规律：

$$\mu_n = \frac{\mu_{NC}}{1 + (E/E_c)}$$

式中， $\mu_{NC}$ —低场迁移率； $E_c$ —临界场强。



- 可得到考虑迁移率随电场变化时，漏极电流表达式：

$$I'_D = \frac{G_0}{1 + \frac{V_{DS}}{L} \cdot \frac{\mu}{V_{SL}}} \cdot \left\{ V_{DS} - \frac{2}{3a} \sqrt{\frac{2\epsilon_0}{qN_D}} [(V_{bi} - V_{GS} + V_{DS})^{\frac{3}{2}} - (V_{bi} - V_{GS})^{\frac{3}{2}}] \right\}$$

又临界场强 $E_C = V_{SL}/\mu$ ，则：

$$I'_D = \frac{I_D}{1 + (V_{DS}/LE_C)}$$

上式说明，强场使迁移率减小，导致漏极电流降至低场值 $I_D$ 的 $1/(1+V_{DS}/LE_C)$ 。另外，从上式还可以看出，沟道长度越短，器件的饱和漏极电流下降的幅度越大。

## 7、频率特性

### (1) 交流小信号等效电路

- 交流漏极电流

$$i_d = g_m v_{gs} + \frac{v_{ds}}{R_{ds}} = g_m v_{gs} + g_D v_{ds}$$

- 此式说明，加在栅结上的信号电压 $v_{gs}$ ，通过改变栅结耗尽层宽度的变化来控制沟道厚度，从而控制沟道的导电能力，使漏极电流 $i_d$ 随 $v_{gs}$ 的变化而变化。

- 上面只考虑用栅极调制的沟道电阻，实际器件中，靠近源端和漏端存在串联电阻，这些电阻引起源漏接触电极和沟道之间产生电压降 $IR$ ，可以认为中央区截面是“本征”JFET。

$$V_{D'S'} = V_{DS} + I_D(R_S + R_D)$$

$$V_{G'S'} = V_{GS} + I_D R_S$$

$$v_{d's'} = v_{ds} + i_d(R_S + R_D)$$

$$v_{g's'} = v_{gs} + i_d R_S$$

$$i_d = \frac{g_m}{1 + R_S g_m + (R_S + R_D) g_D} v_{gs} + \frac{g_D}{1 + R_S g_m + (R_S + R_D) g_D} v_{ds}$$

具有串联电阻的JFET端跨导和端沟道电导分别为

$$g_m' = \frac{g_m}{1 + R_S g_m + (R_S + R_D) g_D}$$

$$g_D' = \frac{g_D}{1 + R_S g_m + (R_S + R_D) g_D}$$

## (2) 频率参数

- JFET的频率参数主要有两个。一个是特征频率 $f_T$ ，另一个是最高振荡频率 $f_m$ 。

### ①特征频率 $f_T$

$f_T$ 的定义为在共源等效电路中，在输出端短路条件下，通过输入电容的电流等于输出漏极电流时的频率。也就是电流放大系数等于1时所对应的频率。因此， $f_T$ 也称为共源组态下的增益带宽乘积。

$$\omega_T C_{gs} v_{gs} = g_m v_{gs}$$

$$f_T = \frac{g_m}{2\pi C_{gs}}$$

- 由于 $g_m$ 和 $C_{gs}$ 都随栅压变化，使得 $f_T$ 也随栅压改变。当跨导达到最大值 $g_{mmax}=G_0$ ，栅源输入电容达到最小值 $C_{gsmin}$ 时，特征频率 $f_T$ 达到最大值，即

$$f_{T\max} = \frac{G_0}{2\pi C_{gsmin}}$$

$$f_{T\max} = \frac{\mu}{2\pi} \cdot \frac{1}{L^2} V_{p0} = \frac{\mu q N_D a^2}{4\pi \epsilon_s L^2}$$

- 可见，迁移率 $\mu$ 愈大，沟道长度愈短，则 $f_T$ 愈高。

- 但特征频率随沟道长度的缩短而提高并不是没有限制的。一是渡越时间限制，因为载流子从源端到漏端需要一定的渡越时间，在弱场情况下， $\mu$ 为常数，渡越时间

$$\tau = \frac{L}{\mu E_y} \approx \frac{L^2}{\mu V_{DS}}$$

- 因此，由渡越时间 $\tau$ 大小决定的JFET的工作频率为渡越时间截止频率

$$f_0 = \frac{1}{2\pi\tau} = \frac{\mu V_{DS}}{2\pi L^2}$$

- 另一个限制是短沟道器件中载流子漂移速度达到饱和时的限制。此时， $\tau \approx L/V_{SL}$ ，由此，得到

$$f_0 = \frac{1}{2\pi} \cdot \frac{L}{V_{SL}}$$

## ② 最高振荡频率 $f_m$

- $f_m$ 的定义为当JFET输入和输出均共轭匹配时，共源功率增益为1时的频率。可以证明

$$f_m = \frac{f_T}{2\sqrt{r_1 + f_T\tau_3}}$$

其中

$$r_1 = \frac{R_G + R_{gs} + R_S}{R_{ds}}$$

$$\tau_3 = 2\pi R_G C_{gd}$$

- 由上面分析可见，器件的特征频率 $f_T$ 越高，最高振荡频率 $f_m$ 也越高。而器件的频率特性由它自身的几何尺寸和材料参数决定。另外，由于电子迁移率大于空穴迁移率，因此，不论是Si还是GaAs材料，微波器件都采用N沟FET的结构。再由于GaAs材料中低场电子迁移率又比Si的低场迁移率大约高五倍，所以，GaAs器件的频率特性又优于Si器件。要想得到高的 $f_m$ ，除了提高 $f_T$ 外，还必须使电阻比值 $r_1$ 达到最佳值，将寄生电阻 $R_G$ 、 $R_S$ 和反馈电容 $C_{gd}$ 减到最小。



## 8、饱和沟道电导和击穿电压

- 在线性区，漏电导比理想的要小，这是由于串联电阻造成的。
- 在饱和区 电流恒定的近似是合理的，但实际上电流略微向上倾，即相应于非零沟道电导，这是由于有效沟道长度缩短。随着漏源电压继续增加，最终导致器件进入雪崩击穿状态，这时器件上所加的漏端栅结上的反向偏置电压等于雪崩击穿电压 $BV_B$ ，此时的漏源电压称为漏源击穿电压 $BV_{DS}$ ，因而

$$BV_B = BV_{DS} + |V_{GS}| = BV_{DS} - V_{GS}$$

$$BV_{DS} = BV_B + V_{GS}$$

- 显然，漏源击穿电压随栅源反偏电压的增大而减小。

# 讨论:

- ①是电压控制型器件，不需要大的输入信号功率。
- ②是多数载流子导电的单极器件，无少子存储与扩散问题，速度高，噪音系数低；而且漏极电流 $I_{ds}$ 的温度关系决定于载流子迁移率的关系，则电流具有负的温度系数，器件具有自我保护的功能。
- ③输入端是反偏的p-n结，输入阻抗大，便于匹配。
- ④输出阻抗也很大，呈现为恒流源，这与BJT大致相同。
- ⑤JFET一般是耗尽型的，但若采用高阻衬底，也可得到增强型JFET(增强型JFET在高速、低功耗电路中很有应用价值)；但是一般只有短沟道的JFET才是能很好工作的增强型器件。
- ⑥沟道处于半导体内部，则沟道中的载流子不受半导体表面的影响，因此迁移率较高、噪声较低。

# 静电感应晶体管

## SIT(Static Induction Transistor)

- 实际上就是一种短沟道的JFET。
- SIT诞生于1970年，作为高低频大功率器件，可用于高保真度的音响设备、电源、电机控制、通信机、以及雷达、导航和各种电子仪器中。
- 工作原理：源漏电流受栅极上的外加垂直电场控制的垂直沟道场效应晶体管，其沟道区掺杂浓度低，沟道长度短，输出特性表现为非饱和型三极管特性。

# SIT的优点

- 和双极型晶体管相比，SIT具有以下优点：
  - ①线性好、噪声小。用SIT制成的功率放大器,在音质、音色等方面均优于BJT。
  - ②输入阻抗高、输出阻抗低，可直接构成OTL电路。
  - ③SIT是一种无基区晶体管，没有基区少数载流子存储效应，开关速度快。
  - ④它是一种多子器件，在大电流下具有负温度系数，器件本身有温度自平衡作用，抗烧毁能力强。
  - ⑤无二次击穿效应，可靠性高。
  - ⑥低温性能好，在-19℃下工作正常。
  - ⑦抗辐照能力比双极晶体管高50倍以上。

## § 4.5 肖特基栅场效应晶体管 (MESFET)

- MESFET的工作原理与JFET相同，是用肖特基势垒金半接触代替JFET的PN结做栅电极，通过其耗尽层厚度改变来调制电流通道的（导电沟道）的横截面，而且其电学性质与JFET相仿。所以把它与JFET归为一类讨论。GaAs MESFET最早在1966年发明，与JFET相比，MESFET在工艺制作和特性方面有某些优点。金半接触势垒在低温下形成，而pn结要在高温下采用扩散或生长工艺制造，因此可以采用GaAs这样电子迁移率高和饱和速度大的化合物半导体材料，来得到开关速度快和使用频率高的器件。GaAs与硅相比，电子迁移率大5倍，峰值漂移速度大一倍，所以GaAs MESFET在高频领域内得到广泛的应用。它在工作频率、低噪声、高饱和电平、高可靠性等方面大大超过了硅微波双极晶体管，最高频率可达60GHz。

- **JFET:**

基本上是一个由电压控制的电阻。这种器件利用一个反向偏置的pn结作为栅电极去控制电阻，从而控制两个欧姆结之间的电流。

- **MESFET:**

类似JFET，MESFET用金半整流接触去代替pn结作栅极。JFET和MESFET都可以用具有高电子迁移率的半导体材料制造，对于高速IC，具有非常好的优点。

其次，FET在大电流下具有负温度系数，即电流随温度的增加而减小，这个特点导致更均匀的温度分布，而且即使有源面积很大，或在许多器件并联使用时，其热稳定性也非常好。

# 1、基本结构

- 在半绝缘衬底上的外延层上制成, 以减小寄生电容（沟道—衬底电容）和便于器件之间的隔离。栅极金属一般用难熔金属（TiW合金）同时充当源漏接触区的掩膜, 使源漏接触尽可能靠近栅极, 以减小沟道两端的串联电阻。
- 沟道长度 $L$ , 沟道宽度 $Z$ , 沟道深度 $a$

- 器件类型及分类：
- 按沟道材料分为： n沟MESFET、 p沟MESFET
- 按零栅压时器件的工作状态分为： 耗尽型、增强型。
- 耗尽型器件： 栅压等于0时， 已存在导电沟道的器件； （常开 NO）
- 增强型器件： 栅压等于0时， 不存在导电沟道的器件。 （常关NC）



## 2、夹断电压和阈值电压

- 设n-GaAs层均匀掺杂，根据单边突变结p<sup>+</sup>-n结的理论，肖特基结的耗尽层厚度为：

$$h(y) = \sqrt{\frac{2\epsilon_s}{qN_D} [V_{bi} - V_{GS} + V(y)]}$$

- 当h=a时，势垒耗尽层边界和衬底接触，相应的总电势称为夹断电压

$$V_{p0} = \frac{qN_D a^2}{2\epsilon_0}$$

- 忽略串联电阻作用，在沟道源端 $V(y=0)=0$ ，使耗尽层边界和衬底接触的临界栅压为：

$$V_T = V_{bi} - V_p, \text{ 或 } V_{bi} = V_T + V_p$$

- 其中， $V_T$ 称为阈值电压。只有 $V_{GS}$ 超过 $V_T$ ，器件才会有导电沟道，进入导通状态。
- 如果半导体n-GaAs层厚度 $a$ 很小或掺杂很低，则 $V_{GS}=0$ 时器件因自建电压 $V_{bi}$ 的作用在源端夹断，而不存在导电沟道，只有在超过 $V_T$ 的正栅压下才能导通，称为增强型器件。
- 如果 $a$ 比较大或掺杂较高， $V_{GS}=0$ 时已经存在导电沟道，称为耗尽型器件，只有在比 $V_T$ 更负的栅压下才能截止。

### 3、电流电压特性

#### (1) 恒定迁移率模型

- 假定 $V_{DS}$ 不是很高，沿沟道方向的电场强度处处低于速度饱和电场，电流和电压关系满足欧姆定律。由此推导出漏电流的表达式：

$$I_{DS} = \frac{1}{L} \int_{h_1}^{h_2} qN_D \mu_n [a - h(y)] Z \frac{qN_D}{\epsilon_s} h dh = \frac{Z \mu_n q^2 N_D^2}{2\epsilon_s L} [a(h_2^2 - h_1^2) - \frac{2}{3}(h_2^3 - h_1^3)]$$

其中， $h_1$ 为沟道源端耗尽层厚度， $h_2$ 为沟道漏端耗尽层厚度。

$$h_1 = \sqrt{\frac{2\epsilon_s}{qN_D} (V_{bi} - V_{GS})}$$

$$h_2 = \sqrt{\frac{2\epsilon_s}{qN_D} (V_{bi} - V_{GS} + V_{DS})}$$

- 又可表达为:

$$I_{DS} = I_p \left[ \frac{V_{DS}}{V_p} - \frac{2}{3} \left( \frac{V_{DS} - V_{GS} + V_{bi}}{V_p} \right)^{3/2} + \frac{2}{3} \left( \frac{V_{bi} - V_{GS}}{V_p} \right)^{3/2} \right]$$

其中,  $V_p = \frac{qN_D a^2}{2\epsilon_s}$        $I_p = \frac{Z\mu_n q^2 N_D^2 a^3}{2\epsilon_s L}$

这里考虑MESFET只有上沟道, 没有下沟道, 因此 $I_p$ 取JFET的 $1/2I_p$ 。

- 耗尽型和增强型器件的基本I-V特性相类似，主要区别在于阈值电压 $V_T$ 随 $V_{GS}$ 移动。I-V特性分为：
  - ①线性区， $V_{DS}$ 很小时，沟道截面积基本与 $V_{DS}$ 无关，I-V特性是欧姆性的或线性的；
  - ②饱和区， $V_{DS} \gg V_{Dsat}$ 时，电流达到饱和值 $I_{Dsat}$ 。
  - ③随着 $V_{DS}$ 的进一步增加，最终导致栅-沟道二极管发生雪崩击穿， $I_{DS}$ 突然增大，称为雪崩击穿区。

①线性区： $V_{DS} \ll V_{bi} - V_{GS}$

$$I_{DS} \approx \frac{I_p}{V_p} \left[ 1 - \left( \frac{V_{bi} - V_{GS}}{V_p} \right)^{1/2} \right] V_{DS} = \frac{q\mu_n N_D Z a}{L} \left[ 1 - \left( \frac{V_{bi} - V_{GS}}{V_p} \right)^{1/2} \right] V_{DS}$$

漏电导（沟道电导）为：

$$g_D = \left. \frac{\partial I_{DS}}{\partial V_{DS}} \right|_{V_{GS}} = \frac{q\mu_n N_D Z a}{L} \left[ 1 - \left( \frac{V_{bi} - V_{GS}}{V_p} \right)^{1/2} \right] = \frac{q\mu_n N_D Z (a - h)}{L}$$

跨导为：

$$g_m = \left. \frac{\partial I_{DS}}{\partial V_{GS}} \right| = \frac{I_p}{2V_p^2} \left( \frac{V_p}{V_{bi} - V_{GS}} \right)^{1/2} V_{DS} = \frac{Z\mu_n}{L} \left[ \frac{qN_D \varepsilon_s}{2(V_{bi} - V_{GS})} \right]^{1/2} V_{DS}$$

## ②饱和区：

$$I_{Dsat} = I_p \left[ \frac{1}{3} - \frac{V_{bi} - V_{GS}}{V_p} + \frac{2}{3} \left( \frac{V_{bi} - V_{GS}}{V_p} \right)^{3/2} \right]$$

$$V_{Dsat} = V_p - V_{bi} + V_{GS} = V_{GS} - V_T$$

- 理想情况下， $I_{Dsat}$ 不是 $V_{DS}$ 的函数， $g_D=0$ 。实际上，随着 $V_{DS}$ 的增加，夹断点从漏向源端移动，有效沟道长度缩短，因此饱和区有非零的沟道电导。
- 跨导为：

$$g_m = \left. \frac{\partial I_{DS}}{\partial V_{GS}} \right|_{V_{DS}} = \frac{q\mu_n N_D Z a}{L} \left[ 1 - \left( \frac{V_{bi} - V_{GS}}{V_p} \right)^{1/2} \right] = \frac{q\mu_n N_D Z (a - h)}{L}$$

③雪崩击穿区：发生在沟道漏端，这里栅沟道结的反向电压最高，这时漏电压 $V_{DS}$ 和反向击穿电压 $V_B$ 有：

$$V_B = V_{DS} - V_{GS}。$$



## (2) 饱和速度模型

- FET的沟道长度减小到 $1\mu\text{m}$ 以下，沿沟道的电场通常很强，以致漏极电流饱和，并非由于沟道夹断，而是因为电子漂移速度达到饱和。
- 假定沟道电子以恒定的有效饱和漂移速度 $v_{SL}$ 运动（大约 $1.2 \times 10^7 \text{cm/s}$ ），从而饱和电流直接受耗尽层厚度 $h$ 和沟道深度 $a$ 之差调制，这就是饱和速度模型，能精确描述栅长在 $0.5 \sim 2\mu\text{m}$ 的短沟道GaAs MESFET在饱和区的电流特性。

- 对均匀掺杂材料，由速度饱和模型可得：

$$I_{DS} = qv_{SL}ZN_D(a-h) = qv_{SL}ZN_Da[1 - (\frac{V_{bi} - V_{GS}}{V_p})^{1/2}]$$

则器件的本征跨导为：

$$g_m = v_{SL}Z[\frac{qN_D\epsilon_s}{2(V_{bi} - V_{GS})}]^{1/2}$$

## 4、MESFET I-V模型

### (1) 改进的I—V模型

- 电路模拟建立在IV模型，是在对沟道电荷统一描述的基础上的“普适”模型。MOSFET、MESFET和HFET还需要考虑源、漏串联电阻对偏压的依赖关系，体电荷效应，平均低电场迁移率对偏压的依赖关系，参数对温度的关系等。
- 短沟道的FET中，漏极偏压会影响器件的阈值电压，DIBL效应（简单的描述为  $V_T = V_{T0} - \sigma V_{ds}$ ， $V_{T0}$ 为漏源电压为0时的阈值电压， $\sigma$ 为DIBL系数）。GaAs MESFET具有许多非理想的特性，输出电导对频率的依赖，背栅和侧栅偏置，扭曲效应，光敏效应等，因此需要进一步研究半绝缘衬底，控制效应，可以提高集成规模和可靠性，增大设计的自由度。

## (2) C—V模型

- 对FET的动态过程进行模拟，清楚器件中存贮电荷的变化，栅极和栅下面的耗尽层中贮存有电荷，只考虑与MESFET本征电荷相关的电容。
- 源漏有偏压时，栅压的耗尽层电荷沿沟道分布不均匀。因此栅和半导体之间的耦合电容存在一定分布，使沟道类似RC传输线，但由于栅很短，带宽有限，通常用集中电容模型描述本征器件的分布电容，有时候还要考虑与耗尽区扩展相关联的电容以及其它寄生电容等因素的影响。
- 要得到本征MESFET电容的精确模型，需对耗尽电荷的空间分布随外加电压的变化进行分析，另外还需要对沟道电荷随之变化进行精确分析，电荷守恒的问题可通过沟道电荷在源漏端的分配自动解决。关于完整的模型可见具体文献。

### (3) SPICE中的MESFET模型

- AIM—SPICE中MESFET模型参数例子：  
栅长 $L$ ，栅宽 $W$ ，发射系数 $N$ ，漏极电阻 $R_D$ ，  
源极电阻 $R_S$ ，饱和速度 $V_S$ ，低场迁移率，  
沟道厚度 $D$ ，阈值电压 $V_{TO}$ ，膝形系数 $M$ ，  
输出电导系数 $LAMBDA$ ，DIBL系数1  
 $SIGMAO$ ，系数2  $VSIGMAT$ ，系数3  
 $VSIGMA$ 。

## 5、频率特性

- 截止频率 $f_T$ 定义为该频率下器件不再放大输入信号，这时输入栅电容的电流等于漏端输出电流。

- 输入电流为: 
$$\tilde{i}_i = 2\pi f (C_{GS} + C_{GD}) \tilde{V}_{GS}$$

- 输出电流为: 
$$\tilde{i}_D = g_m \tilde{V}_{GS}$$

由定义得: 
$$\tilde{i}_i = \tilde{i}_D$$

则

$$f_T = \frac{g_m}{2\pi C_G}$$

其中 $C_G = C_{GS} + C_{GD}$ ,  
 $C_{GS}$ 是栅源之间的结电容,  
 $C_{GD}$ 是栅漏之间的结电容。

Semiconductor Devices

- 设栅沟道二极管的平均耗尽层厚度为 $a/2$ ，则栅电容为：

$$C_G = LZ \frac{\epsilon_s}{a/2} = \frac{2LZ\epsilon_s}{a}$$

- 提高截止频率应该有大的跨导 $g_m$ 和小的栅电容 $C_G$ ，即采用高载流子迁移率和短沟道长度的MESFET。频率响应主要受两个因素限制：载流子渡越沟道时间和肖特基势垒栅的RC时间常数。

- 其中，渡越时间

$$\tau = \frac{L_g}{\mu_0 \mathcal{E}_0} = \frac{L_g^2}{\mu_0 V_0}$$

其中 $L_g$ 为栅长， $\mu_0$ 为恒定的低场迁移率， $V_0$ 为外加漏源电压。

- 对短栅GaAs—MESFET，高电场下载流子速度饱和，饱和漂移速度为 $v_{SL}$ ，则

$$\tau = \frac{L_g}{v_{SL}}$$

截止频率和渡越时间的关系：

$$f_T = \frac{1}{2\pi\tau} \approx \frac{v_{SL}}{2\pi L_g}$$

**MESFET的高频限制与器件尺寸及材料参数有关，其中迁移率和栅长最重要。**



## 6、大功率特性

- 一般微波晶体管主要指标是截止频率和噪声系数，功率晶体管主要指标是功率增益和效率。最大可用功率增益为：

$$MAG = \left(\frac{f_T}{f}\right)^2 \frac{1}{\Delta g_d (R_i + R_S + \pi f_T L_S) + 4\pi C_{DS} (R_i + R_S + 2\pi f_T f_S)}$$

其中 $f$ 为工作频率， $f_T$ 为截止频率， $g_d$ 为漏电导， $R_S$ 为源串联电阻， $R_i$ 为源漏间沟道电阻， $L_S$ 为共源引线电感， $C_{DS}$ 是米勒反馈电容。

- 提高MESFET输出功率，有以下主要的工艺措施：
  - ①增加栅极宽度提高饱和漏电流
  - ②提高肖特基势垒栅的击穿电压，包括a选择外延的方法分别在源和漏引入低阻N<sup>+</sup>接触层，b用双层外延制备高阻缓冲层，然后再外延高浓度有源层，c腐蚀凹栅。
  - ③尽可能减小热阻
  - ④提高功率增益。缩小栅长降低欧姆接触电阻和改善截止频率 $f_T$ 均可达到此目的。

# 7、场效应晶体管结构举例

## (1) MESFET结构的发展过程

- MESFET的结构是逐步完善的,因而它的特性也是逐步提高的。
- MESFET的最初结构形式,器件的有源层直接生长在掺Cr的半绝缘GaAs衬底上,然后在有源层上分别制作肖特基结和欧姆接触。由于有源层直接作在半绝缘衬底上,衬底上的缺陷直接影响器件特性,因此这种结构的噪声特性较差。为克服这一缺点,后来就在有源层和衬底之间加入一层不掺杂的缓冲层,由于缓冲层减小了衬底缺陷对有源层的影响,所以器件噪声特性与增益均有所改善。

## (2) GaAs MESFET结构

- 由于GaAs材料与Si材料相比，有以下几个优点：一是电子迁移率约高五倍；二是约两倍于Si饱和速度的峰值速度；三是衬底的半绝缘性以及可制作良好的肖特基结等。所以，长期以来GaAs MESFET在高频高速器件中占据着重要地位。

## (3) JFET

- 因为PN结的自建势高于肖特基结，PN结的热稳定性也优于肖特基结。因而JFET的逻辑摆幅大于MESFET，且抗噪声能力强。所以，GaAs JFET可用于高速低功耗电路中。

#### (4) V型槽JFET

- V型槽JFET是一种非平面结构的场效应器件。
- 首先在P+衬底上外延生长(100)的N型外延层，以形成P+N结；接着在N型层上扩散一薄N+层，形成漏源接触区。然后采用各向异性腐蚀法，腐蚀出V型槽。槽边与水平面成 $54.7^\circ$ 。因此，腐蚀深度随槽宽的不同而自动停止在不同的深度上。两边的V型槽是用于沟道间相互隔离的隔离槽，中间的V型槽是沟道槽。
- 由于V型槽JFET的有效沟道长度远小于栅长L，因而其导通电阻变小，跨导增大。器件工作在饱和区时，VFET的夹断点在靠近沟道的中点，而不在漏端，因此，V型槽JFET的器件性能优于平面JFET。

## § 4.6 异质结MESFET

### 高电子迁移率晶体管 HEMT

- 二维电子气（2DEG）：电子或空穴在平行于界面的平面内自由运动，而在垂直于界面的方向受到限制。
- 在界面处形成电子势阱、反型层，作为导电沟道。
- 优点：载流子迁移率高，不受体内杂质缺陷散射
- 材料：  
AlGaAs/GaAs, AlGaAs/GaInAs/GaAs,  
AlInAs/GaZnAs/InP, SiGe/Si等。

## 2. 基本结构

(1) 用III—V族三元化合物 $\text{Ga}_{0.47}\text{In}_{0.53}\text{As}$ 作有源沟道层的双异质结器件，用分子束外延技术将该半导体层生长在 $\langle 100 \rangle$ 方向的InP半绝缘衬底上，半导体层和InP衬底的晶格匹配良好，界面陷阱密度很低。顶部的 $\text{Al}_{0.48}\text{In}_{0.52}\text{As}$ 层和铝栅形成一个肖特基势垒。 $\Phi_{\text{Bn}} = 0.8\text{V}$ ，沟道中的电子被限制在有源层 $\text{Ga}_{0.47}\text{In}_{0.53}\text{As}$ 内。由于有源层迁移率和峰值速度比GaAs高，所以能获得较高的跨导和较高的工作速度。

(2) 肖特基势垒接触做在宽禁带材料上，如  $\text{Al}_x\text{Ga}_{1-x}\text{As}$ ，是用外延方法生长在较窄禁带材料（如GaAs）上，适当控制这两种半导体材料的禁带宽度和掺杂浓度，就能在两种半导体界面上形成一个反型层。

- 所谓反型层，是一个少数载流子浓度高于平衡时的多子浓度的区域。（详细的将在MOS器件一章中讨论）因为反型层具有高电导率，所以从源到漏能通过大电流，当加上栅压时，反型层电导将受栅压调制而引起漏电流变化，其IV特性类似于耗尽型MESFET的IV特性。
- 若窄禁带材料是低掺杂的，其反型层内的迁移率将很高，这既能提高跨导，又能提高器件的工作速度和截止频率。

$$g_m = \frac{2Z\mu_n q N_D a}{L} \left[ 1 - \sqrt{\frac{V_{bi} - V_{GS}}{V_p}} \right] \propto \mu_n$$

$$f_T = \frac{2\mu_n q N_D a^2}{\pi \epsilon_s L^2} \propto \mu_n$$



### 3. I-V模型

可与GaAs MESFET相似的过程建模。

### 4. C-V模型

同样类似于GaAs MESFET的C-V模型。

### 5. SPICE模型

一般以MOSFET模型来模拟HFET器件和电路，比较精确。

# 总结与展望

- GaAs材料
- GaAs IC工艺
- 化合物半导体场效应晶体管具有高的 $f_T$  ( $>300\text{GHz}$ ) 和快的开关速度(ps)，单片集成百万晶体管，在微波毫米波技术、A/D转换器件、高速通讯电路中有明显优势，主要应用在高速高频、高温低温高能辐射等恶劣环境下。

# 总结与展望

- 发展方向：宽带隙半导体、新器件原理，不在于缩小器件尺寸，而是开发、集成不同材料系统，发明新器件原理，将FET、双极、光电子技术集成。
- 新型化合物FET，宽带隙器件如金刚石、ZnSe、SiC、GaN、ZnO等，以及异维器件（hetero dimensional devices）2D、3D，毫米波器件，高速超低功耗集成电路。
- 与常规硅基电路集成，更低功耗更低成本更低噪声
- 与InP基光电子器件进行集成兼容，衬底昂贵易碎
- GaN基HFET，大功率、高温应用领域