

## Trabalho Prático 1 - Lógica Combinacional

### 1 Contexto

Há alguns meses, a comunidade do nosso campus teve a surpresa de entrar em contato com um povo alienígena. Ao que parece, o pequeno grupo de extraterrestres teleportou para Florestal por acidente, mas eles não sabem como voltar. Até o momento, esse contato de quinto grau havia sido mantido no sigilo.

No entanto, uma das professoras, que lidera os estudos linguísticos para compreender os visitantes, decidiu contatar a Ciência da Computação para ajudar no processo. Vocês, alunos de ISL, foram então prontamente contatados para desenvolver um importante módulo do sistema de comunicação - feito inteiramente com FPGAs!

O que foi descoberto até agora: os alienígenas, que se denominam *xylos* (lê-se /záilous/), tem um sistema de fala e de escrita baseado inteiramente em notas musicais. Eles falam em dois tons, e usando sete notas diferentes, iguais às que conhecemos. Cada combinação de tom com nota gera uma letra diferente em seu alfabeto, como mostra a Figura 2. Vocês devem então converter uma entrada representado som e transformá-la em uma letra da língua *xylo*.

Claro, a história é fictícia, mas o desafio é real.

### 2 Descrição

Este trabalho consiste na elaboração passo a passo do projeto de um circuito combinacional, em Verilog, cujo objetivo é transformar uma entrada que representa um som em uma saída para o display de sete segmentos que representa uma letra do alfabeto fictício *xylo*.

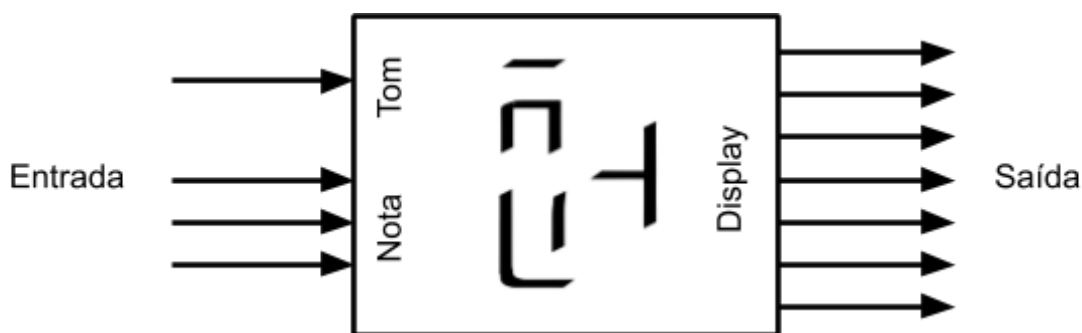


Figura 1 - Esquema do módulo de transcrição *xylo*

Como pode ser visto na Figura 1, o circuito a ser desenvolvido conta com duas entradas e uma saída. A primeira entrada corresponde ao **tom**, e consiste de apenas **1 bit**. A segunda entrada corresponde à **nota**, e consiste de **3 bits**. A saída consiste de **7 bits**, cada um deles correspondendo a um **segmento** do display de sete segmentos. A saída deve formar os símbolos mostrados na Figura 2. Note que há apenas sete notas, mas no total é possível representar oito notas com 3 bits. Para o caso dessa nota inexistente, considere que todos os segmentos do display devem ficar apagados. Para padronizar, considere a nota inválida como sendo a entrada 0.

No total, seu grupo deverá elaborar **três** módulos em Verilog. Além do módulo de **transcrição**, que já foi descrito, é necessário criar o módulo de **simulação** e o módulo para

**síntese** no FPGA. Ambos serão responsáveis por gerar as entradas para o módulo de transcrição e mostrar sua saída, porém cada um o fará de uma forma diferente.

		Nota						
		C	D	E	F	G	A	B
		(Dó)	(Ré)	(Mi)	(Fá)	(Sol)	(Lá)	(Si)
Tom	Alto							
	Baixo							

Figura 2 - Tabela de referência do alfabeto xylo

### 3 Elaboração

1. Módulo de transcrição:
  - a. Montar a tabela da verdade para cada saída;
  - b. Apresentar formas canônicas de cada saída usando as notações  $\Sigma m$  e  $\Pi M$ ;
  - c. Simplificar com mapas de Karnaugh, em soma de produtos **OU** produto de somas. O grupo decide qual forma usar, e deve manter essa escolha ao longo do trabalho;
  - d. Apresentar a forma simplificada de cada saída;
  - e. Representar o circuito resultante com uma ferramenta ([Logisim](#) ou similar);
  - f. Implementar o módulo em Verilog.
2. Módulo de simulação:
  - a. Implementar o módulo em Verilog;
  - b. Simular o circuito usando o [Icarus Verilog](#);
  - c. Visualizar as formas de onda com o [GTKWave](#).
3. Módulo de síntese:
  - a. Implementar o módulo em Verilog;
  - b. Compilar com o Intel Quartus;
  - c. Testar o circuito no FPGA.

### 4 Observações

- Atenção: cada segmento do display de sete segmentos acende quando seu valor é **0**.
- Todos os passos da elaboração devem ser documentados no relatório, de forma sucinta e significativa. Para os passos que não geram algum resultado observável além de código (ex.: 1f, 2a, 3b), basta citar que a etapa foi realizada.
- Não há necessidade de colocar código fonte ou parte dele no relatório: os arquivos do código já devem ser entregues com o relatório, de forma que isso seria redundante.
- O trabalho deve ser entregue exclusivamente pelo PVANet, sendo que apenas um aluno de cada grupo precisará submetê-lo ao sistema.
- Apenas um arquivo compactado deve ser entregue, contendo: o relatório do trabalho em PDF, os arquivos Verilog (.v) de cada módulo, e o arquivo da simulação (.vcd).
- Cópias de trabalhos práticos serão exemplarmente penalizadas. A punição será a mesma para quem copiou e para quem forneceu o trabalho prático.

### 5 Data de Entrega

Simulação: 30/09/2019

Síntese: 21/10/2019