

Σχολή Ηλεκτρολόγων Μηχανικών και Μηχανικών Υπολογιστών
Εθνικό Μετσόβιο Πολυτεχνείο



Συστήματα Μικροϋπολογιστών

Δεύτερη ομάδα ασκήσεων

Σπουδαστές

Κατσάμπουλα Χριστίνα Σοφία	(Α.Μ.: 03114910)
Παπασκαρλάτος Αλέξανδρος	(Α.Μ.: 03111097)

Ημερομηνία Υποβολής Αναφοράς: 1 Μαΐου 2018

Άσκηση 1

α) ;MEROS 1

IN 10H

START:

LXI H,0900H ;Orizoume thn prwth 8esh mnhmhs

MVI A,FFH ;Orizoume ton prwto ari8mo pros apo8hkeysh

L1: ;Me ayto to loop apo8hkeyoume touw ari8mous

MOV M,A ;255 ews 0 stis 8eseis mnhnmhs 0900 H ews 09FFH

INX H

DCR A

CPI 00H ;To loop termatizei otan to A ginei 0 (prin
omws to apo8hkeysoume)

JNZ L1

MOV M,A ;Apo8hkeyoume to 0 sth 8esh 09FF H
;sthn praksh de xreiazetai ka8ws h 8esh 09FF H
exei
;hdh periexomeno 0, afou den thn exoume
peiraksei ka8olou
;(To grafoume gia logous plhrothtas)

Στην παρακάτω εικόνα φαίνεται ότι εκχωρήθηκαν οι ζητούμενοι αριθμοί στις θέσεις που έπρεπε.

08FC	00	08FD	00	08FE	00	08FF	00	0900	FF	0901	FE	0902	FD	0903	FC	0904	FB
0905	FA	0906	F9	0907	F8	0908	F7	0909	F6	090A	F5	090B	F4	090C	F3	090D	F2
090E	F1	090F	F0	0910	EF	0911	EE	0912	ED	0913	EC	0914	EB	0915	EA	0916	E9
0917	E8	0918	E7	0919	E6	091A	E5	091B	E4	091C	E3	091D	E2	091E	E1	091F	E0
0920	DF	0921	DE	0922	DD	0923	DC	0924	DB	0925	DA	0926	D9	0927	D8	0928	D7
0929	D6	092A	D5	092B	D4	092C	D3	092D	D2	092E	D1	092F	D0	0930	CF	0931	CE
0932	CD	0933	CC	0934	CB	0935	CA	0936	C9	0937	C8	0938	C7	0939	C6	093A	C5
093B	C4	093C	C3	093D	C2	093E	C1	093F	C0	0940	BF	0941	BE	0942	BD	0943	BC
0944	BB	0945	BA	0946	B9	0947	B8	0948	B7	0949	B6	094A	B5	094B	B4	094C	B3
094D	B2	094E	B1	094F	B0	0950	AF	0951	AE	0952	AD	0953	AC	0954	AB	0955	AA
0956	A9	0957	A8	0958	A7	0959	A6	095A	A5	095B	A4	095C	A3	095D	A2	095E	A1
095F	A0	0960	9F	0961	9E	0962	9D	0963	9C	0964	9B	0965	9A	0966	99	0967	98
0968	97	0969	96	096A	95	096B	94	096C	93	096D	92	096E	91	096F	90	0970	8F
0971	8E	0972	8D	0973	8C	0974	8B	0975	8A	0976	89	0977	88	0978	87	0979	86
097A	85	097B	84	097C	83	097D	82	097E	81	097F	80	0980	7F	0981	7E	0982	7D
0983	7C	0984	7B	0985	7A	0986	79	0987	78	0988	77	0989	76	098A	75	098B	74
098C	73	098D	72	098E	71	098F	70	0990	6F	0991	6E	0992	6D	0993	6C	0994	6B
0995	6A	0996	69	0997	68	0998	67	0999	66	099A	65	099B	64	099C	63	099D	62
099E	61	099F	60	09A0	5F	09A1	5E	09A2	5D	09A3	5C	09A4	5B	09A5	5A	09A6	59
09A7	58	09A8	57	09A9	56	09AA	55	09AB	54	09AC	53	09AD	52	09AE	51	09AF	50
09B0	4F	09B1	4E	09B2	4D	09B3	4C	09B4	4B	09B5	4A	09B6	49	09B7	48	09B8	47
09B9	46	09BA	45	09BB	44	09BC	43	09BD	42	09BE	41	09BF	40	09C0	3F	09C1	3E
09C2	3D	09C3	3C	09C4	3B	09C5	3A	09C6	39	09C7	38	09C8	37	09C9	36	09CA	35
09CB	34	09CC	33	09CD	32	09CE	31	09CF	30	09D0	2F	09D1	2E	09D2	2D	09D3	2C
09D4	2B	09D5	2A	09D6	29	09D7	28	09D8	27	09D9	26	09DA	25	09DB	24	09DC	23
09DD	22	09DE	21	09DF	20	09E0	1F	09E1	1E	09E2	1D	09E3	1C	09E4	1B	09E5	1A
09E6	19	09E7	18	09E8	17	09E9	16	09EA	15	09EB	14	09EC	13	09ED	12	09EE	11
09EF	10	09F0	0F	09F1	0E	09F2	0D	09F3	0C	09F4	0B	09F5	0A	09F6	09	09F7	08
09F8	07	09F9	06	09FA	05	09FB	04	09FC	03	09FD	02	09FE	01	09FF	00	0A00	00
0A01	00	0A02	00	0A03	00	0A04	00	0A05	00	0A06	00	0A07	00	0A08	00	0A09	00
0A0A	00	0A0B	00	0A0C	00	0A0D	00	0A0E	00	0A0F	00	0A10	00	0A11	00	0A12	00

β) ;MEROS 2 ;8a metrhsoume ta synolika mhdenika

LXI H,0900H

MVI C,00H ;To C 8a periexei to loop counter tou L2

LXI D,0000H ;To plh8os tw n 0 8a apo8hkeytei sto D-E

L2: ;To L2 8a lambanei ka8e ari8mo diadoxika
(256 fores)

```
MVI B,09H      ;To B 8a periexei to loop counter tou L3
MOV A,M
```

```
L3:           ;To L3 8a metraei ta mhdenika ston ekastote
                ari8mo
```

```
DCR B          ;To loop 8a ektelestei 8 fores. To B
                ksekina apo
```

```
JZ L4          ;to 09 H giati to bhma kai o elegxos
                ginontai sthn arxh tou loop
```

```
RRC            ;8a ginoun 8 diadoxika shift kai
```

```
JC L3
```

```
INX D          ;opote briskoume 0, 8a ayksanoume to
                periexomeno tou D-E
```

```
JMP L3
```

```
L4:           ;Edw ginetai to bhma kai o elegxos tou
```

```
INX H          ;counter tou L2
```

```
DCR C
```

```
JNZ L2
```

Παρατηρούμε ότι το πλήθος των μηδενικών που υπάρχουν είναι 400H=1024D. Η εντολή RST 1 δίνει την δυνατότητα να εμφανιστούν στους καταχωρητές οι τιμές τους.



γ) ;MEROS 3

LXI H,0900H

MVI C,00H ;Apo8hkeyoume sto C to plh8os tw
zhtoumenwn ari8mwn

MVI B,00H ;To B 8a periexei to loop counter tou L5

L5: ;To L5 8a ektelestei 256 fores

MOV A,M

CPI 20H ;An o ari8mos einai <20 H,

JC NEXT ;den ton prosmetrame

CPI 71H ;An o ari8mos einai >=71 H (ara >70 H),

JNC NEXT ;den ton prosmetrame

INR C

NEXT: ;Bhma kai elegxos tou L5

INX H

DCR B

JNZ L5

Το πλήθος των αριθμών που ανήκουν στο εύρος 20H -70H είναι 51H=81D.

B	C
00	51

δ) ;MEROS 4

MEROS 4:

```
LDA 2000H
MOV B,A
ANI 20H           ;Bitwise AND me ton 20H = 0010 0000 b
CPI 20H           ;Kai elegxos gia na doume to status tou
                  ;3ou diakopth
JNZ D6            ;An einai OFF, pername ston epomeno
                  ;diakopth
MOV A,C           ;An einai ON, bazoume thn timh tou C ston
                  ;A
JMP LEDS          ;Kai anaboume ta LEDS antistoixa
```

D6: ;Omoia me prin, elegxoume ton 2o diakopth

```
MOV A,B
ANI 40H
CPI 40H
JNZ D7
MOV A,E           ;Metaferoume thn timh tou E ston A
JMP LEDS
```

D7: ;Omoia me prin, elegxoume ton 1o diakopth

```
MOV A,B
```

```
ANI 80H
CPI 80H
JNZ NONE
MOV A,D          ;Metaferoume thn timh tou D ston A
JMP LEDS
```

```
NONE:          ;An kanenas den einai ON,
```

```
MVI A,00H        ;Sbhnoume ta LEDS
```

```
LEDS:         ;Edw anaboun ta LEDS analoga me thn timh
                tou A
```

```
CMA              ;Ena LED anabei otan to antistoixo bit
                einai 0
```

```
STA 3000H
```

```
JMP MEROS_4
```

```
END
```

Άσκηση 2

LXI B,00C8H ;Xronoka8ysterhsh 00C8H = 200d msec

START:

LDA 2000H

RRC ;Elegxoume to LSB tw'n dip switch

JC LSB_ON ;An LSB = 1, kanoume alma

JMP START ;Epanalambanoume th diadikasia mexri na
anoiksei o diakopths

LSB_ON: ;O diakopths phge sto ON

LDA 2000H

RRC ;Elegxoume to diakopth,

JC LSB_ON ;Epanalambanoume th diadikasia mexri na paei
sto OFF

OFF: ;Diakopths pisw sto OFF

MVI E,00H ;O E 8a periexei to metrhth mas gia na mhn
kseperasoume ta 15 sec

MVI H,00H ;O H 8a periexei to status tw'n LEDs

OFF_START: ;8a to ylopoihsoume wste ta LEDs na
anaboun h sbhnoun mia fora ana sec

INR E

MOV A,H ;Anaboume h sbhnoume ta LEDs analoga me to
prohgoumeno status tous

STA 3000H

CMA ;Antistrefoume to status na eimaste etoimoi gia
to epomeno loop

MOV H,A

MVI L,00H ;8eloume na elegxoume tous diakoptes ana
200msec

ELEGXOS_OFF: ;Alla kalytera ta fwtakia na mhn
anabosbhnoun toso grhgora


```

CALL DELB      ;Opote 8a kanoume 5 loops ka8ysterhshs tw
                200msec (5x200msec = 1sec)
INR L          ;Kai 8a apo8hkeysoume to loop counter ston
                L
LDA 2000H      ;Se ka8e loop 8a elegxoume epipleon tous
                diakoptes
RRC            ;Ean ginei ON, 8a pame sto antistoixo loop
                elegxou sthn ON katastash

JC ELEGXOS_ON
MOV A,L
CPI 05H
JC ELEGXOS_OFF
MOV A,E
CPI 10H        ;Sthn arxh tou 16ou sec (dhladh sto telos
                tw 15 sec) ta LEDs 8a sbhnoun

JC OFF_START
JMP START

```

ON_DURING:

```

INR E

MOV A,H
STA 3000H
CMA
MOV H,A

MVI L,00H

```

```

ELEGXOS_ON:      ;Omoia me to "ELEGXOS_OFF"

```

```

CALL DELB      ;Shmeiwnoume pws otan egine to alma
                krathsame thn idia timh tou L

INR L
LDA 2000H
RRC
JNC OFF
MOV A,L
CPI 05H
JC ELEGXOS_ON
MOV A,E
CPI 10H
JC ON_DURING
JMP START

```

END

Ασκηση 3

START:

MVI B,00H ;"Deikths" pou 8a apo8hkeyei tis eksodous prin
graftoun sthn 3000H

LDA 2000H

MOV D,A ;Back up tou status tw n diakoptwn ston D

X0: ;OR(A0, A1)

ANI 03H ;Krataw ta 2 teleytaia pshfia (03H = 0000
0011b)

CPI 00H ;An estw ena bit einai 1, tote A diaforo tou 0

JZ X1 ;An A einai 0, ola ta bits=0,prospername
thn energopoihshtou X0

MOV A,B ;An A diaforo tou 0, energopoioyme to X0

ADI 01H ;01H = 0000 0001 b

MOV B,A ;O B ginetai xxxx xxx1 b

X1:

;AND(A2, A3)

MOV A,D ;Idia logikh me prin, alla edw apaitoume kai ta
dyo bit na einai 1

ANI 0CH ;Opote bitwise AND me 0CH = 0000 1100 b

CPI 0CH ;Kai sygkrish me ton 0000 1100 b

JNZ X2

MOV A,B

ADI 02H ;02H = 0000 0010 b

MOV B,A ;O B ginetai xxxx xx1x b

X2: ;OR(A4, A5)

MVI C,00H ;Deikths pou 8a apo8hkeyei an h X2 einai 1
;Enallaktika, 8a mporousame na xrhsimopoihsoume
argotera ton B

;Kai na kanoume AND me ton 0000 0100 b gia na
doume thn timh ths X2

MOV A,D

ANI 30H ;30H = 0011 0000 b

CPI 00H

JZ X3

MVI C,01H

MOV A,B

ADI 04H ;04H = 0000 0100 b

MOV B,A ;O B ginetai xxxx x1xx b

X3:

;XOR(Y1, X2)

MOV A,D ;opou Y1=AND(A6,A7)

ANI C0H ;C0H = 1100 0000 b

CPI C0H

JZ Y1

MVI A,00H ;An Y1=0, kanoume A=0

JMP X3_XOR

Y1:

MVI A,01H ;An Y1=1, kanoume A=1

X3_XOR: ;XOR(Y1,X2) (teliko apotelesma)

CMP C ;O A periexei thn timh ths Y1 kai o C thn
timh ths X2

JZ LEDS ;An einai idies, prospername thn energopoihsh
ths X3

MOV A,B ;Edw energopoieitai h X3

ADI 08H ;01H = 0000 1000 b

MOV B,A ;O B ginetai xxxx 1xxx b

LEDS: ;Anaboume ta LEDS symfwna me ta dedomena
opws analy8hkan

MOV A,B ;O B periexei ta bits tw n epi8ynhtwn eksodwn

CMA ;To ekastote LED anabei ann to antistoixo bit
einai 0

STA 3000H

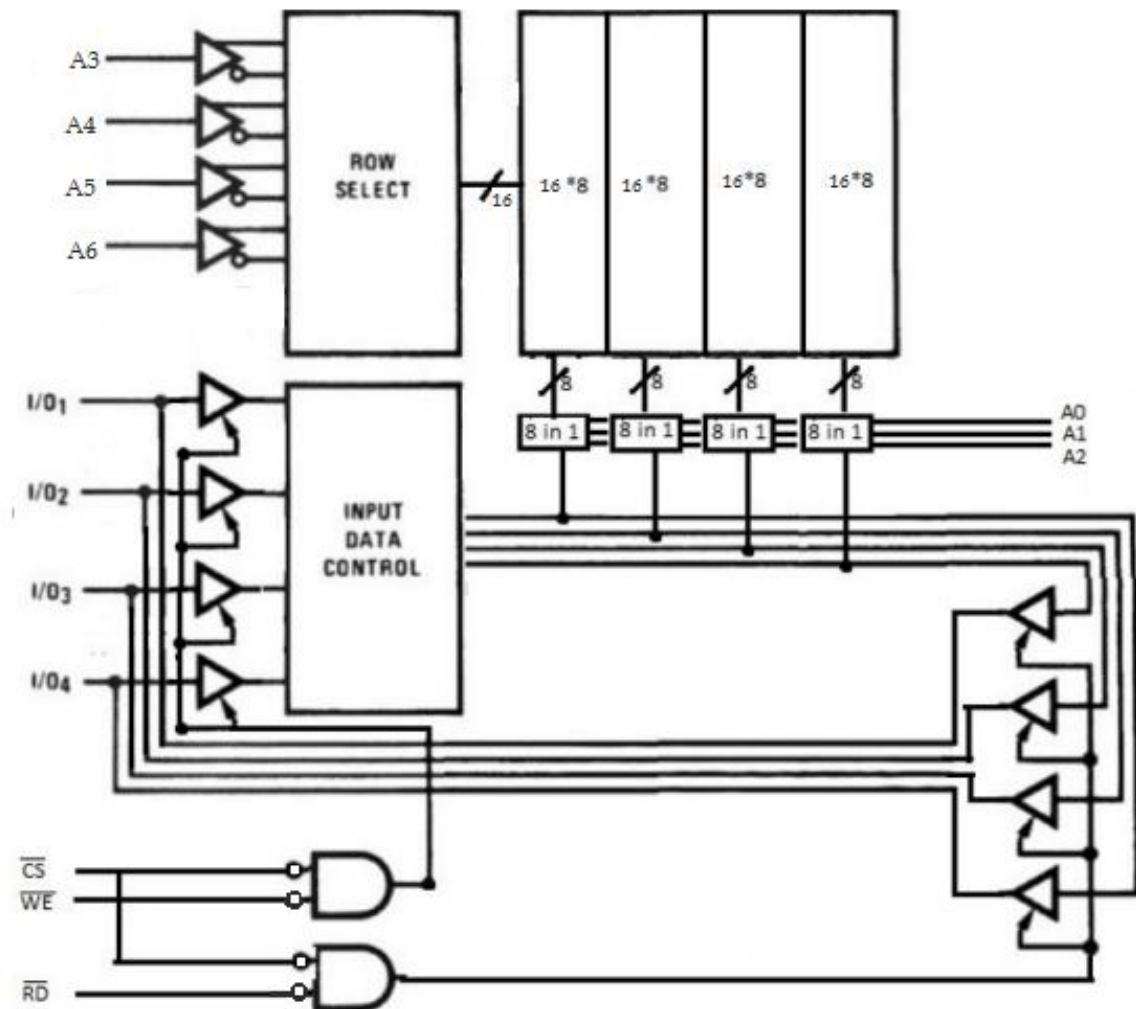
JMP START ;Synexhs leitourgia

END

Άσκηση 4

Οργάνωση Μνήμης SRAM (128Kx4)

Η διάταξη αποτελείται από 16x32 στοιχεία μνήμης. Ανάλογα την επιλογή γραμμής διεύθυνσης A3-A6 από τον πίνακα της μνήμης μία από τις 16 γραμμές. Η γραμμή του πίνακα που επιλέγεται με ένα κύκλωμα αποκωδικοποίησης έχει 32 Bit και με την σειρά τους αυτά οργανώνονται σε τετράδες. Για το ποια τετράδα θα συνδεθεί στις τέσσερις γραμμές των δεδομένων γίνεται με την βοήθεια τεσσάρων πολυπλεκτών 8 σε 1. Αυτοί οι πολυπλέκτες ελέγχονται από τα bit A0-A2 της διεύθυνσης. Οι πολυπλέκτες υλοποιούνται με διακόπτες και επιτρέπουν τη διέλευση των δεδομένων και προς τις δύο κατευθύνσεις, ανάλογα με τα σήματα ελέγχου. Αυτά καθορίζουν το αν θα γίνει ανάγνωση ή εγγραφή.



Στον παρακάτω πίνακα βλέπουμε την λειτουργία του κυκλώματος αυτού:

CS'	RD'	WE'	Κατάσταση SRAM
1	X	X	Απομόνωση SRAM
0	1	1	Αναμονή για ανάγνωση ή εγγραφή δεδομένων
0	0	1	Ανάγνωση δεδομένων από την SRAM
0	1	0	Εγγραφή δεδομένων στην SRAM

Θεωρούμε πως οι RD' και WE' δεν μπορούν να έχουν ταυτόχρονα είσοδο 0.

Η είσοδος CS' έχει τιμή 1 όσο δεν χρειάζεται να γίνει ανταλλαγή δεδομένων μεταξύ SRAM και του περιβάλλοντος του. Επίσης οι τρισταθείς απομωνοτές έχουν τιμή 0 επομένως η μνήμη είναι απομωνομένη.

Αντίθετα όταν η CS' έχει τιμή 0 τότε η κατάσταση της SRAM εξαρτάται από τα RD' και WE'.

Επομένως ανάλογα με τις εισόδους έχουμε:

- Για RD'=1 και WE'=1

Η μνήμη παραμένει απομονωμένη, οπότε δεν γίνεται ούτε ανάγνωση ούτε εγγραφή.

- Για RD'=0 και WE'=1

Γίνεται πρόσβαση στην μνήμη για ανάγνωση του περιεχομένου της. Με την βοήθεια των A0-A2 και A3-A6 επιλέγεται μία από τις 128 διευθύνσεις της SRAM. Μέσω των πολυπλεκτών τα 4 bit της επιλογής που ενεργοποιήσαμε, οδηγούνται στις εισόδους των τρισταθών απομονωτών, των οποίων το σήμα ελέγχου είναι η έξοδος της πύλης AND με συνιστώσα το σήμα RD'.

Όταν γίνει 1 η είσοδος και των τεσσάρων απομονωτών τότε τα 4 bit της επιλογής φορτώνονται στα I/O1 - I/O4 και έτσι γίνεται η ανάγνωση.

Οι τέσσερις τρισταθείς απομονωτές που λαμβάνουν ως σήμα ελέγχου την έξοδο της πύλης AND με συνιστώσα το σήμα WE' έχουν μεταβεί σε κατάσταση υψηλής αντίστασης εξόδου, με αποτέλεσμα να παρεμποδίζουν τη δυνατότητα εγγραφής στη μνήμη SRAM.

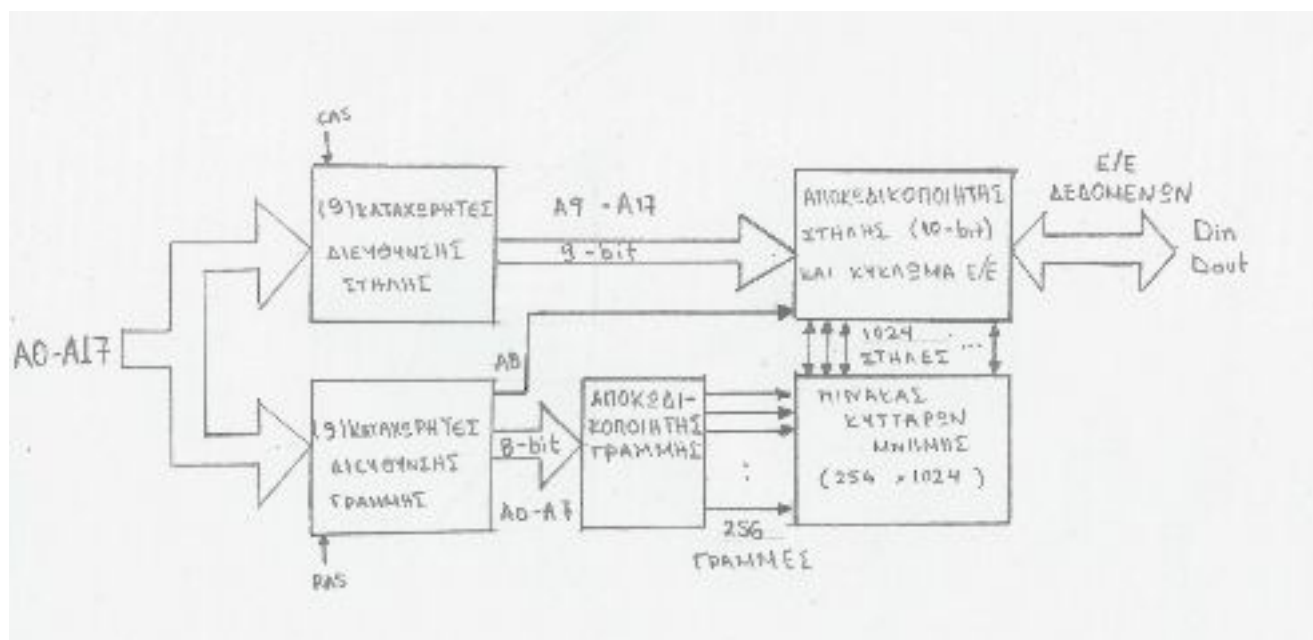
- Για $RD'=1$ και $WE'=0$

Σε αυτή την περίπτωση θέλουμε να έχουμε πρόσβαση στην μνήμη για να κάνουμε εγγραφή. Με την βοήθεια των A0-A2 και A3-A6 επιλέγεται μία από τις 128 διευθύνσεις της SRAM.

Στη συνέχεια οι τέσσερις τρισταθείς απομονωτές που λαμβάνουν ως σήμα ελέγχου την έξοδο της πύλης AND με συνιστώσα το σήμα WE' οδηγούν τα bits εισόδου στους πολυπλέκτες, που έχουν εδώ ρόλο αποκωδικοποιητή, και έπειτα αποθηκεύονται στην κατάλληλη διεύθυνση μνήμης της SRAM.

Οι τέσσερις τρισταθείς απομονωτές που λαμβάνουν ως σήμα ελέγχου την έξοδο της πύλης AND με συνιστώσα το σήμα RD' έχουν μεταβεί σε κατάσταση υψηλής αντίστασης εξόδου, με αποτέλεσμα να παρεμποδίζουν τη δυνατότητα ανάγνωσης από τη μνήμη SRAM.

Οργάνωση Μνήμης DRAM (256Kx1)



Η DRAM 256Kx1 ακολουθεί οργάνωση κατά bit όπως η σειρά 51100 της Hitachi. Αποτελείται από 256K διευθύνσεις δηλαδή 2^{18} διευθύνσεις επομένως χρειαζόμαστε 18 εισόδους οι οποίες είναι οι A0-A17.

Η εγγραφή της δυναμικής μνήμης γίνεται στο αρνητικό μέτωπο του παλμού W' ενώ το σήμα G' ισούται με 1. Η ανάγνωση γίνεται στο μέτωπο του παλμού G', ενώ η είσοδος W' πρέπει να είναι 1.

Εδώ παρουσιάζουμε μια μνήμη με 1024 στήλες και 256 σειρές. Θα ήταν αποδεκτές κι άλλες διατάξεις σειρών και στηλών.

Γενικά, προτιμούμε να έχουμε σχετικά λίγες γραμμές και πολλές στήλες. Αυτό συμβαίνει λόγω της λειτουργίας σελίδας (εφόσον αυτή υφίσταται στη μνήμη μας).

Συγκεκριμένα, λόγω του τρόπου λειτουργίας της μνήμης έχουμε γρήγορη πρόσβαση στα δεδομένα που βρίσκονται στην ίδια σελίδα (σειρά μνήμης). Έτσι, έχουμε υψηλότερη επίδοση αν τα δεδομένα μας εμφανίζουν τοπικότητα. Επιπλέον, με λιγότερες σειρές επιταχύνεται η διαδικασία της ανανέωσης δεδομένων καθώς αυτή γίνεται ανά σειρά.

Άσκηση 5

Ο μικροεπεξεργαστής 8085 διαθέτει 16 bit (A0 έως A15) για τη διευθυνσιοδότηση στη μνήμη. Προφανώς, επειδή $2^{16} = 64K$, αυτό είναι και το όριο στη μνήμη που μπορούμε να έχουμε. Σε κάθε θέση μνήμης αποθηκεύουμε μια λέξη των 8 bit = 1 byte.

Κατασκευάζουμε το χάρτη μνήμης σύμφωνα με τις προδιαγραφές που μας δόθηκαν.

Ετικέτα	Τύπος		Address bits															
			15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ROM1	ROM 2Kx8bit	Αρχή	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
			0				0				0				0			
		Τέλος	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1
			0				7				F				F			
ROM2	ROM 2Kx8bit	Αρχή	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0
			0				8				0				0			
		Τέλος	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1
			0				F				F				F			
RAM1	SRAM 2Kx8bit	Αρχή	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0
			1				0				0				0			
		Τέλος	0	0	0	1	0	1	1	1	1	1	1	1	1	1	1	1
			1				7				F				F			
RAM2	SRAM 2Kx8bit	Αρχή	0	0	0	1	1	0	0	0	0	0	0	0	0	0	0	0
			1				8				0				0			
		Τέλος	0	0	1	1	0	1	1	1	1	1	1	1	1	1	1	1
			3				7				F				F			

Παρατηρούμε πως μπορούμε να διακρίνουμε τις περιοχές που μας ενδιαφέρουν, ελέγχοντας μόνο τα ψηφία A11, A12, A13. Στον παραπάνω πίνακα τα έχουμε χρωματίσει για να γίνει πιο κατανοητό.

Φυσικά, όπως φαίνεται πρέπει τα A14, A15 να είναι 0.

0000 H 07FF H	ROM1 (2K)
0800 H 0F00 H	ROM2 (2K)
1000H 17FF H	RAM1(2K)
1800 H 37FF H	RAM2 (8K)
3800 H FFFF H	ΔΕΝ ΧΡΗΣΙΜΟΠΟΙΕΙΤΑΙ (40 K)

Θα σχεδιάσουμε και το αντίστοιχο κύκλωμα, σύμφωνα με τις προδιαγραφές.

Καταρχάς, θα έχουμε μια γραμμή ελέγχου ΙΟ/Μ'. Όταν το σήμα είναι στο 1, ο μικροεπεξεργαστής θα απευθύνεται σε κάποια πόρτα εισόδου/εξόδου, οπότε δεν έχουμε προσπέλαση στη μνήμη.

Αντίθετα, όταν το σήμα βρίσκεται στο 0, ο μικροεπεξεργαστής απευθύνεται στη μνήμη και έχουμε λειτουργία ανάγνωσης ή εγγραφής ανάλογα με την τιμή των σημάτων RD' και WR'.

Όταν RD' = 0, έχουμε ανάγνωση και όταν WR' = 0, έχουμε εγγραφή.

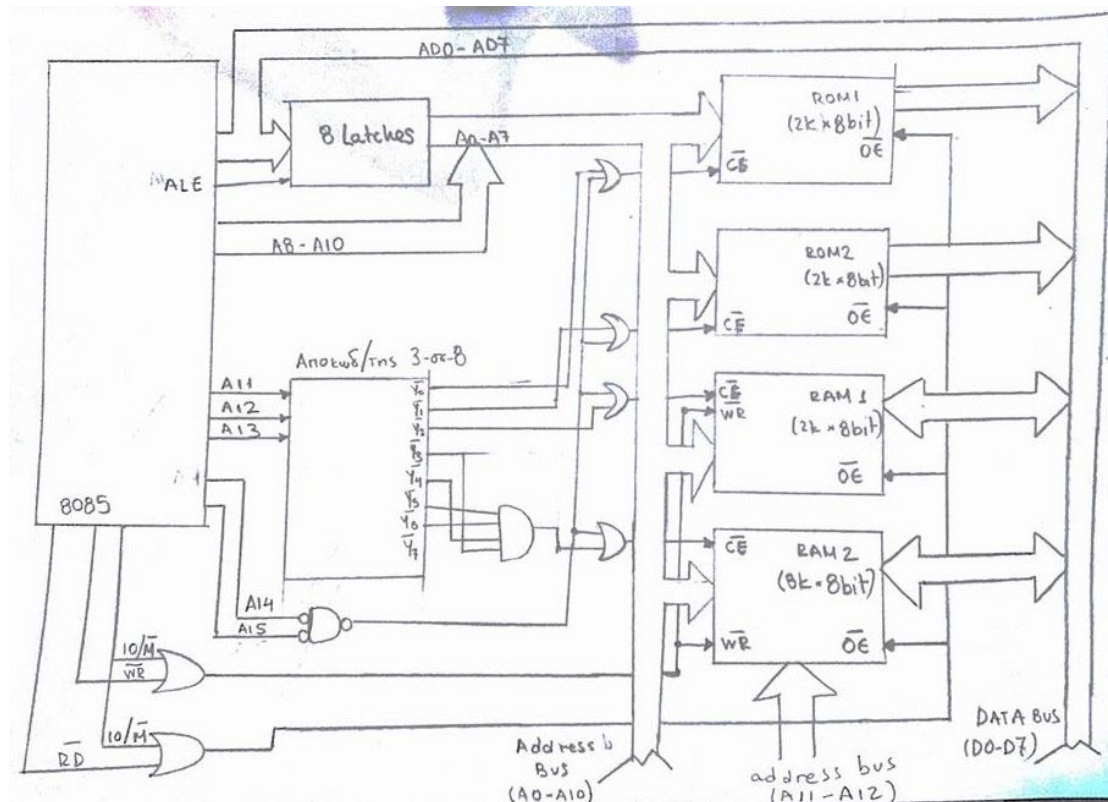
Για να είναι ενεργό οποιοδήποτε chip μνήμης καταρχάς απαιτούμε τα A14, A15 να είναι 0.

Έπειτα, για την επιλογή του εκάστοτε chip, χρησιμοποιούμε αποκωδικοποιητή αρνητικής λογικής με bit εισόδου τα A11,A12,A13 όπως αναλύθηκε νωρίτερα.

Οι ROM1, ROM2, RAM1 (όλες $2K = 2^{11}$) δέχονται τα bit A0-A10 για τη εύρεση της σωστής διεύθυνσης αφού επιλεγούν.

Η RAM2 ($8K = 2^{13}$) δέχεται τα bit A0-A12 για την εύρεση της σωστής διεύθυνσης αφού επιλεγεί.

Προκύπτει το κάτωθι σχήμα.

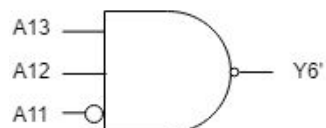
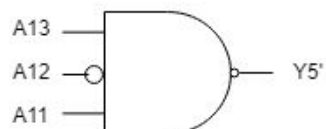
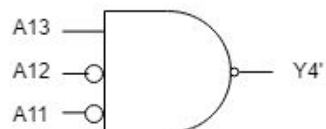
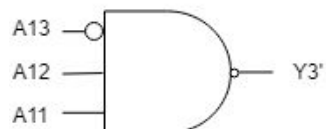
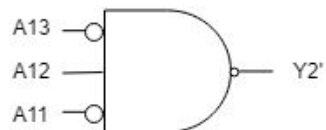
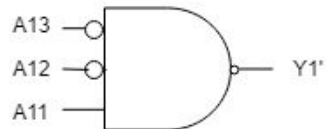
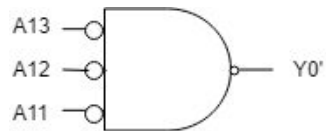


Σημείωση: Εάν ο αποκωδικοποιητής μας έχει εισόδους επίτρεψης, μπορούμε να αφαιρέσουμε τις πύλες OR που πηγαίνουν στις εισόδους ελέγχου CE' των ROM και CS' των RAM εάν αντ' αυτών οδηγήσουμε τα A14' και A15' στην επίτρεψη του αποκωδικοποιητή (και θέσουμε όλες τις υπόλοιπες εισόδους επίτρεψης στο 1). Αυτό θα βελτίωνε μάλλον και τον χρονισμό του κυκλώματος καθώς θα αφαιρούσαμε ένα επίπεδο πυλών.

Τότε, ο αποκωδικοποιητής θα ενεργοποιείται αν $A14 = 0$ και $A15 = 0$.

Προκειμένου να υλοποιήσουμε το κύκλωμά μας μόνο με λογικές πύλες αρκεί να αντικαταστήσουμε τον αποκωδικοποιητή (αρνητικής λογικής) με λογικές πύλες NAND όπως φαίνεται παρακάτω.

Κατά τα άλλα, το κύκλωμά μας παραμένει ακριβώς ίδιο.



Οι Y3', Y4', Y5', Y6' θα συνδεθούν και πάλι σε μια πύλη AND όπως στο προηγούμενο κύκλωμα.

Η Y7' δε χρειάζεται καθώς δεν τη χρησιμοποιούμε πουθενά στο κύκλωμά μας.

Σημείωση: Αντίστοιχα με πριν, εάν θέλουμε να αφαιρέσουμε τις πύλες OR που οδηγούν στις εισόδους ελέγχου των μνημών, αρκεί να θέσουμε σε καθεμία από τις παραπάνω πύλες NAND επιπλέον είσοδους τα A14', A15'.