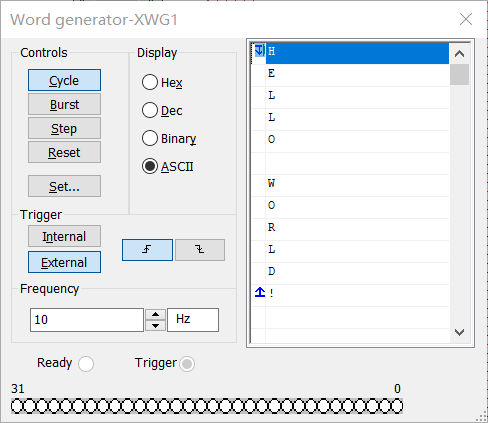
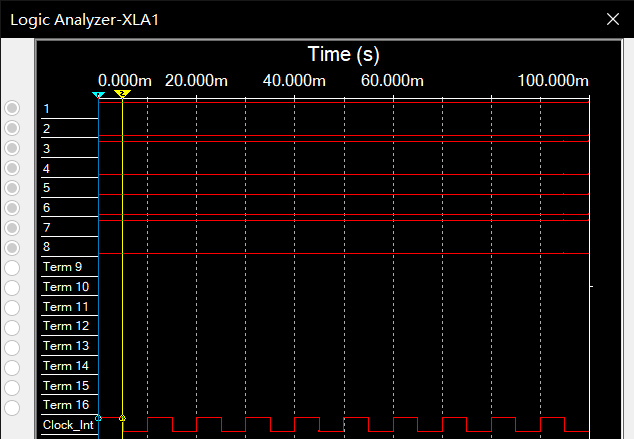
1. 简易并行到串行数据转换器的实现
   1. 信号输入

在multisim中，字发生器可以作为简单的信号源。在本设计中，由于没有缓冲寄存器，因而将信号发生器作为缓冲寄存器，每发送完一次信号，接收系统确认收到信号后会向字信号发生器发送一个脉冲触发字信号发生器，使字信号发生器发送下一个字节信号。如图2-1，测试中将会通过并行发送“Hello World!”完整信号，通过并行到串行数据转换器，实现并行到串行数据的转换。图2-1（2）中为未被触发状态下的“E”信号，通过逻辑分析仪演示。

与此同时，将字信号发生器的频率设置为10Hz，使其尽量保持移位寄存器将并行数据转换为串行数据所需要的时间（由于方便观察，将并行到串行数据转换器的时钟设置为100Hz，而每字节数据需要11个数据位——1起始位，8数据位，2停止位），尽可能与信号输出频率同步。

Figure 2-1 字发生器的设置



* 1. 并行到串行数据转换器

并行到串行数据转换器的核心是移位寄存器，分别将从字信号发生器产生的八位数据输入到移位寄存器中，将SER级接入高电平，保证在数据未输入时，即数据终止位时，输出始终处于高电平。将CLK级接入公共时钟发生器，使其与用于接收信号的逻辑分析仪和计数器同步。INH接地，保证移位寄存器的时钟时刻处于有效状态。

74HC163将作为计数器计数，而74LS85D为比较器，通过判断计数器是否记到十位（除了起始位的其余有效位），在OAEB级输出高电平。OAEB的信号将输入给接收输出信号的逻辑分析仪，使得输出端能够判断数据是否开始传输。与此同时，OAEB的信号经过与非门74LS00（此处作为非门使用），将信号反向后，输入计数器的级，在记到十位后将计数器清零。同时输出给信号源，即字信号发生器，使得其准确判断何时发送下一节数据。也输出给移位寄存器的级，在计数器记到第十位时触发信号，将发送过来的数据预置给移位寄存器，而未记到十位时始终处于高电平，触发，使输入的数据移位。

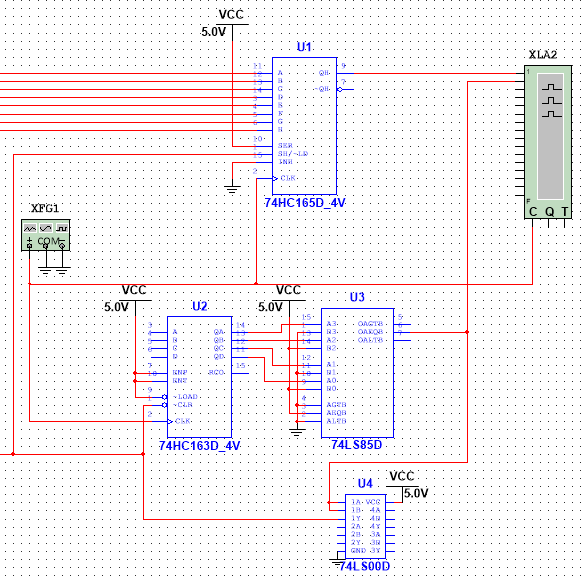


Figure 2-2 简易并行到串行数据转换器

2-3 数据输出

初始状态，等待计数器计数，当计数器记到十位时移位寄存器被触发，置入数据，开始数据转换。置入数据后，首先根据“H”ASCⅡ码的二进制位进行移位，将数据转换为串行后输出给逻辑分析仪，得到如图2-3所示的数据。其中26级高电平表明数据开始传输，第一位为起始位即低电平，此后八位“01001000”为“H”的ASCⅡ码，数据传输完毕后置2位高电平。

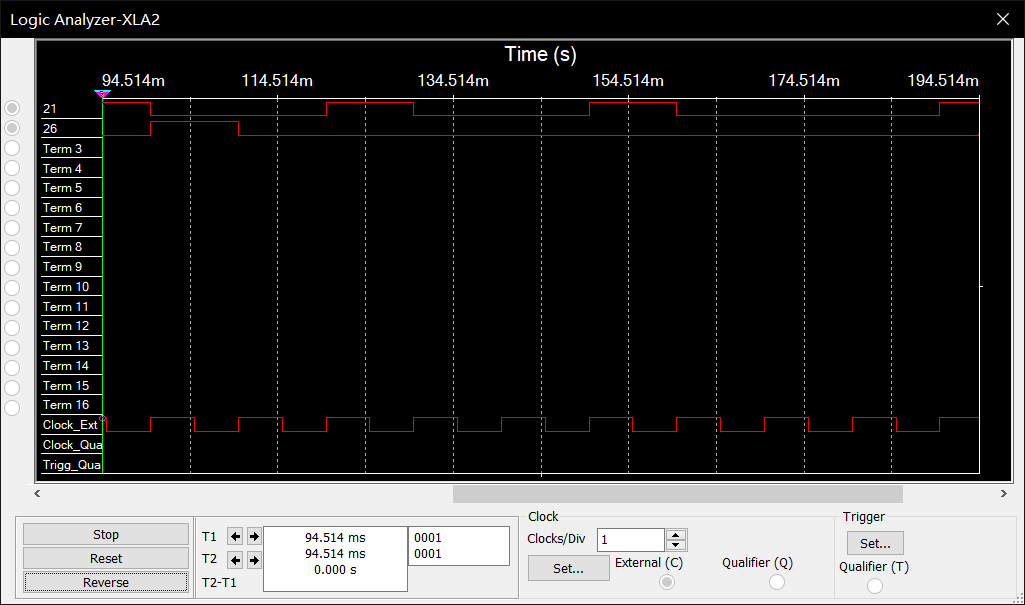


Figure 2-3 串行输出一字节数据事例

在两位高电平后继续输出数据“E”，如图2-4所示。

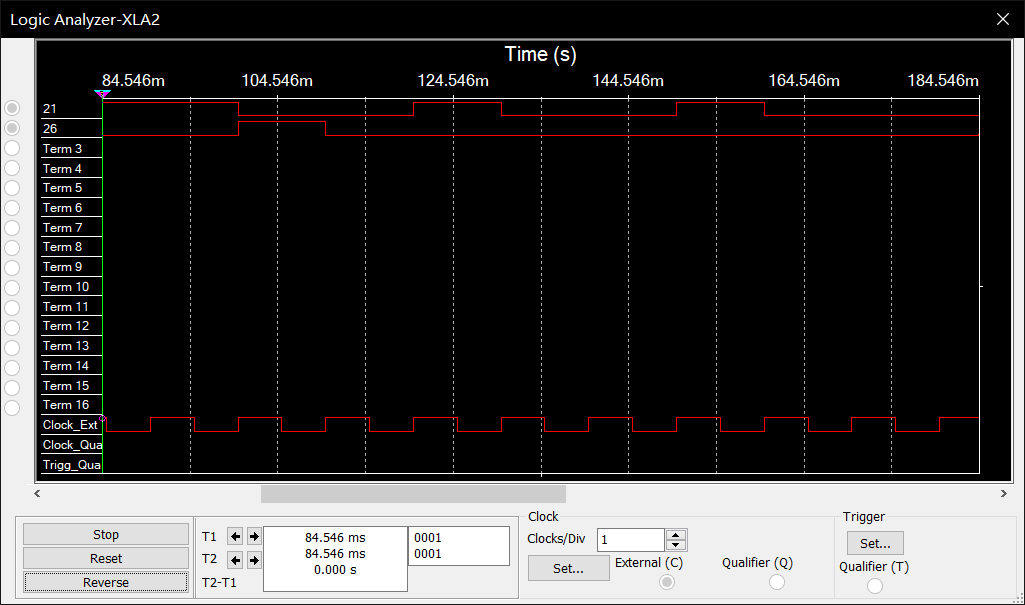


Figure 2-4 串行输出数据“E”

此后以此类推，分别输出完所有数据。